

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5264280号
(P5264280)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl.

F 1

H01L 21/336 (2006.01)
H01L 29/786 (2006.01)H01L 29/78 616K
H01L 29/78 627C
H01L 29/78 616V
H01L 29/78 618D

請求項の数 6 (全 22 頁)

(21) 出願番号 特願2008-121968 (P2008-121968)
 (22) 出願日 平成20年5月8日 (2008.5.8)
 (65) 公開番号 特開2008-311633 (P2008-311633A)
 (43) 公開日 平成20年12月25日 (2008.12.25)
 審査請求日 平成23年4月4日 (2011.4.4)
 (31) 優先権主張番号 特願2007-127081 (P2007-127081)
 (32) 優先日 平成19年5月11日 (2007.5.11)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100082669
 弁理士 福田 賢三
 (74) 代理人 100095337
 弁理士 福田 伸一
 (74) 代理人 100095061
 弁理士 加藤 恒介
 (72) 発明者 森若 智昭
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 鈴木 聰一郎

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法及び電子機器

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に島状の半導体膜を形成し、
 前記島状の半導体膜上に、ゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に、ゲート電極を形成し、
 前記ゲート電極をマスクとして前記島状の半導体膜に不純物元素を導入して、一対の不純物領域と、前記一対の不純物領域の間にチャネル形成領域を形成し、
 前記ゲート電極及び前記ゲート絶縁膜上に層間絶縁膜を形成し、
 前記層間絶縁膜及び前記ゲート絶縁膜をエッチングして、前記一対の不純物領域の少なくとも一部をそれぞれ露出するコンタクトホールを形成し、
 前記一対の不純物領域及び前記層間絶縁膜上に第1の金属膜を形成し、
 前記第1の金属膜上に、反射膜として機能する第2の金属膜を形成し、
 前記一対の不純物領域上に位置する前記第2の金属膜を除去し、
 前記第1の金属膜にレーザ光を照射して、前記一対の不純物領域において選択的に前記島状の半導体膜と前記第1の金属膜とを反応させた後、前記第1の金属膜及び前記第2の金属膜を除去することを特徴とする半導体装置の作製方法。

10

【請求項2】

絶縁基板上に島状の半導体膜を形成し、
 前記島状の半導体膜上に、ゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に、ゲート電極を形成し、

20

前記ゲート電極をマスクとして前記島状の半導体膜に不純物元素を導入して、一対の不純物領域と、前記一対の不純物領域の間にチャネル形成領域を形成し、

前記ゲート電極及び前記ゲート絶縁膜上に層間絶縁膜を形成し、

前記層間絶縁膜及び前記ゲート絶縁膜をエッチングして、前記一対の不純物領域の少な
くとも一部をそれぞれ露出するコンタクトホールを形成し、

前記一対の不純物領域及び前記層間絶縁膜上に熱伝導膜として機能する第1の金属膜を
形成し、

前記一対の不純物領域上に位置する前記第1の金属膜を除去し、

前記一対の不純物領域上及び、前記第1の金属膜上に第2の金属膜を形成し、

前記第2の金属膜にレーザ光を照射して、前記一対の不純物領域において選択的に前記
島状の半導体膜と前記第2の金属膜とを反応させた後、前記第1の金属膜及び前記第2の
金属膜を除去することを特徴とする半導体装置の作製方法。 10

【請求項3】

請求項1又は請求項2において、

前記レーザ光はエキシマレーザであることを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至請求項3において、

前記チャネル形成領域の膜厚は、前記一対の不純物領域の膜厚よりも薄いことを特徴と
する半導体装置の作製方法。 20

【請求項5】

請求項1乃至請求項4において、

前記チャネル形成領域の膜厚は、10nm乃至30nmであることを特徴とする半導体
装置の作製方法。 20

【請求項6】

請求項1乃至請求項5の作製方法で作製した半導体装置を用いることを特徴とする電子
機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の作製方法に関する。また、当該半導体装置を有する電子機器に關
する。 30

【背景技術】

【0002】

L S I (Large Scale Integration) の高集積に伴い、L S I
を構成する個々の素子(例えばトランジスタ)の微細化が必須となる。しかしながら、ト
ランジスタを微細化するため素子寸法を小さくしていくと、短チャネル効果と呼ばれる問
題が顕著となる。短チャネル効果が起きると、しきい値電圧が低下する、又はリーク電流
が増大するなど、素子の信頼性が低下してしまう。

【0003】

短チャネル効果を抑制する対策の一つとして、活性層となる半導体膜やゲート絶縁膜の
薄膜化が検討されている。半導体膜やゲート絶縁膜が薄膜化すると、金属配線と半導体膜
とのコンタクト抵抗の低抵抗化や半導体膜の不純物領域の低抵抗化が要求される。そのた
め、半導体膜にシリサイド膜を形成することで、コンタクト抵抗や、不純物領域(ソース
領域及びドレイン領域)を低抵抗化する技術が半導体分野で採用されている。半導体膜の
抵抗を低くすると、半導体装置のオン電流が向上し、特性の高い半導体装置を作製できる
。 40

【0004】

半導体膜のシリサイド化としては一般的に、半導体膜上に金属膜を成膜し、熱処理を施
し、両者を反応させることで半導体膜と金属膜との界面にシリサイド膜を形成する方法が
用いられる。しかし、熱的なプロセスの場合、基板の耐熱性によって基板選択性の自由度
50

が低くなるといった問題がある。また、低温（例えば、450～750）の熱処理では高品質のシリサイド膜の形成が困難である。そこで、半導体膜と金属膜が接触した状態でレーザ光を照射し、短時間にかつ高温に反応させることで、基板に熱的損傷を与えることなく、より高品質のシリサイド膜を形成する手法が試みられている（例えば特許文献1）。

【特許文献1】特開2000-277750号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、微細構造、つまり半導体膜及びゲート絶縁膜が薄膜化された構造に上記のレーザ光の照射を用いたシリサイド膜の形成を導入したところ、ゲート電極と重なる領域の半導体膜が消失しやすいという問題が発生した。図6にガラス基板上に形成した薄膜の半導体膜へレーザ光を照射した薄膜トランジスタ（以下、TFT）のTEM（Transmission Electron Microscopy）写真を示す。なお、図6（B）は、図6（A）の部分拡大写真である。図6において、点線で囲んだ円で示すように、図6で観察したTFTは、ゲート電極と重なる領域のゲート絶縁膜及び半導体膜が消失している。

10

【0006】

ここで、図6におけるTFTの作製工程を以下に示す。まず、ガラス基板601上に下地絶縁膜602となる膜厚100nmの酸化窒化珪素膜を形成し、下地絶縁膜上に膜厚25nmの島状の半導体膜603を形成した。そして、島状の半導体膜603上に膜厚5nmのゲート絶縁膜と、ゲート絶縁膜上を介して島状半導体膜上に、膜厚30nmの窒化タンタルと膜厚130nmのタンゲステンの積層構造からなるゲート電極605と、を順に形成した。その後、ゲート電極を覆うように酸化窒化珪素膜を成膜し、当該酸化窒化珪素膜をエッチングして、ゲート電極の側面にサイドウォール絶縁層606を形成した。

20

【0007】

次いで、ゲート電極605及びサイドウォール絶縁層606をマスクとして、自己整合的に不純物（ここではリン）を導入し、島状の半導体膜603に一対の不純物領域を形成した後、基板全面にエキシマレーザを照射した。図6は、エキシマレーザを照射後に、TFTの断面を観察したTEM写真である。

30

【0008】

上述したように、図6に示したTFTは、ゲート電極と重なる領域のゲート絶縁膜及び半導体膜が消失している。本発明者らは、図6の現象の原因を以下のように考察した。すなわち、レーザ光照射の際には、ソース領域及びドレイン領域の半導体膜のみでなく、ゲート電極も加熱される。微細構造のトランジスタにおいては、半導体膜が薄膜化されて熱容量が小さくなっている。また、ゲート絶縁膜も薄膜化されているため、ゲート電極下の半導体膜もゲート電極からの熱伝導により加熱される。半導体膜が薄膜化され熱容量が小さくなった状態で、ゲート電極である金属にレーザ光が吸収され発熱し、間接的に半導体膜を加熱したため、半導体膜の沸点を超えたものと推測される。

40

【0009】

本発明は、このような問題に鑑み、レーザ光照射による処理で高品質なシリサイド膜を形成し、絶縁基板に形成された電気的特性のばらつきの小さい電界効果型トランジスタの微細化と高性能化を実現することを目的とする。

【課題を解決するための手段】

【0010】

本発明は以下に示す手段により、レーザ光照射による半導体膜の消失を防止する。

【0011】

本発明の半導体装置の作製方法の一は、結晶性半導体膜において、シリサイド膜を形成する部分、つまり、半導体膜と金属膜が接している部分に選択的にレーザ光が照射されるように、半導体膜と金属膜が接している部分以外、特にゲート電極がある直上にレーザ光が

50

反射するような膜を形成する。

【0012】

また、本発明の半導体装置の作製方法の一は、結晶性半導体膜において、シリサイド膜を形成する部分に、選択的にレーザ光が照射されるように、半導体膜と金属膜が接している部分以外、特にゲート電極がある直上にレーザ光の熱エネルギーを横方向（膜の面方向）に伝導させるような熱伝導膜を形成する。

【0013】

また、本発明の半導体装置の作製方法において、チャネル形成領域の半導体膜は薄膜化されているため、短チャネル効果を抑制する。一方、一対の不純物領域（ソース領域及びドレイン領域）、つまり、金属膜との界面にシリサイド膜を形成する領域の半導体膜の熱容量を大きくするために、チャネル形成領域の半導体膜と比較して厚い膜とする。なお、島状の半導体膜が段差を有する場合は、一対の不純物領域またはチャネル形成領域の膜厚とは、各々の領域を構成する半導体膜の膜厚のうち、最も厚い膜厚で定義するものとする。

10

【0014】

以上により、レーザ光の照射によるシリサイド化方法によって、ゲートと重なる領域の半導体膜を消失させることなく、一対の不純物領域（ソース領域及びドレイン領域）の半導体膜と金属膜との界面にシリサイド膜を形成することが可能となる。

【0015】

なお、本明細書においてシリサイドとは、シリコンと金属の化合物のみでなく、半導体と金属の化合物全般を指す。

20

【発明の効果】

【0016】

本発明により、ゲート電極下の半導体膜の消失を発生させることなく、レーザ光の照射によってシリサイド膜を形成することが可能となる。

【0017】

また、シリサイド化にレーザ光を用いることで、パルス幅やレーザパワーのパラメータ設定によって、より制御性の高いプロセスとすることができます。所望のシリサイド膜を形成することが可能となる。またレーザ光を用いることで、熱的プロセスと比較して、基板に熱的損傷を与えることなく、より高品質のシリサイド膜を形成することが可能となる。

30

【0018】

従って、本発明を適用することで、電界効果型トランジスタの微細化と高性能化を実現すること可能となる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【0020】

40

（実施の形態1）

本発明は、絶縁表面を有する基板上にシリサイド膜を有する半導体素子を形成するプロセスに関するものである。図1に、本発明による半導体装置の作製方法を説明するフロー図の一例を示す。

【0021】

まず、絶縁基板上に島状の結晶性半導体膜を形成する（S_t1）。次に、島状の結晶性半導体膜上にゲート絶縁膜を形成し（S_t2）、ゲート絶縁膜上にゲート電極を形成する（S_t3）。ゲート電極をマスクとして不純物を導入し、ソース領域及びドレイン領域を形成した後、ゲート電極上に層間絶縁膜を形成し（S_t4）、層間絶縁膜に島状の結晶性半導体膜のうちソース領域とドレイン領域の少なくとも一部をそれぞれ露出するようなコン

50

タクトホールを形成する (S t 5)。次に、露出したソース領域及びドレイン領域と、層間絶縁膜と、を覆うように第1の金属膜、及び、反射膜として機能する第2の金属膜を形成する (S t 6)。次に、ソース領域及びドレイン領域の直上に位置する第2の金属膜をエッティングする (S t 7)。次に、第1の金属膜にレーザ光を照射してソース領域及びドレイン領域上に選択的にシリサイド膜を形成する (S t 8)。ここで、反射膜として機能する第2の金属膜が形成された領域においては、レーザ光が反射されるため、第2の金属膜の下に位置する結晶性半導体膜へのレーザ光照射による熱ダメージを低減することができる。なお、図1に示したステップは、必ずしもそれぞれ独立の工程とする必要はなく、複数のステップを連続的に行っても構わない。

【0022】

10

以下、本実施の形態において、トップゲート型のTFTにおいてレーザ光を照射する方法を用いてシリサイド膜を形成する具体例を、図2及び図3を用いて具体的に説明する。

【0023】

まず、絶縁基板101の片面に、下地膜として機能する絶縁膜102を形成する (図2 (A))。下地膜として機能する絶縁膜102は、酸化珪素膜、窒化珪素膜、窒素酸化珪素膜、酸化窒化珪素膜等を適宜用いて単層もしくは積層にて、厚さ50nm乃至150nmに形成する。本実施の形態では、絶縁表面を有する基板として、例えば、厚さ0.7mmのガラス基板を用いる。また、下地膜として機能する絶縁膜102として、厚さ150nmの窒化酸化珪素膜を形成する。絶縁膜102の成膜方法は、プラズマCVD法や低圧CVD法に代表されるCVD法、スパッタ法などの方法を用いることができる。

20

【0024】

なお、本明細書中において、酸化窒化珪素とは酸素の組成比が窒素の組成比よりも大きい物質のことを指し、窒素を含む酸化珪素ということもできる。また、本明細書中において、窒化酸化珪素とは窒素の組成比が酸素の組成比よりも大きい物質のことを指し、酸素を含む窒化珪素ということもできる。

【0025】

次に、絶縁膜102上に、半導体膜103として、非晶質半導体膜を成膜する。半導体膜103の成膜方法は、絶縁膜102と同様に、CVD法またはスパッタ法などの方法を用いればよい。本実施の形態では、膜厚66nmの非晶質珪素膜をプラズマCVD法にて形成する。

30

【0026】

なお、不純物の拡散を防ぐためのプロッキング膜として機能する絶縁膜102は、必要に応じて設ければ良い。絶縁基板101が不純物、特に移動し易い可動イオンを含むガラス基板である場合は、ガラスからの不純物が半導体膜に拡散することを防止するものであるが、絶縁基板101として石英基板を用いた場合は、プロッキング膜として機能する絶縁膜102を設ける必要はない。

【0027】

また、絶縁膜102上に半導体膜103を形成する際に、絶縁膜102と半導体膜103との界面が大気に曝されないようにすると、界面の汚染を防ぐことが可能となり、作製されるTFTの特性のバラツキを低減させることができる。

40

【0028】

次に、半導体膜103である非晶質珪素膜を結晶化する。ここでは、連続発振のレーザ光を光学系にて被照射面において線状になるよう成形し、走査することで半導体膜103を結晶化する。以上の工程により結晶性半導体膜を形成することができる。なお、レーザ光を照射する前に、半導体膜のレーザ光に対する耐性を高めるために、熱処理により半導体膜中の水素を低減させる処理を施してもよい。また、結晶化処理は、レーザ結晶化法に限られず、RTAやファーネスアニール炉等を利用した熱結晶化法、ニッケル等の触媒を用いた熱結晶化法等の方法を用いることができる。

【0029】

次に、フォトリソグラフィー工程により半導体膜103を選択的にエッティングして、島状

50

の結晶性半導体膜 104 を成形する。その後、さらに、図 2 (B) に示すように、フォトリソグラフィー工程により半導体膜の一部分のみ (図 2 (B) においては、領域 104B) をエッティングし薄膜化することにより、TFT のソース領域もしくはドレイン領域となる領域 104A 及び領域 104C と、チャネル形成領域となる領域 104B を形成する。ここで、チャネル形成領域となる領域 104B の膜厚は、10 nm 乃至 30 nm 程度とするのが望ましい。島状の結晶性半導体膜 104 において、チャネル形成領域の膜厚を薄膜化することで短チャネル効果を抑制することができる。また、ソース領域及びドレイン領域の膜厚をチャネル形成領域の膜厚よりも厚くすることで熱容量を大きくすることができる。

【0030】

10

なお、必要があれば、半導体膜 103 を選択的にエッティングする前に、TFT のしきい値電圧を制御するために、微量な一導電型を付与する不純物元素 (例えば、ボロンまたはリン) のドーピング行っても良い。

【0031】

また、島状の結晶性半導体膜 104 は、種々の結晶化法を用いる薄膜プロセスに換えて、絶縁表面に単結晶半導体層を設けた SOI 基板を用いてもよい。この場合、絶縁表面に設けられた単結晶半導体層を用いて、島状の結晶性半導体膜 104 を形成することができる。

【0032】

20

次いで島状の結晶性半導体膜 104 の表面をフッ酸含有エッチャントで洗浄した後、島状の結晶性半導体膜 104 上にゲート絶縁膜 105 を形成する。ゲート絶縁膜 105 は珪素を主成分とする絶縁膜で形成される。表面洗浄工程とゲート絶縁膜の形成工程は、大気にふれさせずに連続的に行うことが望ましい。

【0033】

ゲート絶縁膜 105 の表面を洗浄した後、ゲート絶縁膜 105 上に導電層を形成する。導電層は、CVD 法やスパッタリング法により、導電材料を用いて形成する。導電材料としては、タンタル (Ta)、タンゲステン (W)、チタン (Ti)、モリブデン (Mo)、クロム (Cr)、アルミニウム (Al)、銅 (Cu)、又はニオブ (Nb) 等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いることができる。また、リン等の一導電型を付与する不純物元素が添加された多結晶シリコン等の半導体材料を用いることもできる。なお、ゲート絶縁膜 105 上に形成する導電層は単層構造、積層構造のどちらでもよい。導電層の膜厚 (導電層が積層構造の場合は合計の膜厚) は、膜厚 50 nm 乃至 1000 nm、好ましくは 100 nm 乃至 800 nm、より好ましくは 200 nm 乃至 500 nm の範囲で形成する。

30

【0034】

次に、導電膜上にフォトレジスト膜を塗布し、このフォトレジスト膜を露光及び現像することによりレジストパターンを形成する。このレジストパターンをマスクとして導電膜をエッティングして、ゲート絶縁膜 105 上にゲート電極 106 を形成する (図 2 (C))。

【0035】

次いで、ゲート電極 106 をマスクとし、ゲート絶縁膜 105 を介して島状の結晶性半導体膜 104 に n 型不純物イオン (P、As 等のイオン、ここでは P イオン) を導入して、ソース領域及びドレイン領域を形成する。

40

【0036】

次いでゲート絶縁膜 105 及びゲート電極 106 を含む全面上に層間絶縁膜 107 を形成し、水素化を行う (図 2 (D))。次いで層間絶縁膜 107 の上にレジストパターンを形成し、このレジストパターンをマスクとして層間絶縁膜 107 及びゲート絶縁膜 105 をエッティングすることにより、ソース領域及びドレイン領域の少なくとも一部をそれぞれ露出するようなコンタクトホール 108 を形成する (図 3 (A))。

【0037】

その後、島状の結晶性半導体膜 104 の露出した表面をフッ酸で洗浄する。次に、スパッ

50

タ法にて島状の結晶性半導体膜 104 の露出した部分を覆うように全面に第1の金属膜 109 を成膜する。その後、第1の金属膜 109 上に反射膜として機能する第2の金属膜 110 を成膜する。第1の金属膜 109 、及び第2の金属膜 110 はそれぞれ 5 nm 乃至 30 nm の膜厚で成膜する。ここで、第1の金属膜 109 は、後の工程においてレーザ光を照射することで、結晶性半導体膜 104 との界面にシリサイド膜を形成するような材料を用いて成膜する。第1の金属膜 109 の材料としては、例えば、Ni や Co 、 Ti 、 Pt 等を用いることができる。一方、反射膜として機能する第2の金属膜 110 としては、後の工程において照射するレーザ光の波長に対する反射率が、第1の金属膜よりも高い材料を用いることができる。例えば、レーザとしてエキシマレーザを用いる場合、第2の金属膜 110 の材料として、例えば、アルミニウム、アルミニウム合金、銀、または銀合金等を用いることができる。また、第2の金属膜 110 に代えて、酸化珪素膜や窒化珪素膜等を複数層に形成し、薄膜干渉効果により反射膜としてもよい。

【0038】

次に、公知のフォトリソグラフィー技術により、島状の結晶性半導体膜 104 のうちソース領域及びドレイン領域の直上に位置する、第2の金属膜 110 をエッチングする(図3(C))。

【0039】

次いで、第2の金属膜 110 の上面から第1の金属膜 109 にレーザ光を照射する(図3(D))。レーザ光を照射する際は、レーザ発振器から射出されたレーザ光を、光学系によって、線状ビームに成形した後、線状の短軸方向に走査する。なお、レーザ発振器としては、XeCl 、 KrCl 、 KrF 、 ArF 、 XeF 等の各種エキシマレーザ発振器を好ましく用いることができる。

【0040】

なお、線状ビームとは、被照射面におけるビームスポットの形状が線状であるレーザ光のことである。ここでいう「線状」とは、厳密な意味で「線」を意味しているのではなく、アスペクト比が大きい矩形(例えば、アスペクト比が 10 以上(好ましくは 100 以上))を意味する。なお、線状とするのは、被照射体に対して十分なエネルギー密度を確保するためであり、十分なエネルギー密度が確保できれば矩形状や橢円状であってもよい。

【0041】

第1の金属膜 109 にレーザ光を照射すると、第2の金属膜 110 が反射膜として機能して、レーザ光を反射する。したがって、第2の金属膜 110 の下に位置するゲート電極 106 及び当該ゲート電極 106 と重なる領域の結晶性半導体膜(チャネル形成領域を含む)への熱ダメージを防止することができる。一方、第2の金属膜 110 がエッチングによって除去されたソース領域及びドレイン領域においては、結晶性半導体膜 104 と第1の金属膜 109 との界面において、シリサイド化反応が起こる。これにより、結晶性半導体膜 104 のソース領域及びドレイン領域に、シリサイド膜 111 が形成される。以上により、チャネル形成領域の半導体膜を消失させることなく、ソース領域及びドレイン領域にシリサイド膜 111 を形成することができる。

【0042】

上述したシリサイド膜形成工程によって、結晶性半導体膜 104 のソース領域及びドレイン領域を十分に低抵抗化できる。したがってその後、導入した n 型不純物の活性化をしなくてもよい。ただし、結晶性半導体膜 104 に添加された不純物元素を活性化するため、熱処理を行ってもよいことはいうまでもないことである。熱処理は、レーザビームの照射、又は RTA 若しくはファーネスアニール炉を用いて行うことができる。具体的には、400 乃至 700 、好ましくは 500 乃至 650 の温度範囲で行うとよい。また、熱処理は窒素雰囲気下で行うことが好ましい。例えば、550 4 時間の加熱を行うことにより、活性化を行うことができる。レーザビームの照射により活性化する場合は、例えばエキシマレーザを用いることができる。

【0043】

シリサイド膜 111 を形成後、未反応の第1の金属膜 109 、及び第2の金属膜 110 を

10

20

30

40

50

エッティングによって除去する。次いで層間絶縁膜上及びコンタクトホール中に導電膜（例えばA1合金配線）を形成し、この導電膜をパターニングすることにより、ソース電極、ドレイン電極を形成する。以上の工程によりTFT（nチャネル型TFT）が形成される。

【0044】

なお実施形態に示したTFT構造に限定されず、他の構造を有するTFTに適用することも可能である。例えばチャネル形成領域とドレイン領域（またはソース領域）との間にLDD領域を有する低濃度ドレイン（LDD：Lightly Doped Drain）構造としてもよい。この構造はソース領域とチャネル形成領域の間、及びドレイン領域とチャネル形成領域の間それぞれに低濃度に不純物元素を添加した領域（以下LDD領域と記載）を設けたものである。またゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造としてもよい。10

【0045】

また本実施形態ではnチャネル型TFTを用いて説明したが、n型不純物元素に代えてp型不純物元素を用いることによってpチャネル型TFTを形成することができることは言うまでもない。また本実施形態ではトップゲート型TFTを例として説明したが、例えば逆スタガ型TFTに適用することが可能である。

【0046】

本発明の半導体装置の作製方法は、シリサイド化にレーザ光を用いることで、パルス幅やレーザパワーのパラメータ設定によって、より制御性の高いプロセスとなり、所望のシリサイド膜を形成することが可能となる。またレーザ光を用いることで、熱的プロセスと比較して、基板に熱的損傷を与えることなく、より高品質のシリサイド膜を形成することが可能となる。20

【0047】

また、薄膜化された半導体膜に金属膜を接触させレーザ光を照射する場合、半導体膜が消失する危険性が生じる。しかしながら、本発明の半導体装置の作製方法は、TFTのチャネルとなる領域の半導体膜は薄膜とし、短チャネル効果を抑制している。一方で、ソース領域及びドレイン領域、つまり、シリサイド膜を形成する部分の半導体膜を、熱容量を大きくするために、チャネル部分の半導体膜と比較して厚い膜としているため、レーザ光を照射した際の半導体膜の消失を防止することができる。30

【0048】

また、本発明の半導体装置の作製方法を用いることにより、ゲート電極及びゲート電極と重なる領域の半導体膜に与える熱ダメージを低減して、ソース領域及びドレイン領域にシリサイド膜を形成することが可能となる。本発明は、微細化されたTFT、つまりゲート絶縁膜または、チャネル形成領域の半導体膜が薄膜化されたTFTにおいて特に有効である。

【0049】

（実施の形態2）

本実施の形態では、上記実施の形態1とは異なる本発明の半導体装置の作製方法の一例を示す。図4に、本発明による半導体装置の作製方法を説明するフロー図の一例を示す。なお、上記実施の形態1と重複する工程は、簡略化及び一部省略して説明する。40

【0050】

まず、図1に示した実施の形態1の作製工程と同様に、ゲート電極上に形成された層間絶縁膜に、島状の結晶性半導体膜のソース領域とドレイン領域の少なくとも一部をそれぞれ露出するようなコンタクトホールを形成する（St10）。次に、露出したソース領域及びドレイン領域と、層間絶縁膜と、を覆うように、熱伝導膜として機能する第1の金属膜を形成する（St11）。次に、ソース領域及びドレイン領域の直上に位置する第1の金属膜をエッティングする（St12）。次に、第1の金属膜と、ソース領域及びドレイン領域と、を覆う第2の金属膜を形成する（St13）。次に、第2の金属膜にレーザ光を照

射してソース領域及びドレイン領域上に選択的にシリサイド膜を形成する(St 14)。第1金属膜は、第2の金属膜よりも高い熱伝導率を有する材料を用いるものとする。第1の金属膜として第2の金属膜よりも高い熱伝導率を有する材料を用いることで、第1の金属膜が形成された領域においては、第2の金属膜を介して第1の金属膜に照射されたレーザ光のエネルギーが第1の金属膜の面方向に伝導するため、第1の金属膜下に位置する結晶性半導体膜へのレーザ光照射による熱ダメージを低減することができる。なお、図4に示したステップは、必ずしもそれぞれ独立の工程とする必要はなく、複数のステップを連続的に行って構わない。また、本明細書において熱伝導膜とは、シリサイド膜を形成するための金属膜と比較して熱伝導率が高い材料で形成された金属膜を示す。

【0051】

10

以下、本実施の形態において、トップゲート型のTFTにおいてレーザ光を照射する方法を用いてシリサイド膜を形成する例を、図5を用いて具体的に説明する。なお、ゲート電極を覆う層間絶縁膜にコンタクトホールを形成するまでの工程は、上記実施の形態1で図2を用いて説明した工程と同様の作製方法を用いることができるため、本実施の形態では説明を省略する。

【0052】

絶縁基板101上に、絶縁膜102、島状の結晶性半導体膜104、ゲート絶縁膜105、ゲート電極106及び層間絶縁膜107を形成した後、層間絶縁膜107にコンタクトホール108を形成する。コンタクトホール108は、層間絶縁膜107の上にレジストパターンを形成し、このレジストパターンをマスクとして層間絶縁膜107及びゲート絶縁膜105をエッチングすることにより形成される。また、コンタクトホール108は、ソース領域及びドレイン領域の少なくとも一部をそれぞれ露出するように形成されている。島状の結晶性半導体膜104の露出した表面をフッ酸で洗浄した後、島状の結晶性半導体膜104の露出した部分を覆うように全面に第1の金属膜409を5nm乃至30nmの膜厚で成膜する(図5(A))。第1の金属膜409は、例えばスパッタ法を用いて形成することができる。

20

【0053】

次いで、フォトリソグラフィー技術により、島状の結晶性半導体膜104のうちソース領域及びドレイン領域の直上に位置する、第1の金属膜409をエッチングする(図5(B))。その後、露出したソース領域及びドレイン領域を覆うように絶縁基板101の全面に第2の金属膜410を5nm乃至30nmの膜厚で成膜する(図5(C))。

30

【0054】

ここで、第1の金属膜409は、後の工程で照射されるレーザ光の熱伝導膜として機能するような材料を用いて成膜する。第1の金属膜409としては、第2の金属膜410と比較して熱伝導率の高い材料を用いることができる。例えば、第1の金属膜409として、銅、鉄、アルミニウム、またはこれらいずれかを含む化合物、ステンレス等を好ましく用いることができる。一方、第2の金属膜410は、後の工程でレーザ光の照射することで、結晶性半導体膜104との界面にシリサイド膜を形成するような材料を用いて成膜する。第2の金属膜410の材料としては、例えば、NiやCo、Ti、Pt等を用いることができる。

40

【0055】

次いで、第2の金属膜410の上面からレーザ光を照射する(図5(D))。レーザ光を照射する際は、レーザ発振器から射出されたレーザ光を、光学系によって、線状ビームに成形した後、線状の短軸方向に走査する。なお、レーザ発振器としては、XeCl、KrCl、KrF、ArF、XeF等の各種エキシマレーザ発振器を好ましく用いることができる。

【0056】

ここで、第1の金属膜409は、第2の金属膜410よりも高い熱伝導率を有する材料で形成されているため、第2の金属膜410を介して第1の金属膜409へ照射されたレーザ光のエネルギーは、第1の金属膜409の面方向へと伝達されやすく、第1の金属膜4

50

09の下に位置するゲート電極106及び当該ゲート電極106と重なる領域の結晶性半導体膜(特にチャネル形成領域)への熱ダメージを防止することができる。一方、第1の金属膜409と重ならない領域に位置する、ソース領域及びドレイン領域においては、結晶性半導体膜と第2の金属膜410との界面においてシリサイド化反応が起こる。これにより、結晶性半導体膜のソース領域及びドレイン領域にシリサイド膜411が形成される。以上により、チャネル形成領域の半導体膜を消失させることなく、ソース領域及びドレイン領域と第2の金属膜410との界面に、シリサイド膜411を形成することができる。

【0057】

上述したシリサイド膜形成工程によって、結晶性半導体膜104のソース領域及びドレイン領域を十分に低抵抗化できる。したがってその後、導入したn型不純物の活性化をしなくてもよい。もちろんn型不純物を活性化するために加熱処理、強光の照射、またはレーザ光の照射を行ってもよいことはいうまでもない。

【0058】

シリサイド膜411を形成後、未反応の第1の金属膜409と、第2の金属膜410をエッティングによって除去する。次いで層間絶縁膜上及びコンタクトホール中に導電膜(例えばアルミニウム合金配線)を形成し、この導電膜をパターニングすることにより、ソース電極、ドレイン電極を形成する。以上の工程によりTFT(nチャネル型TFT)が形成される。

【0059】

なお、本発明の実施の形態はこれに限られない。例えば、層間絶縁膜にコンタクトホール形成後、ソース領域及びドレイン領域を覆うように、全面にシリサイド膜を形成するための第1の金属膜を形成し、その後、第1の金属膜上に熱伝導膜として機能する第2の金属膜を形成して、ソース領域及びドレイン領域上の第2の金属膜をエッティングによって除去しても良い。この場合、第2の金属膜の上面からレーザ光を照射すると、第2の金属膜の形成された領域においては、レーザ光のエネルギーは第2の金属膜の面方向に伝導する。一方、第2の金属膜が形成されていないソース領域及びドレイン領域においては、第1の金属膜との界面にシリサイド膜が形成される。つまり、ここで述べた作製方法は、実施の形態1と同様の方法で、第2の金属膜を熱伝導膜とする方法である。

【0060】

また、本発明は、本実施形態に示したTFT構造に限定されず、他の構造を有するTFTに適用することも可能である。

【0061】

本発明の半導体装置の作製方法は、シリサイド化にレーザ光を用いることで、パルス幅やレーザパワーのパラメータ設定によって、より制御性の高いプロセスとなり、所望のシリサイド膜を形成することが可能となる。またレーザ光を用いることで、熱的プロセスと比較して、基板に熱的損傷を与えることなく、より高品質のシリサイド膜を形成することが可能となる。

【0062】

また、薄膜化された半導体膜に金属膜を接触させレーザ光を照射する場合、半導体膜が消失する危険性が生じる。しかしながら、本発明の半導体装置の作製方法は、TFTのチャネルとなる領域の半導体膜は薄膜とし、短チャネル効果を抑制している。一方で、ソース領域及びドレイン領域、つまり、シリサイド膜を形成する部分の半導体膜を、熱容量を大きくするために、チャネル部分の半導体膜と比較して厚い膜としているため、レーザ光を照射した際の半導体膜の消失を防止することができる。

【0063】

また、本発明の半導体装置の作製方法を用いることにより、ゲート電極及びゲート電極と重なる領域の半導体膜に与える熱ダメージを低減させ、ソース領域及びドレイン領域にシリサイド膜を形成することが可能となる。本発明は、微細化されたTFT、つまりゲート絶縁膜または、チャネル形成領域の半導体膜が薄膜化されたTFTにおいて特に有効であ

10

20

30

40

50

る。

【0064】

(実施の形態3)

本発明に係る半導体装置は、CPU(中央演算回路:Central Process ing Unit)等の集積回路に適用することができる。本実施の形態では、上記実施の形態1または2に示した半導体装置を適用したCPUの例に関して、図面を用いて以下に説明する。

【0065】

図7に示すCPU3660は、基板3600上に演算回路(ALU:Arithmetic logic unit)3601、演算回路用制御回路部(ALU Controller)3602、命令解析部(Instruction Decoder)3603、割り込み制御部(Interrupt Controller)3604、タイミング制御部(Timing Controller)3605、レジスタ(Register)3606、レジスタ制御部(Register Controller)3607、バスインターフェース(Bus I/F)3608、書き換え可能なROM3609、ROMインターフェース(ROM I/F)3620を主に有している。また、ROM3609及びROMインターフェース3620は、別チップに設けても良い。これらCPU3660を構成する様々な回路は、上記実施の形態1又は2に示される薄膜トランジスタ、当該薄膜トランジスタを組み合わせたCMOS回路、nMOS回路、pMOS回路等を用いて構成することが可能である。

【0066】

図7に示すCPU3660は、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。したがって、本発明を適用するCPUの構成は、図7に示すものに限定されるものではない。

【0067】

バスインターフェース3608を介してCPU3660に入力された命令は、命令解析部3603に入力され、デコードされた後、演算回路用制御回路部3602、割り込み制御部3604、レジスタ制御部3607、タイミング制御部3605に入力される。

【0068】

演算回路用制御回路部3602、割り込み制御部3604、レジスタ制御部3607、タイミング制御部3605は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路用制御回路部3602は、演算回路3601の駆動を制御するための信号を生成する。また、割り込み制御部3604は、CPU3660のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部3607は、レジスタ3606のアドレスを生成し、CPUの状態に応じてレジスタ3606の読み出しや書き込みを行う。

【0069】

またタイミング制御部3605は、演算回路3601、演算回路用制御回路部3602、命令解析部3603、割り込み制御部3604、レジスタ制御部3607の駆動のタイミングを制御する信号を生成する。例えばタイミング制御部3605は、基準クロック信号CLK1(3621)を元に、内部クロック信号CLK2(3622)を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0070】

ここで、CPU3660に適用することができるCMOS回路の一例を示す(図8参照)。ここで示すCMOS回路は、基板800上に絶縁層802、804を介して、トランジスタ810及びトランジスタ820が形成されている。また、トランジスタ810及びトランジスタ820を覆うように、絶縁層830が形成され、トランジスタ810又はトランジスタ820と電気的に接続される導電層840が絶縁層830上に形成されている。また、トランジスタ810とトランジスタ820とは、導電層840により電気的に接続されている。また、トランジスタ810及びトランジスタ820には、上記実施の形態

10

20

30

40

50

に示した方法によって、シリサイド膜 850 が形成されている。

【0071】

基板 800 は、絶縁表面を有する基板を用いればよい。例えばガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁層が形成された金属基板などを用いることができる。

【0072】

絶縁層 802、804 は、CVD 法やスパッタリング法や ALD 法を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の材料を用いて形成する。絶縁層 802、804 は、基板 800 からトランジスタ 810 又はトランジスタ 820 への、アルカリ金属等が拡散して汚染されることを防ぐプロッキング層として機能する。また、基板 800 の表面に凹凸がある場合、平坦化する層としても機能することができる。なお、絶縁層 802、804 は、基板 800 からの不純物拡散や基板 800 表面の凹凸が問題とならなければ、形成しなくともよい。また、ここでは下地絶縁層を 2 層構造としているが、単層構造でも、3 層以上の積層構造としてもよい。

10

【0073】

トランジスタ 810 及びトランジスタ 820 は、上記実施の形態 1 または 2 で示したトランジスタを適用すればよい。なお、トランジスタ 810 及びトランジスタ 820 は、相異なる導電型を有するものとする。例えば、トランジスタ 810 を n チャネル型トランジスタとし、トランジスタ 820 を p チャネル型トランジスタで形成すればよい。

20

【0074】

絶縁層 830 は、CVD 法やスパッタリング法、ALD 法、塗布法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素若しくは窒素を含む無機絶縁材料や、 DLC (ダイヤモンドライクカーボン) 等の炭素を含む絶縁材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機絶縁材料またはシロキサン樹脂等のシロキサン材料を用いて形成する。なお、シロキサン材料とは、Si - O - Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、絶縁層 830 は、CVD 法やスパッタリング法、ALD 法を用いて絶縁層を形成した後、当該絶縁層に酸素雰囲気下又は窒素雰囲気下で高密度プラズマ処理を行うことにより形成してもよい。ここでは絶縁層 830 は単層構造の例を示すが、2 層以上の積層構造としてもよい。また、無機絶縁層や、有機絶縁層を組み合わせて形成してもよい。

30

【0075】

導電層 840 は、CVD 法やスパッタリング法を用いて、炭素 (C)、シリコン (Si)、アルミニウム (Al)、タンゲステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd) 等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて、単層構造又は積層構造で形成する。アルミニウムを含む合金材料としては、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料があげられる。導電層 840 は、例えば、バリア層とアルミニウムシリコン (Al - Si) 層とバリア層の積層構造、バリア層とアルミニウムシリコン層と窒化チタン層とバリア層の積層構造を採用することができる。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層 840 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができるため好ましい。

40

【0076】

50

導電層 840 は、ソース電極又はドレイン電極として機能する。導電層 840 は、絶縁層 830 に形成された開口を介してトランジスタ 810 及びトランジスタ 820 と電気的に接続される。具体的には、導電層 840 は、トランジスタ 810 のソース領域又はドレイン領域と、トランジスタ 820 のソース領域又はドレイン領域と電気的に接続される。また、トランジスタ 810 のソース領域又はドレイン領域は、トランジスタ 820 のソース領域又はドレイン領域と、導電層 840 を間に介して電気的に接続される。以上により、CMOS 回路を形成することができる。

【0077】

また、図 9 には、画素部と、CPU、その他の回路が同一基板に形成された表示装置、いわゆるシステムオンパネルを示す。基板 3700 上に画素部 3701、当該画素部 3701 が有する画素を選択する走査線駆動回路 3702 と、選択された画素にビデオ信号を供給する信号線駆動回路 3703 とが設けられている。走査線駆動回路 3702、及び信号線駆動回路 3703 から引き回される配線により CPU 3704、その他の回路（例えばコントロール回路 3705）が接続されている。なおコントロール回路にはインターフェースが含まれている。そして、基板の端部に FPC 端子との接続部を設け、外部信号とのやりとりを行う。

【0078】

その他の回路としては、コントロール回路 3705 の他、例えば、映像信号処理回路、電源回路、階調電源回路、ビデオ RAM、メモリ（DRAM、SRAM、PROM）等を設けることができる。またこれら回路は、IC チップにより形成し、基板上に実装してもよい。さらに必ずしも走査線駆動回路 3702、及び信号線駆動回路 3703 を同一基板に形成する必要はなく、例えば走査線駆動回路 3702 のみを画素部と同一基板に形成し、信号線駆動回路 3703 を IC チップにより形成し、実装してもよい。

【0079】

なお、本実施の形態では、本発明に係る半導体装置を CPU に適用する例を説明したが、本発明は特にこの適用例に限定されるものではない。例えば、本発明に係る半導体装置は、有機発光素子、無機発光素子、又は液晶表示素子等を備えた表示装置の、画素部又は駆動回路部等に適用することができる。また、その他にも本発明を適用して、デジタルカメラ、カーオーディオなどの音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（携帯電話機、携帯型ゲーム機等）、家庭用ゲーム機などの記録媒体を備えた画像再生装置、などを作製することも可能である。

【0080】

本発明を適用した半導体装置は、作製過程において半導体膜やゲート電極へのダメージが低減されている。さらに、本発明を適用することで、トランジスタ等の半導体装置の特性ばらつきを抑制することができる。よって、歩留まり良く、信頼性の高い半導体装置を提供することが可能になる。

【0081】

本発明を適用した半導体装置は、シリサイド膜を有する構成であり、コンタクト抵抗（導電層及び半導体層の接触抵抗）を低減できるため、信号遅延等を防止できる。よって、高速での回路駆動が可能となる。

【0082】

（実施の形態 4）

本実施の形態では、上記実施の形態で示した半導体装置の使用形態の一例について説明する。具体的には、非接触でデータの入出力が可能である半導体装置の適用例に関して、図面を用いて以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によって、RFID タグ、ID タグ、IC タグ、IC チップ、RF タグ、無線タグ、電子タグまたは無線チップとも呼ばれる。

【0083】

本実施の形態で示す半導体装置の上面構造の一例について、図 10 (A) を参照して説明する。図 10 に示す半導体装置 2180 は、メモリ部やロジック部を構成する複数の薄

10

20

30

40

50

膜トランジスタ等の素子が設けられた薄膜集積回路 2131 と、アンテナとして機能する導電層 2132 を含んでいる。アンテナとして機能する導電層 2132 は、薄膜集積回路 2131 に電気的に接続されている。薄膜集積回路 2131 には、上記実施の形態 1 または 2 で示した本発明に係る薄膜トランジスタを適用することができる。

【0084】

また、図 10 (B)、(C) に図 10 (A) 中の線分 a1 - b1 の断面の模式図を示す。アンテナとして機能する導電層 2132 は、メモリ部及びロジック部を構成する素子の上方に設ければよく、例えば、上記実施の形態で示した薄膜トランジスタで構成された薄膜集積回路 2131 上方に、絶縁層 2130 を介してアンテナとして機能する導電層 2132 を設けることができる (図 10 (B) 参照)。他にも、アンテナとして機能する導電層 2132 を基板 2133 に別に設けた後、当該基板 2133 及び薄膜集積回路 2131 を、導電層 2132 が間に位置するように貼り合わせて設けることができる (図 10 (C) 参照)。図 10 (C) では、絶縁層 2130 上に設けられた導電層 2136 とアンテナとして機能する導電層 2132 とが、接着性を有する樹脂 2135 中に含まれる導電性粒子 2134 を介して電気的に接続されている例を示す。

【0085】

なお、本実施の形態では、アンテナとして機能する導電層 2132 をコイル状に設け、電磁誘導方式または電磁結合方式を適用する例を示すが、本発明の半導体装置はこれに限られずマイクロ波方式を適用することも可能である。マイクロ波方式の場合は、用いる電磁波の波長によりアンテナとして機能する導電層 2132 の形状を適宜決めればよい。

【0086】

例えば、半導体装置 2180 における信号の伝送方式として、マイクロ波方式 (例えば、UHF 帯 (860 MHz 帯乃至 960 MHz 帯)、2.45 GHz 帯等) を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を適宜設定すればよい。例えば、アンテナとして機能する導電層を線状 (例えば、ダイポールアンテナ (図 11 (A) 参照))、平坦な形状 (例えば、パッチアンテナ (図 11 (B) 参照) またはリボン型の形状 (図 11 (C)、(D) 参照)) 等に形成することができる。また、アンテナとして機能する導電層 2132 の形状は直線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0087】

アンテナとして機能する導電層 2132 は、CVD 法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、白金 (Pt) ニッケル (Ni)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) 等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0088】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電層 2132 を形成する場合には、粒径が数 nm から数十 μ m の導電性粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電性粒子としては、銀 (Ag)、金 (Au)、銅 (Cu)、ニッケル (Ni)、白金 (Pt)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) およびチタン (Ti) 等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電層の形成の際は、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子 (例えば粒径 1 nm 以上 100 nm 以下の微粒子) を用いる場合、150 乃至 300 の温度範囲で焼成することにより

10

20

30

40

50

硬化させて導電層を形成することができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径 20 μm 以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

【0089】

本発明を適用した半導体装置は、作製過程でのゲート電極及び半導体膜へのダメージを抑えることができ、歩留まり良く信頼性の高い半導体装置を提供することが可能になる。また、本実施の形態のように、非接触でデータの入出力が可能で、且つ小型な半導体装置に適用することもできる。

【0090】

次に、本実施の形態に係る半導体装置の動作例について説明する。

10

【0091】

半導体装置 2180 は、非接触でデータを交信する機能を有し、高周波回路 81、電源回路 82、リセット回路 83、クロック発生回路 84、データ復調回路 85、データ変調回路 86、他の回路の制御を行う制御回路 87、記憶回路 88 およびアンテナ 89 を有している（図 12（A）参照）。高周波回路 81 はアンテナ 89 より信号を受信して、データ変調回路 86 より受信した信号をアンテナ 89 から出力する回路である。電源回路 82 は受信信号から電源電位を生成する回路である。リセット回路 83 はリセット信号を生成する回路である。クロック発生回路 84 はアンテナ 89 から入力された受信信号を基に各種クロック信号を生成する回路である。データ復調回路 85 は受信信号を復調して制御回路 87 に出力する回路である。データ変調回路 86 は制御回路 87 から受信した信号を変調する回路である。また、制御回路 87 としては、例えばコード抽出回路 91、コード判定回路 92、CRC 判定回路 93 および出力ユニット回路 94 が設けられている。なお、コード抽出回路 91 は制御回路 87 に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路 92 は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC 判定回路 93 は判定されたコードに基づいて送信エラー等の有無を検出する回路である。図 12（A）では、制御回路 87 の他に、アナログ回路である高周波回路 81、電源回路 82 を含んでいる。

20

【0092】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ 89 により無線信号が受信される。無線信号は高周波回路 81 を介して電源回路 82 に送られ、高電源電位（以下、VDD と記す）が生成される。VDD は半導体装置 2180 が有する各回路に供給される。また、高周波回路 81 を介してデータ復調回路 85 に送られた信号は復調される（以下、復調信号という）。さらに、高周波回路 81 を介してリセット回路 83 およびクロック発生回路 84 を通った信号及び復調信号は制御回路 87 に送られる。制御回路 87 に送られた信号は、コード抽出回路 91、コード判定回路 92 および CRC 判定回路 93 等によって解析される。そして、解析された信号にしたがって、記憶回路 88 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 94 を通って符号化される。さらに、符号化された半導体装置 2180 の情報はデータ変調回路 86 を通って、アンテナ 89 により無線信号に載せて送信される。なお、半導体装置 2180 を構成する複数の回路においては、低電源電位（以下、VSS という）は共通であり、VSS は GND とすることができる。

30

【0093】

このように、通信手段（例えばリーダ／ライタ、又はリーダ或いはライタいずれかの機能を有する手段）から半導体装置 2180 に信号を送り、当該半導体装置 2180 から送られてきた信号をリーダ／ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

40

【0094】

また、半導体装置 2180 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

50

【0095】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部3210を含む携帯端末の側面には、通信手段3200が設けられ、品物3220の側面には半導体装置3230が設けられる(図12(B)参照)。なお、通信手段3200は、例えばリーダ/ライタのように信号を読み取る機能及び信号を送信する機能を備えるもの、又は信号を読み取る機能或いは信号を送信するいずれかの機能のみを備えるものである。品物3220が含む半導体装置3230に通信手段3200をかざすと、表示部3210に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品3260をベルトコンベアにより搬送する際に通信手段3240と、商品3260に設けられた半導体装置3250を用いて、該商品3260の検品を行うことができる(図12(C)参照)。半導体装置3230、半導体装置3250としては、上述した半導体装置2180を適用することができる。このように、システムに本発明に係る半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。また、本発明に係る半導体装置は信頼性が高く、商品の検品等を確実に行うことも可能となる。

【0096】

なお、上述した以外にも本発明に係る半導体装置の用途は広範にわたり、非接触で対象物の履歴等の情報を明確にし、生産・管理等に役立てる商品であればどのようなものにも適用することができる。例えば、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。これらの例に関して図13を用いて説明する。

【0097】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの(金券)、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す(図13(A)参照)。証書類とは、運転免許証、住民票等を指す(図13(B)参照)。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す(図13(C)参照)。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す(図13(D)参照)。書籍類とは、書物、本等を指す(図13(E)参照)。記録媒体とは、DVDソフト、ビデオテープ等を指す(図13(F)参照)。乗物類とは、自転車等の車両、船舶等を指す(図13(G)参照)。身の回り品とは、鞄、眼鏡等を指す(図13(H))。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(テレビ受像機、薄型テレビ受像機)、携帯電話機等を指す。

【0098】

紙幣、硬貨、有価証券類、証書類、無記名債券類等に半導体装置2180を設けることにより、偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等に半導体装置2180を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等に半導体装置2180を設けることにより、偽造や盗難を防止することができる。また、薬品類ならば、薬の服用の間違いを防止することができる。半導体装置2180の設け方としては、物品の表面に貼る、或いは物品に埋め込んで設ける。例えば、本の場合は紙に埋め込めばよく、有機樹脂からなるパッケージであれば有機樹脂に埋め込めばよい。

【0099】

このように、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に半導体装置を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。また乗物類に半導体装置を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識

別を容易に行うことができる。例えば、家畜等の生き物にセンサーを備えた半導体装置を埋め込む又は取り付けることによって、生まれた年や性別または種類等はもちろん体温等の健康状態を容易に管理することが可能となる。

【0100】

なお、本実施の形態は、上記実施の形態と自由に組み合わせて行うことができる。

【図面の簡単な説明】

【0101】

【図1】本発明に係る半導体装置の作製方法のフロー例を示す図。

【図2】本発明に係る半導体装置の作製方法の例を示す図。

【図3】本発明に係る半導体装置の作製方法の例を示す図。

10

【図4】本発明に係る半導体装置の作製方法のフロー例を示す図。

【図5】本発明に係る半導体装置の作製方法の例を示す図。

【図6】従来の作製方法によって作製したTFTの断面TEM写真。

【図7】本発明に係る半導体装置の一例を示すブロック図。

【図8】本発明に係る半導体装置の一例を示す断面図。

【図9】本発明に係る半導体装置の一例を示す斜視図。

【図10】本発明に係る半導体装置の一例を示す上面図及び断面図。

【図11】本発明に係る半導体装置に適用できるアンテナを説明する図。

【図12】本発明に係る半導体装置の一例を示すブロック図及び使用形態の例を示す図。

【図13】本発明に係る半導体装置の適用例を示す図。

20

【符号の説明】

【0102】

101 絶縁基板

102 絶縁膜

103 半導体膜

104 結晶性半導体膜

104A 領域

104B 領域

104C 領域

105 ゲート絶縁膜

30

106 ゲート電極

107 層間絶縁膜

108 コンタクトホール

109 金属膜

110 金属膜

111 シリサイド膜

203 半導体膜

208 金属膜

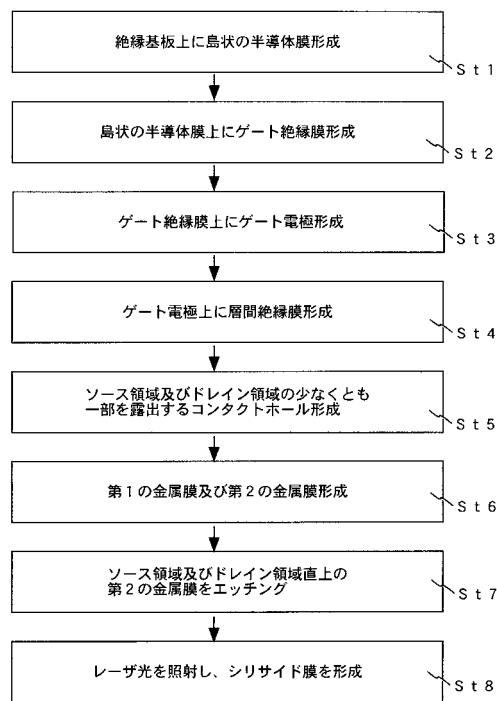
409 金属膜

410 金属膜

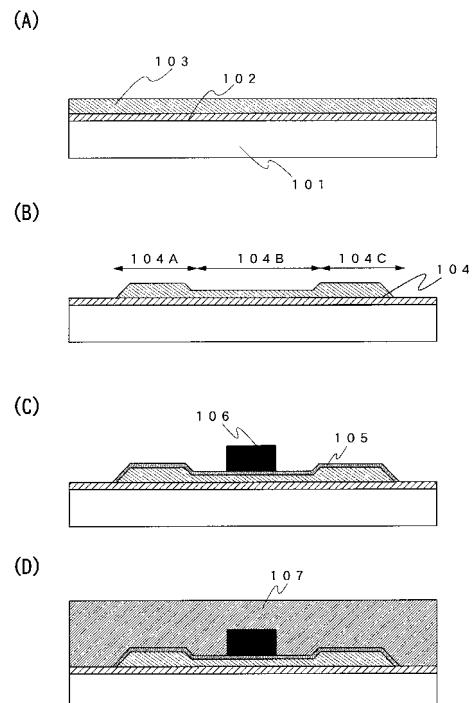
40

411 シリサイド膜

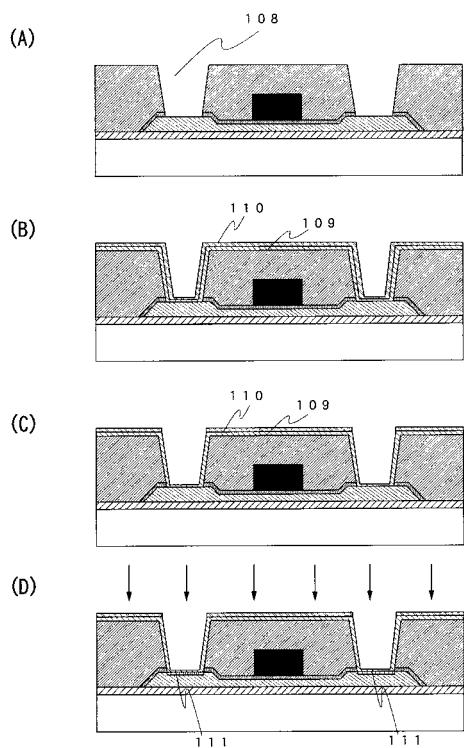
【図1】



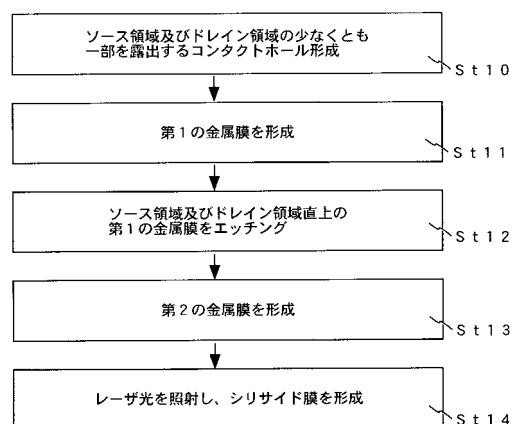
【図2】



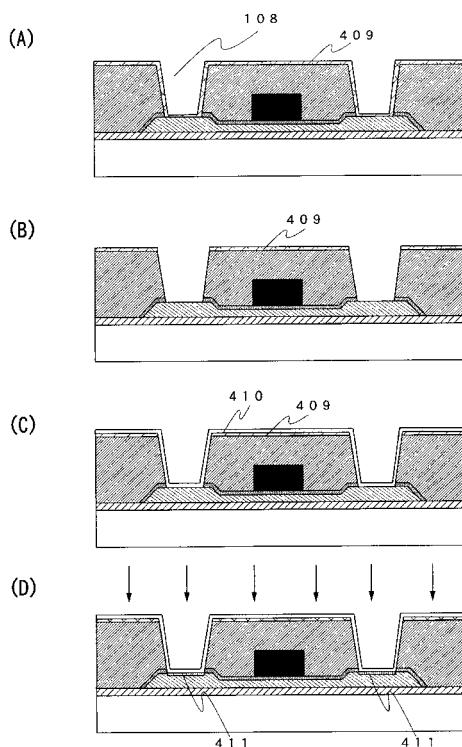
【図3】



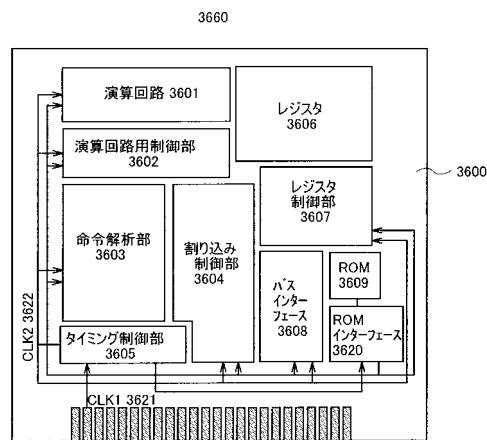
【図4】



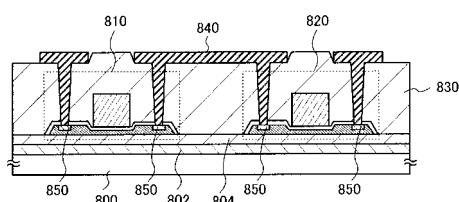
【図5】



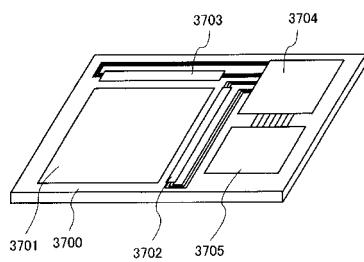
【図7】



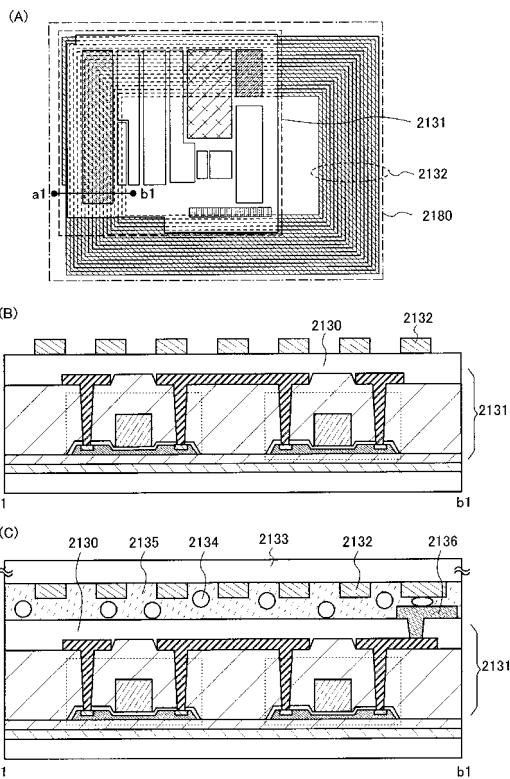
【図8】



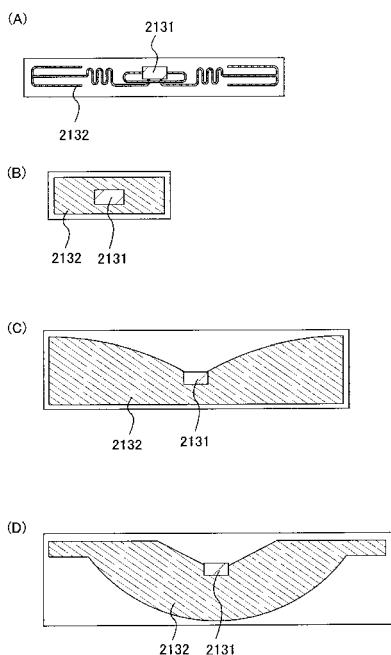
【図9】



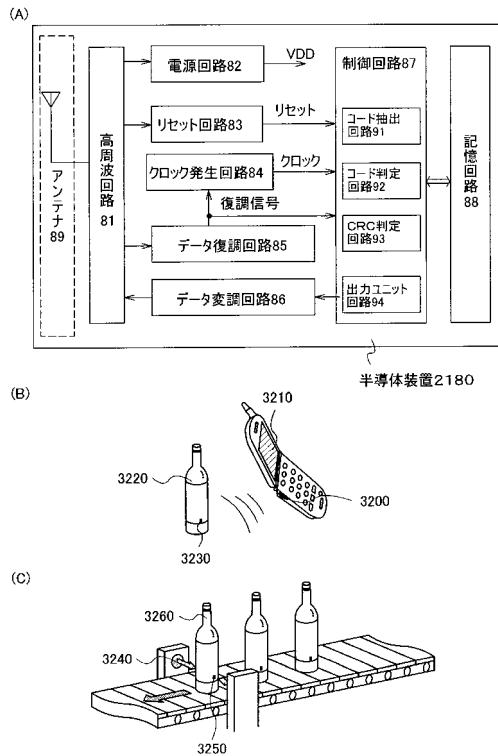
【図10】



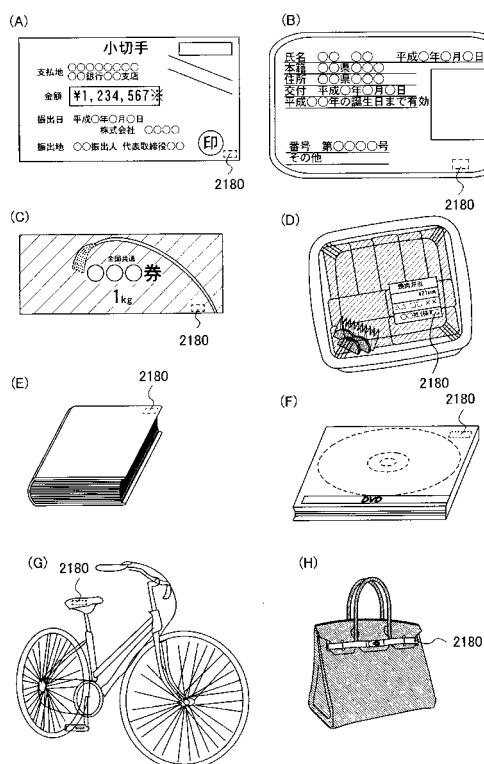
【図11】



【図12】

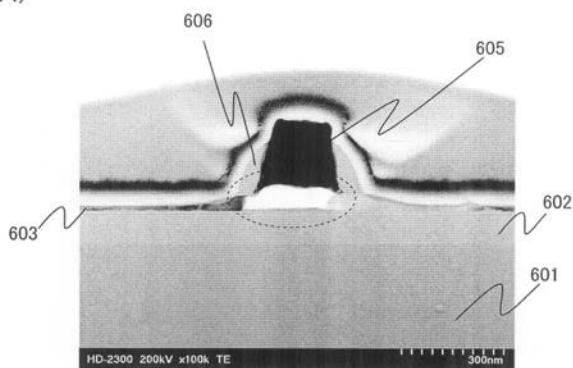


【図13】

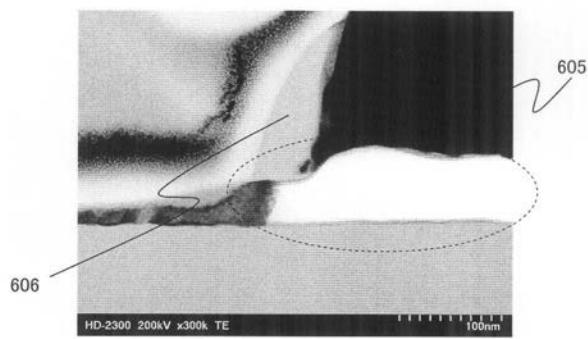


【図6】

(A)



(B)



フロントページの続き

(56)参考文献 特開平03-132041(JP, A)
特開2000-323713(JP, A)
特開平03-203322(JP, A)
特開平10-041516(JP, A)
特開平09-213962(JP, A)
米国特許出願公開第2002/0115242(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/786