I658577

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I658577 B**

(45)公告日： 中華民國 108 (2019) 年 05 月 01 日

(21)申請案號：103117311 (22)申請日： 中華民國 103 (2014) 年 05 月 16 日

(51)Int. Cl.： ***H01L27/14 (2006.01)*** ***H01L29/78 (2006.01)***

(30)優先權：2013/05/20 日本 2013-106337

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；坂倉真之 SAKAKURA, MASAYUKI (JP) ；須澤英臣 SUZAWA, HIDEOMI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200505016A	TW	201306265A
JP	2006-339556A	US	2011/0140100A1
US	2012/0058598A1	US	2012/0146713A1

審查人員：劉聖尉

申請專利範圍項數：16 項 圖式數：15 共 93 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

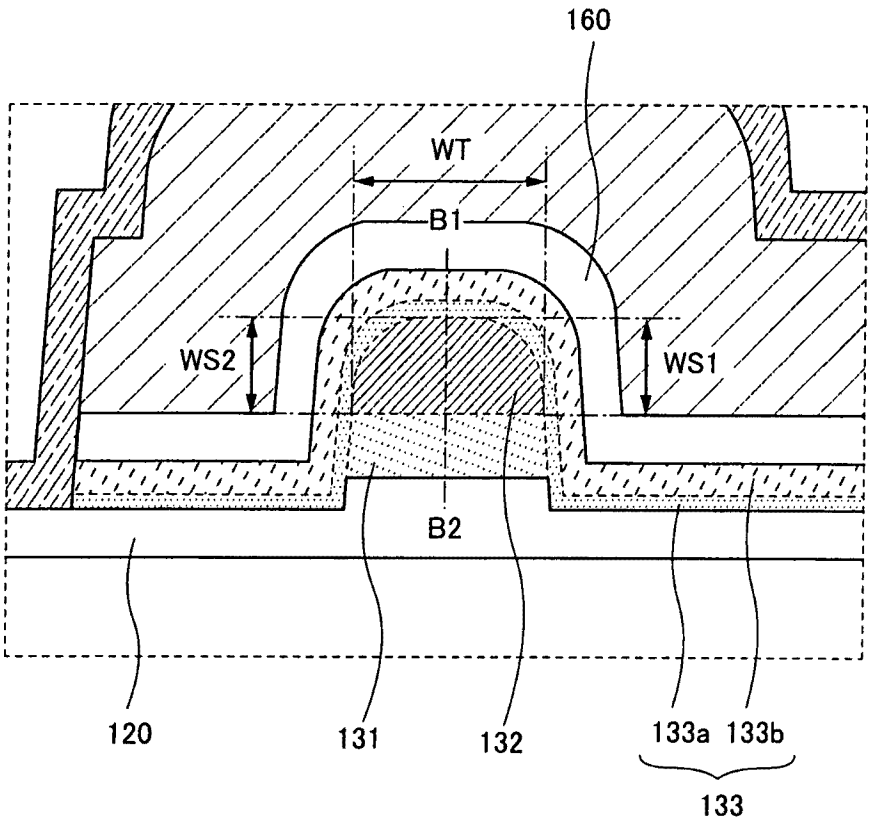
(57)摘要

本發明提供一種具有能夠抑制微型化所導致的電特性下降的半導體裝置。該半導體裝置包括：絕緣表面上的依次形成有第一氧化物半導體層及第二氧化物半導體層的疊層；以及以覆蓋該疊層的表面的一部分的方式形成的第三氧化物半導體層，第三氧化物半導體層包括與疊層接觸的第一層以及該第一層上的第二層，第一層由微晶層形成，第二層由 c 軸朝向垂直於第一層的表面的方向的結晶層形成。

A semiconductor device having a structure which can prevent a decrease in electrical characteristics due to miniaturization is provided. The semiconductor device includes, over an insulating surface, a stack in which a first oxide semiconductor layer and a second oxide semiconductor layer are sequentially formed, and a third oxide semiconductor layer covering part of a surface of the stack. The third oxide semiconductor layer includes a first layer in contact with the stack and a second layer over the first layer. The first layer includes a microcrystalline layer, and the second layer includes a crystalline layer in which c-axes are aligned in a direction perpendicular to a surface of the first layer.

指定代表圖：

圖 2



符號簡單說明：

120・・・基底絕緣膜

131・・・第一氧化物半導體層

132・・・第二氧化物半導體層

133・・・第三氧化物半導體層

133a・・・微晶層

133b・・・結晶層

160・・・閘極絕緣膜

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明的一個方式係關於一種使用氧化物半導體的半導體裝置。

[0002] 注意，本發明的一個方式不侷限於上述發明所屬之技術領域。本說明書等所公開的發明的一個方式的發明所屬之技術領域係關於物體、方法或製造方法。此外，本發明的一個方式係關於一種製程（process）、機器（machine）、產品（manufacture）或組合物（composition of matter）。因此，更具體地，作為本說明書所公開的本發明的一個方式的發明所屬之技術領域的一個例子，可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、記憶體裝置、它們的驅動方法或它們的製造方法。

[0003] 在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體、半導體電路為半導體裝置的一個方式。另外，記憶體裝置、顯示裝置、電子裝置有時包含半導體裝置。

【先前技術】

[0004] 藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體（也稱為薄膜電晶體（TFT））的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被周知。另外，作為其他材料，氧化物半導體受到注目。

[0005] 例如，在專利文獻 1 中，已公開了一種電晶體，該電晶體的活性層包括包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物半導體。

[0006] [專利文獻 1] 日本專利申請公開第 2006-165528 號公報

[0007] 當進行積體電路的高密度化時，電晶體的微型化是必不可少的技術。然而，已知隨著電晶體的微型化，電晶體的電特性卻劣化或者容易產生不均勻。就是說，由電晶體的微型化導致積體電路的良率容易下降。

【發明內容】

[0008] 鑒於上述問題，本發明的一個方式的目的之一是提供一種能夠抑制因微型化而呈現的電特性下降的半導體裝置。另一目的是提供一種具有能夠抑制微型化所導致的良率下降的結構的半導體裝置。本發明的一個方式的另一目的是提供一種積體度高的半導體裝置。本發明的一個方式的另一目的是提供一種通態電流特性的劣化得到抑

制的半導體裝置。本發明的一個方式的另一目的是提供一種低功耗的半導體裝置。本發明的一個方式的另一目的是提供一種可靠性高的半導體裝置。本發明的一個方式的另一目的是提供一種在關閉電源的狀態下也能保持資料的半導體裝置。本發明的一個方式的另一目的是提供一種新穎半導體裝置。

[0009] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的目的。

[0010] 本發明的一個方式係關於一種包括層疊有氧化物半導體層的半導體裝置。

[0011] 本發明的另一個方式是一種半導體裝置，包括：絕緣表面上的依次形成有第一氧化物半導體層及第二氧化物半導體層的疊層；以及以覆蓋該疊層的第一側面的一部分、頂面的一部分以及與該第一側面對置的第二側面的一部分的方式形成的第三氧化物半導體層，第三氧化物半導體層包括與疊層接觸的第一層以及該第一層上的第二層，第一層由微晶層形成，第二層由 c 軸朝向垂直於第一層的表面的方向的結晶層形成。

[0012] 本發明的一個方式是一種半導體裝置，該半導體裝置包括：絕緣表面上的依次形成有第一氧化物半導體層及第二氧化物半導體層的疊層；與該疊層的一部分接觸的源極電極層及汲極電極層；以與絕緣表面、源極電極

層及汲極電極層的各一部分接觸的方式形成的第三氧化物半導體層；形成在第三氧化物半導體層上的閘極絕緣膜；形成在閘極絕緣膜上的閘極電極層；以及形成在源極電極層、汲極電極層及閘極電極層上的絕緣層，第三氧化物半導體層包括接觸於疊層的第一層以及該第一層上的第二層，第一層由微晶層形成，第二層由 c 軸朝向垂直於第一層的表面的方向的結晶層形成。

[0013] 注意，在本說明書等中使用的“第一”，“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0014] 上述第一氧化物半導體層較佳為包括 c 軸朝向垂直於絕緣表面的方向的結晶層，上述第二氧化物半導體層較佳為包括 c 軸朝向垂直於第一氧化物半導體層的頂面的方向的結晶層。

[0015] 另外，在上述疊層與第三氧化物半導體層接觸的區域中，第二氧化物半導體層的表面較佳為具有曲面。

[0016] 第一氧化物半導體層及第三氧化物半導體層的導帶底的能量較佳為比第二氧化物半導體層的導帶底的能量更接近真空能階 0.05eV 以上且 2eV 以下。

[0017] 另外，第一氧化物半導體層至第三氧化物半導體層是 In-M-Zn 氧化物層（M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf），第一氧化物半導體層及第三氧化物半導體層中的相對於 In 的 M 原子數比比第二氧化物半導

體層中的相對於 In 的 M 原子數比較佳為大。

[0018] 藉由採用本發明的一個方式，能夠提供一種能夠抑制隨著微型化而呈現的電特性下降的半導體裝置。此外，可以提供一種具有能夠抑制微型化所導致的良率下降的結構的半導體裝置。另外，可以提供一種積體度高的半導體裝置。另外，可以提供一種通態電流特性的劣化得到抑制的半導體裝置。另外，可以提供一種低功耗的半導體裝置。另外，可以提供一種可靠性高的半導體裝置。另外，可以提供一種在關閉電源的狀態下也能保持資料的半導體裝置。另外，可以提供一種新穎半導體裝置。

[0019] 注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的效果。

【圖式簡單說明】

[0020] 在圖式中：

圖 1A 至圖 1C 是電晶體的俯視圖及剖面圖；

圖 2 是電晶體的剖面圖；

圖 3 是說明氧化物半導體層的帶結構的圖；

圖 4A 和圖 4B 是說明氧化物半導體層的疊層的一部分中的結晶結構的圖；

圖 5 是電晶體的放大剖面圖；

圖 6 是電晶體的剖面圖；

圖 7A 至圖 7C 是說明電晶體的製造方法的圖；

圖 8A 至圖 8C 是說明電晶體的製造方法的圖；

圖 9A 和圖 9B 是半導體裝置的剖面圖及電路圖；

圖 10 是半導體裝置的電路圖；

圖 11A 至圖 11D 是半導體裝置的電路圖及剖面圖；

圖 12 是半導體裝置的電路圖；

圖 13A 至圖 13C 是說明可適用半導體裝置的電子裝置的圖；

圖 14 是用來觀察氧化物半導體層的疊層狀態的樣本的剖面圖；

圖 15A 和圖 15B 是氧化物半導體層的剖面 TEM 照片。

【實施方式】

[0021] 參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，所屬發明所屬之技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在以下說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[0022] 另外，在本說明書等中，當明確地記載“X

與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。這裡，X 和 Y 為目標物（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。因此，還包括圖式或文章所示的連接關係以外的連接關係，而不侷限於規定的連接關係，例如圖式或文章所示的連接關係。

[0023] 在 X 與 Y 電連接的情況下，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件、負載等）。另外，開關具有控制導通和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。

[0024] 在 X 與 Y 在功能上連接的情況下，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，X 與 Y

也可以說是在功能上連接。

[0025] 此外，當明確地記載“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況（換言之，以中間夾有其他元件或其他電路的方式連接 X 與 Y 的情況）；X 與 Y 在功能上連接的情況（換言之，以中間夾有其他電路的方式在功能上連接 X 與 Y 的情況）；以及 X 與 Y 直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y 的情況）。換言之，當明確地記載“電連接”時，與簡單地明確記載“連接”的情況相同。

[0026] 另外，即使在電路圖上獨立的構成要素互相電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”在其範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

[0027] 注意，例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表現為如下。

[0028] 例如，可以表現為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相

電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表現為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表現為“X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次設置為相互連接”。藉由使用與這種例子相同的表現方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。注意，這種表現方法是一個例子，不侷限於上述表現方法。在此，X、Y、Z1 及 Z2 為目標物（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0029] 另外，在本說明書等中，可以使用各種基板形成電晶體。對基板的種類沒有特別的限制。作為該基板的一個例子，可以舉出半導體基板（例如，單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或者基材薄膜等。作為玻璃基板的一個例子，可以舉出鋇硼矽酸鹽玻璃基板、鋁硼矽酸鹽玻璃基板、鈉鈣玻璃基板等。作為撓性基板的一個例子，可以使用以聚對苯二甲

酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚碸（PES）為代表的塑膠或丙烯酸樹脂等具有撓性的合成樹脂等。作為貼合薄膜的一個例子，可以舉出聚丙烯、聚酯、聚氟化乙烯、聚氯乙烯等。作為基材薄膜的一個例子，可以舉出聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜、紙等。尤其是，藉由使用半導體基板、單晶基板或SOI基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高積體化。

[0030] 另外，作為基板也可以使用撓性基板，在該撓性基板上直接形成電晶體。或者，也可以在基板與電晶體之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造半導體裝置的一部分或全部，然後將其從基板分離並轉置到其他基板上的情況。此時，也可以將電晶體轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽膜的無機膜的層疊結構或基板上形成有聚醯亞胺等有機樹脂膜的結構等。

[0031] 另外，也可以使用一個基板形成電晶體，然後將該電晶體轉置到另一個基板上。作為轉置電晶體的基板，除了上述可以設置電晶體的基板之外，還可以使用紙基板、玻璃紙基板、芳族聚醯胺基板、聚醯亞胺基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基

板、橡皮基板等。藉由使用上述基板，可以形成特性良好的電晶體或功耗低的電晶體，可以製造不容易發生故障並具有耐熱性的裝置，或者可以實現輕量化或薄型化。

[0032]

實施方式 1

在本實施方式中，參照圖式說明本發明的一個方式的半導體裝置。

[0033] 圖 1A 至圖 1C 是本發明的一個方式的電晶體的俯視圖及剖面圖。圖 1A 是俯視圖，圖 1A 所示的點劃線 A1-A2 的剖面相當於圖 1B。圖 1C 是圖 1A 所示的點劃線 A3-A4 的剖面圖。另外，在圖 1A 的俯視圖中，為了明確起見，省略一部分的構成要素。此外，有時將點劃線 A1-A2 的方向稱為通道長度方向，將點劃線 A3-A4 的方向稱為通道寬度方向。

[0034] 圖 1A、圖 1B 及圖 1C 以及圖 2 所示的電晶體 100 包括：形成在基板 110 上的基底絕緣膜 120；在該基底絕緣膜上依次形成有第一氧化物半導體層 131 及第二氧化物半導體層 132 的疊層；與該疊層的一部分接觸地形成的源極電極層 140 及汲極電極層 150；與基底絕緣膜 120、該疊層、源極電極層 140 及汲極電極層 150 的各一部分接觸的第三氧化物半導體層 133；形成在該第三氧化物半導體層上的閘極絕緣膜 160；形成在該閘極絕緣膜上的閘極電極層 170；以及形成在源極電極層 140、汲極電極層 150 及閘極電極層 170 上的絕緣層 180。

[0035] 在此，第一氧化物半導體層 131 較佳為包括 c 軸朝向垂直於基底絕緣膜 120 的表面的方向的結晶層，第二氧化物半導體層 132 較佳為包括 c 軸朝向垂直於第一氧化物半導體層 131 的頂面的方向的結晶層。

[0036] 另外，第三氧化物半導體層 133 以包括接觸於上述疊層的第一層和該第一層上的第二層的方式形成。該第一層為微晶層，該第二層由 c 軸朝向垂直於該第一層的表面的方向的結晶層形成。

[0037] 另外，也可以在絕緣層 180 上形成有由氧化物構成的絕緣層 185。該絕緣層 185 根據需要設置即可，也可以在其上還設置其他絕緣層。另外，將第一氧化物半導體層 131、第二氧化物半導體層 132 以及第三氧化物半導體層 133 總稱為氧化物半導體層 130。

[0038] 另外，電晶體的“源極”和“汲極”的功能在使用極性不同的電晶體的情況下或在電路工作中當電流方向變化時，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

[0039] 另外，作為本發明的一個方式的電晶體，在重疊於氧化物半導體層（第一氧化物半導體層 131 及第二氧化物半導體層 132）的源極電極層 140 或汲極電極層 150 中，將圖 1A 的俯視圖所示的從氧化物半導體層的一端到源極電極層 140 或汲極電極層 150 的一端的距離（ΔW）設定為 50nm 以下，較佳為 25nm 以下。藉由縮小 ΔW，可以抑制基底絕緣膜 120 所包含的氧擴散到源極電

極層 140 或汲極電極層 150 的構成材料的金屬材料。因此，可以抑制基底絕緣膜 120 所包含的氧、尤其是所包含得過剩的氧的不需要的釋放，從基底絕緣膜 120 向氧化物半導體層有效地供應氧。

[0040] 接著，對本發明的一個方式的電晶體 100 的構成要素進行詳細的說明。

[0041] 基板 110 不侷限於僅進行支撐的基板，也可以是形成有電晶體等其他裝置的基板。此時，電晶體 100 的閘極電極層 170、源極電極層 140 和汲極電極層 150 中的至少一個也可以與上述裝置電連接。

[0042] 基底絕緣膜 120 除了防止雜質從基板 110 擴散的功能以外，還可以具有對氧化物半導體層 130 供應氧的功能。因此，基底絕緣膜 120 較佳為包含氧，更佳為包含比化學計量比多的氧。此外，如上所述，當基板 110 是形成有其他裝置的基板時，基底絕緣膜 120 還用作層間絕緣膜。在此情況下，較佳為利用 CMP（Chemical Mechanical Polishing；化學機械拋光）法等進行平坦化處理，以使其表面平坦。

[0043] 另外，在形成電晶體 100 的通道的區域中，氧化物半導體層 130 具有從基板 110 一側依次層疊有第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的結構。另外，如圖 1C 的通道寬度方向的剖面圖所示，在通道形成區域中，第三氧化物半導體層 133 以覆蓋由第一氧化物半導體層 131 和第二氧化物半

導體層 132 構成的疊層的側面、頂面以及與該側面對置的側面的方式形成。因此，在通道形成區域中，第二氧化物半導體層 132 具有被第一氧化物半導體層 131 及第三氧化物半導體層 133 包圍的結構。

[0044] 在此，例如，第二氧化物半導體層 132 使用其電子親和力（真空能階與導帶底之間的能量差）大於第一氧化物半導體層 131 及第三氧化物半導體層 133 的氧化物半導體。電子親和力是從真空能階與價帶頂之間的能量差（游離電位）減去導帶底與價帶頂之間的能量差（能隙）的值。

[0045] 第一氧化物半導體層 131 及第三氧化物半導體層 133 較佳為包含一種以上的構成第二氧化物半導體層 132 的金屬元素。例如，第一氧化物半導體層 131 及第三氧化物半導體層 133 較佳為使用其導帶底的能量比第二氧化物半導體層 132 的導帶底的能量更接近真空能階 0.05eV、0.07eV、0.1eV 或 0.15eV 以上且 2eV、1eV、0.5eV 或 0.4eV 以下。

[0046] 在上述結構中，當對閘極電極層 170 施加電場時，通道形成在氧化物半導體層 130 中的導帶底的能量最低的第二氧化物半導體層 132 中。換言之，由於在第二氧化物半導體層 132 與閘極絕緣膜 160 之間形成有第三氧化物半導體層 133，所以電晶體的通道不與該閘極絕緣膜接觸。

[0047] 另外，第一氧化物半導體層 131 包含一種以

上的構成第二氧化物半導體層 132 的金屬元素，因此，與第二氧化物半導體層 132 和基底絕緣膜 120 接觸時的兩者之間的介面相比，在第二氧化物半導體層 132 與第一氧化物半導體層 131 之間的介面不容易形成介面能階。上述介面能階有時形成通道，因此有時這導致電晶體的臨界電壓的變動。所以，藉由設置第一氧化物半導體層 131，能夠抑制電晶體的臨界電壓等電特性的不均勻。此外，可以提高該電晶體的可靠性。

[0048] 另外，第三氧化物半導體層 133 包含一種以上的構成第二氧化物半導體層 132 的金屬元素，因此，與第二氧化物半導體層 132 與閘極絕緣膜 160 接觸時的兩者之間的介面相比，在第二氧化物半導體層 132 與第三氧化物半導體層 133 之間的介面不容易發生載子散射。所以，藉由設置第三氧化物半導體層 133，能夠提高電晶體的場效移動率。

[0049] 例如，在第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 為至少包含銦、鋅及 M（Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬）的 In-M-Zn 氧化物層的情況下，第一氧化物半導體層 131 及第三氧化物半導體層 133 中的相對於 In 或 Zn 的 M 的原子數比較佳為高於第二氧化物半導體層 132 中的相對於 In 或 Zn 的 M 的原子數比。明確而言，第一氧化物半導體層 131 及第三氧化物半導體層 133 的金屬元素的原子數比為第二氧化物半導體層 132 的 1.5 倍以

上，較佳為 2 倍以上，更佳為 3 倍以上。M 與氧的鍵合比 In 或 Zn 與氧的鍵合強，所以具有抑制在氧化物半導體層中產生氧缺陷的功能。由此可說，與第二氧化物半導體層 132 相比，在第一氧化物半導體層 131 及第三氧化物半導體層 133 中不容易產生氧缺陷。

[0050] 另外，在第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 為至少包含銦、鋅及 M（Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬）的 In-M-Zn 氧化物層，且第一氧化物半導體層 131 的原子數比為 $In:M:Zn=x_1:y_1:z_1$，第二氧化物半導體層 132 的原子數比為 $In:M:Zn=x_2:y_2:z_2$，第三氧化物半導體層 133 的原子數比為 $In:M:Zn=x_3:y_3:z_3$ 的情況下，y_1/x_1 及 y_3/x_3 較佳為大於 y_2/x_2。y_1/x_1 及 y_3/x_3 為 y_2/x_2 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。此時，在第二氧化物半導體層 132 中，在 y_2 為 x_2 以上的情況下，能夠使電晶體的電特性變得穩定。注意，在 y_2 為 x_2 的 3 倍以上的情況下，電晶體的場效移動率降低，因此 y_2 較佳為低於 x_2 的 3 倍。

[0051] 注意，在本說明書中，表示氧化物半導體層的組成的原子數比還意味著原材料的原子數比。在以氧化物半導體材料為靶材利用濺射法進行成膜的情況下，根據濺射氣體的種類或比例、靶材的密度以及成膜條件，成膜之後的氧化物半導體層的組成有時與原材料的靶材的組成不同。因此，在本說明書中，表示氧化物半導體層的組成

的原子數比包括原材料的原子數比。例如，在利用濺射法進行成膜時，可以將“原子數比為 1:1:1 的 In-Ga-Zn 氧化物膜”解釋為“以原子數比為 1:1:1 的 In-Ga-Zn 氧化物材料為靶材形成的 In-Ga-Zn 氧化物膜”。

[0052] 第一氧化物半導體層 131 及第三氧化物半導體層 133 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比較佳為如下：In 的比率低於 50atomic%，M 的比率為 50atomic%以上，更佳為如下：In 的比率低於 25atomic%，M 的比率為 75atomic%以上。另外，第二氧化物半導體層 132 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比較佳為如下：In 的比率為 25atomic%以上，M 的比率低於 75atomic%，更佳為如下：In 的比率為 34atomic%以上，M 的比率低於 66atomic%。

[0053] 第一氧化物半導體層 131 及第三氧化物半導體層 133 的厚度為 1nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，第二氧化物半導體層 132 的厚度為 1nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0054] 第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 例如可以使用包含銦、鋅及鎵的氧化物半導體。尤其是，當第二氧化物半導體層 132 包含銦時，載子移動率得到提高，所以是較佳的。

[0055] 因此，藉由氧化物半導體層 130 採用第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化

物半導體層 133 的疊層結構，能夠在第二氧化物半導體層 132 中形成通道，由此能夠形成具有高場效移動率且穩定電特性的電晶體。

[0056] 在第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的帶結構中，導帶底的能量連續地變化。這從由於第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的組成相互相似，在第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 中氧容易擴散上，也可以得到理解。由此可以說，雖然第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 是組成互不相同的疊層體，但是在物性上是連續的。因此，在本說明書的圖式中，被層疊的各氧化物半導體層之間的介面由虛線表示。

[0057] 主要成分為相同的氧化物半導體層 130 不以簡單地層疊各膜的方式，而以形成連續結合（在此，尤其是指各層之間的導帶底的能量連續地變化的 U 型井）的方式形成。換而言之，採用在各膜之間的介面不存在雜質的疊層結構，該雜質會形成俘獲中心或再結合中心等缺陷能階。如果，雜質混入層疊的氧化物半導體層的層間，能帶則失去連續性，因此載子在介面被俘獲或者再結合而消失。

[0058] 例如，第一氧化物半導體層 131 及第三氧化物半導體層 133 可以使用 In:Ga:Zn=1:3:2、1:3:3、1:3:4、

1:3:6、1:6:4 或 1:9:6（原子數比）的 In-Ga-Zn 氧化物等，第二氧化物半導體層 132 可以使用 In:Ga:Zn=1:1:1、5:5:6 或 3:1:2（原子數比）等 In-Ga-Zn 氧化物等。

[0059] 氧化物半導體層 130 的第二氧化物半導體層 132 用作井（well），而在包括氧化物半導體層 130 的電晶體中，通道形成在第二氧化物半導體層 132 中。另外，氧化物半導體層 130 的導帶底的能量連續地變化，因此，也可以將氧化物半導體層 130 稱為 U 型井（U Shape well）。另外，也可以將具有上述結構的通道稱為埋入通道。

[0060] 另外，起因於雜質或缺陷的陷阱能階有可能形成在第一氧化物半導體層 131 與氧化矽膜等絕緣膜之間以及第三氧化物半導體層 133 與氧化矽膜等絕緣膜之間的介面附近，但是藉由設置第一氧化物半導體層 131 及第三氧化物半導體層 133，可以使第二氧化物半導體層 132 和該陷阱能階相隔。

[0061] 注意，當第一氧化物半導體層 131 及第三氧化物半導體層 133 的導帶底的能量與第二氧化物半導體層 132 的導帶底的能量之間的能量差小時，有時第二氧化物半導體層 132 的電子越過該能量差到達陷阱能階。當電子被陷阱能階俘獲時，在絕緣膜的介面產生負的固定電荷，使得電晶體的臨界電壓向正方向漂移。

[0062] 因此，為了降低電晶體的臨界電壓的變動，需要在第一氧化物半導體層 131 及第三氧化物半導體層

133 的導帶底的能量與第二氧化物半導體層 132 的導帶底的能量之間設置一定程度以上的差異。各該能量差較佳為 0.1eV 以上，更佳為 0.15eV 以上。

[0063] 另外，第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 較佳為包含在 c 軸方向上配向的結晶層。藉由使用該結晶層所包含的膜，可以使電晶體具有穩定的電特性。

[0064] 另外，在氧化物半導體層 130 使用 In-Ga-Zn 氧化物的情況下，為了防止 In 擴散到閘極絕緣膜，較佳為第三氧化物半導體層 133 中的 In 的含量小於第二氧化物半導體層 132。

[0065] 本發明的一個方式的電晶體既是上述埋入通道的電晶體，又是如圖 2 所示地第三氧化物半導體層 133 包括：與第一氧化物半導體層 131 和第二氧化物半導體層 132 的疊層及基底絕緣膜 120 接觸的微晶層 133a；c 軸朝向垂直於該微晶層的表面的方向的結晶層 133b。

[0066] 圖 3 示出該結構中的氧化物半導體層（相當於圖 2 的 B1-B2 方向）的帶結構的詳細內容。在此，Evac 表示真空能階的能量，EcI1 及 EcI2 表示氧化矽膜的導帶底的能量，EcS1 表示第一氧化物半導體層 131 的導帶底的能量，EcS2 表示第二氧化物半導體層 132 的導帶底的能量，EcS3 表示第三氧化物半導體層 133 的導帶底的能量。

[0067] 在 EcS1-EcS2 之間及在 EcS3-EcS2 之間能量

沒有呈現急劇的變化，並在其變化的開始部分及結束部分以逐漸變化傾斜度的方式變化。

[0068] 這是因為如下緣故：在第一氧化物半導體層 131 與第二氧化物半導體層 132 的介面及第三氧化物半導體層 133 與第二氧化物半導體層 132 的介面處，組成物互相擴散，由此形成具有第一氧化物半導體層 131 與第二氧化物半導體層 132 之間的組成或第三氧化物半導體層 133 與第二氧化物半導體層 132 之間的組成的區域。

[0069] 由此，如圖 3 所示，形成於第二氧化物半導體層 132 中的通道形成在區域 132b 中，該區域 132b 位於在膜的中心方向上從第三氧化物半導體層 133 和第二氧化物半導體層 132 的介面離著一點的位置與在膜的中心方向上從第一氧化物半導體層 131 和第二氧化物半導體層 132 的介面離著一點的位置之間。因此，即使在該任一介面中存在缺陷或雜質，也可以抑制載子的俘獲或再結合。

[0070] 另外，因為在第三氧化物半導體層 133 中，與第一氧化物半導體層 131 和第二氧化物半導體層 132 的疊層接觸的區域為微晶層 133a，並且該微晶層的密度比形成在該微晶層上的結晶層 133b 的密度小等，所以第二氧化物半導體層 132 的組成物容易擴散到第三氧化物半導體層 133 一側。由此，具有第三氧化物半導體層 133 與第二氧化物半導體層 132 之間的組成的區域增大。因此，形成於第二氧化物半導體層 132 中的通道形成在膜的中心方向上從第三氧化物半導體層 133 和第二氧化物半導體層

132 的介面進一步離開的位置，能夠更有效地抑制在該介面上有缺陷或雜質的問題。

[0071] 此外，當第一氧化物半導體層 131 及第二氧化物半導體層 132 由在 c 軸上配向的結晶層形成時，可以說因為微晶層 133a 的密度比該結晶層小，所以比較容易擴散氧。因此，以微晶層 133a 為路徑，可以從基底絕緣膜 120 向用作通道的第二氧化物半導體層 132 高效率地供應氧，由此可以填補氧缺陷。

[0072] 第三氧化物半導體層 133 中的結晶層 133b 的 c 軸朝向垂直於微晶層 133a 的表面的方向。由此，藉由以使第二氧化物半導體層 132 的表面具有曲面的方式形成第二氧化物半導體層 132，可以由 c 軸配向的結晶稠密地覆蓋第二氧化物半導體層 132 的通道區域。

[0073] 圖 4A 是剖面圖，示意性地示出在電晶體的通道寬度方向上以具有曲面的方式形成的第二氧化物半導體層 132、覆蓋該第二氧化物半導體層的微晶層 133a 以及形成在該微晶層上的結晶層 133b 的疊層的一部分的結晶結構。在此，第二氧化物半導體層 132 為 c 軸朝向垂直於第一氧化物半導體層 131（未圖示）的表面的方向的結晶層。

[0074] 如圖式所示，藉由使第二氧化物半導體層 132 的表面具有曲面而形成，可以夾著微晶層 133a 形成包括 c 軸朝向垂直於該曲面的表面的方向且稠密的結晶層 133b 的第三氧化物半導體層 133。因此，藉由設置第三氧化物

半導體層 133，可以提高抑制氧從第二氧化物半導體層 132 脫離的效果或封閉從基底絕緣膜 120 釋放的氧，從而對第二氧化物半導體層 132 的氧缺陷高效率地進行氧的填補。

[0075] 另外，當不以第二氧化物半導體層 132 的表面具有曲面的方式形成時，如圖 4B 所示，作為第三氧化物半導體層 133，在形成於第二氧化物半導體層 132 的上部的結晶層 133b 及形成於第二氧化物半導體層 132 的側部的結晶層 133b 相交的區域被形成結晶稀疏的區域 233。因此，第二氧化物半導體層 132 具有的氧及從基底絕緣膜 120 向第二氧化物半導體層 132 供應的氧經過區域 233 會容易釋放。由此，不能對第二氧化物半導體層 132 的氧缺陷高效率地進行氧的填補。

[0076] 此外，為了對其通道形成在氧化物半導體層中的電晶體賦予穩定電特性，藉由降低氧化物半導體層中的雜質濃度，來使氧化物半導體層成為本質或實質上本質是有效的。在此，“實質上本質”是指氧化物半導體層的載子密度低於 $1\times10^{17}/cm^3$，較佳為低於 $1\times10^{15}/cm^3$，更佳為低於 $1\times10^{13}/cm^3$。

[0077] 此外，對氧化物半導體層來說，氫、氮、碳、矽以及主要成分以外的金屬元素是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽引起氧化物半導體層中的雜質能階的形成。該雜質能階成為陷阱，有可能使電晶體的電特性劣化。因此，較佳為降低第

一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 中以及各層之間的介面的雜質濃度。

[0078] 為了使氧化物半導體層成為本質或實質上本質，例如在氧化物半導體層的某個深度處或氧化物半導體層的某個區域中較佳為包含如下部分：藉由 SIMS（Secondary Ion Mass Spectrometry：二次離子質譜）分析測定出的矽濃度低於 1×10^{19}atoms/cm^3，較佳為低於 5×10^{18}atoms/cm^3，更佳為低於 1×10^{18}atoms/cm^3 的部分。此外，例如在氧化物半導體層的某個深度處或氧化物半導體層的某個區域中較佳為包含如下部分：氫濃度為 2×10^{20}atoms/cm^3 以下，較佳為 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{19}atoms/cm^3 以下，進一步佳為 5×10^{18}atoms/cm^3 以下的部分。此外，例如在氧化物半導體層的某個深度處或氧化物半導體層的某個區域中較佳為包含如下部分：氮濃度低於 5×10^{19}atoms/cm^3，較佳為 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{18}atoms/cm^3 以下，進一步佳為 5×10^{17} atoms/cm^3 以下的部分。

[0079] 此外，當氧化物半導體層包含結晶時，如果以高濃度包含矽或碳，氧化物半導體層的結晶性則有可能降低。為了防止氧化物半導體層的結晶性的降低，例如在氧化物半導體層的某個深度處或氧化物半導體層的某個區域中包含如下部分即可：矽濃度低於 1×10^{19}atoms/cm^3，較佳為低於 5×10^{18}atoms/cm^3，更佳低於 1×10^{18}atoms/cm^3 的部分。此外，例如在氧化物半導體層的某個深度處或氧

化物半導體層的某個區域中包含如下部分即可：碳濃度低於 1×10^{19}atoms/cm^3，較佳為低於 5×10^{18}atoms/cm^3，更佳為低於 1×10^{18}atoms/cm^3 的部分。

[0080] 此外，將如上述那樣的被高度純化了的氧化物半導體層用於通道形成區的電晶體的關態電流（off-state current）極小。例如，可以使以源極與汲極之間的電壓為 0.1V、5V 或 10V 左右時的電晶體的通道寬度歸一化的關態電流降低到幾 yA/μm 至幾 zA/μm。

[0081] 另外，作為電晶體的閘極絕緣膜，大多使用包含矽的絕緣膜，由於上述原因較佳為如本發明的一個方式的電晶體那樣不使氧化物半導體層的用作通道的區域與閘極絕緣膜接觸。另外，當通道形成在閘極絕緣膜與氧化物半導體層之間的介面時，有時在該介面產生載子散射而使電晶體的場效移動率降低。從上述觀點來看，可以說較佳為使氧化物半導體層的用作通道的區域與閘極絕緣膜離開。

[0082] 源極電極層 140 及汲極電極層 150 較佳為使用容易與氧鍵合的導電材料。例如，可以使用 Al、Cr、Cu、Ta、Ti、Mo 和 W 等。在上述材料中，尤其較佳為使用容易與氧鍵合的 Ti 或在後面能以較高的溫度進行處理的熔點高的 W。此外，容易與氧鍵合的導電材料包括氧容易擴散的材料。

[0083] 當使容易與氧鍵合的導電材料與氧化物半導體層接觸時，發生氧化物半導體層中的氧擴散到容易與氧

鍵合的導電材料一側的現象。該現象隨著溫度的提高而明顯。因為在電晶體的製程中有加熱製程，所以因上述現象而在氧化物半導體層的與源極電極層或汲極電極層接觸的區域的附近發生氧缺陷，包含於層中的微量的氫與該氧缺陷鍵合而使該區域 n 型化。因此，可以將被 n 型化了的該區域用作電晶體的源極或汲極。

[0084] 上述 n 型化的區域示出在圖 5 的電晶體的放大剖面圖（通道長度方向的剖面的一部分，源極電極層 140 的附近）。在第一氧化物半導體層 131 與第二氧化物半導體層 132 中由虛線表示的邊界 135 是本質半導體區域與 n 型半導體區域的邊界。在第一氧化物半導體層 131 與第二氧化物半導體層 132 中，與源極電極層 140 接觸的附近的區域為 n 型化區域。注意，邊界 135 是示意地示出的，實際上有時不太清楚。另外，雖然在圖 5 中示出邊界 135 的一部分在第二氧化物半導體層 132 中在橫方向上延伸的情況，但是有時第一氧化物半導體層 131 及第二氧化物半導體層 132 中的夾在源極電極層 140 和基底絕緣膜 120 的整個區域在膜厚度方向上 n 型化。

[0085] 注意，當形成通道長度極小的電晶體時，有時因上述氧缺陷的發生而 n 型化的區域向電晶體的通道長度方向超出。此時，電晶體的電特性發生變化，例如臨界電壓漂移或不能由閘極電壓控制開關（此時電晶體處於導通狀態）。因此，當形成通道長度極小的電晶體時，不一定較佳為將容易與氧鍵合的導電材料用於源極電極層及汲

極電極層。

[0086] 在此情況下，源極電極層 140 及汲極電極層 150 也可以使用比上述材料更不容易與氧鍵合的導電材料。作為該導電材料，例如可以使用包含氮化鉭、氮化鈦、金、鉑、鈀或釕的材料等。另外，當該導電材料與第二氧化物半導體層 132 接觸時，源極電極層 140 及汲極電極層 150 也可以採用層疊該導電材料與上述容易與氧鍵合的材料的結構。

[0087] 作為閘極絕緣膜 160，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鉿、氧化鉭和氧化鈮中的一種以上的絕緣膜。此外，閘極絕緣膜 160 也可以是上述材料的疊層。

[0088] 作為閘極電極層 170，可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta 和 W 等的導電膜。此外，該閘極電極層也可以是上述材料的疊層。另外，該閘極電極層可以使用包含氮的導電膜。

[0089] 在閘極絕緣膜 160 及閘極電極層 170 上較佳為形成有絕緣層 180。作為該絕緣層，較佳為使用氧化鋁。氧化鋁膜具有不使氫、水分等雜質及氧的兩者透過的高遮斷效果。因此，將氧化鋁膜用作具有如下效果的保護膜：在電晶體的製程中及製造電晶體之後，防止導致電晶體的電特性的變動的氫、水分等雜質向氧化物半導體層 130 混入；防止作為構成氧化物半導體層 130 的主要成分

的材料的氧從氧化物半導體層釋放；防止從基底絕緣膜120的氧的不需要的釋放。此外，也可以使包含在氧化鋁膜中的氧擴散在氧化物半導體層中。

[0090] 另外，在絕緣層180上較佳為形成有絕緣層185。作為絕緣層185，可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿和氧化鉭中的一種以上的絕緣膜。此外，該絕緣層185也可以是上述材料的疊層。

[0091] 在此，絕緣層185較佳為包含過剩氧。包含過剩氧的絕緣層是指因加熱處理等而能夠釋放氧的絕緣層。藉由在表面溫度為100℃以上且700℃以下，較佳為100℃以上且500℃以下的加熱處理中利用熱脫附譜分析，換算為氧原子的氧的釋放量為1.0×10^{19}atoms/cm^{3}以上的膜。能夠將該絕緣層釋放的氧經由閘極絕緣膜160擴散到氧化物半導體層130的通道形成區，因此即使在通道形成區形成氧缺陷的情況下也能夠補充氧。因此，能夠獲得穩定的電晶體電特性。

[0092] 為了實現半導體裝置的高積體化，必須進行電晶體的微型化。另一方面，已知伴隨著電晶體的微型化，電晶體的電特性劣化，特別是通道寬度的縮短直接導致的通態電流的減少顯著。

[0093] 然而，在本發明的一個方式的電晶體中，如上所述以覆蓋第二氧化物半導體層132的用來形成通道的

區域的方式形成有第三氧化物半導體層 133，通道形成層與閘極絕緣膜沒有接觸。由此，可以抑制在通道形成層與閘極絕緣膜的介面產生的載子的散射，從而可以提高電晶體的場效移動率。

[0094] 另外，藉由本發明的一個方式的電晶體採用如圖 2 的通道寬度方向的剖面圖所示那樣通道寬度方向的第二氧化物半導體層 132 的頂面的長度（W_T）縮小到與該氧化物半導體層的膜厚度相同的程度的結構，尤其可以提高電特性。

[0095] 例如，在如圖 2 所示的電晶體中，當如上那樣 W_T 小時，從閘極電極層 170 施加到第二氧化物半導體層 132 的側面的電場影響於整個第二氧化物半導體層 132，所以也在與形成在頂面的通道相等的通道形成在第二氧化物半導體層 132 的側面。

[0096] 當使用 W_T 小的電晶體時，通道寬度可以定義為 W_T 及通道寬度方向上的第二氧化物半導體層 132 的側面長度（W_{S1}、W_{S2}）的總和（$W_T+W_{S2}+W_{S1}$），對應於該通道寬度的通態電流流過該電晶體中。另外，當 W_T 極小時，電流流過整個第二氧化物半導體層 132 中。

[0097] 即，使用本發明的一個方式的 W_T 小的電晶體具有抑制載子的散射的效果以及擴大通道寬度的效果，所以與習知的電晶體相比可以提高通態電流。

[0098] 注意，當 $W_S=W_{S1}=W_{S2}$ 時，為了高效地增加電晶體的通態電流，使 W_S 滿足 $0.3W_S \leq W_T \leq 3W_S$（$W_T$ 為

$0.3W_S$ 以上且 $3W_S$ 以下）的關係。另外，較佳為滿足 W_T/W_S 為 0.5 以上且 1.5 以下，更佳為滿足 W_T/W_S 為 0.7 以上且 1.3 以下的關係。當 $W_T/W_S>3$ 時，S 值（亞臨界值）或關態電流有可能增高。

[0099] 如上所述，在本發明的一個方式的電晶體中，在進行電晶體的微型化的情況下也能夠獲得足夠大的通態電流。

[0100] 另外，在本發明的一個方式的電晶體中，藉由將第二氧化物半導體層 132 形成在第一氧化物半導體層 131 上，來使介面能階不容易產生。此外，藉由使第二氧化物半導體層 132 位於三層結構中的中間層，來消除從上下方混入的雜質的影響。由於第二氧化物半導體層 132 被第一氧化物半導體層 131 及第三氧化物半導體層 133 包圍，因此，除了可以增加上述電晶體的通態電流之外，還可以實現臨界電壓的穩定化或 S 值的改善。因此，可以降低 Icut（閘極電壓 VG 為 0V 時的電流），而可以降低半導體裝置的功耗。另外，由於電晶體的臨界電壓穩定，所以可以提高半導體裝置的長期可靠性。

[0101] 另外，如圖 6 所示，本發明的一個方式的電晶體也可以包括氧化物半導體層 130 與基板 110 之間的導電膜 172。藉由將該導電膜用作第二閘極電極，能夠進一步增加通態電流或控制臨界電壓。當想要增加通態電流時，例如，對閘極電極層 170 和導電膜 172 供應相同的電位來實現雙閘極電晶體即可。另外，當想要控制臨界電壓

時，對導電膜 172 供應與閘極電極層 170 不同的恆電位即可。

[0102] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0103]

實施方式 2

在本實施方式中，參照圖 7A 至圖 8C 對實施方式 1 所說明的圖 1A 和圖 1B 所示的電晶體 100 的製造方法進行說明。

[0104] 基板 110 可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，也可以採用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣體上矽晶片）基板等，並且也可以在上述基板上設置半導體元件並將其用作基板 110。

[0105] 作為基底絕緣膜 120 可以藉由電漿 CVD 法或濺射法等形成氧化鋁、氧化鎂、氧化矽、氧氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿和氧化鉭等的氧化物絕緣膜、氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等的氮化物絕緣膜或者混合上述材料而形成的膜。此外，基底絕緣膜 120 也可以是上述材料的疊層，其中，較佳為與氧化物半導體層 130 接觸的上層至少使用包含過剩氧的材料形成，以對氧化物半導體層 130 供應氧。

[0106] 另外，也可以利用離子植入法、離子摻雜法、電漿浸沒離子植入法（Plasma-immersion ion implantation method）等對基底絕緣膜 120 添加氧。藉由添加氧，可以更容易地將氧從基底絕緣膜 120 供應到氧化物半導體層 130 中。

[0107] 注意，在基板 110 的表面由絕緣體構成，並且，雜質不會擴散到後面形成的氧化物半導體層 130 中的情況下，也可以不設置基底絕緣膜 120。

[0108] 接著，利用濺射法、CVD（Chemical Vapor Deposition：化學氣相沉積）法、MBE（Molecular Beam Epitaxy：分子束磊晶）法、ALD（Atomic Layer Deposition：原子層沉積）法或 PLD（Pulse Laser Deposition：脈衝雷射沉積）法在基底絕緣膜 120 上形成成為第一氧化物半導體層 131 的第一氧化物半導體膜 331 及成為第二氧化物半導體層 132 的第二氧化物半導體膜 332（參照圖 7A）。

[0109] 接著，藉由對第一氧化物半導體膜 331 及第二氧化物半導體膜 332 選擇性地進行蝕刻，形成第一氧化物半導體層 131 及第二氧化物半導體層 132（參照圖 7B）。此時，如圖 7B 所示，也可以對基底絕緣膜 120 進行若干過剩的蝕刻。藉由對基底絕緣膜 120 進行過剩蝕刻，可以變得容易由後面形成的閘極電極覆蓋第二氧化物半導體層 132。另外，在電晶體的通道寬度方向上的剖面中形成為從第二氧化物半導體層 132 的頂面到其側面具有

曲率的形狀。

[0110] 另外，當對第一氧化物半導體膜 331 及第二氧化物半導體膜 332 進行選擇性地蝕刻時，不僅光阻劑而且金屬膜等硬遮罩可以使用。此外，也可以將有機樹脂形成在該金屬膜上。例如，作為該金屬膜，可以使用 5nm 左右的鎢膜等。

[0111] 另外，作為上述蝕刻的方法，較佳為使用第一氧化物半導體膜 331 與第二氧化物半導體膜 332 的蝕刻速率的差異小的乾蝕刻法。

[0112] 為了在第一氧化物半導體層 131 與第二氧化物半導體層 132 的疊層中形成連續結合，較佳為使用具備負載鎖定室的多室成膜裝置（例如，濺射裝置）以不暴露於大氣的方式連續地層疊各個層。在濺射裝置中的各室中，較佳為使用低溫泵等吸附式真空泵進行高真空抽氣（抽空到 5×10^{-7}Pa 以上且 1×10^{-4}Pa 以下左右）且將被成膜的基板加熱到 100℃以上，較佳為 500℃以上，來盡可能地去除對氧化物半導體來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止將包含碳成分或水分等的氣體從排氣系統倒流到各室內。

[0113] 為了獲得高純度本質的氧化物半導體，不僅需要對各室進行高真空抽氣，而且需要進行濺射氣體的高度純化。藉由作為用作濺射氣體的氧氣體或氬氣體，使用露點為-40℃以下，較佳為-80℃以下，更佳為-100℃以下的高度純化的氧氣體或氬氣體，能夠盡可能地防止水分等

混入氧化物半導體層。

[0114] 第一氧化物半導體層 131、第二氧化物半導體層 132 及在後面的製程中形成的第三氧化物半導體層 133 可以使用實施方式 1 所說明的材料。例如，第一氧化物半導體層 131 可以使用原子數比為 In:Ga:Zn=1:3:6、1:3:4、1:3:3 或 1:3:2 的 In-Ga-Zn 氧化物，第二氧化物半導體層 132 可以使用原子數比為 In:Ga:Zn=1:1:1 或 5:5:6 的 In-Ga-Zn 氧化物，第三氧化物半導體層 133 可以使用原子數比為 In:Ga:Zn=1:3:6、1:3:4、1:3:3 或 1:3:2 的 In-Ga-Zn 氧化物。

[0115] 另外，能夠用於第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的氧化物半導體較佳為至少包含銦（In）或鋅（Zn）。或者，較佳為包含 In 和 Zn 的兩者。另外，為了減少使用該氧化物半導體的電晶體的電特性不均勻，除了上述元素以外，較佳為還包含穩定劑（stabilizer）。

[0116] 作為穩定劑，可以舉出鎵（Ga）、錫（Sn）、鉿（Hf）、鋁（Al）或鋯（Zr）等。另外，作為其他穩定劑，可以舉出鑭系元素的鑭（La）、鈰（Ce）、鐠（Pr）、釹（Nd）、釤（Sm）、銪（Eu）、釓（Gd）、鋱（Tb）、鏑（Dy）、鈥（Ho）、鉺（Er）、銩（Tm）、鐿（Yb）、鎦（Lu）等。

[0117] 例如，作為氧化物半導體，可以使用氧化銦、氧化錫、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-

Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

[0118] 注意，例如 In-Ga-Zn 氧化物是指作為主要成分包含 In、Ga 和 Zn 的氧化物。另外，也可以包含 In、Ga、Zn 以外的金屬元素。此外，在本說明書中，將由 In-Ga-Zn 氧化物構成的膜稱為 IGZO 膜。

[0119] 另外，也可以使用以 $InMO_3(ZnO)_m$（m>0，且 m 不是整數）表示的材料。注意，M 表示選自 Ga、Y、Zr、La、Ce 或 Nd 中的一種金屬元素或多種金屬元素。另外，也可以使用以 $In_2SnO_5(ZnO)_n$（n>0，且 n 是整數）表示的材料。

[0120] 注意，如在實施方式 1 中詳細地說明那樣，以使第一氧化物半導體層 131 及第三氧化物半導體層 133 的電子親和力小於第二氧化物半導體層 132 的方式選擇材料。

[0121] 另外，當形成氧化物半導體層時，較佳為利用濺射法。作為濺射法，可以使用 RF 濺射法、DC 濺射法、AC 濺射法等。

[0122] 當作為第一氧化物半導體層 131、第二氧化物半導體層 132 或/及第三氧化物半導體層 133 使用 In-Ga-Zn 氧化物時，例如可以使用 In、Ga、Zn 的原子數比為 In:Ga:Zn=1:1:1 、 In:Ga:Zn=2:2:1 、 In:Ga:Zn=3:1:2 、 In:Ga:Zn=5:5:6 、 In:Ga:Zn=1:3:2 、 In:Ga:Zn=1:3:3 、 In:Ga:Zn=1:3:4 、 In:Ga:Zn=1:3:6 、 In:Ga:Zn=1:4:3 、 In:Ga:Zn=1:5:4 、 In:Ga:Zn=1:6:6 、 In:Ga:Zn=2:1:3 、 In:Ga:Zn=1:6:4 、 In:Ga:Zn=1:9:6 、 In:Ga:Zn=1:1:4 、 In:Ga:Zn=1:1:2 中的任一個的材料，以使第一氧化物半導體層 131 及第三氧化物半導體層 133 的電子親和力小於第二氧化物半導體層 132 的方式形成。

[0123] 另外，例如 In、Ga、Zn 的原子數比為 In:Ga:Zn=a:b:c（a+b+c=1）的氧化物的組成與原子數比為 In:Ga:Zn=A:B:C（A+B+C=1）的氧化物的組成相似是指 a、b、c 滿足如下算式：$(a-A)^2+(b-B)^2+(c-C)^2\leq r^2$。r 例如可以為 0.05。其他氧化物也是同樣的。

[0124] 另外，較佳的是，第二氧化物半導體層 132 的銦的含量多於第一氧化物半導體層 131 及第三氧化物半導體層 133 的銦的含量。在氧化物半導體中，重金屬的 s 軌道主要有助於載子傳導，並且藉由增加 In 的比率來增加 s 軌道的重疊，由此 In 的比率高於 Ga 的氧化物的移動

率比 In 的比率等於或低於 Ga 的氧化物高。因此，藉由將銦的比率高的氧化物用於第二氧化物半導體層 132，可以實現高移動率的電晶體。

[0125] 下面，對氧化物半導體膜的結構進行說明。

[0126] 注意，在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下的狀態，因此也包括角度為-5°以上且 5°以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80°以上且 100°以下的狀態，因此也包括角度為 85°以上且 95°以下的狀態。

[0127] 另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0128] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜、多晶氧化物半導體膜、微晶氧化物半導體膜、非晶氧化物半導體膜等。

[0129] 首先，對 CAAC-OS 膜進行說明。

[0130] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。

[0131] 在 CAAC-OS 膜的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結

晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0132] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0133] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0134] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0135] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜時，在繞射角（2θ）為 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0136] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，

在 2θ為 56°附近時常出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在此，將 2θ固定為 56°附近並在以樣本面的法線向量為軸（φ軸）旋轉樣本的條件下進行分析（φ掃描）。當該樣本是 $InGaZnO_4$ 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ固定為 56°附近的狀態下進行φ掃描也不能觀察到明確的峰值。

[0137] 由上述結果可知，在具有 c 軸配向性的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0138] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0139] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面近旁的結晶成長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時

CAAC-OS 膜中的結晶度根據區域而不同。

[0140] 注意，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜時，除了在 2θ為 31°附近的峰值之外，有時還在 2θ為 36°附近觀察到峰值。2θ為 36°附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0141] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分之外的元素。尤其是，與構成氧化物半導體膜的金屬元素相比，與氧的鍵合力強的元素諸如矽等從氧化物半導體膜奪取氧而擾亂氧化物半導體膜的原子排列，成為降低結晶性的主要原因。另外，因為鐵和鎳等重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內部，則擾亂氧化物半導體膜的原子排列，成為降低結晶性的主要原因。此外，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0142] 此外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0143] 將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有很少

的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通（normally-on）特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有很少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放為止需要的時間長，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0144] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0145] 接下來，對微晶氧化物半導體膜進行說明。

[0146] 在微晶氧化物半導體膜的 TEM 影像中有時觀察不到明確的結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶稱為奈米晶（nc:nanocrystal）。並且，包含該奈米晶（nc）的氧化物半導體膜稱為 nc-OS（奈米晶氧化物半導體：nanocrystalline Oxide Semiconductor）膜。另外，例如在 nc-OS 膜的 TEM 影像中，有時觀察不到明確的晶界。

[0147] 在 nc-OS 膜中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區

域）中的原子排列具有週期性。另外，在 nc-OS 膜中的不同的結晶部之間沒有晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，在有的分析方法中，有時無法將 nc-OS 膜與非晶氧化物半導體膜區別開來。例如，當利用使用其束徑比結晶部大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在使用其束徑比結晶部大（例如，50nm 以上）的電子射線獲得的 nc-OS 膜的選區電子繞射圖案中，觀察到光暈圖案。另一方面，在使用其束徑近於或小於結晶部（例如，1nm 以上且 30nm 以下）的電子射線獲得的 nc-OS 膜的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到環狀的區域內的多個斑點。

[0148] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，在 nc-OS 膜中的不同的結晶部之間沒有晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0149] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0150] CAAC-OS 膜例如可以使用多晶的氧化物半導

體濺射靶材，利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域沿著 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，由於該平板狀或顆粒狀的濺射粒子帶電，所以濺射粒子不在電漿中凝集而保持結晶狀態的狀態到達基板，由此可以形成 CAAC-OS 膜。

[0151] 當第二氧化物半導體層 132 是 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、Ce 或 Nd）時，在用來形成第二氧化物半導體層 132 的濺射靶材中的金屬元素的原子數比為 In:M:Zn=a1:b1:c1 的情況下，a1/b1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下，c1/b1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由使 c1/b1 為 1 以上且 6 以下，可以作為第二氧化物半導體層 132 較容易地形成 CAAC-OS 膜。靶材中的金屬元素的原子數比的典型例子為 In:M:Zn=1:1:1、In:M:Zn=3:1:2、In:M:Zn=5:5:6 等。

[0152] 當第一氧化物半導體層 131 及第三氧化物半導體層 133 是 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、Ce 或 Nd）時，在用來形成第一氧化物半導體層 131 及第三氧化物半導體層 133 的濺射靶材中的金屬元素的原子數比為 In:M:Zn=a2:b2:c2 的情況下，較佳的是 a2/b2<a1/b1 且 c2/b2 為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由使 c2/b2 為 1 以上且 6 以下，可以作為第一氧化物半導體層 131 及第三氧化物半導體層 133 較容易地形成

CAAC-OS 膜。靶材中的金屬元素的原子數比的典型例子為 In:M:Zn=1:3:2 、 In:M:Zn=1:3:3 、 In:M:Zn=1:3:4 、 In:M:Zn=1:3:6 等。

[0153] 在形成第二氧化物半導體層 132 之後可以進行第一加熱處理。第一加熱處理在 250℃以上且 650℃以下，較佳為 300℃以上且 500℃以下的溫度下且在惰性氣體氛圍、包含 10ppm 以上的氧化氣體的氛圍或減壓狀態下進行即可。作為第一加熱處理，也可以進行惰性氣體氛圍下的加熱處理，然後為了補充脫離了的氧而進行包含 10ppm 以上的氧化氣體的氛圍下的加熱處理。藉由進行第一加熱處理，可以提高第二氧化物半導體層 132 的結晶性，而且可以從基底絕緣膜 120、第一氧化物半導體層 131 中去除氫或水等雜質。此外，也可以在用來形成第二氧化物半導體層 132 的蝕刻之前進行第一加熱處理。

[0154] 接著，在第一氧化物半導體層 131 及第二氧化物半導體層 132 上形成成為源極電極層 140 及汲極電極層 150 的第一導電膜。作為第一導電膜，可以使用 Al、Cr、Cu、Ta、Ti、Mo、W 或以它們為主要成分的合金材料。例如，利用濺射法等形成 100nm 厚的鈦膜。此外，也可以利用 CVD 法形成鎢膜。

[0155] 接著，以在第二氧化物半導體層 132 上使第一導電膜分割的方式對第一導電膜進行蝕刻，來形成源極電極層 140 及汲極電極層 150（參照圖 7C）。此時，由於第一導電膜的過蝕刻，第二氧化物半導體層 132 的一部分

也可以被蝕刻。

[0156] 接著，在第一氧化物半導體層 131、第二氧化物半導體層 132、源極電極層 140 及汲極電極層 150 上形成成為第三氧化物半導體層 133 的第三氧化物半導體膜 333。此時，第三氧化物半導體膜 333 中的與第二氧化物半導體層 132 的介面附近為微結晶層，該微結晶層上的層為 c 軸配向性的結晶層。

[0157] 在形成第三氧化物半導體膜 333 之後可以進行第二加熱處理。第二加熱處理可以在與第一加熱處理相同的條件下進行。藉由進行第二加熱處理，可以從第三氧化物半導體膜 333 中去除氫或水等雜質。此外，還可以從第一氧化物半導體層 131 及第二氧化物半導體層 132 中進一步去除氫或水等雜質。

[0158] 接著，在第三氧化物半導體膜 333 上形成成為閘極絕緣膜 160 的絕緣膜 360。絕緣膜 360 可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鈮和氧化鉭等形成。此外，絕緣膜 360 也可以是上述材料的疊層。絕緣膜 360 可以利用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法等形成。

[0159] 接著，在絕緣膜 360 上形成成為閘極電極層 170 的第二導電膜 370（參照圖 8A）。作為第二導電膜 370，可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta、W 或以它們為主要成分的合金材料。第二

導電膜 370 可以利用濺射法或 CVD 法等形成。另外，第二導電膜 370 可以使用包含氮的導電膜，也可以使用包含上述材料中的任一的導電膜與包含氮的導電膜的疊層。

[0160] 接著，使用用來形成閘極電極層 170 的光阻遮罩對第二導電膜 370 選擇性地進行蝕刻，來形成閘極電極層 170。

[0161] 接著，以上述光阻遮罩或者閘極電極層 170 為遮罩對絕緣膜 360 選擇性地進行蝕刻，來形成閘極絕緣膜 160。

[0162] 接著，以上述光阻遮罩或者閘極電極層 170 為遮罩對第三氧化物半導體膜 333 進行蝕刻，來形成第三氧化物半導體層 133（參照圖 8B）。

[0163] 上述第二導電膜 370、絕緣膜 360 及第三氧化物半導體膜 333 的蝕刻既可以分別進行，又可以連續地進行。另外，蝕刻方法既可以採用乾蝕刻或濕蝕刻，又可以按每個層選擇適當的蝕刻方法。

[0164] 接著，在源極電極層 140、汲極電極層 150 及閘極電極層 170 上形成絕緣層 180 及絕緣層 185（參照圖 8C）。絕緣層 180 及絕緣層 185 可以與基底絕緣膜 120 同樣的材料及方法形成。另外，絕緣層 180 特別較佳為使用氧化鋁。

[0165] 另外，也可以利用離子植入法、離子摻雜法、電漿浸沒離子植入法等對絕緣層 180 添加氧。藉由添加氧，可以更容易地將氧從氧化物絕緣層 180 供應到氧化

物半導體層 130 中。

[0166] 接著，也可以進行第三加熱處理。第三加熱處理可以在與第一加熱處理相同的條件下進行。藉由進行第三加熱處理，容易使基底絕緣膜 120、閘極絕緣膜 160 及絕緣層 180 釋放過剩氧，因此可以降低氧化物半導體層 130 中的氧缺陷。

[0167] 藉由上述製程，可以製造圖 1A 和圖 1B 所示的電晶體 100。

[0168] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0169]

實施方式 3

在本實施方式中，參照圖式對一種半導體裝置（記憶體裝置）的一個例子進行說明，該半導體裝置（記憶體裝置）使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

[0170] 圖 9A 示出半導體裝置的剖面圖，並且圖 9B 示出半導體裝置的電路圖。

[0171] 在圖 9A 和圖 9B 所示的半導體裝置中，下部設置有使用第一半導體材料的電晶體 3200，上部設置有使用第二半導體材料的電晶體 3300 及電容元件 3400。此外，作為電晶體 3300，可以使用在實施方式 1 中說明的電晶體 100。

[0172] 此外，電容元件 3400 的一個電極使用相同於電晶體 3300 的源極電極層或汲極電極層的佈線的材料形成，其另一個電極使用相同於電晶體 3300 的閘極絕緣膜 160 及第三氧化物半導體層 133 的材料形成，並且其介電質使用相同於電晶體 3300 的絕緣層 180 及絕緣層 185 的材料形成，因此可以同時形成電晶體 3300 和電容元件 3400。

[0173] 這裡，第一半導體材料和第二半導體材料較佳為具有不同能量差的材料。例如，可以將氧化物半導體以外的半導體材料（矽等）用於第一半導體材料，並且將在實施方式 1 中說明的氧化物半導體用於第二半導體材料。使用氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於具有關態電流小的電特性而可以在長時間保持電荷。

[0174] 另外，雖然對上述電晶體都為 n 通道電晶體的情況進行說明，但是當然也可以使用 p 通道電晶體。另外，為了保持資料應用使用氧化物半導體的實施方式 1 所示那樣的電晶體以外，用於半導體裝置的材料或半導體裝置的結構等半導體裝置的具體結構不侷限於在此所示的結構。

[0175] 圖 9A 中的電晶體 3200 包括：設置在包含半導體材料（例如，結晶矽等）的基板 3000 中的通道形成區；以夾著通道形成區的方式設置的雜質區域；與雜質區域接觸的金屬間化合物區域；設置在通道形成區上的閘極

絕緣膜；以及設置在閘極絕緣膜上的閘極電極層。注意，雖然有時在圖式中不明確地示出源極電極層或汲極電極層，但是為了方便起見有時將這種狀態也稱為電晶體。此時，為了對電晶體的連接關係進行說明，有時將源極區或汲極區也稱為源極電極層或汲極電極層。換言之，在本說明書中，源極電極層的記載會包括源極區。

[0176] 在基板 3000 上以包圍電晶體 3200 的方式設置有元件隔離絕緣層 3100，並且以覆蓋電晶體 3200 的方式設置有絕緣層 3150。另外，元件隔離絕緣層 3100 可以利用 LOCOS（Local Oxidation of Silicon：矽局部氧化）或 STI（Shallow Trench Isolation：淺溝槽隔離）等元件分離技術形成。

[0177] 例如，在使用結晶矽基板的情況下，電晶體 3200 能夠進行高速工作。因此，藉由將該電晶體用作讀出電晶體，可以高速地進行資料的讀出。

[0178] 在絕緣層 3150 上設置有電晶體 3300，與該電晶體 3300 的源極電極層或汲極電極層電連接的佈線用作電容元件 3400 的一個電極。另外，該佈線電連接到電晶體 3200 的閘極電極層。

[0179] 圖 9A 所示的電晶體 3300 是其通道形成在氧化物半導體層中的頂閘極型電晶體。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存資料。換言之，因為可以形成不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功

耗。

[0180] 此外，以與電晶體 3300 重疊的方式隔著絕緣層 3150 設置有電極 3250。藉由將該電極用作第二閘極電極並對其供應適當的電位，可以控制電晶體 3300 的臨界電壓。此外，可以提高電晶體 3300 的長期可靠性。另外，藉由對該電極供應與電晶體 3300 的閘極電極相同的電位，可以增加通態電流。另外，也可以不設置電極 3250。

[0181] 如圖 9A 所示那樣，可以在其上形成電晶體 3200 的基板上形成電晶體 3300 及電容元件 3400，所以可以提高半導體裝置的積體度。

[0182] 圖 9B 示出對應於圖 9A 的電路結構的一個例子。

[0183] 在圖 9B 中，第一佈線 3001 與電晶體 3200 的源極電極層電連接，第二佈線 3002 與電晶體 3200 的汲極電極層電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極層和汲極電極層中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電極層電連接。再者，電晶體 3200 的閘極電極層及電晶體 3300 的源極電極層和汲極電極層中的另一個與電容元件 3400 的電極的一個電連接，第五佈線 3005 與電容元件 3400 的電極的另一個電連接。注意，未圖示相當於電極 3250 的構成要素。

[0184] 在圖 9B 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 3200 的閘極電極層的電位的特徵，可

以如下所示那樣進行資料的寫入、保持以及讀出。

[0185] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，使電晶體 3300 成為導通狀態。由此，第三佈線 3003 的電位施加到電晶體 3200 的閘極電極層及電容元件 3400。換言之，對電晶體 3200 的閘極電極層施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持施加到電晶體 3200 的閘極電極層的電荷（保持）。

[0186] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極層的電荷被長時間地保持。

[0187] 接著，對資料的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，根據保持在電晶體 3200 的閘極電極層中的電荷量，第二佈線 3002 具有不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極層施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極電極層施加低位準電荷時的外觀上的臨界電壓 V_{th_L}。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“導通狀態”所需要的第五佈線 3005 的電位。因此，藉由將第五佈線 3005 的電位設定為 V_{th_L} 與

V_{th_H}之間的電位 V_0，可以辨別施加到電晶體 3200 的閘極電極層的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 V_0（$>V_{th_H}$），電晶體 3200 則成為“導通狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為 V_0（$<V_{th_L}$），電晶體 3200 還保持“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0188] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線 3005 施加不管閘極電極層的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於 V_{th_H}的電位，即可。或者，對第五佈線 3005 施加不管閘極電極層的狀態如何都使電晶體 3200 成為“導通狀態”的電位，即大於 V_{th_L}的電位，即可。

[0189] 在本實施方式所示的半導體裝置中，藉由使用將氧化物半導體用於通道形成區的關態電流極小的電晶體，可以極長期地保持儲存資料。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下（注意，較佳為固定電位），也可以長期保持儲存資料。

[0190] 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也不容易發生元件劣化的問題。由於例如不需要如習知的非揮發性記憶體那樣地對

浮動閘極注入電子或從浮動閘極抽出電子，因此不發生如閘極絕緣膜的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的導通狀態或關閉狀態而進行資料寫入，而可以容易實現高速工作。

[0191] 如上所述，能夠提供一種實現了微型化及高積體化且具有高電特性的半導體裝置。

[0192] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0193]

實施方式 4

在本實施方式中，對一種具有與實施方式 3 不同結構的半導體裝置進行說明，該半導體裝置使用本發明的一個方式的電晶體，而且即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

[0194] 圖 10 為半導體裝置的電路結構的一個例子。在該半導體裝置中，第一佈線 4500 與電晶體 4300 的源極電極層電連接，第二佈線 4600 與電晶體 4300 的閘極電極層電連接，並且電晶體 4300 的汲極電極層與電容元件 4400 的第一端子電連接。此外，作為包括在該半導體裝置中的電晶體 4300，可以使用在實施方式 1 中說明的電晶體 100。另外，第一佈線 4500 可以具有位元線的功能，第二佈線 4600 可以具有字線的功能。

[0195] 在該半導體裝置（記憶單元 4250）中，可以採用與圖 9A 和圖 9B 所示的電晶體 3300 與電容元件 3400 的連接方式相同的連接方式。因此，與在實施方式 3 中說明的電容元件 3400 同樣地，可以在製造電晶體 4300 的同時形成電容元件 4400。

[0196] 接著，說明對圖 10 所示的半導體裝置（記憶單元 4250）進行資料的寫入及保持的情況。

[0197] 首先，藉由對第二佈線 4600 供應使電晶體 4300 成為導通狀態的電位，以使電晶體 4300 成為導通狀態。由此，第一佈線 4500 的電位施加到電容元件 4400 的第一端子（寫入）。然後，藉由將第二佈線 4600 的電位設定為使電晶體 4300 成為關閉狀態的電位，來使電晶體 4300 成為關閉狀態，由此儲存電容元件 4400 的第一端子的電位（保持）。

[0198] 使用氧化物半導體的電晶體 4300 具有關態電流極小的特徵。因此，藉由使電晶體 4300 成為關閉狀態，可以在極長時間儲存電容元件 4400 的第一端子的電位（或累積在電容元件 4400 中的電荷）。

[0199] 接著，對資料的讀出進行說明。當電晶體 4300 成為導通狀態時，處於浮動狀態的第一佈線 4500 與電容元件 4400 導通，於是，電荷在第一佈線 4500 與電容元件 4400 之間再次分配。其結果，第一佈線 4500 的電位發生變化。第一佈線 4500 的電位的變化量根據電容元件 4400 的第一端子的電位（或累積在電容元件 4400 中的電

荷）而發生變化。

[0200] 例如，在以 V 為電容元件 4400 的第一端子的電位，以 C 為電容元件 4400 的電容，以 CB 為第一佈線 4500 所具有的電容成分，並且以 VB0 為再次分配電荷之前的第一佈線 4500 的電位的情況下，電荷再次分配之後的第一佈線 4500 的電位為（CB×VB0+C×V）/（CB+C）。由此可知，記憶單元 4250 有可能處於兩個狀態，即電容元件 4400 的第一端子的電位是 V1 的狀態以及 V0（V1>V0）的狀態，並且，保持電位 V1 時的第一佈線 4500 的電位（=（CB×VB0+C×V1）/（CB+C））高於保持電位 V0 時的第一佈線 4500 的電位（=（CB×VB0+C×V0）/（CB+C））。

[0201] 並且，藉由比較第一佈線 4500 的電位與規定的電位，可以讀出資料。

[0202] 如上所述，圖 10 所示的半導體裝置（記憶單元 4250）可以利用電晶體 4300 的關態電流極小的特徵而在長期保持累積在電容元件 4400 中的電荷。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下，也可以長期保持儲存資料。

[0203] 較佳為層疊圖 10 所示的記憶單元 4250 與形成有用來驅動記憶單元 4250 的驅動電路的基板。藉由層疊記憶單元 4250 與驅動電路，可以實現半導體裝置的小型化。另外，對被層疊的記憶單元 4250 及驅動電路的個

數沒有限制。

[0204] 包括在驅動電路中的電晶體較佳為使用與電晶體 4300 不同的半導體材料。例如，可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，更佳為使用單晶半導體。與使用氧化物半導體的電晶體相比，使用這種半導體材料的電晶體能夠進行高速工作，從而，該電晶體適用於記憶單元 4250 的驅動電路。

[0205] 如上所述，能夠提供一種實現了微型化及高積體化且具有高電特性的半導體裝置。

[0206] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0207]

實施方式 5

在本實施方式中，參照圖式說明利用本發明的一個方式的電晶體的電路的一個例子。

[0208] 圖 11A 示出半導體裝置的電路圖，圖 11C 和圖 11D 示出半導體裝置的剖面圖。在圖 11C 及圖 11D 中，在圖式中的左邊示出電晶體 2100 的通道長度方向上的剖面圖，在圖式中的右邊示出電晶體 2100 的通道寬度方向上的剖面圖。另外，在電路圖中，為了表示適用氧化物半導體的電晶體，附上“OS”的符號。

[0209] 圖 11C 和圖 11D 所示的半導體裝置包括在其下部中使用第一半導體材料的電晶體 2200 而在其上部中使用第二半導體材料的電晶體 2100。在此，對作為使用

第二半導體材料的電晶體 2100 在實施方式 1 中例示出的適用電晶體 100 的例子進行說明。

[0210] 這裡，第一半導體材料和第二半導體材料較佳為具有不同能量差的材料。例如，可以將氧化物半導體以外的半導體材料（矽、鍺、矽鍺、碳化矽或砷化鎵等）用於第一半導體材料，並且將在實施方式 1 中說明的氧化物半導體用於第二半導體材料。作為氧化物半導體以外的材料使用單晶等的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體的關態電流小。

[0211] 在此，說明電晶體 2200 為 p 通道型電晶體的情況，但是當然也可以使用 n 通道型電晶體構成不同的電路。另外，除了利用使用氧化物半導體的如實施方式 1 所示的電晶體之外，諸如用於半導體裝置的材料及半導體裝置的結構等半導體裝置的具體結構不需要侷限於再次所示的結構。

[0212] 圖 11A、圖 11C 及圖 11D 所示的結構是使 p 通道型電晶體及 n 通道型電晶體串聯連接且使各閘極連接的所謂 CMOS 電路的一個結構實例。

[0213] 適用本發明的一個方式的氧化物半導體的電晶體具有高通態電流，所以可以進行電路的高速工作。

[0214] 在圖 11C 所示的結構中，在電晶體 2200 的上部夾著絕緣層 2201 設置有電晶體 2100。另外，在電晶體 2200 與電晶體 2100 之間設置有多個佈線 2202。藉由多個埋入各種絕緣層中的插頭 2203，設置在上部及下部的佈

線或電極相互電連接。在其結構中設置有覆蓋電晶體2100的絕緣層2204、絕緣層2204上的佈線2205、對與電晶體的一對電極相同的導電膜進行加工來形成的佈線2206。

[0215] 如此，藉由層疊兩個電晶體，可以降低電路所占的面積，從而可以以更高密度配置多個電路。

[0216] 在圖11C中，電晶體2100的源極和汲極中的一個藉由佈線2202及插頭2203與電晶體2200的源極和汲極中的一個電連接。另外，電晶體2100的閘極藉由佈線2205、佈線2206、插頭2203及佈線2202等與電晶體2200的閘極電連接。

[0217] 在圖11D所示的結構中，在電晶體2100的閘極絕緣膜中設置用來埋入插頭2203的開口部並電晶體2100的閘極與插頭2203連接。藉由採用上述結構，除了容易實現電路的積體化，還可以與圖11C所示的結構相比減少經由的佈線或插頭的個數或長度，從而可以使電路以更高速工作。

[0218] 在此，在圖11C或圖11D所示的結構中，藉由使電晶體2100及電晶體2200的電極的連接結構不同，可以構成各種電路。例如，如圖11B所示，藉由採用使各電晶體的源極與汲極連接的結構，可以將它用作所謂類比開關。

[0219] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0220]

實施方式 6

在本實施方式中示出包括本發明的一個方式的電晶體且讀取目標物的資料的影像感測器功能的半導體裝置。

[0221] 圖 12 示出具有影像感測器功能的半導體裝置的等效電路的一個例子。

[0222] 光電二極體 610 的一個電極與光電二極體重設信號線 661 電連接，光電二極體 610 的另一個電極與電晶體 640 的閘極電連接。電晶體 640 的源極和汲極中的一個與光感測器基準信號線 672 電連接，電晶體 640 的源極和汲極中的另一個與電晶體 650 的源極和汲極中的一個電連接。電晶體 650 的閘極與閘極信號線 662 電連接，電晶體 650 的源極和汲極中的另一個與光感測器輸出信號線 671 電連接。

[0223] 作為光電二極體 610，例如可以適用層疊具有 p 型導電型的半導體層、高電阻的（具有 i 型導電型的）半導體層及具有 n 型導電型的半導體層的 pin 型光電二極體。

[0224] 藉由檢測入射到光電二極體 610 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資料時，也可以使用背光等的光源。

[0225] 另外，作為電晶體 640 及電晶體 650，可以使用實施方式 1 所示的通道形成在氧化物半導體中的電晶體 100。在圖 12 中，為了明確表示包含氧化物半導體，對電

晶體 640 及電晶體 650 附上“OS”的符號。電晶體 640 及電晶體 650 為通態電流高的電特性變動被抑制且在電性上穩定的電晶體。藉由包含該電晶體，作為圖 12 所示的具有影像感測器功能的半導體裝置，可以提供可靠性高的半導體裝置。

[0226] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0227]

實施方式 7

實施方式 1 及實施方式 2 所示的電晶體可應用於半導體裝置，諸如顯示裝置、記憶體裝置、CPU、DSP（Digital Signal Processor：數位訊號處理器）、定製 LSI 或 PLD（Programmable Logic Device：可程式邏輯裝置）等的 LSI、RF-ID（Radio Frequency Identification：射頻識別）、反相器、影像感測器。

[0228] 作為具有上述半導體裝置的電子裝置，可以舉出電視機、顯示器等顯示裝置、照明設備、個人電腦、文字處理機、影像再現裝置、可攜式音訊播放機、收音機、磁帶錄音機、音響、電話機、無繩電話子機、行動電話機、車載電話、步話機、無線設備、遊戲機、計算器、可攜式資訊終端、電子筆記本、電子書閱讀器、電子翻譯器、聲音輸入器、攝影機、數位靜態照相機、電動剃鬚刀、IC 晶片、微波爐等高頻加熱裝置、電鍋、洗衣機、吸塵器、空調器等空調設備、洗碗機、烘碗機、乾衣機、

烘被機、電冰箱、電冷凍箱、電冷藏冷凍箱、DNA 保存用冰凍器、輻射計數器（radiation counters）、透析裝置、X 射線診斷裝置等醫療設備等。另外，也可以舉出感煙探測器、感熱探測器、氣體警報裝置、防盜警報裝置等警報裝置。再者，還可以舉出工業設備諸如引導燈、信號機、傳送帶、電梯、自動扶梯、工業機器人、蓄電系統等。另外，利用使用燃料的發動機或來自非水類二次電池的電力藉由電動機推進的移動體等也包括在電子裝置的範疇內。作為上述移動體，例如可以舉出電動汽車（EV）、兼具內燃機和電動機的混合動力汽車（HEV）、插電式混合動力汽車（PHEV）、使用履帶代替上述汽車的車輪的履帶式車輛、包括電動輔助自行車的電動自行車、摩托車、電動輪椅、高爾夫球車、小型或大型船舶、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船。圖 13A 至圖 13C 示出這些電子裝置的一些具體例子。

[0229] 在圖 13A 所示的電視機 8000 中，外殼 8001 組裝有顯示部 8002，利用顯示部 8002 可以顯示影像，並且從揚聲器部 8003 可以輸出聲音。包括本發明的一個方式的電晶體的記憶體裝置可以應用於用來使顯示部 8002 工作的驅動電路。

[0230] 另外，電視機 8000 也可以具備用來進行資訊通信的 CPU8004、記憶體等。在 CPU8004 或記憶體中可以使用包括本發明的一個方式的電晶體的 CPU、記憶體裝

置。

[0231] 圖 13A 所示的警報裝置 8100 是住宅用火災警報器，是包括感煙或感熱檢測部 8102 和微型電腦 8101 的電子裝置的一個例子。微型電腦 8101 包括在上述實施方式中示出的電晶體、記憶體裝置或 CPU。

[0232] 另外，圖 13A 所示的包括室內機 8200 和室外機 8204 的空調器是包含在上述實施方式中示出的電晶體、記憶體裝置或 CPU 等的電子裝置的一個例子。明確而言，室內機 8200 具有外殼 8201、出風口 8202、CPU 8203 等。在圖 13A 中，例示出 CPU 8203 設置在室內機 8200 中的情況，但是 CPU 8203 也可以設置在室外機 8204 中。或者，也可以在室內機 8200 和室外機 8204 中都設置有 CPU 8203。藉由將在本發明的一個實施方式中示出的電晶體用於空調器的 CPU，可以實現低功耗化。

[0233] 另外，圖 13A 所示的電冷藏冷凍箱 8300 是包括在上述實施方式中示出的電晶體、記憶體裝置或 CPU 等的電子裝置的一個例子。明確而言，電冷藏冷凍箱 8300 包括外殼 8301、冷藏室門 8302、冷凍室門 8303 及 CPU 8304 等。在圖 13A 中，CPU 8304 設置在外殼 8301 的內部。藉由將在本發明的一個實施方式中示出的電晶體用於電冷藏冷凍箱 8300 的 CPU 8304，可以實現低功耗化。

[0234] 圖 13B 和圖 13C 示出電子裝置的一個例子的電動汽車。電動汽車 9700 安裝有二次電池 9701。二次電

池 9701 的電力由電路 9702 調整輸出而供應到驅動裝置 9703。電路 9702 由具有未圖示的 ROM、RAM、CPU 等的處理裝置 9704 控制。藉由將在本發明的一個實施方式中示出的電晶體用於電動汽車 9700 的 CPU，可以實現低功耗化。

[0235] 驅動裝置 9703 包括直流電動機或交流電動機，或者將電動機和內燃機組合而構成。處理裝置 9704 根據電動汽車 9700 的駕駛員的操作資料（加速、減速、停止等）、行車資料（爬坡、下坡等資料，或者車輪所受到的負載資料等）等的輸入資料，向電路 9702 輸出控制信號。電路 9702 根據處理裝置 9704 的控制信號而調整從二次電池 9701 供應的電能並控制驅動裝置 9703 的輸出。當安裝交流電動機時，雖然未圖示，但是還安裝有將直流轉換為交流的逆變器。

[0236] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

實施例

[0237] 在本實施例中，對觀察了實施方式 1 所說明的氧化物半導體層的疊層狀態的結果進行詳細的說明。

[0238] 圖 14 是示出實施例中使用的樣本的結構的剖面圖。該樣本包括基板 410 上的基底絕緣膜 420、由該基底絕緣膜上的第一氧化物半導體層 431 及第二氧化物半導體層 432 構成的疊層以及形成在該疊層上的第三氧化物半

導體層 433。另外，第一氧化物半導體層 431、第二氧化物半導體層 432 以及第三氧化物半導體層 433 分別相當於實施方式 1 所示的第一氧化物半導體層 131、第二氧化物半導體層 132 以及第三氧化物半導體層 133。

[0239] 接著，說明圖 14 所示的樣本的製造方法。

[0240] 首先，作為基板 410 使用矽晶片，藉由使該矽晶片熱氧化形成成為基底絕緣膜 420 的矽氧化膜。

[0241] 接著，在基底絕緣膜 420 上藉由濺射法連續形成 In:Ga:Zn=1:3:4（原子數比）的第一 In-Ga-Zn 氧化物膜及 In:Ga:Zn=1:1:1（原子數比）的第二 In-Ga-Zn 氧化物膜。另外，第一 In-Ga-Zn 氧化物膜及第二 In-Ga-Zn 氧化物膜的膜厚度分別為 20nm 及 15nm。

[0242] 第一 In-Ga-Zn 氧化物膜的成膜條件為如下：作為靶材使用 In:Ga:Zn=1:3:4（原子數比）的 ϕ8 英寸的 In-Ga-Zn 氧化物；將濺射氣體設定為氬:氧=2:1（流量比）；將成膜壓力設定為 0.4Pa；將施加的功率設定為 0.5kW（DC）；將靶材-基板之間距離設定為 60mm；將基板溫度設定為 200℃。

[0243] 第二 In-Ga-Zn 氧化物膜的成膜條件為如下：作為靶材使用 In:Ga:Zn=1:1:1（原子數比）的 ϕ8 英寸的 In-Ga-Zn 氧化物；將濺射氣體設定為氬：氧=2:1（流量比）；將成膜壓力設定為 0.4Pa；將施加的功率設定為 0.5kW（DC）；將靶材-基板之間距離設定為 60mm；將基板溫度設定為 300℃。

[0244] 接著，在氮氛圍下以 450℃對第一 In-Ga-Zn 氧化物膜及第二 In-Ga-Zn 氧化物膜進行 1 小時的熱處理，並且在氧氛圍下以 450℃進行 1 小時的熱處理。

[0245] 接著，在第二 In-Ga-Zn 氧化物膜上形成厚度為 5nm 的鎢膜及厚度為 20nm 的有機樹脂，利用電子束曝光形成光阻遮罩。

[0246] 並且，作為遮罩使用該光阻遮罩，對有機樹脂及鎢膜選擇性地進行蝕刻。作為蝕刻方法，利用電感耦合方式的乾蝕刻裝置進行兩個步驟的蝕刻。

[0247] 第一步驟的蝕刻條件為如下：作為蝕刻氣體使用 100%的四氟化碳；將壓力設定為 0.67Pa；將施加的功率設定為 2000W；將基板偏置功率設定為 50W；將基板溫度設定為-10℃；將蝕刻時間設定為 12 秒間。第二步驟的蝕刻條件為如下：作為蝕刻氣體使用四氟化碳：氧=3:2（流量比）的氣體；將壓力設定為 2.0Pa；將施加的功率設定為 1000W；將基板偏置功率設定為 25W；將基板溫度設定為-10℃；將蝕刻時間設定為 8 秒間。

[0248] 接著，作為遮罩使用有機樹脂及鎢膜，對第一 In-Ga-Zn 氧化物膜及第二 In-Ga-Zn 氧化物膜選擇性地進行蝕刻，來形成第一氧化物半導體層 431 及第二氧化物半導體層 432 的疊層。該蝕刻條件為如下：利用電感耦合方式的乾蝕刻裝置；作為蝕刻氣體使用甲烷：氫=1:2（流量比）的氣體；將壓力設定為 1.0Pa；將施加的功率設定為 600W；將基板偏置功率設定為 100W；將基板溫度設定

為 70℃；將蝕刻時間設定為 82 秒間。

[0249] 接著，對有機樹脂及鎢膜進行蝕刻。該蝕刻條件為如下：利用電感耦合方式的乾蝕刻裝置；作為蝕刻氣體使用四氟化碳：氧=3:2（流量比）的氣體；將壓力設定為 2.0Pa；將施加的功率設定為 1000W；將基板偏置功率設定為 25W；將基板溫度設定為-10℃；將蝕刻時間設定為 6 秒間。

[0250] 並且，藉由濺射法在第一氧化物半導體層 431 及第二氧化物半導體層 432 的疊層上形成厚度為 10nm 的第三氧化物半導體層 433。

[0251] 第三氧化物半導體層 433 的成膜條件為如下：作為靶材使用 In:Ga:Zn=1:3:4（原子數比）的ϕ8 英寸的 In-Ga-Zn 氧化物；將濺射氣體設定為氬：氧=2:1（流量比）；將成膜壓力設定為 0.4Pa；將施加的功率設定為 0.5kW（DC）；將靶材-基板之間距離設定為 60mm；將基板溫度設定為 200℃。

[0252] 圖 15A 示出在圖 14 中由虛線圍繞的區域的剖面 TEM 照片。在第一氧化物半導體層 431 中的基底絕緣膜 420 一側的幾 nm 的區域中觀察不到晶格，在其上部觀察到晶格條紋。另外，在第二氧化物半導體層 432 中觀察到與第一氧化物半導體層 431 同樣的晶格條紋。就是說，第一氧化物半導體層 431 的大部分及第二氧化物半導體層 432 的整個部分為結晶層，由晶格條紋的方向可知是 c 軸朝向垂直於成膜面的方向的 CAAC-OS 膜。

[0253] 另外，在第三氧化物半導體層 433 中的第一氧化物半導體層 431 一側或第二氧化物半導體層 432 一側的幾 nm 的區域中觀察不到晶格，在其上部觀察到晶格條紋。就是說，確認到第三氧化物半導體層 433 為微晶層 433a 及結晶層 433b。

[0254] 在結晶層 433b 中觀察到的晶格條紋在第二氧化物半導體層 432 的上部與第一氧化物半導體層 431 或第二氧化物半導體層 432 的側部其方向不同，由此可知結晶層 433b 是 c 軸朝向垂直於成膜面的方向的 CAAC-OS 膜。

[0255] 由放大圖 15A 中的由虛線圍繞的部分的圖 15B 可知，觀察到在第二氧化物半導體層 432 的端部的具有曲面的區域中，夾著微晶層 433a，c 軸朝向垂直於該曲面的方向的結晶層 433b 的晶格條紋。

[0256] 由上述本實施例的結果可知，確認到可以製造本發明的一個方式的氧化物半導體層的疊層結構。

[0257] 注意，本實施例可以與本說明書所示的實施方式適當地組合。

【符號說明】

[0258]

100：電晶體

110：基板

120：基底絕緣膜

130：氧化物半導體層

131：第一氧化物半導體層

132：第二氧化物半導體層

132b：區域

133：第三氧化物半導體層

133a：微晶層

133b：結晶層

135：邊界

140：源極電極層

150：汲極電極層

160：閘極絕緣膜

170：閘極電極層

172：導電膜

180：絕緣層

185：絕緣層

233：區域

331：第一氧化物半導體膜

332：第二氧化物半導體膜

333：第三氧化物半導體膜

360：絕緣膜

370：第二導電膜

410：基板

420：基底絕緣膜

431：第一氧化物半導體層

432：第二氧化物半導體層

433：第三氧化物半導體層

433a：微晶層

433b：結晶層

610：光電二極體

640：電晶體

650：電晶體

661：光電二極體重設信號線

662：閘極信號線

671：光感測器輸出信號線

672：光感測器基準信號線

2100：電晶體

2200：電晶體

2201：絕緣層

2202：佈線

2203：插頭

2204：絕緣層

2205：佈線

2206：佈線

3000：基板

3001：佈線

3002：佈線

3003：佈線

3004：佈線

3005：佈線

3100：元件隔離絕緣層

3150：絕緣層

3200：電晶體

3250：電極

3300：電晶體

3400：電容元件

4250：記憶單元

4300：電晶體

4400：電容元件

4500：佈線

4600：佈線

8000：電視機

8001：外殼

8002：顯示部

8003：揚聲器部

8004：CPU

8100：警報裝置

8101：微型電腦

8102：檢測部

8200：室內機

8201：外殼

8202：出風口

8203：CPU

8204：室外機

8300：電冷藏冷凍箱

8301：外殼

8302：冷藏室門

8303：冷凍室門

8304：CPU

9700：電動汽車

9701：二次電池

9702：電路

9703：驅動裝置

9704：處理裝置

公告本

I658577

發明摘要

※申請案號：103117311

※申請日：103 年 05 月 16 日　　※IPC 分類：*H01L 27/14* (2006.01)
H01L 29/78 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明提供一種具有能夠抑制微型化所導致的電特性下降的半導體裝置。該半導體裝置包括：絕緣表面上的依次形成有第一氧化物半導體層及第二氧化物半導體層的疊層；以及以覆蓋該疊層的表面的一部分的方式形成的第三氧化物半導體層，第三氧化物半導體層包括與疊層接觸的第一層以及該第一層上的第二層，第一層由微晶層形成，第二層由 c 軸朝向垂直於第一層的表面的方向的結晶層形成。

【英文】

A semiconductor device having a structure which can prevent a decrease in electrical characteristics due to miniaturization is provided. The semiconductor device includes, over an insulating surface, a stack in which a first oxide semiconductor layer and a second oxide semiconductor layer are sequentially formed, and a third oxide semiconductor layer covering part of a surface of the stack. The third oxide semiconductor layer includes a first layer in contact with the stack and a second layer over the first layer. The first layer includes a microcrystalline layer, and the second layer includes a crystalline layer in which c-axes are aligned in a direction perpendicular to a surface of the first layer.

【代表圖】

【本案指定代表圖】：第(２)圖。

【本代表圖之符號簡單說明】：

120：基底絕緣膜

131：第一氧化物半導體層

132：第二氧化物半導體層

133：第三氧化物半導體層

133a：微晶層

133b：結晶層

160：閘極絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖 式

圖 1A

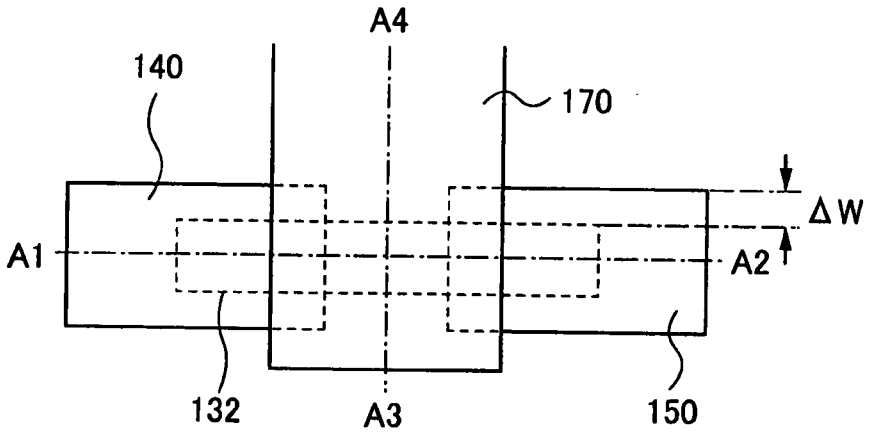


圖 1B

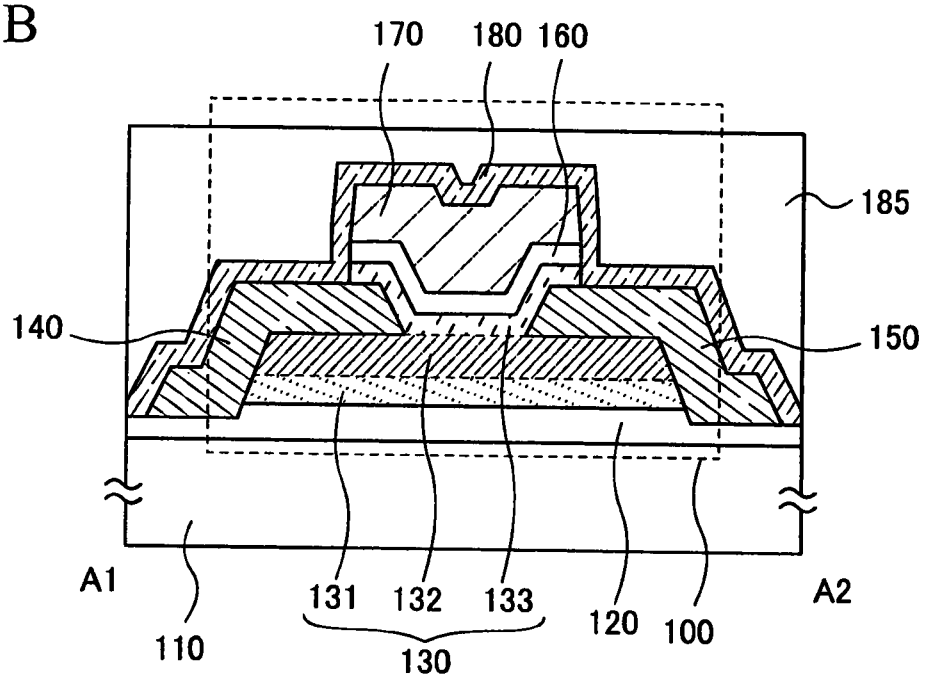


圖 1C

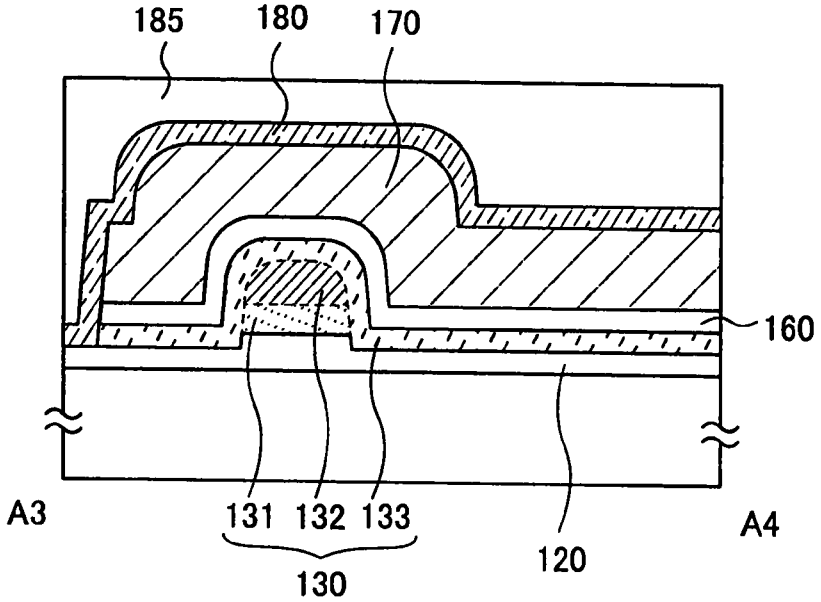


圖 2

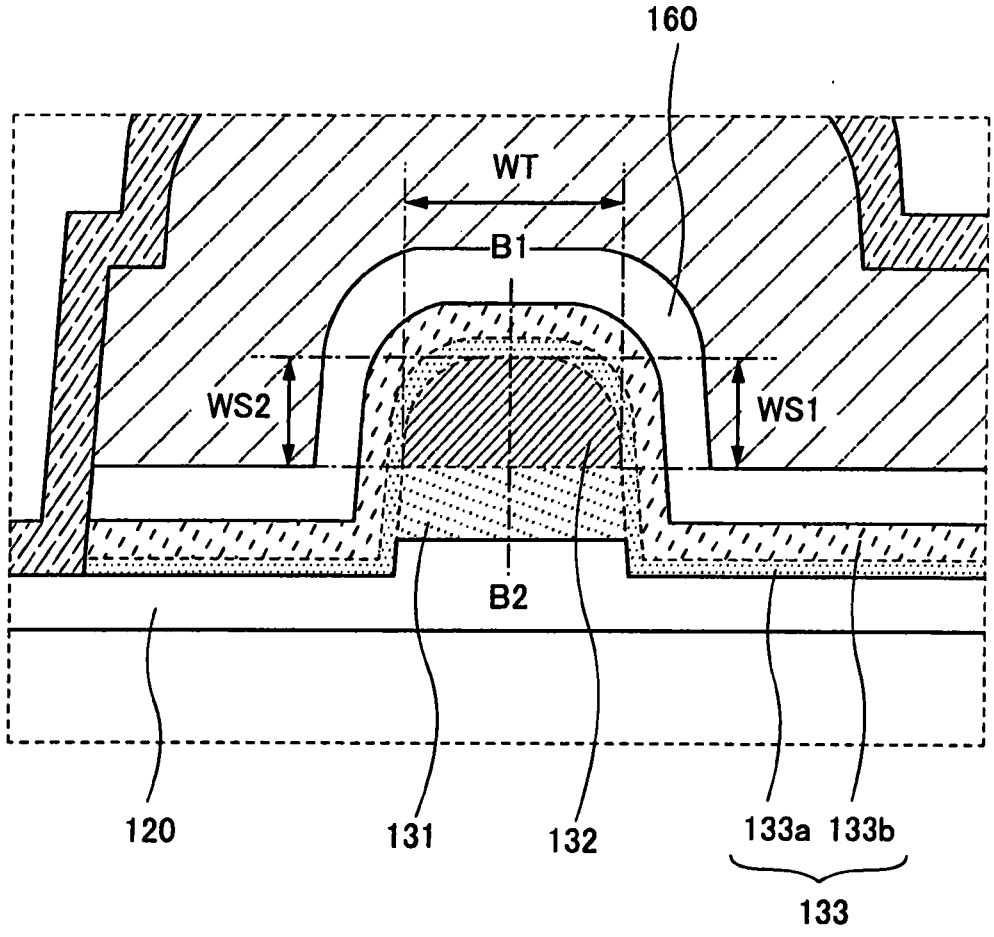


圖 3

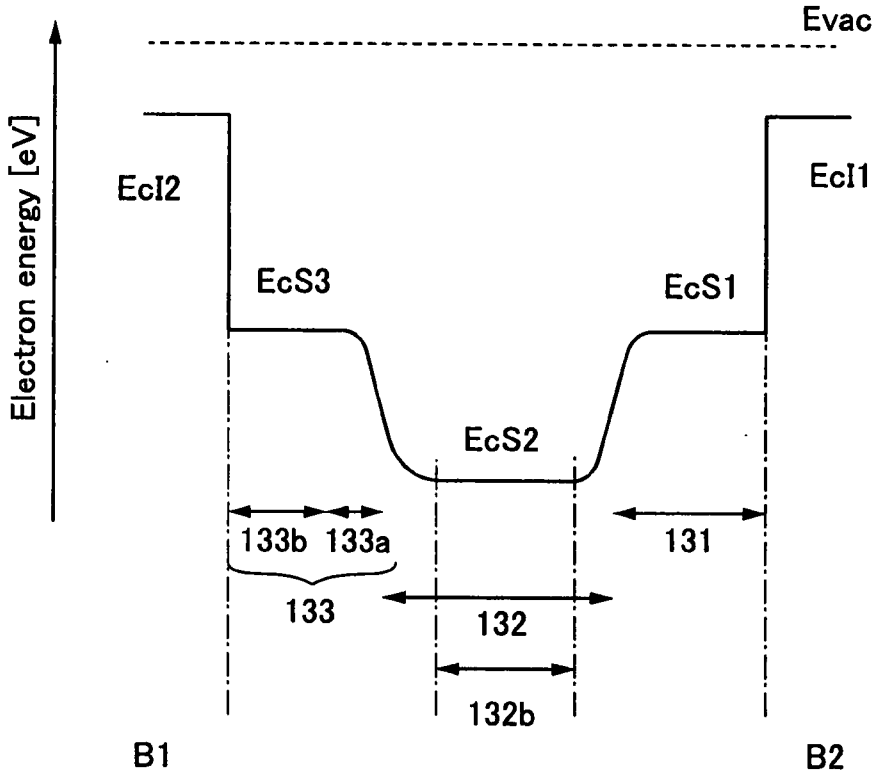

Evac
Electron energy [eV]
EcI2
EcI1
EcS3
EcS1
EcS2
133b
133a
133
131
132
132b
B1
B2

圖 4A

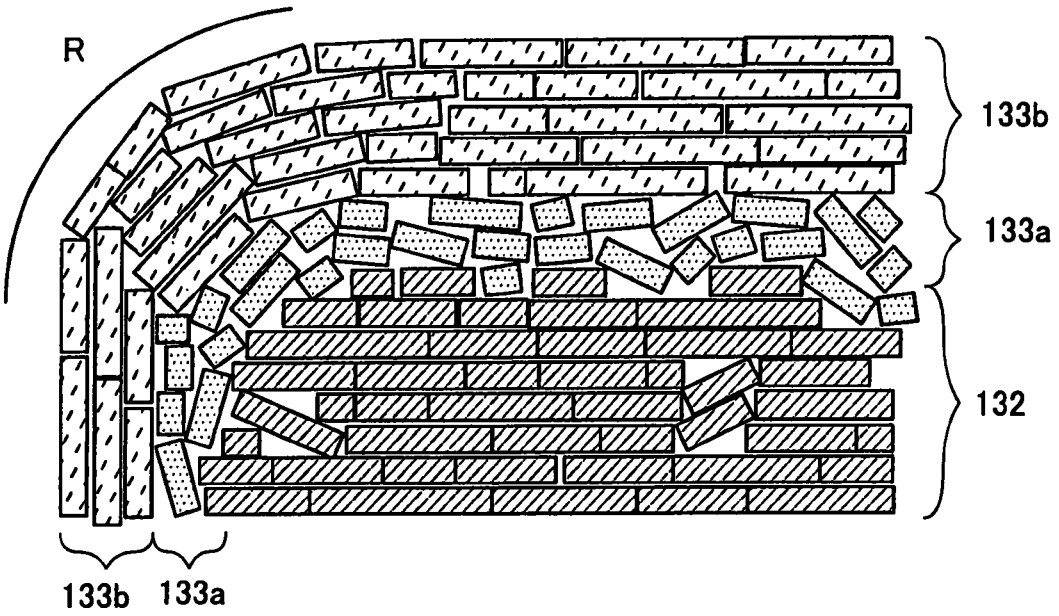


圖 4B

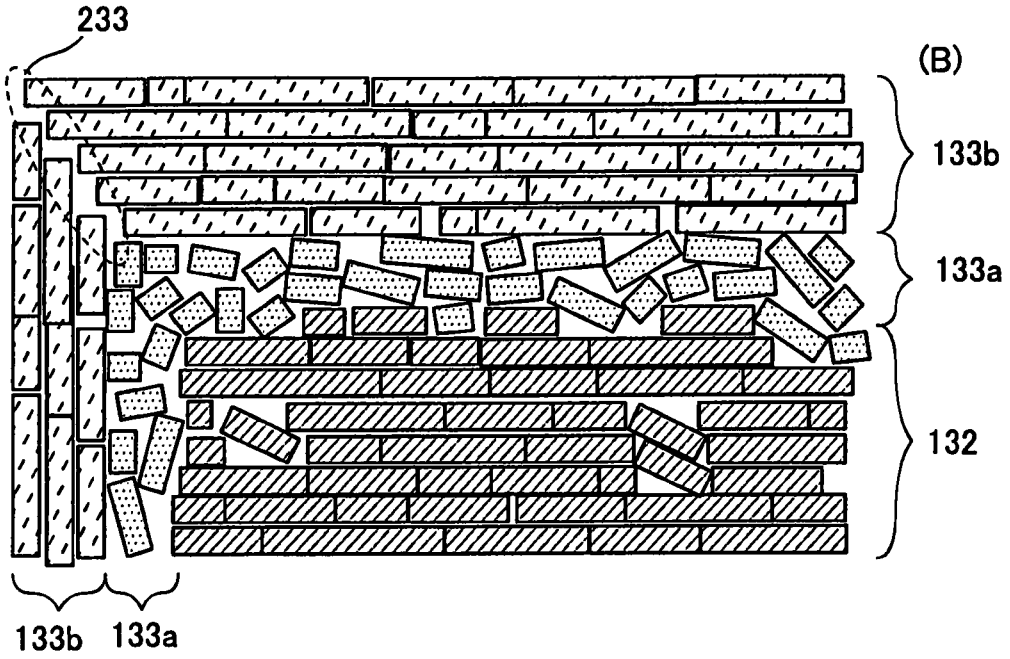


圖 5

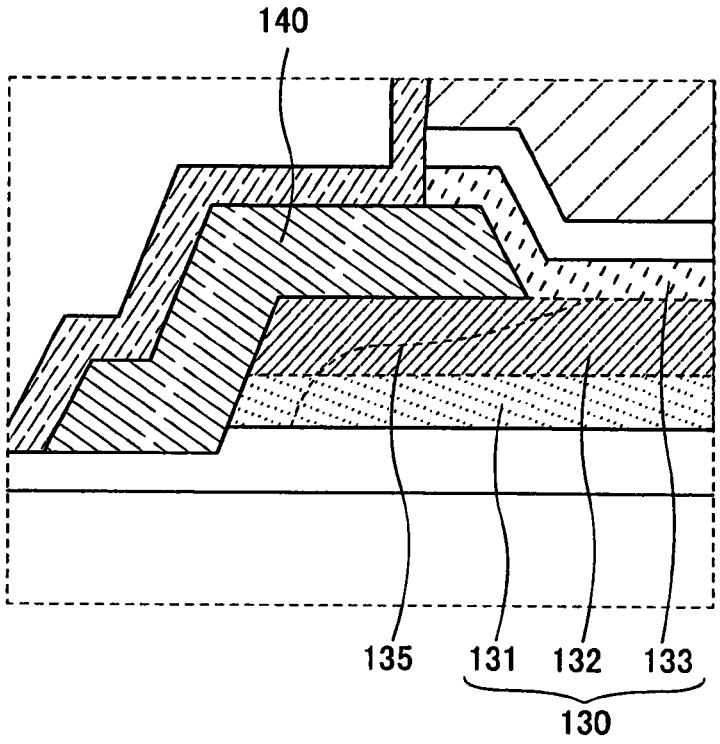


圖 6

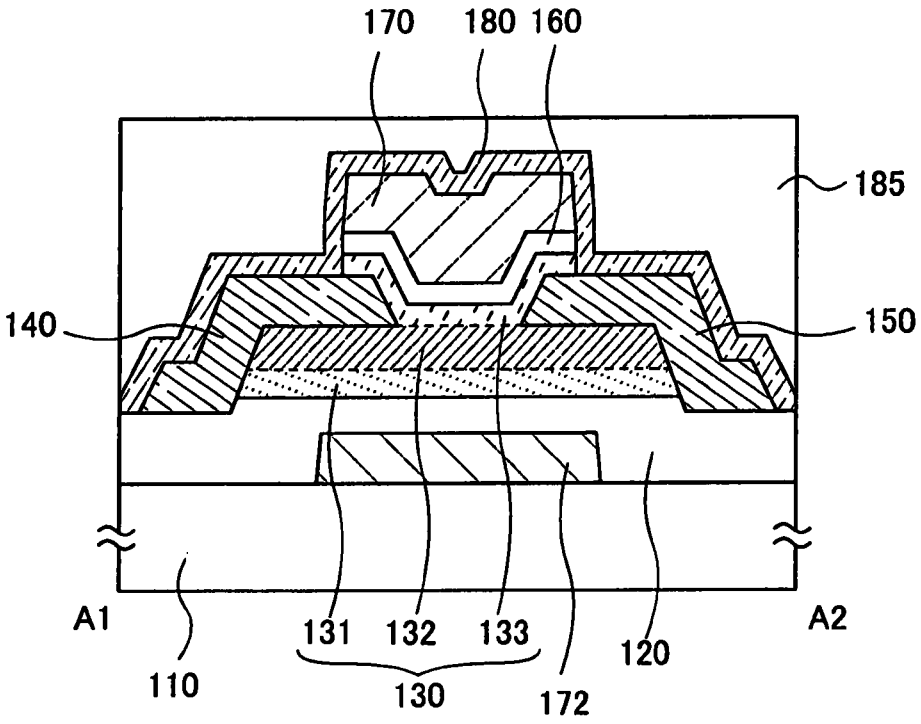


圖 7A

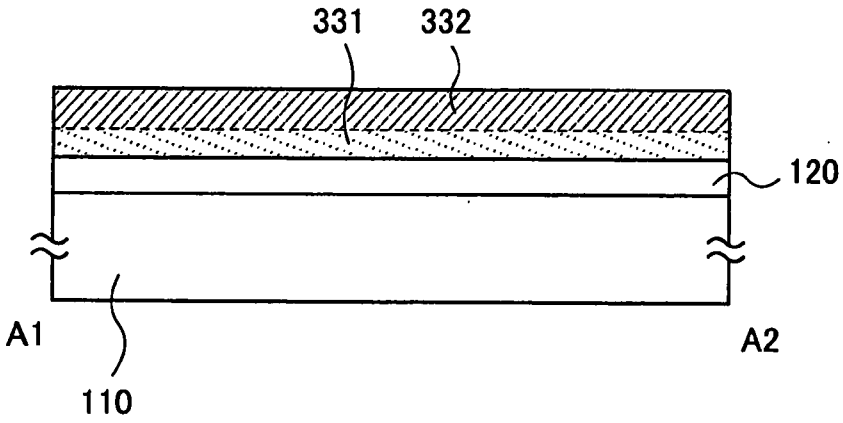


圖 7B

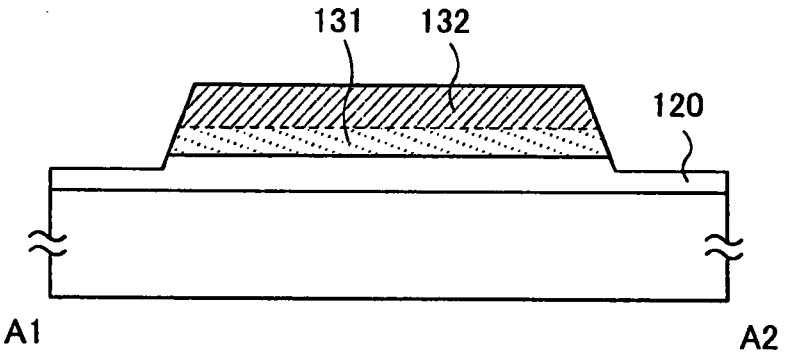


圖 7C

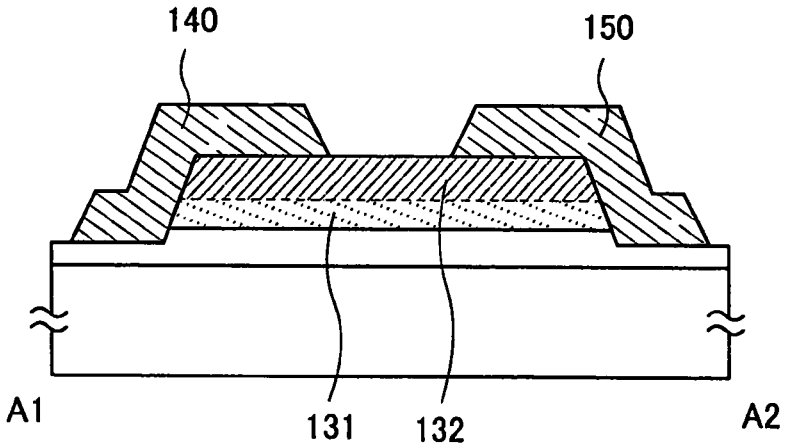


圖 8A

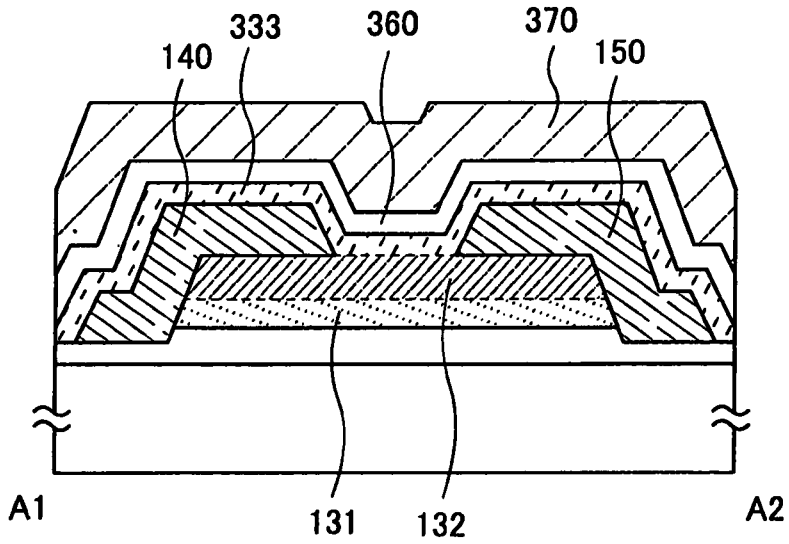

140
333
360
370
150
A1
131
132
A2

圖 8B

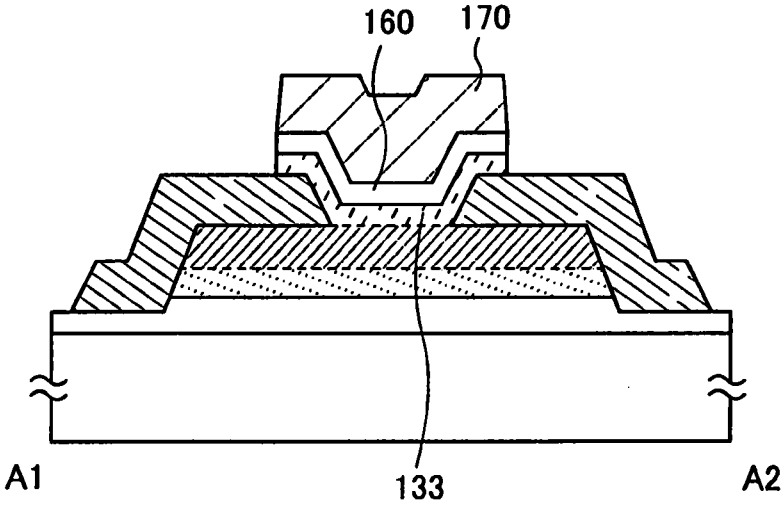

160
170
A1
133
A2

圖 8C

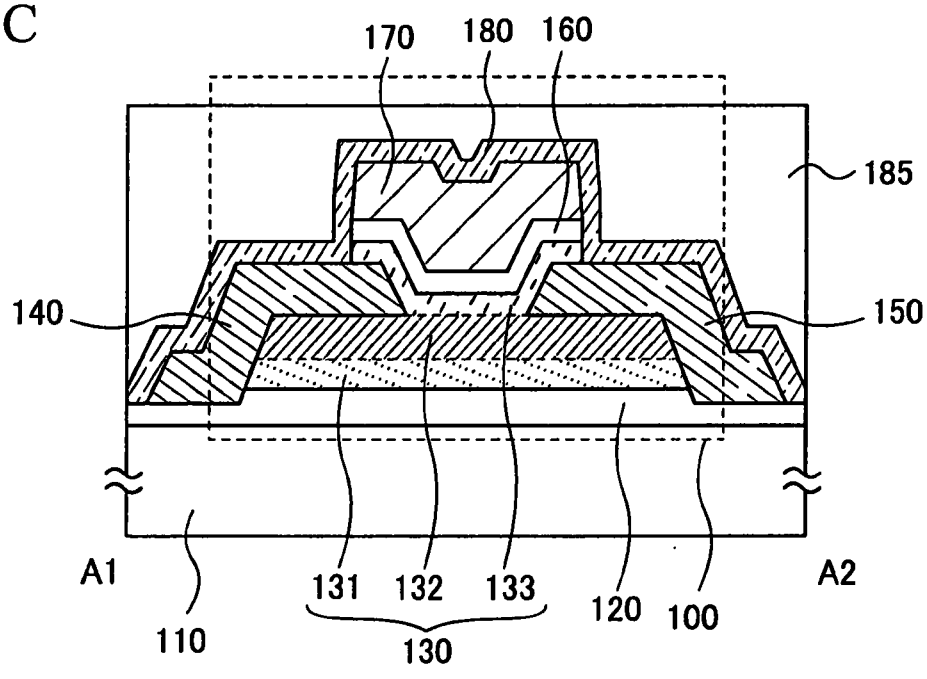

170
180
160
185
140
150
A1
131
132
133
120
100
A2
110
130

圖 9A

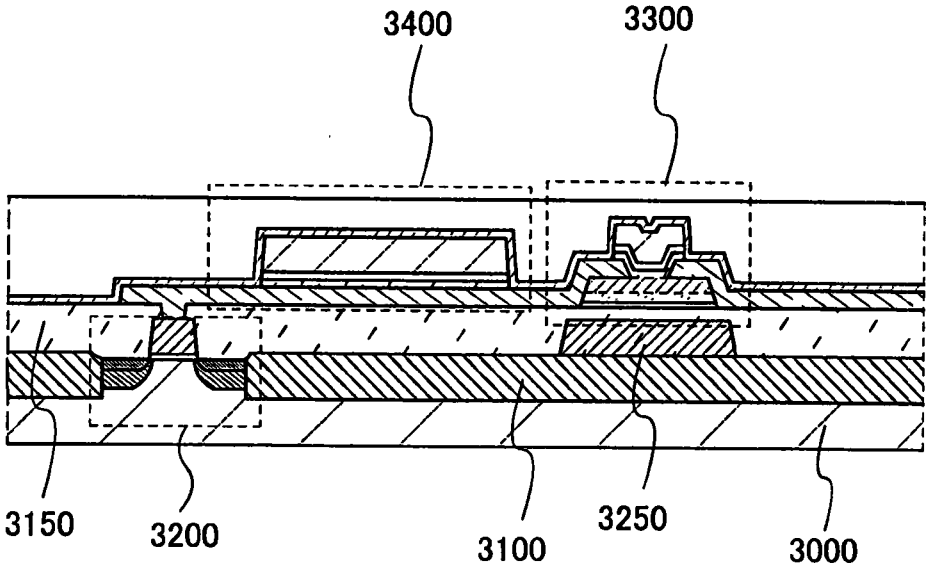

3400
3300
3150
3200
3100
3250
3000

圖 9B

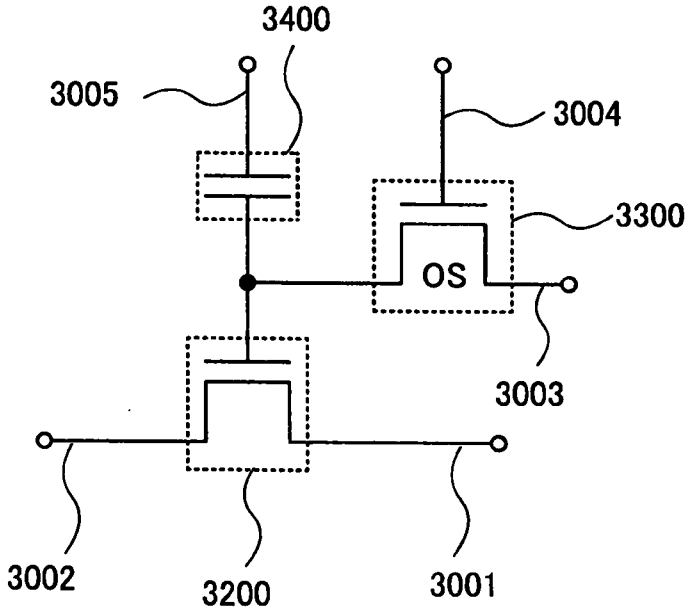

3400
3005
3004
3300
OS
3003
3002
3200
3001

圖 10

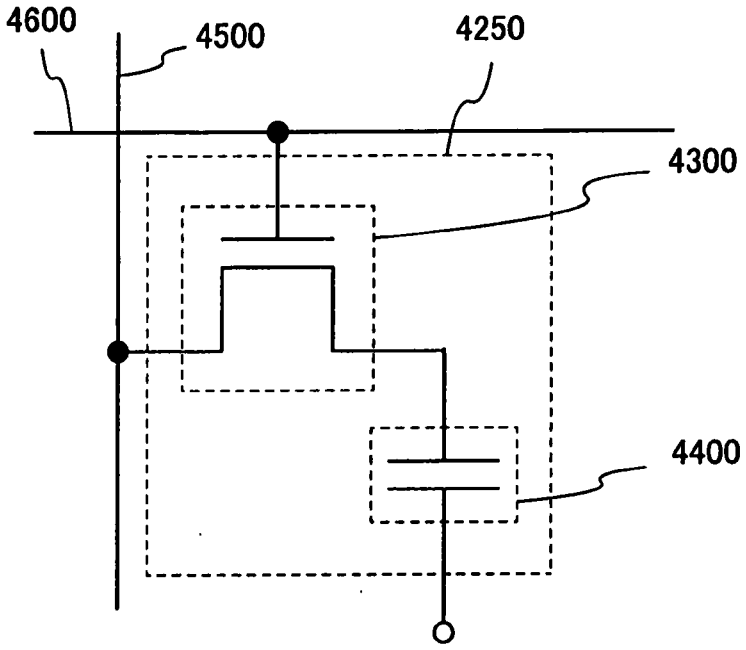


圖 11A

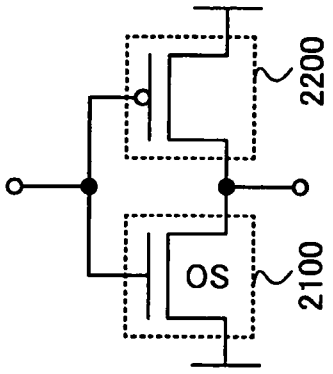


圖 11B

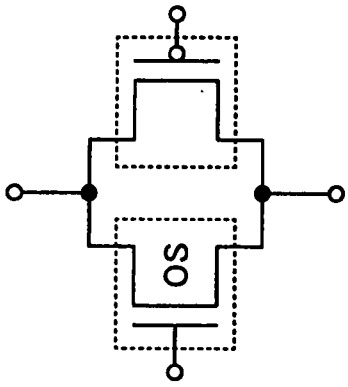


圖 11C

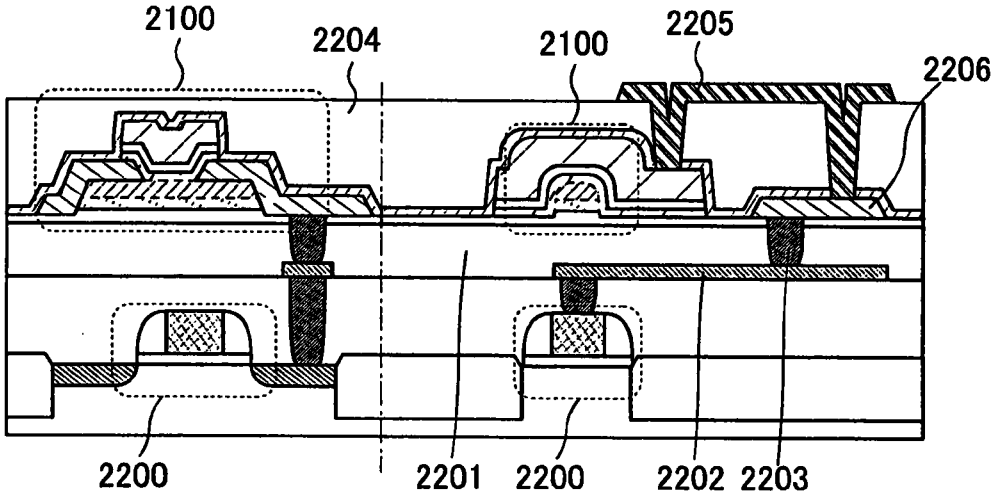


圖 11D

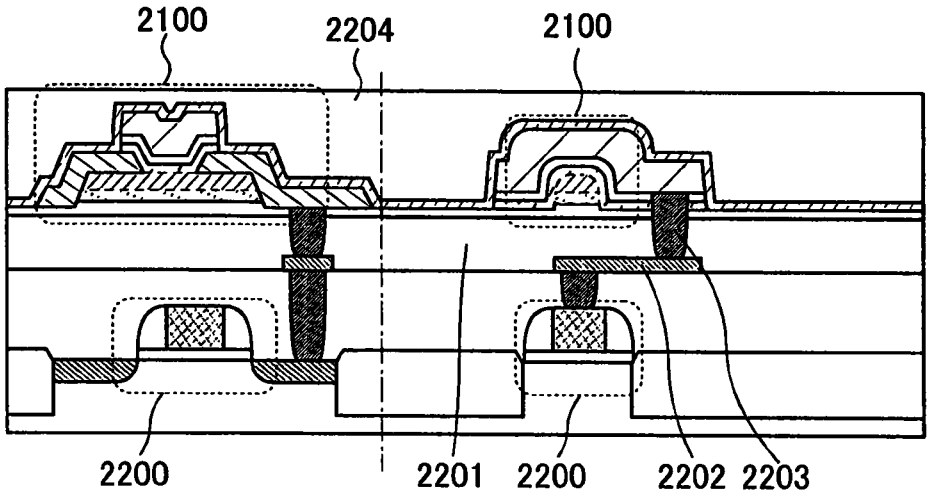


圖 12

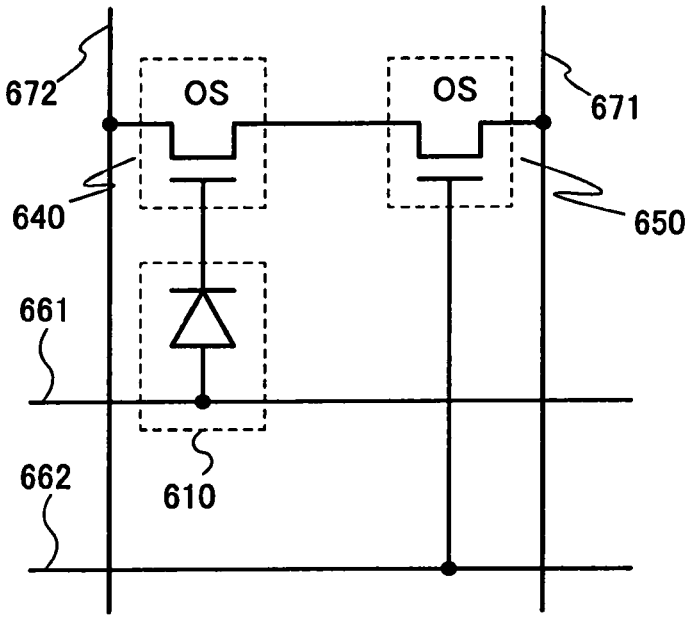


圖 13A

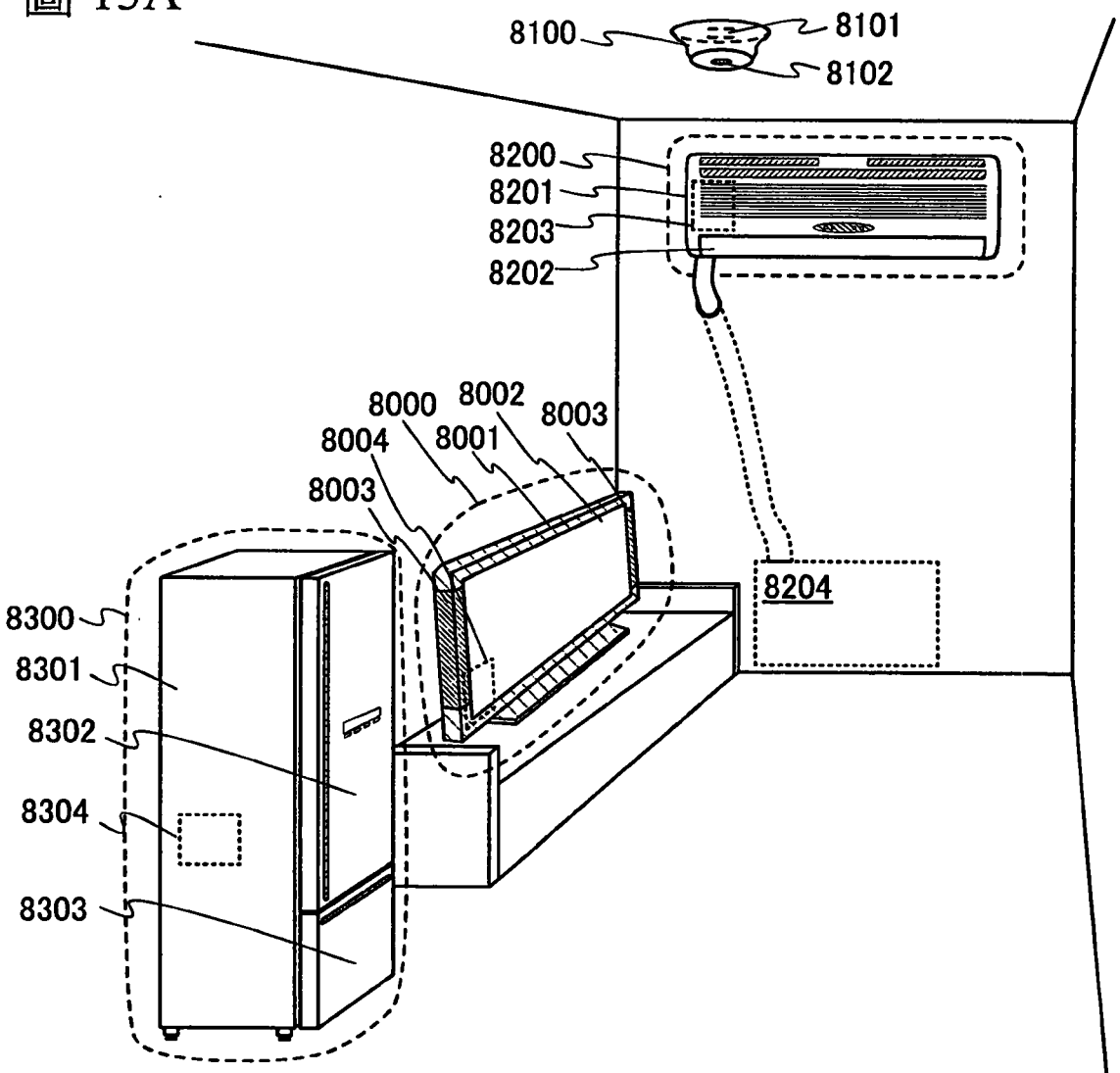


圖 13B

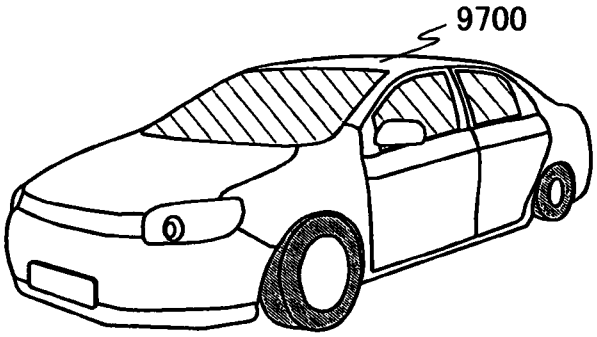


圖 13C

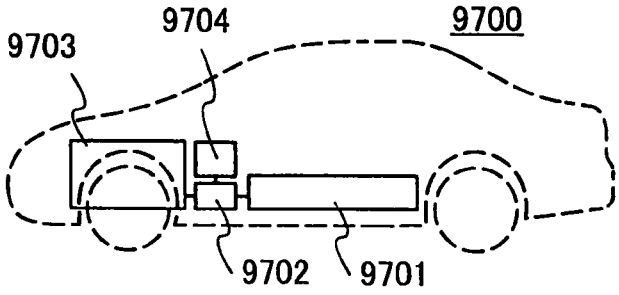
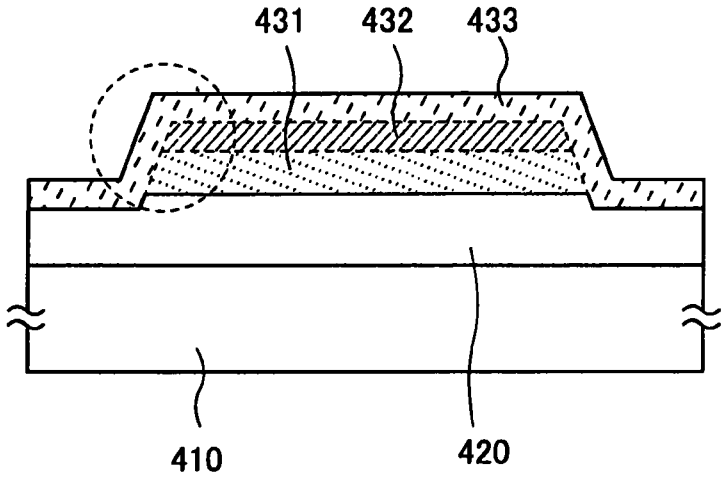


圖 14



第 103117311 號　　民國 107 年 3 月 19 日修正

申請專利範圍

1. 一種半導體裝置，包括：

電晶體，包括：

依次形成在絕緣表面上的包括第一氧化物半導體層及第二氧化物半導體層的疊層；以及

第三氧化物半導體層，

其中在該電晶體的通道寬度方向上的剖面中，該第三氧化物半導體層包括與該絕緣表面的一部分以及該疊層的一部分接觸的第一層，

其中該第三氧化物半導體層包括該第一層上的第二層，

其中該第一層包括微晶層，並且

其中該第二層包括 c 軸在垂直於該第一層的表面的方向上所對準的結晶層。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中該第一氧化物半導體層包括 c 軸在垂直於該絕緣表面的方向上所對準的結晶層，並且

其中該第二氧化物半導體層包括 c 軸在垂直於該第一氧化物半導體層的頂面的方向上所對準的結晶層。

3. 根據申請專利範圍第 1 項之半導體裝置，

其中在接觸於該第一層的區域中該第二氧化物半導體層具有曲面。

4. 根據申請專利範圍第 1 項之半導體裝置，

其中該第一氧化物半導體層的導帶底的能量及該第三

氧化物半導體層的導帶底的能量比該第二氧化物半導體層的導帶底的能量更接近真空能階 0.05eV 以上且 2eV 以下。

5. 根據申請專利範圍第 1 項之半導體裝置，

其中該第一層包括尺寸為 1nm 以上且 10nm 以下的奈米晶。

6. 一種半導體裝置，包括：

電晶體，包括：

依次形成在絕緣表面上的包括第一氧化物半導體層及第二氧化物半導體層的疊層；

與該疊層的第一側面接觸的源極電極層；

與對置於該疊層的該第一側面之第二側面接觸的汲極電極層；以及

第三氧化物半導體層，

其中在該電晶體的通道寬度方向上的剖面中，該第三氧化物半導體層包括與該疊層的第三側面的一部分、該疊層的頂面的一部分以及對置於該疊層的該第三側面之第四側面的一部分接觸的第一層，

其中該第三氧化物半導體層包括該第一層上的第二層，

其中該第一層包括微晶層，並且

其中該第二層包括 c 軸在垂直於該第一層的表面的方向上所對準的結晶層。

7. 根據申請專利範圍第 6 項之半導體裝置，

其中該第一氧化物半導體層包括 c 軸在垂直於該絕緣

表面的方向上所對準的結晶層，並且

其中該第二氧化物半導體層包括 c 軸在垂直於該第一氧化物半導體層的頂面的方向上所對準的結晶層。

8. 根據申請專利範圍第 6 項之半導體裝置，

其中在接觸於該第一層的區域中該第二氧化物半導體層具有曲面。

9. 根據申請專利範圍第 6 項之半導體裝置，

其中該第一氧化物半導體層的導帶底的能量及該第三氧化物半導體層的導帶底的能量比該第二氧化物半導體層的導帶底的能量更接近真空能階 0.05eV 以上且 2eV 以下。

10. 根據申請專利範圍第 6 項之半導體裝置，

其中該第一層包括尺寸為 1nm 以上且 10nm 以下的奈米晶。

11. 一種半導體裝置，包括：

電晶體，包括：

第一絕緣層上的第一氧化物半導體層；

該第一氧化物半導體層上的第二氧化物半導體層；

該第二氧化物半導體層上的源極電極層及汲極電極層，各該源極電極層及該汲極電極層與該第一氧化物半導體層及該第二氧化物半導體層電連接；

與各該第一絕緣層、該第一氧化物半導體層、該第二氧化物半導體層、該源極電極層以及該汲極電極層重疊的第三氧化物半導體層；

該第三氧化物半導體層上的閘極絕緣膜；

該閘極絕緣膜上的閘極電極層；以及

該閘極電極層上的第二絕緣層，

其中在該電晶體的通道寬度方向上的剖面中，該第三氧化物半導體層與該第一絕緣層的頂面、該第一氧化物半導體層的側面以及該第二氧化物半導體層的側面接觸。

12. 根據申請專利範圍第 11 項之半導體裝置，

其中該第一氧化物半導體層包括 c 軸在垂直於該第一絕緣層的方向上所對準的結晶層，並且

其中該第二氧化物半導體層包括 c 軸在垂直於該第一氧化物半導體層的頂面的方向上所對準的結晶層。

13. 根據申請專利範圍第 11 項之半導體裝置，

其中在接觸於該第三氧化物半導體層的區域中該第二氧化物半導體層具有曲面。

14. 根據申請專利範圍第 11 項之半導體裝置，

其中該第一氧化物半導體層的導帶底的能量及該第三氧化物半導體層的導帶底的能量比該第二氧化物半導體層的導帶底的能量更接近真空能階 0.05eV 以上且 2eV 以下。

15. 根據申請專利範圍第 11 項之半導體裝置，

其中該第三氧化物半導體層包括尺寸為 1nm 以上且 10nm 以下的奈米晶。

16. 根據申請專利範圍第 11 項之半導體裝置，

其中至少該第三氧化物半導體層的端部、該閘極絕緣膜的端部、以及該閘極電極層的端部被對準。