

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 19 年 1 月 25 日 (2007.1.25)

【公開番号】特開 2004-135318 (P2004-135318A)  
 【公開日】平成 16 年 4 月 30 日 (2004.4.30)  
 【年通号数】公開・登録公報 2004-017  
 【出願番号】特願 2003-323294 (P2003-323294)  
 【国際特許分類】

**H 0 4 L      7/04      (2006.01)**

【 F I 】

H 0 4 L      7/04      B

【手続補正書】

【提出日】平成 18 年 9 月 7 日 (2006.9.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力データ信号 1 0 1 とクロック信号 1 0 0 とを表わす出力 1 1 0 を提供するための回路構成 1 0 であって、

偶数番リタイミング処理データ信号と奇数番リタイミング処理データ信号とを提供するために、奇数番と偶数番の前記入力データ信号を別個にリタイミング処理するための手段と、

前記リタイミング処理した偶数番及び奇数番データ信号の各々を別個に、前記データ信号と前記クロック信号と前記クロック信号の反転信号と、論理的に組み合わせるための手段 ( 1 1 5、1 1 6、1 1 7、1 1 8 ) と、

前記出力を提供するために、前記論理的に組み合わせられた信号を合成するための手段 1 2 1

とを備える、回路構成。

【請求項 2】

前記合成するための手段 1 2 1 は、線形合成器である、請求項 1 に記載の回路構成。

【請求項 3】

前記論理的に組み合わせるための手段は、少なくとも 4 個の 3 入力論理積ゲートを含み、これにより、

第 1 ゲート 1 1 5 の第 1 入力と第 3 ゲート 1 1 7 の第 1 入力とは、反転された前記リタイミング処理されてないデータ信号 1 0 4 であり、

前記第 1 ゲートの第 2 入力は、前記偶数番リタイミング処理データ信号 1 0 2 であり、

第 2 ゲート 1 1 6 の第 2 入力は、反転された前記偶数番リタイミング処理データ信号であり、

前記第 1 ゲートの第 3 入力は、前記クロック信号 1 0 5 であり、

前記第 2 ゲートの第 1 入力と第 4 ゲート 1 1 8 の第 1 入力とは、前記リタイミング処理されてないデータ信号であり、

前記第 3 ゲートの第 2 入力は、前記奇数番リタイミング処理データ信号 1 0 3 であり、

前記第 4 ゲートの第 2 入力は、反転された前記奇数番リタイミング処理データ信号で

あり、

前記第3ゲートの第3入力と前記第4ゲートの第3入力とは、反転された前記クロック信号であることからなる、請求項1に記載の回路構成。

【請求項4】

前記ゲートは、少なくとも2つの2入力論理積ゲート(617、618)と、少なくとも2つの2入力排他的論理和ゲート(615、616)を含み、これにより、

第1排他的論理和ゲートの第1入力は、前記偶数番リタイミング処理データ信号(602)であり、

前記第1排他的論理和ゲートの第2入力と第2論理和ゲートの第1入力とは、前記リタイミング処理していないデータ信号(604)であり、

前記第2排他的論理和ゲートの第2入力は、前記奇数番リタイミング処理データ信号(603)であり、

第1論理積ゲートへの第1入力は、前記第1排他的論理和ゲートの出力(606)であり、

前記第1論理積ゲートへの第2入力は、前記クロック信号(605)であり、

第2論理積ゲートへの第1入力は、前記第2排他的論理和ゲートの出力(607)であり、

前記第2論理積ゲートへの第2入力は、反転された前記クロック信号であることからなる、請求項1に記載の回路構成。

【請求項5】

前記データ信号601は、前記リタイミング処理回路611、612を介した信号遅延を補償するための量1(613)だけ遅延させられ、前記クロック信号600は、前記リタイミング処理回路と前記排他的論理和ゲート(615、616)を介した信号遅延を補償するための量2(614)だけ遅延させられることからなる、請求項4に記載の回路構成。

【請求項6】

前記論理的に組み合わせられた信号(608、609)と、前記合成するための手段(619)との間に挿入された少なくとも1つの低域濾波フィルタ120を更に備える、請求項2に記載の回路構成。

【請求項7】

データ信号を受信するための入力部(101、601)と、

クロック信号を受信するための入力部(100、600)と、

前記データ入力部において受信したデータをリタイミング処理するための回路構成(111、112、611、612)と、

複数の多入力ゲート(115、116、117、118、615、616、617、618)であって、リタイミング処理していないデータ信号と、前記クロック入力部から受信したクロック信号と、反転された前記クロック信号とを、前記リタイミング回路構成によってリタイミング処理されたデータ信号の様々な組み合わせと組み合わせるよう前記ゲートの入力が構成され、これにより、前記ゲートの線形に合成された出力(110、610)が、前記データ入力部において受信した前記データパルスと前記クロック入力部において受信したクロックパルスとの間の位相差に比例したパルスを提供するための前記出力における信号となることからなる、複数の多入力ゲートとを備える、位相検出器(10、60)。

【請求項8】

前記リタイミング処理していないデータ信号が前記ゲートの入力部に到来する前に、該リタイミング処理していないデータ信号(101、601)を遅延させるための遅延回路構成(113、114、613、614)を更に備える、請求項7に記載の位相検出器。

【請求項9】

データ信号(101、601)とクロック信号(100、600)との間の位相差を示す出力を提供するための回路(10、60)であって、

前記データ信号の組み合わせと、リタイミング処理したデータ信号と、クロック信号とを組み合わせ、前記位相差を示す一連のパルスを提供するための複数の論理素子(115、116、117、118、615、616、617、618)であって、前記組み合わせられた組み合わせは、同一の論理素子によって連続的なパルスが生成されないように組み合わせられることからなる、複数の論理素子と、

前記一連のパルスを、複数のデータ信号パルスにわたって平均化するための、合成器619

とを備える、回路。

【請求項10】

前記合成器619は、線形合成器である、請求項9に記載の回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

図1の実施形態では、ゲートU1は各偶数番負遷移においてパルスを生成する。ゲートU2は、各偶数番正遷移でパルスを生成する。ゲートU3は各奇数番負遷移でパルスを生成し、ゲートU4は各奇数番正遷移でパルスを生成する。ゲートU1～U4からのパルスの持続期間は、位相に比例する。このパルスは、随意選択的ではあるがフィルタ120により低域濾波され、続いて線形合成器121により合成され、各データ遷移における位相に比例するパルスからなる位相出力に帰結する。図3A、図3B、図3Cにおける位相信号110は、低域濾波フィルタ120をもたない場合のものである。低域濾波回路の効果は、この後に論ずるものとする。出力合成を、以下さらに詳細に説明する。この出力は、機能的には従来技術に関連して前記した出力と同一であり、かくして回路10はそのまま従来技術に置き換わるものとなる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

図5Bは、クロック位相が0.4UI遅相であるときの波形の変化の様子を示す。出力パルス(505', 506', 507')は、ここでは0.9UIの長さである。出力パルス立ち上がりに対する最小のフリップフロップタイミングマージンは、0.6UIに縮減されてしまっている。例えば、パルス505'は $t = 5.5$ で始まり、 $t = 6.4$ で終わる。FF1(111)の出力102は、0.6UI進相した $t = 4.9$ (503')でハイとなる。FF1(111)の出力102はそこで、 $t = 6.4$ でのパルス立下りに多数のUIに亘ってハイに止まる。同様に、出力パルスの後端に対する最小のフリップフロップタイミングマージンは1/2UIである。例えば、パルス507'は $t = 9$ で始まり、 $t = 10.4$ で終わる。FF1(111)の出力102は、パルス507'の期間中ハイである必要がある。FF1(111)の出力102が、1/2UIだけ遅相した $t = 10.9$ (504')までハイに止まっている。FF1(111)の出力102はまた、 $t = 9.5$ におけるパルス立ち上がり前に多数のUIに亘りハイであった。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

図 6 は代替実施形態 6 0 を示しており、差動電流モード論理回路 ( C M L ) などの一部の汎用高速論理技術が 3 入力ゲートに影響を受けにくいという事実による。この技術では、3 入力機能は二つの 2 入力機能の縦列接続として実装する必要がある。直接的な実装が、各 3 入力ゲートを二つの 2 入力ゲートの縦列接続に変え、元々の 4 個の 3 入力ゲートに代わる全部で 8 個の 2 入力ゲートに帰結する。しかしながら、図 6 はたった 2 個の 2 入力論理積ゲート 6 1 7 , 6 1 8 ( U 3 , U 4 ) と二つの排他的論理和ゲート 6 1 5 , 6 1 6 ( U 1 , U 2 ) を用いて効率化している。回路 6 0 は、論理的には回路 1 0 ( 図 1 ) と等価である。この場合、位相出力用にゲートが二つだけ存在する。回路 1 0 と同様、回路 6 0 の全ての論理はハーフレート以下で動作する。