



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월30일
 (11) 등록번호 10-1883629
 (24) 등록일자 2018년07월24일

(51) 국제특허분류(Int. Cl.)
 H03K 19/173 (2006.01) H01L 27/12 (2006.01)
 H03K 19/177 (2006.01)
 (52) CPC특허분류
 H03K 19/173 (2013.01)
 H01L 27/1225 (2013.01)
 (21) 출원번호 10-2018-7010615(분할)
 (22) 출원일자(국제) 2010년12월14일
 심사청구일자 2018년04월16일
 (85) 번역문제출일자 2018년04월16일
 (65) 공개번호 10-2018-0042455
 (43) 공개일자 2018년04월25일
 (62) 원출원 특허 10-2017-7029955
 원출원일자(국제) 2010년12월14일
 심사청구일자 2017년10월18일
 (86) 국제출원번호 PCT/JP2010/072839
 (87) 국제공개번호 WO 2011/089808
 국제공개일자 2011년07월28일
 (30) 우선권주장
 JP-P-2010-009569 2010년01월20일 일본(JP)
 (56) 선행기술조사문헌
 KR100221757 B1
 US20070108446 A1

(73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 다케무라 야스히코
 일본 2430036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내
 야마자키 슌페이
 일본 2430036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
 장수길, 박충범, 이증희

전체 청구항 수 : 총 1 항

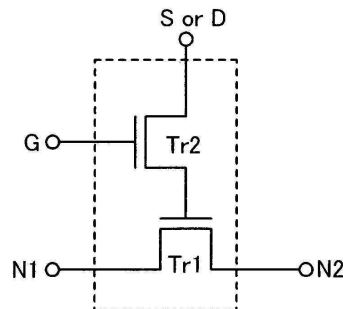
심사관 : 변종길

(54) 발명의 명칭 **반도체 장치**

(57) 요약

전력 소비가 감소될 수 있는 반도체 장치를 제공하는 것이 목적이다. 또 하나의 목적은 프로그래머블 논리 장치(PLD) 등의, 프로그래머블 셀을 이용하는 신뢰성이 높은 반도체 장치를 제공하는 것이다. 기본 블록 간의 접속의 구성의 변경에 따라, 기본 블록에 공급하는 전원 전압이 변화된다. 즉, 기본 블록 간의 접속 구조가 기본 블록이 회로에 기여하지 않게 될 때, 이 기본 블록에의 전원 전압의 공급이 정지된다. 또한, 기본 블록에의 전원 전압의 공급은 채널 형성 영역이 산화물 반도체를 이용하여 형성된 전계 효과 트랜지스터를 사용하여 형성된 프로그래밍 셀을 이용하여 제어되고, 상기 전계 효과 트랜지스터는 극히 낮은 오프 전류 및 극히 낮은 리크 전류를 갖는다.

대표도 - 도2a



(52) CPC특허분류

H03K 19/17736 (2013.01)

H03K 19/17772 (2013.01)

H03K 19/17784 (2013.01)

명세서

청구범위

청구항 1

제1 회로 블록, 제2 회로 블록 및 프로그램 소자를 포함하는 반도체 장치를 구동하는 방법으로서,
 상기 프로그램 소자는 제1 트랜지스터 및 제2 트랜지스터를 포함하고,
 상기 제1 트랜지스터의 게이트 전극은 상기 제2 트랜지스터의 소스 전극 및 드레인 전극 중 하나에 전기적으로 접속되고,
 상기 제1 트랜지스터의 소스 전극 및 드레인 전극 중 하나는 상기 제1 회로 블록에 전기적으로 접속되고,
 상기 제1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 제2 회로 블록에 전기적으로 접속되고,
 상기 방법은,
 상기 제1 회로 블록 및 상기 제2 회로 블록으로의 전력 공급을 정지하는 단계;
 상기 제2 트랜지스터가 온-상태일 때, 상기 제2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 전위를 공급하여, 상기 제1 트랜지스터의 상기 게이트 전극에 상기 전위가 공급되는 단계;
 상기 제1 회로 블록 및 상기 제2 회로 블록으로의 상기 전력 공급이 정지될 때, 상기 제2 트랜지스터를 턴 오프하여, 상기 전위가 상기 제1 트랜지스터의 상기 게이트 전극에 유지되는 단계; 및
 상기 제1 회로 블록 및 상기 제2 회로 블록으로의 상기 전력 공급을 재개하는 단계를 포함하는, 반도체 장치를 구동하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 이용하는 반도체 소자를 포함하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 최근, 반도체 특성을 나타내고 소위 산화물 반도체인 금속 산화물은 비정질 실리콘보다 높은 이동도 및 신뢰성을 갖고, 균일한 소자 특성을 갖는 신규한 반도체 재료로서 주목을 받고 있다. 금속 산화물은 다양한 응용에 사용된다. 예를 들어, 산화 인듐은 공지된 금속 산화물이고 액정 표시 장치 등에 포함된 투명 전극의 재료로서 사용된다. 반도체 특성을 갖는 이러한 금속 산화물의 예는 산화 텅스텐, 산화 주석, 산화 인듐, 및 산화 아연을 포함한다. 채널 형성 영역이 반도체 특성을 갖는 이러한 금속 산화물을 이용하여 형성되는 박막 트랜지스터가 공지되어 있다(특허 문헌 1 및 2).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특개 2007-123861호 공보

(특허문헌 0002) 일본 특개 2007-96055호 공보

발명의 내용

[0004] 종래에는, 통상적인 중앙 처리 장치(CPU) 등의 반도체 집적 회로에서, 회로가 미리 설계되고 제조 후에는 변경될 수 없다. 반면, 소위 프로그래머블 논리 장치(PLD)의 반도체 집적 회로에서, 논리 회로는 적당한 구조를 갖

는 기본 블록 단위를 사용하여 형성되고 기본 블록 단위 간의 상호접속은 제조 후에 변경될 수 있다. 따라서, PLD는 회로 구성이 사용자에게 의해 변경될 수 있고, 회로의 설계 및 개발에 드는 시간과 비용이 상당히 감소될 수 있기 때문에 높은 융통성을 갖는다.

[0005] PLD는 복합 PLD(CPLD), 필드 프로그래머블 게이트 어레이(FPGA) 등을 포함한다. 회로 구성의 프로그램이 제한 없이 재기입될 수 있기 때문에, 상기 PLD 중 임의의 것의 회로 구성이 EEPROM 또는 SRAM 등의 반도체 메모리에 저장된 기본 블록 간의 접속 구조에 따라 설정된다. 프로그램된 회로 구성에 따라, 기본 블록이 회로 구성에 기여하지 않는 경우가 있을 수 있다. 특히, PLD가 더 큰 크기를 갖고 더 높은 융통성을 가짐에 따라, 기본 블록의 수는 증가한다. 회로 구성이 특정 용도에 맞춤형되기에, 회로 구성에 기여하지 않는 기본 블록의 수가 증가한다.

[0006] 그러나, 전원 전압이 PLD의 회로 구성에 기여하지 않는 기본 블록에 또한 공급된다. 따라서, 기본 블록에서, 기생 용량을 포함하는 다양한 용량이 쓸데없이 충방전되어, 전력이 소비된다. 전원 전압이 공급될 때, 불필요한 전력 소비가 리크 전류 또는 오프 전류로 인해 기본 블록에서 일어난다. 예를 들어, 인버터가 CMOS를 이용하여 형성되는 경우에, 이상적으로 정상 상태에서 전력이 소비되지 않아도, 전력은 게이트 절연막으로 흐르는 리크 전류 또는 소스 전극과 드레인 전극 간에 흐르는 오프 전류로 인해 기생적으로 소비된다. CMOS 인버터가 벌크 실리콘을 이용하여 형성되는 경우에, 전원 전압이 약 3V인 상태에서 실온에서 약 1pA의 오프 전류가 발생된다. PLD의 고 집적화가 달성될 때, 전력 소비는 반도체 소자의 미세화 또는 소자 수의 증가로 인해 증가되는 것으로 예상된다.

[0007] 재기입가능한 PLD를 사용하는 경우에, EEPROM 또는 SRAM은 일반적으로 접속 구조를 기억하기 위한 프로그래밍 셀로서 이용된다. 그러나, EEPROM은 터널링 전류의 원리를 이용하여 데이터를 기입하고 소거하기 때문에, 절연막의 저하가 쉽게 일어난다. 따라서, 실제로, 데이터를 재기입하는 횟수는 무한이 아니고, 재기입 횟수의 상한선은 약 수만 내지 수십만 회이다. 또한, 데이터가 기입될 때와 데이터가 소거될 때 EEPROM에 인가된 전압의 절대값은 약 20V 만큼 높다. 따라서, 전력 소비는 데이터가 기입될 때와 데이터가 소거될 때 쉽게 증가한다. 또한, 상기 동작 전압의 크기를 커버하기 위한 용량 회로 설계가 필요하다.

[0008] 한편, SRAM은 데이터를 유지하기 위해 전원 전압의 공급을 항상 필요로 한다. 따라서, 상술한 바와 같이, 전원 전압이 공급되는 동안 정상 상태에서도 전력이 소비되므로, SRAM을 이용하는 프로그래밍 셀의 수가 고 집적화에 따라 증가하면, 반도체 장치의 전력 소비가 증가한다.

[0009] 상기 문제에 비추어서, 본 발명의 목적은 전력 소비를 감소할 수 있는 반도체 장치를 제공하는 것이다. 본 발명의 또 하나의 목적은 프로그래밍 셀을 이용하여 신뢰성이 높은 반도체 장치를 제공하는 것이다.

[0010] 본 발명의 일 실시형태에 따른 반도체 장치에서, 기본 블록 간의 접속 구조의 변경에 따라, 기본 블록에의 전원 전압의 공급의 유무가 변경된다. 즉, 기본 블록 간의 접속 구조의 변경이 회로 구성에 기여하지 않는 기본 블록을 발생할 때, 해당 기본 블록에의 전원 전압의 공급이 정지된다.

[0011] 본 발명의 일 실시형태에서, 기본 블록에의 전원 전압의 공급은, 극히 낮은 오프 전류 또는 극히 낮은 리크 전류를 갖는 절연된 게이트 전계 효과 트랜지스터(이후 간단히 트랜지스터라고 함)를 이용하여 형성된 프로그래밍 셀을 이용하여 제어된다. 상기 트랜지스터의 밴드 갭은 실리콘 반도체의 것보다 넓고, 트랜지스터의 채널 형성 영역은 진성 캐리어 밀도가 실리콘의 진성 캐리어 밀도보다 낮은 반도체 재료를 포함한다. 이러한 특성을 갖는 반도체 재료는 채널 형성 영역에 포함되어, 극히 낮은 오프 전류를 갖는 트랜지스터가 실현될 수 있다. 이러한 반도체 재료의 예로서, 실리콘의 밴드 갭의 약 3배인 밴드 갭을 갖는 산화물 반도체가 주어질 수 있다.

[0012] 본 발명의 일 실시형태에서, 극히 낮은 오프 전류 또는 극히 낮은 리크 전류를 갖는 트랜지스터가 기본 블록 간의 접속을 제어하기 위한 프로그래밍 셀을 위해 사용된다.

[0013] 달리 언급하지 않는 한, 본 명세서에서, n 채널 트랜지스터의 경우에, 오프 전류는 기준 전위가 소스 전극의 전위일 때 게이트 전극의 전위가 0 이하인 동안 드레인 전극의 전위가 소스 전극의 전위 또는 게이트 전극의 전위보다 높을 때 소스 전극과 드레인 전극 사이에 흐르는 전류이다. 다르게는, 본 명세서에서, p 채널 트랜지스터의 경우에, 오프 전류는 기준 전위가 소스 전극의 전위일 때 게이트 전극의 전위가 0 이상인 동안 드레인 전극의 전위가 소스 전극의 전위 또는 게이트 전극의 전위보다 낮을 때 소스 전극과 드레인 전극 사이에 흐르는 전류이다.

[0014] 구체적으로, 상기 프로그래밍 셀은 2개의 노드 간의 접속을 제어하기 위한 스위칭 소자로서 기능하는 제1 트랜지스터 및 상기 제1 트랜지스터의 게이트 전극에의 전위의 공급을 제어하기 위한 제2 트랜지스터를 적어도 포함

한다. 제2 트랜지스터는 실리콘의 밴드 갭의 약 3배인 밴드 갭, 및 극히 낮은 오프 전류 또는 리크 전류를 갖는 산화물 반도체 등의 반도체 재료를 이용하여 형성된 채널 형성 영역을 포함한다. 따라서, 제1 트랜지스터의 게이트 전극과 소스 전극 사이의 전압(게이트 전압)은 극히 낮은 오프 전류 또는 극히 낮은 리크 전류를 갖는 제2 트랜지스터에 의해 오랜 시간 동안 유지된다.

[0015] 산화물 반도체는 미결정 실리콘 또는 다결정 실리콘의 것과 거의 동일한 높은 이동도, 및 비정질 실리콘과 거의 동일한 소자 특성의 균일성을 포함하는 반도체 특성을 나타내는 금속 산화물이다. 전자 도너(도너)로 되는, 수분 또는 수소 등의 불순물의 농도의 감소에 의해 고순도화된(순도화된 OS) 산화물 반도체는 진성 반도체(i형 반도체) 또는 실질적으로 진성 반도체이다. 따라서, 상기 산화물 반도체를 포함하는 트랜지스터는 극히 낮은 오프 전류 또는 극히 낮은 리크 전류의 특성을 갖는다. 구체적으로, 2차 이온 질량 분석법(SIMS)에 의해 측정된 고순도화된 산화물 반도체의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 보다 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하이다. 또한, 홀 효과 측정에 의해 측정된 산화물 반도체막의 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 더구나, 산화물 반도체의 밴드 갭은 2eV 이상이고, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물의 농도를 충분히 감소시킴으로써 고순도화된 산화물 반도체막을 이용하여, 트랜지스터의 오프 전류 또는 리크 전류가 감소될 수 있다.

[0016] 산화물 반도체막에서의 수소 농도의 분석이 여기서 기술된다. SIMS 분석 원리에 의해, 샘플의 표면에 인접하거나 또는 상이한 재료들을 사용하여 형성된 적층된 막들 간의 계면에 인접하여 데이터를 정확하게 얻기란 원칙적으로 어렵다는 것은 공지되어 있다. 그러므로, 막의 수소 농도의 분포가 두께 방향으로 SIMS에 의해 분석되는 경우에, 대상이 되는 막의 영역에서, 값이 크게 변화하지 않고 거의 일정한 값이 얻어질 때, 평균값이 수소 농도로서 채택된다. 또한, 대상이 되는 막의 두께가 작은 경우에, 인접한 막에서의 수소 농도의 영향으로 인해 거의 일정한 값을 갖는 영역이 얻어질 수 없는 경우가 있다. 그 경우에, 막의 영역에서의 수소 농도의 극대값 또는 극소값이 막의 수소 농도로서 채택된다. 또한, 극대값을 갖는 산 모양(mountain-shaped)의 피크 및 극소값을 갖는 골짜기 모양(valley-shaped)의 피크가 막이 제공되는 영역에 존재하지 않는 경우에, 변곡점에서의 값이 수소 농도로서 채택된다.

[0017] 다양한 실험에 따르면 액티브층으로서 고순도화된 산화물 반도체막을 포함하는 트랜지스터가 낮은 오프 전류를 갖는 것이 실제로 증명되었다. 예를 들어, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)의 1V 내지 10V의 범위에서, $1 \times 10^6 \mu\text{m}$ 의 채널 폭과 $10 \mu\text{m}$ 의 채널 길이의 소자에서도, (게이트 전극과 소스 전극 간의 전압이 0V 이하일 때 드레인 전류인) 오프 전류가 반도체 특성화 시스템의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{A}$ 이하인 것이 가능하다. 그 경우에, 오프 전류를 트랜지스터의 채널 폭으로 나누어서 얻어진 값에 대응하는 오프 전류 밀도가 $100 \text{zA}/\mu\text{m}$ 이하인 것으로 판명되었다. 또한, 실험에서, 용량 소자와 트랜지스터(게이트 절연막의 두께는 100nm이었음)는 서로 접촉되었고 용량 소자에 또는 용량 소자로부터 흐르는 전하가 트랜지스터에 의해 제어된 회로가 사용되었다. 고순도화된 산화물 반도체막이 트랜지스터에서의 채널 형성 영역으로서 사용되었고, 트랜지스터의 오프 전류가 단위 시간당 용량 소자의 전하량의 변화로부터 측정되었을 때, 트랜지스터의 소스 전극과 드레인 전극 간의 전압이 3V인 경우에, $10 \text{zA}/\mu\text{m}$ 내지 $100 \text{zA}/\mu\text{m}$ 의 더 낮은 오프 전류가 얻어질 수 있다는 것이 판명되었다. 따라서, 본 발명의 일 실시형태에 관한 반도체 장치에서, 액티브층으로서 고순도화된 산화물 반도체막을 포함하는 트랜지스터의 오프 전류 밀도는 소스 전극과 드레인 전극 간의 전압에 따라, $100 \text{zA}/\mu\text{m}$ 이하, 바람직하게는 $10 \text{zA}/\mu\text{m}$ 이하, 더 바람직하게는 $1 \text{zA}/\mu\text{m}$ 이하일 수 있다. 따라서, 액티브층으로서 고순도화된 산화물 반도체막을 포함하는 트랜지스터는 결정도를 갖는 실리콘을 포함하는 트랜지스터보다 훨씬 낮은 오프 전류를 갖는다.

[0018] 고순도화된 산화물 반도체를 포함하는 트랜지스터는 오프 전류의 온도 의존성을 거의 나타내지 않는다. 왜냐하면 산화물 반도체에서 전자 도너(도너)로 되는 불순물이 제거되고 산화물 반도체가 고순도화되어, 도전형이 실질적으로 진성형에 가깝고 페르미 준위가 금지대의 중앙에 위치하기 때문이다. 이것은 산화물 반도체가 3eV 이상의 에너지 갭을 갖고 있고 극소수의 열적으로 여기된 캐리어를 포함한다는 사실에 또한 기인한다. 또한, 소스 전극과 드레인 전극은 축퇴된 상태로 되고, 이 또한 온도 의존성을 나타내지 않은 요인이다. 트랜지스터는 주로 축퇴된 소스 전극으로부터 산화물 반도체에 주입된 캐리어로 동작되고, 캐리어 밀도의 온도 의존성이 없기 때문에 오프 전류의 온도 의존성이 없다는 것이 설명될 수 있다.

[0019] 산화물 반도체로서, In-Sn-Ga-Zn-O계 산화물 반도체 등의 4원 금속 산화물, In-Ga-Zn-O계 산화물 반도체, In-

Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 및 Sn-Al-Zn-O계 산화물 반도체 등의 3원 금속 산화물, 또는 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체 등의 2원 금속 산화물, In-O계 산화물 반도체, Sn-O계 산화물 반도체, 및 Zn-O계 산화물 반도체 등이 사용될 수 있다. 본 명세서에서, 예를 들어, In-Sn-Ga-Zn-O계 산화물 반도체는 인듐(In), 주석(Sn), 갈륨(Ga), 및 아연(Zn)을 포함하는 금속 산화물이라는 점에 유의한다. 화학양론적 조성비에는 특정한 제한이 없다. 상기 산화물 반도체는 실리콘을 포함할 수 있다.

[0020] 다르게는, 산화물 반도체는 화학식 $InMO_3(ZnO)_m(m>0)$ 으로 표현될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다.

[0021] 본 발명의 일 실시형태에 따르면, 회로 구성에 기여하지 않는 기본 블록에의 전원 전압의 공급이 프로그래밍 셀에 의해 정지되어, 반도체 집적 회로의 전력 소비가 억제될 수 있다.

[0022] 상기 구조를 갖는 프로그래밍 셀은 EEPROM을 이용하는 종래의 프로그래밍 셀에 비해, 터널링 전류에 의해 게이트 절연막의 저하를 억제할 수 있으므로, 데이터를 재기입하는 횟수가 증가할 수 있는 반도체 장치가 제공될 수 있다.

[0023] 상기 구조를 갖는 프로그래밍 셀에서, 접속 상태시 데이터를 기입하는 데 필요한 동작 전압이 제2 트랜지스터의 동작 전압에 의해 근사하게 결정된다. 따라서, EEPROM을 이용하는 종래의 프로그래밍 셀에 비해, 상기 동작 전압이 상당히 감소될 수 있고 전력 소비가 감소된 반도체 장치가 제공될 수 있다.

[0024] SRAM을 이용하여 형성된 프로그래밍 셀과 다르게, 상기 구조를 갖는 프로그래밍 셀은 극히 낮은 오프 전류를 갖는 트랜지스터를 이용하여 데이터를 유지한다. 따라서, 전원 전압이 프로그래밍 셀에 항상 공급되지 않아도 접속 상태가 어느 정도 유지될 수 있다. 그러므로, 전력 소비가 감소된 반도체 장치가 제공될 수 있다.

도면의 간단한 설명

- [0025] 도 1은 반도체 장치의 구조를 도시한 도면.
- 도 2a 내지 2c는 각각 프로그래밍 셀의 회로도를 도시한 도면.
- 도 3은 반도체 장치의 동작을 도시한 도면.
- 도 4는 반도체 장치의 동작을 도시한 도면.
- 도 5는 반도체 장치의 동작을 도시한 도면.
- 도 6은 반도체 장치의 구조를 도시한 도면.
- 도 7은 반도체 장치의 구조를 도시한 도면.
- 도 8은 반도체 장치의 구조를 도시한 도면.
- 도 9의 (a)와 (b)는 반도체 장치의 동작을 각각 도시한 타이밍 차트.
- 도 10의 (a) 내지 (c)는 반도체 장치를 제조하기 위한 방법을 도시한 도면.
- 도 11의 (a)와 (b)는 반도체 장치를 제조하기 위한 방법을 도시한 도면.
- 도 12의 (a) 내지 (c)는 반도체 장치를 제조하기 위한 방법을 도시한 도면.
- 도 13은 산화물 반도체를 포함하는 역 스택거형 반도체의 종단면도.
- 도 14는 도 13의 선 A-A'을 따라 취한 단면의 에너지 밴드도(모식도).
- 도 15a는 양의 전압($V_G > 0$)이 게이트 전극(GE)에 인가된 경우의 에너지 밴드도이고, 도 15b는 음의 전압($V_G < 0$)이 게이트 전극(GE)에 인가된 경우의 에너지 밴드도.
- 도 16은 진공 준위, 금속의 일함수(Φ_M), 및 산화물 반도체의 전자 친화력(χ) 간의 관계를 도시한 도면.
- 도 17a 내지 17d는 전자 기기의 구조를 각각 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0026] 이후, 본 발명의 실시형태들이 첨부 도면을 참조하여 상세히 설명된다. 그러나, 본 발명은 다음 설명으로 한정되지 않고 당업자라면 모드 및 상세가 본 발명의 취지 및 범위를 벗어나지 않고 다양한 방식으로 변경될 수 있는 것을 쉽게 이해할 것이다. 따라서, 본 발명은 이하의 실시형태들의 설명으로 한정되는 것으로 해석되어서는 안된다.
- [0027] 본 발명의 반도체 장치는 그 범주에, 마이크로프로세서, 화상 처리 회로, 반도체 표시 장치용 컨트롤러, 디지털 신호 프로세서(DSP), 마이크로 컨트롤러 등의 반도체 소자를 이용하여 형성된 다양한 반도체 집적 회로를 포함한다. 또한, 본 발명의 반도체 장치는 또한 그 범주에, 상기 반도체 집적 회로를 이용하여 형성된 RF 태그, 반도체 표시 장치 등의 다양한 장치를 포함한다. 반도체 표시 장치는 그 카테고리에 다음을 포함한다: 액정 표시 장치, 유기 발광 소자(OLED)에 의해 대표되는 발광 소자가 각 화소에 제공된 발광 장치, 전자 페이퍼, 디지털 마이크로미러 장치(DMD), 플라즈마 표시 패널(PDP), 전계 방출 디스플레이(FED), 및 반도체 소자가 구동 회로에 포함된 다른 반도체 표시 장치.
- [0028] (실시형태 1)
- [0029] 본 실시형태에서, 본 발명의 일 실시형태에 따른 반도체 장치의 구조 및 동작이 설명된다.
- [0030] 본 발명의 일 실시형태에 따른 반도체 장치의 구조가 예로서 도 1에 도시된다. 도 1에 도시된 반도체 장치는 9개의 기본 블록 A 내지 I, 기본 블록 A 내지 I 간의 접속을 제어하는 프로그래밍 셀 SwAB 내지 SwIH, 및 기본 블록 A 내지 I에의 전원 전위 VDD의 공급을 제어하는 프로그래밍 셀 SwVA 내지 SwVI를 구비한다.
- [0031] 도 1에서, 기본 블록 A의 출력 단자와 기본 블록 B의 입력 단자 간의 접속을 제어하는 프로그래밍 셀은 예를 들어 SwAB로 표시된다는 점에 유의한다. 한편, 기본 블록 B의 출력 단자와 기본 블록 A의 입력 단자 간의 접속을 제어하는 프로그래밍 셀은 SwBA로 표시된다.
- [0032] 도 1에서, 설명의 복잡성을 피하기 위해서, 9개의 기본 블록의 각각이 프로그래밍 셀을 통해 위, 아래, 좌, 또는 우의 기본 블록에 접속된 경우가 도시된다. 그러나, 본 발명의 일 실시형태는 이 구조로 한정되지 않고, 설계자가 기본 블록의 수 및 접속 구조를 적절히 설정할 수 있다.
- [0033] 도 1에서, 각각의 기본 블록은 전원 전위 VDD가 인가되는 노드에 프로그래밍 셀을 통해 접속되지만, 실제로, 전원 전위 VDD 뿐만 아니라 접지 전위 등의 전원 전위 VDD와 다른 고정 전위가 각 기본 블록에 인가된다. 즉, 전원 전위 VDD가 기본 블록에 인가될 때, 전원 전위 VDD와 상기 고정 전위 간의 전위차가 전원 전압으로서 기본 블록에 공급된다.
- [0034] 도 1에서, 소정의 기본 블록의 한 출력 단자가 프로그래밍 셀을 통해 다른 기본 블록의 한 입력 단자에 접속된 경우가 설명된다. 그러나, 본 발명의 일 실시형태는 이 구조로 한정되지 않는다. 소정의 기본 블록의 한 출력 단자는 프로그래밍 셀을 통해 다른 기본 블록의 복수의 입력 단자에 접속될 수 있다.
- [0035] 기본 블록으로서 사용된 논리 회로의 구조에는 특정한 제한이 없다는 점에 유의한다. 인버터, AND, NAND, 또는 NOR 등의 간단한 논리 연산을 수행하는 논리 회로; 가산기; 승산기; 메모리(예를 들어, DRAM 또는 SRAM); 또는 다양한 연산 유닛이 기본 블록으로서 사용될 수 있다.
- [0036] 각각의 프로그래밍 셀은 2개의 노드 간의 접속을 제어하는 제1 트랜지스터(Tr1) 및 제1 트랜지스터의 게이트 전극에의 전위의 공급을 제어하는 제2 트랜지스터(Tr2)를 적어도 포함한다. 구체적으로, 프로그래밍 셀의 구조적 예가 도 2a 내지 2c에 도시된다.
- [0037] 도 2a는 가장 간단한 구조를 갖는 프로그래밍 셀의 예이고, 프로그래밍 셀은 2개의 노드 간의 접속을 제어하는 제1 트랜지스터(Tr1) 및 제1 트랜지스터(Tr1)의 게이트 전극에의 전위의 공급을 제어하는 제2 트랜지스터(Tr2)를 포함한다. 구체적으로, 제1 트랜지스터(Tr1)의 소스 전극은 노드 N1에 접속되고 제1 트랜지스터(Tr1)의 드레인 전극은 노드 N2에 접속된다. 또한, 제2 트랜지스터(Tr2)의 소스 전극(S라고 표시) 및 드레인 전극(D라고 표시) 중 하나는 제1 트랜지스터(Tr1)의 게이트 전극에 접속되고, 제1 트랜지스터(Tr1)의 스위칭을 제어하기 위한 신호(Sig1)의 전위는 제2 트랜지스터(Tr2)의 소스 전극(S라고 표시) 및 드레인 전극(D라고 표시) 중 다른 하나에 인가된다.
- [0038] 제1 트랜지스터(Tr1)의 게이트 전극의 전위를 유지하기 위한 용량 소자가 설치될 수 있다는 점에 유의한다.

- [0039] 제2 트랜지스터(Tr2)가 제2 트랜지스터(Tr2)의 게이트 전극에 입력된 신호에 따라 턴 온될 때, 제1 트랜지스터(Tr1)의 스위칭을 제어하기 위한 신호의 전위가 제1 트랜지스터(Tr1)의 게이트 전극에 인가된다. 제1 트랜지스터(Tr1)는 제1 트랜지스터(Tr1)의 게이트 전극에 인가된 전위에 따라 스위칭을 수행한다. 제1 트랜지스터(Tr1)가 온일 때, 노드 N1은 노드 N2에 접속된다. 반대로, 제1 트랜지스터(Tr1)가 오프일 때, 노드 N1은 노드 N2에 접속되지 않고, 이들 노드 중 하나는 고 임피던스 상태에 있다.
- [0040] 다음에, 제2 트랜지스터(Tr2)가 제2 트랜지스터(Tr2)의 게이트 전극에 입력된 신호에 따라 턴 오프될 때, 제1 트랜지스터(Tr1)의 게이트 전극은 플로팅 상태에 있고, 전위가 유지된다. 따라서, 노드 N1과 노드 N2 간의 접속 상태가 유지된다.
- [0041] 본 명세서에서 "접속"은 전기적 접속을 말하고 전류, 전압, 또는 전위가 인가 또는 송신될 수 있는 상태에 대응한다는 점에 유의한다. 따라서, 접속 상태는 항상 직접 접속의 상태를 의미하지 않지만, 그 범주에 전류, 전압, 또는 전위가 공급 또는 송신될 수 있는 배선, 저항, 다이오드, 또는 트랜지스터 등의 회로 소자를 통하는 간접 접속 상태를 포함한다.
- [0042] 회로도가 서로 접속된 독립적인 구성요소를 도시하였지만, 배선의 일부가 또한 전극으로서 기능하는 경우 등의, 하나의 도전막이 복수의 구성요소의 기능을 갖는 경우가 있다는 점에 유의한다. 본 명세서에서 "접속"은 그 범주에 하나의 도전막이 복수의 구성요소의 기능을 갖는 그러한 경우를 포함한다.
- [0043] 트랜지스터에 포함된 "소스 전극" 및 "드레인 전극"의 명칭은 트랜지스터의 극성 또는 각각의 전극에 인가된 전위의 레벨 간의 차이에 따라 교환된다. 일반적으로, n 채널 트랜지스터에서, 낮은 전위가 인가된 전극을 소스 전극이라 하고, 높은 전위가 인가되는 전극을 드레인 전극이라 한다. 또한, p 채널 트랜지스터에서, 낮은 전위가 인가된 전극을 드레인 전극이라 하고, 높은 전위가 인가되는 전극을 소스 전극이라 한다. 본 명세서에서, 편의상, 트랜지스터의 접속 관계가 소스 전극 및 드레인 전극이 어떤 경우에는 고정된 것으로 가정하여 설명되지만, 실제로 소스 전극과 드레인 전극은 상기 전위들 간의 관계에 따라 서로 교환된다.
- [0044] 기본 블록 간의 접속을 제어하기 위한 프로그래밍 셀을 사용하는 경우에, 노드 N1은 한 기본 블록의 입력 단자 또는 출력 단자에 접속되고, 노드 N2는 다른 기본 블록의 입력 단자 또는 출력 단자에 접속되는 점에 유의한다. 기본 블록에의 전원 전압의 공급을 제어하기 위한 프로그래밍 셀을 사용하는 경우에, 기본 블록은 노드 N1 및 노드 N2 중 하나에 접속되고, 전원 전위 VDD는 노드 N1 및 노드 N2 중 다른 하나에 인가된다.
- [0045] 다음에, 다른 프로그래밍 셀의 예가 도 2b에 도시된다. 도 2b에 도시된 프로그래밍 셀은 2개의 노드 간의 접속을 제어하는 제1 트랜지스터(Tr1), 제1 트랜지스터(Tr1)의 게이트 전극에의 전위의 공급을 제어하는 제2 트랜지스터(Tr2), 및 상기 2개의 노드 중 하나와 고정 전위 VSS가 인가되는 노드 간의 접속을 제어하는 제3 트랜지스터(Tr3)를 포함한다.
- [0046] 구체적으로, 제1 트랜지스터(Tr1)의 소스 전극은 노드 N1에 접속되고 제1 트랜지스터(Tr1)의 드레인 전극은 노드 N2에 접속된다. 제2 트랜지스터(Tr2)의 소스 전극 및 드레인 전극 중 하나는 제1 트랜지스터(Tr1)의 게이트 전극에 접속되고, 제1 트랜지스터(Tr1)의 스위칭을 제어하기 위한 신호의 전위가 제2 트랜지스터(Tr2)의 소스 전극 및 드레인 전극 중 다른 하나에 인가된다. 제3 트랜지스터(Tr3)의 소스 전극 및 드레인 전극 중 하나는 노드 N2에 접속되고, 다른 하나는 고정 전위 VSS가 인가되는 노드에 접속된다. 제1 트랜지스터(Tr1)의 게이트 전극은 제3 트랜지스터(Tr3)의 게이트 전극에 접속된다. 제1 트랜지스터(Tr1)는 n 채널 트랜지스터이고, 제3 트랜지스터(Tr3)는 p 채널 트랜지스터라는 점에 유의한다.
- [0047] 도 2b에 도시된 프로그래밍 셀은 제1 트랜지스터(Tr1)의 게이트 전극의 전위를 유지하기 위한 용량 소자 Cs를 포함한다. 용량 소자 Cs가 반드시 설치되지 않지만, 용량 소자 Cs가 설치될 때, 노드 N1과 노드 N2 간의 접속 상태가 더 오랜 기간 동안 유지될 수 있다. 구체적으로, 용량 소자 Cs의 한 쌍의 전극 중 하나는 제1 트랜지스터(Tr1)의 게이트 전극에 접속되고, 다른 하나는 고정 전위 VSS가 인가되는 노드에 접속된다.
- [0048] 제2 트랜지스터(Tr2)가 제2 트랜지스터(Tr2)의 게이트 전극에 입력된 신호에 따라 턴 온될 때, 제1 트랜지스터(Tr1)의 스위칭을 제어하기 위한 신호의 전위가 제1 트랜지스터(Tr1)의 게이트 전극, 제3 트랜지스터(Tr3)의 게이트 전극, 및 용량 소자 Cs의 한 전극에 인가된다. 제1 트랜지스터(Tr1)는 제1 트랜지스터(Tr1)의 게이트 전극에 인가된 신호의 전위에 따라 스위칭을 수행한다. 다음에, 제3 트랜지스터(Tr3)의 극성이 제1 트랜지스터(Tr1)의 극성과는 다르기 때문에 제3 트랜지스터(Tr3)는 제1 트랜지스터(Tr1)의 스위칭과 반대인 스위칭을 수행한다.

- [0049] 예를 들어, 제1 트랜지스터(Tr1)가 턴 온될 때, 제3 트랜지스터(Tr3)는 턴 오프된다. 결과적으로, 노드 N1은 노드 N2에 접속된다. 반대로, 제1 트랜지스터(Tr1)가 턴 오프될 때, 제3 트랜지스터(Tr3)는 턴 온된다. 결과적으로, 노드 N1은 노드 N2에 접속되지 않고, 노드 N2는 고정 전위 VSS가 인가되는 노드에 접속된다.
- [0050] 다음에, 제2 트랜지스터(Tr2)가 제2 트랜지스터(Tr2)의 게이트 전극에 입력된 신호에 따라 턴 오프될 때, 제1 트랜지스터(Tr1)의 게이트 전극 및 제3 트랜지스터(Tr3)의 게이트 전극은 플로팅 상태에 있고, 게이트 전극의 전위가 용량 소자 Cs에 유지된다. 따라서, 노드 N1과 노드 N2 간의 접속 상태 및 노드 N2와 고정 전위 VSS가 인가되는 노드 간의 접속 상태가 유지된다.
- [0051] 도 2b에서, p 채널 트랜지스터는 제3 트랜지스터(Tr3)용으로 사용되지만, p 채널형이 일반적으로 산화물 반도체와 유사하게 얻어지지 않고 또는 매우 낮은 이동도를 갖는다는 점에 유의한다. 따라서, 저항 R이 도 2c에 도시한 바와 같이 p 채널 트랜지스터 대신에 사용될 수 있다.
- [0052] 본 발명의 일 실시형태에서, 도 2a 내지 2c에 도시된 프로그래밍 셀에서, 제2 트랜지스터(Tr2)의 오프 전류 또는 리크 전류는 극히 낮다. 구체적으로, 제2 트랜지스터(Tr2)의 채널 형성 영역은, 밴드 갭이 실리콘 반도체의 밴드 갭보다 넓고 진성 캐리어 밀도가 실리콘의 진성 캐리어 밀도보다 낮은 반도체 재료를 포함한다. 이러한 특성을 갖는 반도체 재료가 채널 형성 영역에 포함될 때, 극히 낮은 오프 전류를 갖는 트랜지스터가 실현될 수 있다.
- [0053] 밴드 갭이 실리콘 반도체의 것보다 넓고 진성 캐리어 밀도가 실리콘의 것보다 낮은 반도체 재료의 예로서, 탄화 실리콘(SiC) 또는 질화 갈륨(GaN) 등의 화합물 반도체, 산화 아연(ZnO) 등의 금속 산화물을 이용하여 형성된 산화물 반도체 등이 사용될 수 있다. 이들 중, 산화물 반도체는 스퍼터링 방법 또는 웨트 방법(프린팅 방법 등)에 의해 형성될 수 있고 대량 생산이 우수하다는 점에서 유리하다. 탄화 실리콘 및 질화 갈륨이 단결정을 형성하지 않는다면, 탄화 실리콘 및 질화 갈륨은 만족한 특성을 얻지 못한다. 단결정을 형성하기 위한 탄화 실리콘의 공정 온도는 약 1500℃이고, 단결정을 형성하기 위한 질화 갈륨의 공정 온도는 약 1100℃이다. 그러나, 산화물 반도체의 성장 온도는 300℃ 내지 500℃ 만큼 낮고(최대 약 700℃), 산화물 반도체를 이용하여 형성된 반도체 소자는 단결정 실리콘 등의 반도체 재료를 이용하여 형성된 집적 회로 위에 적층될 수 있다. 또한, 산화물 반도체는 기판의 크기의 증가를 동반할 수 있다. 따라서, 넓은 밴드 갭을 갖는 상기 반도체 중에서, 특히, 산화물 반도체는 높은 대량 생산 효율의 장점을 가진다. 또한, 우수한 성능(예를 들어, 전계 효과 이동도)을 갖는 결정질 산화물 반도체가 450℃와 800℃ 사이에서 이루어지는 가열 처리에 의해 쉽게 얻어질 수 있다.
- [0054] 산화물 반도체가 제2 트랜지스터(Tr2)용으로 이용될 때, 상기 산화물 반도체는 3eV 이상의 밴드 갭, 및 $10^{12}/\text{cm}^3$ 미만, 바람직하게는 $10^{11}/\text{cm}^3$ 미만의 캐리어 밀도를 갖는 것이 바람직하다. 구체적으로, SIMS에 의해 측정된 상기 산화물 반도체에서의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 보다 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하이다. 상기 특성을 갖는 산화물 반도체가 사용될 때, 제2 트랜지스터(Tr2)의 오프 전류 또는 리크 전류가 감소될 수 있다.
- [0055] 제2 트랜지스터(Tr2)의 게이트 절연막은 바람직하게는 10nm 이상의 두께를 갖고, 더 바람직하게는 100nm 이상이다. 제2 트랜지스터(Tr2)의 채널 길이는 바람직하게는 100nm 이상이고, 더 바람직하게는 300nm 이상이다. 상기 구조가 채택될 때, 제2 트랜지스터(Tr2)의 오프 전류 또는 리크 전류가 감소될 수 있다.
- [0056] 이 방식으로, 현저히 낮은 오프 전류 또는 현저히 낮은 리크 전류를 갖는 제2 트랜지스터(Tr2)가 사용될 때, 제1 트랜지스터의 게이트 전극에의 전위의 공급이 제어되어, 제1 트랜지스터의 게이트 전압이 오랜 시간 동안 유지된다. 따라서, 노드 N1과 노드 N2 간의 접속 상태가 또한 오랜 시간 동안 유지될 수 있다.
- [0057] 접속 상태가 유지될 때 제2 트랜지스터(Tr2)의 오프 전류 또는 리크 전류를 더욱 감소시키기 위해서, 제2 트랜지스터(Tr2)의 게이트 전극의 전위가 프로그래밍 셀 중에서 최저로 설정될 수 있다. 구체적으로, 제2 트랜지스터(Tr2)의 게이트 전극의 전위는 트랜지스터, 용량 소자, 또는 저항 등의 프로그래밍 셀을 형성하는 모든 회로 소자에 포함된 전극 및 단자의 전위 중에서 기타 전위보다 3V 이상, 더 바람직하게는 5V 이상 만큼 낮은 것이 바람직하다.
- [0058] 제1 트랜지스터(Tr1) 또는 제3 트랜지스터(Tr3)의 채널 형성 영역은, 밴드 갭이 실리콘 반도체의 것보다 넓고 진성 캐리어 밀도가 제2 트랜지스터(Tr2)의 것과 유사한 방식으로 실리콘의 것보다 낮은 반도체 재료를 포함할 수 있거나, 또는 제2 트랜지스터(Tr2)와 다르게, 제1 트랜지스터(Tr1) 또는 제3 트랜지스터(Tr3)의 채널 형성

영역은 더 높은 이동도를 갖는 반도체 재료를 포함할 수 있다. 높은 이동도를 갖는 반도체 재료의 예로서, 다 결정 또는 단결정 등의 결정질을 갖는 게르마늄, 실리콘, 및 실리콘 게르마늄, 및 단결정 탄화 실리콘을 들 수 있다. 제1 트랜지스터(Tr1) 또는 제3 트랜지스터(Tr3)는 반도체 박막을 이용하여 형성될 수 있거나, 또는 벌크 반도체 기판을 이용하여 형성될 수 있다.

[0059] 전자의 경우에, 제1 트랜지스터(Tr1) 또는 제3 트랜지스터(Tr3)는 제2 트랜지스터(Tr2)와 유사한 낮은 오프 전류 또는 낮은 리크 전류를 갖기 때문에, 반도체 장치의 전력 소비는 더욱 감소될 수 있다. 특히, 기본 블록에 의 전원 전위 VDD의 공급을 제어하는 프로그래밍 셀을 이용하는 경우에, 약 $10\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 의 제1 트랜지스터(Tr1)의 전계 효과 이동도는 동작을 위해 충분하고, 그렇게 높은 동작 속도가 요구되지 않는다. 기본 블록에 의 전원 전위 VDD의 공급을 제어하는 프로그래밍 셀에서 발생된 오프 전류 또는 리크 전류는 전류 소비의 증가를 직접 야기한다. 따라서, 기본 블록에 의 전원 전위 VDD의 공급을 제어하는 프로그래밍 셀을 이용하는 경우에, 전자의 구조가 바람직하게 채택된다.

[0060] 후자의 경우에, 제1 트랜지스터(Tr1)의 이동도는 증가하므로, 제1 트랜지스터(Tr1)에 접속된 노드 간의 저항이 감소될 수 있다. 특히, 기본 블록 간의 접속을 제어하기 위한 프로그래밍 셀을 이용하는 경우에, 기본 블록 간의 높은 접속 저항은 반도체 장치의 동작 속도의 감소를 초래한다. 따라서, 기본 블록 간의 접속을 제어하기 위한 프로그래밍 셀을 이용하는 경우에, 후자의 구조가 선호적으로 채택된다. 제1 트랜지스터(Tr1)의 채널 형성 영역이 더 높은 이동도를 갖는 반도체 재료를 포함할 때, 게이트 절연막의 두께는 바람직하게는 오프 전류 또는 리크 전류를 감소시키기 위해 10nm 이상이라는 점에 유의한다.

[0061] 제2 트랜지스터(Tr2), 제1 트랜지스터(Tr1), 및 제3 트랜지스터(Tr3)의 각 채널 형성 영역이 동일한 반도체 재료를 가질 때, 제1 트랜지스터(Tr1) 및 제3 트랜지스터(Tr3)는 제2 트랜지스터(Tr2)와 동일한 층에 형성될 수 있다는 점에 유의한다. 그 경우에, 제1 트랜지스터(Tr1) 및 제3 트랜지스터(Tr3)의 각각의 게이트 절연막의 두께는 설계시 제2 트랜지스터(Tr2)의 것과 동일하지만, 제1 트랜지스터(Tr1) 및 제3 트랜지스터(Tr3)의 채널 길이 또는 채널 폭은 제2 트랜지스터(Tr2)의 것과 다를 수 있다. 예를 들어, 제1 트랜지스터(Tr1)의 채널 형성 영역이 낮은 저항을 가지는 것이 요구될 때, 채널 폭은 제2 트랜지스터(Tr2)의 것의 2배 이상, 바람직하게는 제2 트랜지스터(Tr2)의 것의 5배 이상일 수 있다.

[0062] 또한, 제1 트랜지스터(Tr1)는 비 자기 정합 방법으로 형성될 수 있다. 비 자기 정합 방법에 의해, 기생 용량이 게이트 전극 및 소스 전극 또는 드레인 전극의 중첩으로 인해 발생하지만, 그렇게 높은 속도의 동작이 제1 트랜지스터(Tr1)에 요구되지 않고, 상기 기생 용량은 문제가 되지 않는다. 대신에, 상기 기생 용량은 제1 트랜지스터(Tr1)의 게이트 전극의 전위를 유지하는 용량 소자(Cs)로서 기능한다. 한편, 제2 트랜지스터(Tr2)의 기생 용량은 스위칭 시에 제1 트랜지스터(Tr1)의 게이트 전극의 전위의 변화의 발생을 방지하기 위해 바람직하게는 낮다.

[0063] 기본 블록을 형성하는 트랜지스터와 동일한 반도체 재료가 제1 트랜지스터(Tr1)용으로 사용될 때에도, 게이트 절연막의 두께는 바람직하게는 제1 트랜지스터(Tr1)의 리크 전류를 감소시키기 위해 기본 블록을 형성하는 트랜지스터의 것보다 크다. 그 경우에, 제1 트랜지스터(Tr1)는 비 자기 정합 방법으로 형성될 수 있고, 기본 블록을 위해 사용된 트랜지스터의 것과 다른 층에 형성된 도전막이 게이트 전극으로서 사용될 수 있다.

[0064] 도 2a 내지 2c에서, 제1 트랜지스터(Tr1), 제2 트랜지스터(Tr2), 및 제3 트랜지스터(Tr3)는 각각 반도체막의 한 층에만 게이트 전극을 가진다는 점에 유의한다. 그러나, 본 발명의 일 실시형태는 이 구조로 한정되지 않고, 상기 트랜지스터들은 그 사이에 반도체막이 개재된 게이트 전극 층과 반대인 백 게이트 전극을 가질 수 있다. 그 경우에, 백 게이트 전극은 플로팅 상태로 전기적으로 절연될 수 있거나, 또는 백 게이트 전극에 전위가 공급되는 상태에 있을 수 있다. 후자의 경우에, 게이트 전극은 백 게이트 전극에 전기적으로 접속될 수 있거나, 또는 접지 전위 등의 고정 전위가 항상 백 게이트 전극에만 인가될 수 있다. 백 게이트 전극에 인가된 전위의 레벨은 제어되어, 트랜지스터의 임계 전압이 제어될 수 있다.

[0065] 반도체 장치용으로 사용될 수 있는 프로그래밍 셀은 도 2a 내지 2c에 도시된 회로 구성으로 한정되지 않는다. 프로그래밍 셀은 2개의 노드 간의 접속을 제어하기 위한 제1 트랜지스터 및 상기 제1 트랜지스터의 게이트 전극에 의 전위의 공급을 제어하기 위한 제2 트랜지스터를 적어도 포함하고, 제2 트랜지스터의 채널 형성 영역은 실리콘의 밴드 갭의 약 3배인 밴드 갭을 갖는 산화물 반도체 등의 반도체 재료를 포함할 수 있다.

[0066] 다음에, 복수의 기본 블록이 상기 구조를 갖는 프로그래밍 셀을 이용하여 임의로 접속될 때 반도체 장치의 동작이 설명된다.

- [0067] 도 1에 도시된 반도체 장치에서, 모든 기본 블록 간의 접속이 차단되고, 모든 기본 블록에의 전원 전압의 공급이 정지된다. 도 1에 도시된 상태에서부터, 프로그래밍 셀 중 일부가 온일 때 기본 블록이 접속되는 상태가 도 3에 도시된다. 구체적으로, 도 3에서, 프로그래밍 셀 SwAB, 프로그래밍 셀 SwBC, 프로그래밍 셀 SwCF, 및 프로그래밍 셀 SwFI이 턴 온될 때, 기본 블록 A의 출력 단자는 기본 블록 B의 입력 단자에 접속되고, 기본 블록 B의 출력 단자는 기본 블록 C의 입력 단자에 접속되고, 기본 블록 C의 출력 단자는 기본 블록 F의 입력 단자에 접속되고, 기본 블록 F의 출력 단자는 기본 블록 I의 입력 단자에 접속된다. 프로그래밍 셀 SwVA, 프로그래밍 셀 SwVB, 프로그래밍 셀 SwVC, 프로그래밍 셀 SwVF, 및 프로그래밍 셀 SwVI이 턴 온될 때, 전원 전위 VDD가 기본 블록 A, 기본 블록 B, 기본 블록 C, 기본 블록 F, 및 기본 블록 I에 인가된다. 다음에, 상기 프로그래밍 셀을 제외하고 모든 프로그래밍 셀은 오프이다. 결과적으로, 도 3에 도시된 바와 같이, 반도체 장치의 입력 단자(IN)로부터 기본 블록 A, 기본 블록 B, 기본 블록 C, 기본 블록 F, 및 기본 블록 I로의 신호의 경로가 형성된다. 다음에, 제1 신호 처리는 상기 블록 각각에서 수행되어, 신호가 출력 단자(OUT)로부터 출력된다.
- [0068] 도 3에 도시된 상태에서, 제1 신호 처리가 입력 신호에 대해 수행된 후 제2 신호 처리가 수행되고 출력 신호가 얻어질 때, 기본 블록 간의 접속이 변경된다. 기본 블록 간의 접속의 변경은 바람직하게는 모든 프로그래밍 셀이 한번 차단된 후에 수행된다.
- [0069] 제2 신호 처리가 수행될 때 기본 블록 간의 접속 상태의 예가 도 4에 도시된다. 구체적으로, 도 4에서, 프로그래밍 셀 SwAD, 프로그래밍 셀 SwDE, 프로그래밍 셀 SwEH, 및 프로그래밍 셀 SwHI이 턴 온될 때, 기본 블록 A의 출력 단자는 기본 블록 D의 입력 단자에 접속되고, 기본 블록 D의 출력 단자는 기본 블록 E의 입력 단자에 접속되고, 기본 블록 E의 출력 단자는 기본 블록 H의 입력 단자에 접속되고, 기본 블록 H의 출력 단자는 기본 블록 I의 입력 단자에 접속된다. 소자 SwVA, 프로그래밍 셀 SwVD, 프로그래밍 셀 SwVE, 프로그래밍 셀 SwVH, 및 프로그래밍 셀 SwVI이 턴 온될 때, 전원 전위 VDD가 기본 블록 A, 기본 블록 D, 기본 블록 E, 기본 블록 H, 및 기본 블록 I에 인가된다. 다음에, 상기 프로그래밍 셀을 제외하고 모든 프로그래밍 셀은 오프이다. 결과적으로, 도 4에 도시된 바와 같이, 반도체 장치의 입력 단자(IN)로부터 기본 블록 A, 기본 블록 D, 기본 블록 E, 기본 블록 H, 및 기본 블록 I로의 신호의 경로가 형성된다. 다음에, 제2 신호 처리가 상기 기본 블록 각각에서 수행되어, 신호가 출력 단자(OUT)로부터 출력된다.
- [0070] 또한 제3 신호 처리가 수행되는 경우에, 모든 프로그래밍 셀이 한 번 차단된 후에 기본 블록 간의 접속을 변경하는 것이 바람직하다. 제3 신호 처리를 수행하는데 있어서 기본 블록 간의 접속 상태가 도 5에 도시된다. 구체적으로, 도 5에서, 프로그래밍 셀 SwAD, 프로그래밍 셀 SwDG, 프로그래밍 셀 SwGH, 프로그래밍 셀 SwHE, 프로그래밍 셀 SwEF, 및 프로그래밍 셀 SwFI이 턴 온될 때, 기본 블록 A의 출력 단자는 기본 블록 D의 입력 단자에 접속되고, 기본 블록 D의 출력 단자는 기본 블록 G의 입력 단자에 접속되고, 기본 블록 G의 출력 단자는 기본 블록 H의 입력 단자에 접속되고, 기본 블록 H의 출력 단자는 기본 블록 E의 입력 단자에 접속되고, 기본 블록 E의 출력 단자는 기본 블록 F의 입력 단자에 접속되고, 기본 블록 F의 출력 단자는 기본 블록 I의 입력 단자에 접속된다. 프로그래밍 셀 SwVA, 프로그래밍 셀 SwVD, 프로그래밍 셀 SwVG, 프로그래밍 셀 SwVH, 프로그래밍 셀 SwVE, 프로그래밍 셀 SwVF, 및 프로그래밍 셀 SwVI이 턴 온될 때, 전원 전위 VDD는 기본 블록 A, 기본 블록 D, 기본 블록 E, 기본 블록 F, 기본 블록 G, 기본 블록 H, 및 기본 블록 I에 인가된다. 다음에, 상기 프로그래밍 셀을 제외하고 모든 프로그래밍 셀은 오프이다. 결과적으로, 도 5에 도시된 바와 같이, 반도체 장치의 입력 단자(IN)로부터 기본 블록 A, 기본 블록 D, 기본 블록 G, 기본 블록 H, 기본 블록 E, 기본 블록 F, 및 기본 블록 I로의 신호의 경로가 형성된다. 다음에, 제3 신호 처리가 상기 기본 블록 각각에서 수행되어, 신호가 출력 단자(OUT)로부터 출력된다.
- [0071] 구성 공정(프로그래밍 셀의 스위칭은 회로를 형성하기 위해 제어됨)을 수행하기 위해 요구되는 시간은 도 3에 도시된 바와 같은 회로 구성이 기본 블록 및 프로그래밍 셀을 사용하여 형성된 매트릭스의 크기에 따라 사용되는 한 무시될 정도로 충분히 작다는 점에 유의한다. 예를 들어, 한 행의 기본 블록당 필요한 상기 시간은 100 나노초 이하이다. 도 1에 도시된 것과 같은 3개의 행의 기본 블록을 사용하여 형성된 매트릭스가 사용된다면, 상기 시간은 1 마이크로초 미만이다.
- [0072] 본 발명의 일 실시형태에서, 회로 구성에 기여하지 않는 기본 블록에의 전원 전압의 공급이 정지되어, 반도체 장치의 전력 소비가 감소될 수 있다. 특히, 50nm이하의 채널 길이를 갖는 반도체 장치에서, 게이트 절연막의 두께는 수 나노미터 이하이고, 게이트 절연막을 통해 흐르는 리크 전류가 전력 소비의 상당량을 차지하므로, 상기 구조는 전력 소비를 줄이는 데 효과적이다.
- [0073] 본 발명의 일 실시형태에서, 기본 블록 간의 접속이 극히 낮은 오프 전류 또는 극히 낮은 리크 전류를 갖는 트

랜지스터에 의해 제어될 때, 전원 전압이 인가되는 기본 블록과 전원 전압이 인가되지 않는 기본 블록 간에 흐르는 리크 전류 또는 오프 전류가 감소될 수 있고, 반도체 장치의 전력 소비가 감소될 수 있다.

- [0074] 상기 구조를 갖는 프로그래밍 셀에서의 터널링 전류로 인한 게이트 절연막의 저하가 EEPROM을 이용하여 형성된 종래의 프로그래밍 셀의 것과 비교할 때 감소될 수 있으므로, 데이터를 재기입하는 횟수가 증가할 수 있는 반도체 장치가 제공될 수 있다.
- [0075] 상기 구조를 갖는 프로그래밍 셀에서, 데이터를 기입하는 데 필요한 동작 전압은 제2 트랜지스터(Tr2)의 동작 전압에 의해 근사적으로 결정된다. 따라서, EEPROM을 이용하여 형성된 종래의 프로그래밍 셀에 비해 상기 동작 전압이 상당히 감소될 수 있고 전력 소비가 억제될 수 있는 반도체 장치가 제공될 수 있다.
- [0076] SRAM을 이용하여 형성된 프로그래밍 셀과 다르게, 상기 구조를 갖는 프로그래밍 셀은 전원 전압이 프로그래밍 셀에 항상 공급되지 않을 때에도 어느 정도 접속 상태를 유지할 수 있다. 또한, 데이터는 현저히 낮은 오프 전류를 갖는 트랜지스터를 사용하여 유지된다. 따라서, 전력 소비가 감소될 수 있는 반도체 장치가 제공될 수 있다.
- [0077] (실시형태 2)
- [0078] 실시형태 1에서, 소정의 기본 블록이 4개의 인접한 기본 블록까지 접속될 수 있는 예가 설명되지만, 본 실시형태에서, 소정의 기본 블록이 8개의 인접한 기본 블록에 접속된 예가 설명될 것이다.
- [0079] 도 1의 것과 유사한 방식으로, 도 6에 도시된 반도체 장치는 9개의 기본 블록 A 내지 I, 기본 블록 A 내지 I 간의 접속을 제어하는 프로그래밍 셀, 및 기본 블록 A 내지 I 각각에의 전원 전위 VDD의 공급을 제어하는 프로그래밍 셀을 구비한다.
- [0080] 도 1과 다르게, 도 6에 도시된 반도체 장치에서, 중앙 기본 블록 E이 프로그래밍 셀 SwAE 내지 SwIE 및 프로그래밍 셀 SwEA 내지 SwEI를 통해 기본 블록 E을 제외한 모든 기본 블록에 접속될 수 있다.
- [0081] 도 6에서, 중앙 기본 블록 E와 다른 기본 블록 간의 접속을 제어하는 프로그래밍 셀 SwAE 내지 SwIE, 중앙 기본 블록 E와 다른 기본 블록 간의 접속을 제어하는 프로그래밍 셀 SwEA 내지 SwEI, 및 기본 블록 E에의 전원 전위 VDD의 공급을 제어하는 프로그래밍 셀 SwVE 만이 도시되는 점에 유의한다. 그러나, 기본 블록 A와 기본 블록 B 간, 기본 블록 B와 기본 블록 C 간, 기본 블록 C와 기본 블록 F 간, 기본 블록 F와 기본 블록 I 간, 기본 블록 A와 기본 블록 D 간, 기본 블록 D와 기본 블록 G 간, 기본 블록 G와 기본 블록 H 간, 및 기본 블록 H와 기본 블록 I 간의 접속들이 도 1의 것과 유사한 방식으로 프로그래밍 셀에 의해 제어될 수 있다. 또한, 기본 블록 A, 기본 블록 B, 기본 블록 C, 기본 블록 D, 기본 블록 F, 기본 블록 G, 기본 블록 H, 및 기본 블록 I에의 전원 전위 VDD의 공급이 도 1의 것과 유사한 방식으로 프로그래밍 셀에 의해 제어될 수 있다.
- [0082] 실시형태 1에서 설명된 구조가 프로그래밍 셀을 위해 사용될 수 있다는 점에 유의한다.
- [0083] 도 6에 도시한 바와 같이, 소정의 기본 블록에 접속될 수 있는 기본 블록의 수가 설계자에 의해 적절히 설정될 수 있다.
- [0084] 본 실시형태는 상기 실시형태와 적절히 조합하여 구현될 수 있다.
- [0085] (실시형태 3)
- [0086] 큰 매트릭스가 기본 블록을 사용하여 형성된 반도체 장치가 보다 일반화된 예를 이용하여 설명될 것이다.
- [0087] 본 실시형태에서, 반도체 장치에 포함된 n 번째 행 및 m 번째 열의 기본 블록 U(n,m)에 주목한다. 도 7에 도시된 바와 같이, 기본 블록 U(n, m) 주위에, 8개의 기본 블록 U(n-1, m-1); U(n, m-1); U(n+1, m-1); U(n-1, m); U(n+1, m); U(n-1, m+1); U(n, m+1); 및 U(n+1, m+1)이 있다. 기본 블록 U(n, m)은 신호를 송수신하기 위해 프로그래밍 셀을 통해 이들 8개의 블록에 접속된다.
- [0088] 도 8에서, 도 7에 도시된 기본 블록 간의 접속을 제어하기 위한 프로그래밍 셀 및 각 기본 블록에의 전원 전위 VDD의 공급을 제어하기 위한 프로그래밍 셀의 특정 구조의 예가 도시된다.
- [0089] 도 2a에 도시된 프로그래밍 셀이 사용된 예가 도 8에 도시되지만, 도 2b 및 도 2c에 도시된 프로그래밍 셀 중 어느 것이 사용될 수 있다는 점에 유의한다. 프로그래밍 셀의 구조는 도 2a 내지 2c에 도시된 회로 구성으로 한정되지 않는다. 프로그래밍 셀의 구조는 2개의 노드 간의 접속을 제어하기 위한 제1 트랜지스터 및 상기 제1 트랜지스터의 게이트 전극에의 전위의 공급을 제어하기 위한 제2 트랜지스터를 적어도 포함하고, 제2 트랜지스

터의 채널 형성 영역은 실리콘의 밴드 갭의 거의 3배인 밴드 갭을 갖는 산화물 반도체 등의 반도체 재료를 포함할 수 있다.

- [0090] 도 8에, 프로그래밍 셀용으로 이용되고 채널 형성 영역이 산화물 반도체 등의 반도체 재료를 포함하는 트랜지스터가 다른 트랜지스터와 구별하기 위해 원이 정상적인 트랜지스터 기호에 부가된 기호를 이용하여 도시된다.
- [0091] 도 8에 도시된 반도체 장치는 상기 기본 블록뿐만 아니라 프로그래밍 셀의 동작을 제어하기 위한 신호선을 포함한다.
- [0092] 구체적으로, 한 매트릭스에 한 열당 5개의 데이터 신호선 Y1, Y2, Y3, Y4, 및 Y5 및 한 행당 2개의 주사 신호선 X1 및 X2가 신호선으로서 사용된 예가 도 8에 도시되지만, 한 행당 하나의 주사 신호선 및 한 열당 9개의 데이터 신호선이 사용될 수 있는 예가 채용될 수 있다. 주사 신호선의 수가 감소될 때, 구성 공정을 수행하기 위한 시간이 단축될 수 있다.
- [0093] 도 8에서, (n-1) 번째 열의 5개의 신호선은 Y1_{n-1}, Y2_{n-1}, Y3_{n-1}, Y4_{n-1}, 및 Y5_{n-1}이고, n 번째 열의 5개의 데이터 신호선은 Y1_n, Y2_n, Y3_n, Y4_n, 및 Y5_n이다. 또한, (m-1) 번째 행의 2개의 주사 신호선은 X1_{m-1} 및 X2_{m-1}이고, m 번째 행의 2개의 주사 신호선은 X1_m 및 X2_m이라는 점에 유의한다.
- [0094] 신호선의 총수를 감소시키기 위해, 주사 신호선 및 데이터 신호선의 수는 매트릭스를 형성하는 기본 블록에 따라 설정될 수 있다. 예를 들어, 도 8에 도시된 바와 같이, 한 열당 5개의 데이터 신호선 및 한 행당 2개의 주사 신호선이 설치될 때, N 행 및 M 열의 기본 블록을 포함하는 반도체 장치에 대해 약 (2N+5M) 개의 신호선이 전체적으로 필요하다. 한편, 한 열당 9개의 데이터 신호선 및 한 행당 1개의 주사 신호선이 이용될 때, N 행 및 M 열의 기본 블록을 포함하는 반도체 장치에 대해 약 (N+9M) 개의 신호선이 전체적으로 필요하다. 따라서, 관계식 N<4M이 만족되는 반도체 장치가 사용되면, 후자의 구조보다 전자의 구조가 신호선의 총수를 감소시킬 수 있다. 한편, N>4M이 만족되는 반도체 장치가 사용되면, 전자의 구조보다 후자의 구조가 신호선의 총수를 감소시킬 수 있다.
- [0095] 본 실시형태에서 설명된 반도체 장치에서, 데이터 신호선 Y5를 이용하여 전원 전위가 공급된다. 데이터 신호선 Y5(Y5₁, Y5₂, ..., Y5_{n-1}, Y5_n, ...)은 각 기본 블록에 포함된 제1 트랜지스터(801)의 스위칭을 제어하기 위한 신호를 전원 전위를 공급하기 위한 프로그래밍 셀에 포함된 제1 트랜지스터(801)에 송신한다. 다음에, 또 하나의 데이터 신호선 및 또 하나의 주사 신호선과 마찬가지로, 구성 공정이 수행되지 않는 기간에 데이터 신호선 Y5에 신호를 송신할 필요가 없다. 따라서, 그 기간에, 전원 전위가 데이터 신호선 Y5로부터 각 기본 블록에 공급될 수 있다.
- [0096] 도 8에, 단지 하나의 입력 단자 및 단지 하나의 출력 단자가 각 기본 블록에 설치된 예가 설명되지만, 복수의 입력 단자 및 복수의 출력 단자를 포함하는 기본 블록이 사용될 수 있다는 점에 유의한다.
- [0097] 다음에, 도 8에 도시된 반도체 장치의 동작의 예가 설명된다. 도 8에 도시된 반도체 장치의 각 신호선에 입력된 신호의 타이밍 차트가 도 9의 (a)에 도시된다.
- [0098] 도 9의 (a)에 도시된 바와 같이, 펄스를 각각 갖는 신호가 다른 타이밍을 갖도록 주사 신호선 X1_{m-1}, X2_{m-2}, X1_m, 및 X2_m에 순차적으로 인가된다. 도 9의 (a)에서, 주사 신호선 X1_{m-1}에 인가된 신호의 전위만이 실선으로 표시되고, 주사 신호선 X2_{m-1}, X1_m, 및 X2_m에 인가된 신호의 전위는 점선으로 표시된다. 도 9의 (a)에서, 신호의 전위는 양 전위 펄스가 인가되는 기간 이외의 기간에 음으로 유지된다. 따라서, 펄스를 갖는 신호가 각 주사 신호선에 인가될 때, 게이트 전극이 주사 신호선에 접속된 제2 트랜지스터는 턴 온된다.
- [0099] 다음에, 펄스가 각 주사 신호선에 인가되는 타이밍에 따라, 선택 신호가 데이터 신호선 Y1_{n-1}, Y2_{n-1}, Y3_{n-1}, Y4_{n-1}, Y5_{n-1}, Y1_n, Y2_n, Y3_n, Y4_n, 및 Y5_n에 인가된다. 각 데이터 신호선에 인가된 선택 신호는 주사 신호선과 데이터 신호선의 교점에 설치된 제1 트랜지스터의 게이트 전극에 턴 온된 제2 트랜지스터를 통해 입력된다. 다음에, 이 선택 신호의 전위에 따라, 상기 제1 트랜지스터의 스위칭이 제어된다.
- [0100] 예를 들어, U(n-1, m-1), U(n, m), U(n, m+1), U(n-1, m), U(n, m-1), 및 U(n+1, m)의 순서로 도 8에 도시된 기본 블록을 접속하기 위해서, 펄스가 도 9의 (a)에 도시된 타이밍 차트에 따라 각 신호선에 인가될 수 있다.
- [0101] 구체적으로, 먼저, 펄스가 주사 신호선 X1_{m-1}에 인가되는 타이밍에 따라 펄스가 데이터 신호선 Y4_{n-1}에 인가된다.

다음에, 주사 신호선 $X1_{m-1}$ 과 데이터 신호선 $Y4_{n-1}$ 의 교점에 있는 제1 트랜지스터는 턴 온된다. 제1 트랜지스터는 기본 블록 $U(n-1, m)$ 의 출력 단자와 기본 블록 $U(n, m-1)$ 의 입력 단자 간의 접속을 제어하는 스위치이다. 따라서, 상기 제1 트랜지스터가 턴 온될 때, 기본 블록 $U(n-1, m)$ 으로부터 기본 블록 $U(n, m-1)$ 로의 경로가 형성된다.

[0102] 다음에, 펄스가 주사 신호선 $X2_{m-1}$ 에 인가되는 타이밍에 따라 펄스가 데이터 신호선 $Y2_{n-1}$, $Y5_{n-1}$, $Y2_n$, 및 $Y5_n$ 에 인가되고, 다음에, 각 교점에 있는 제1 트랜지스터가 턴 온된다. 이들 중, 주사 신호선 $X2_{m-1}$ 과 데이터 신호선 $Y2_{n-1}$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n-1, m-1)$ 의 출력 단자와 기본 블록 $U(n, m)$ 의 입력 단자 간의 접속을 제어하는 스위치이다. 또한, 주사 신호선 $X2_{m-1}$ 과 데이터 신호선 $Y5_{n-1}$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n, m)$ 에의 전원 전위의 공급을 제어하는 스위치이고, 주사 신호선 $X2_{m-1}$ 과 데이터 신호선 $Y5_n$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n+1, m)$ 에의 전원 전위의 공급을 제어하는 스위치이다. 또한, 주사 신호선 $X2_{m-1}$ 과 데이터 신호선 $Y2_n$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n, m-1)$ 의 출력 단자와 기본 블록 $U(n+1, m)$ 의 출력 단자 간의 접속을 제어하는 스위치이다. 따라서, 상기 제1 트랜지스터가 턴 온될 때, 기본 블록 $U(n-1, m-1)$ 으로부터 기본 블록 $U(n, m)$ 으로의 신호의 경로 및 기본 블록 $U(n, m-1)$ 으로부터 기본 블록 $U(n+1, m)$ 으로의 신호의 경로가 형성된다. 또한, 전원 전위가 기본 블록 $U(n, m)$ 및 $U(n+1, m)$ 에 공급된다.

[0103] 다음에, 펄스가 주사 신호선 $X1_m$ 에 인가되는 타이밍에 따라 펄스는 데이터 신호선 $Y2_{n-1}$ 에 인가된다. 다음에, 주사 신호선 $X1_m$ 과 데이터 신호선 $Y2_{n-1}$ 의 교점에 있는 제1 트랜지스터가 턴 온된다. 제1 트랜지스터는 기본 블록 $U(n, m+1)$ 의 출력 단자와 기본 블록 $U(n-1, m)$ 의 입력 단자 간의 접속을 제어하는 스위치이다. 따라서, 상기 제1 트랜지스터가 턴 온될 때, 기본 블록 $U(n, m+1)$ 으로부터 기본 블록 $U(n-1, m)$ 으로의 신호의 경로가 형성된다.

[0104] 다음에, 펄스가 주사 신호선 $X2_m$ 에 인가되는 타이밍에 따라 펄스는 데이터 신호선 $Y5_{n-1}$ 및 $Y1_n$ 에 인가되고, 다음에, 각각의 교점에 있는 제1 트랜지스터가 턴 온된다. 이들 중, 주사 신호선 $X2_m$ 과 데이터 신호선 $Y1_n$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n, m)$ 의 출력 단자와 기본 블록 $U(n, m+1)$ 의 입력 단자 간의 접속을 제어하는 스위치이다. 주사 신호선 $X2_m$ 과 데이터 신호선 $Y5_{n-1}$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n, m+1)$ 에의 전원 전위의 공급을 제어하는 스위치이다. 따라서, 상기 제1 트랜지스터가 턴 온될 때, 기본 블록 $U(n, m)$ 으로부터 기본 블록 $U(n, m+1)$ 으로의 신호의 경로가 형성되고 기본 블록 $U(n, m+1)$ 에의 전원 전위의 공급 경로가 형성된다.

[0105] 상기 동작들이 수행될 때, 기본 블록 $U(n-1, m-1)$ 으로부터 기본 블록 $U(n, m)$ 으로의 신호의 경로, 기본 블록 $U(n, m)$ 으로부터 기본 블록 $U(n, m+1)$ 으로의 신호의 경로, 기본 블록 $U(n, m+1)$ 으로부터 기본 블록 $U(n-1, m)$ 으로의 신호의 경로, 기본 블록 $U(n-1, m)$ 으로부터 기본 블록 $U(n, m-1)$ 으로의 신호 경로, 및 기본 블록 $U(n, m-1)$ 으로부터 기본 블록 $U(n+1, m)$ 으로의 신호의 경로가 형성되고, 기본 블록 $U(n, m+1)$, $U(n, m)$, 및 $U(n+1, m)$ 에의 전원 전위의 공급 경로가 형성된다.

[0106] 도 9의 (a)의 타이밍 차트에 도시되지는 않았지만, 기본 블록 $U(n, m+1)$, $U(n, m)$, 및 $U(n+1, m)$ 이외에 기본 블록 $U(n-1, m-1)$, $U(n, m-1)$, 및 $U(n-1, m)$ 에의 전원 전위의 공급 경로가 형성된다.

[0107] 상술한 바와 같이, 기본 블록 간의 접속 및 전원 전위의 공급은 각각의 주사 신호선의 주사에 의해 설정되므로, 주사 신호선의 수가 증가함에 따라, 설정하는데 더 오랜 시간이 요구된다. 하나의 주사 신호선 당 주사 시간, 즉 펄스가 주사 신호선에 인가되는 시간은 100 나노초 이하라는 점에 유의한다. 그러므로, 반도체 장치가 1000 개의 주사 신호선을 포함할 때에도, 모든 주사 신호선이 주사되는 시간은 1 밀리초 미만이다.

[0108] 상술한 바와 같이, 기본 블록 간의 접속과 전원 전위의 공급이 설정된 후에, 전원 전위는 데이터 신호선 $Y5(Y5_1, Y5_2, \dots, Y5_{n-1}, Y5_n, \dots)$ 에 인가된다. 전원 전위는 상기 데이터 신호선으로부터 제1 트랜지스터를 통하여 전원 전위의 공급 경로를 구비한 기본 블록에 공급되므로, 연산 처리가 수행될 수 있다.

[0109] 다음에, 도 8에 도시된 반도체 장치의 동작이 다른 예를 이용하여 설명될 것이다. 도 9의 (b)에서, 도 8에 도시된 반도체 장치의 각각의 신호선에 입력된 신호의 타이밍 차트가 도시된다.

[0110] 도 9의 (b)에 도시된 바와 같이, 펄스를 각각 갖는 신호가 다른 타이밍을 갖도록 주사 신호선 $X1_{m-1}$, $X2_{m-1}$, $X1_m$,

및 $X2_m$ 에 순차적으로 공급된다. 도 9의 (b)에는 또한, 주사 신호선 $X1_{m-1}$ 에 인가된 신호의 전위만이 실선으로 표시되고, 주사 신호선 $X2_{m-1}$, $X1_m$, 및 $X2_m$ 에 인가된 신호의 전위는 점선으로 표시된다. 도 9의 (b)에서, 신호의 전위는 양 전위 펄스가 인가되는 기간 이외의 기간에서 음으로 또한 유지된다. 따라서, 펄스를 갖는 신호가 각 주사 신호선에 인가될 때, 게이트 전극이 주사 신호선에 접속된 제2 트랜지스터는 턴 온된다.

[0111] 도 9의 (b)에서, 펄스가 주사 신호선 $X1_{m-1}$ 에 인가되는 기간에 펄스는 데이터 신호선에 인가되지 않는다. 다음에, 펄스가 주사 신호선 $X2_{m-1}$ 에 인가되는 타이밍에 따라 펄스가 데이터 신호선 $Y5_{n-1}$, $Y3_n$, 및 $Y4_n$ 에 인가되고, 다음에 각각의 교점에 있는 제1 트랜지스터는 턴 온된다.

[0112] 이들 중, 주사 신호선 $X2_{m-1}$ 과 데이터 신호선 $Y5_{n-1}$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n, m)$ 에의 전원 전위의 공급을 제어하는 스위치이다. 또한, 주사 신호선 $X2_{m-1}$ 과 데이터 신호선 $Y3_n$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n, m-1)$ 의 출력 단자와 기본 블록 $U(n+1, m-1)$ 의 입력 단자를 접속하는 스위치이다. 주사 신호선 $X2_{m-1}$ 과 데이터 신호선 $Y4_n$ 의 교점에 있는 제1 트랜지스터는 기본 블록 $U(n+1, m-1)$ 의 출력 단자와 기본 블록 $U(n, m)$ 의 입력 단자를 접속하는 스위치이다. 상기 제1 트랜지스터가 턴 온될 때, 기본 블록 $U(n, m-1)$ 으로부터 기본 블록 $U(n+1, m-1)$ 으로의 신호의 경로 및 기본 블록 $U(n+1, m-1)$ 으로부터 기본 블록 $U(n, m)$ 으로의 신호의 경로가 형성되고, 기본 블록 $U(n, m)$ 에의 전원 전위의 공급경로가 형성된다.

[0113] 다음에, 펄스가 주사 신호선 $X1_m$ 에 인가되는 타이밍에 따라 펄스가 데이터 신호선 $Y3_{n-1}$ 에 인가되고, 다음에, 주사 신호선 $X1_m$ 과 데이터 신호선 $Y3_{n-1}$ 의 교점에 있는 제1 트랜지스터는 턴 온된다. 제1 트랜지스터는 기본 블록 $U(n, m)$ 의 출력 단자와 기본 블록 $U(n-1, m)$ 의 입력 단자 간의 접속을 제어하는 스위치이다. 따라서, 상기 제1 트랜지스터가 턴 온될 때, 기본 블록 $U(n, m)$ 으로부터 기본 블록 $U(n-1, m)$ 으로의 신호의 경로가 형성된다.

[0114] 다음에, 펄스가 주사 신호선 $X2_m$ 에 인가되는 타이밍에 따라 펄스는 데이터 신호선 $Y1_{n-1}$ 에 인가되고, 다음에, 주사 신호선 $X2_m$ 과 데이터 신호선 $Y1_{n-1}$ 의 교점에 있는 제1 트랜지스터는 턴 온된다. 제1 트랜지스터는 기본 블록 $U(n-1, m)$ 의 출력 단자와 기본 블록 $U(n-1, m+1)$ 의 입력 단자의 접속을 제어하는 스위치이다. 상술한 바와 같이, 기본 블록 $U(n-1, m)$ 으로부터 기본 블록 $U(n-1, m+1)$ 으로의 신호의 경로가 형성될 수 있다.

[0115] 상기 동작들이 수행될 때, 기본 블록 $U(n, m-1)$ 으로부터 기본 블록 $U(n+1, m-1)$, $U(n, m)$, $U(n-1, m)$, 및 $U(n-1, m+1)$ 로의 신호의 경로가 이 순서로 형성되고, 기본 블록 $U(n, m)$ 에의 전원 전위의 공급 경로가 형성된다. 도 9의 (b)의 타이밍 차트에 도시되지는 않았지만, 기본 블록 $U(n, m)$ 이외에 기본 블록 $U(n, m-1)$, $U(n+1, m-1)$, 및 $U(n-1, m)$ 에의 전원 전위의 공급 경로가 형성된다.

[0116] 본 실시형태는 상기 실시형태들 중 어느 것과 적절히 조합하여 구현될 수 있다.

[0117] (실시형태 4)

[0118] 본 실시형태에서, 프로그래밍 셀용으로 사용되고 산화물 반도체를 사용하여 형성된 제2 트랜지스터를 제조하는 방법이 설명될 것이다. 본 실시형태에서, 산화물 반도체를 사용하여 제2 트랜지스터를 제조하는 방법은 예로서 도 2b의 프로그래밍 셀을 취하여 설명되지만, 다른 회로 구성을 갖는 프로그래밍 셀이 또한 본 실시형태에서 설명된 제조 방법을 이용하여 형성될 수 있다는 점에 유의한다.

[0119] 제1 트랜지스터 및 제3 트랜지스터는 게르마늄, 실리콘, 실리콘 게르마늄, 단결정 탄화 실리콘 등이 이용되는 통상의 CMOS 공정을 이용하여 형성될 수 있다. 또한, 제1 트랜지스터 및 제3 트랜지스터는 반도체 박막 또는 벌크 반도체 기판을 이용하여 형성될 수 있다. 본 실시형태에서, 산화물 반도체를 이용하여 형성된 제2 트랜지스터가 SOI(실리콘 온 절연체) 기판을 이용하여 형성된 제1 트랜지스터 및 제3 트랜지스터 위에 형성된 경우가 예로서 주어지고, 그 제조 방법에 대해 설명한다.

[0120] 먼저, 도 10의 (a)에 도시한 바와 같이, 제1 트랜지스터(501) 및 제3 트랜지스터(502)는 SOI 기판을 이용하여 형성된다. 구체적으로, 제1 트랜지스터(501)는 절연면을 갖는 기판(500) 위에 단결정 실리콘막(503)을 이용하여 형성된 n 채널 트랜지스터이고, 제3 트랜지스터(502)는 절연면을 갖는 기판(500) 위에 단결정 실리콘막(504)을 이용하여 형성된 p 채널 트랜지스터이다. 제1 트랜지스터(501) 및 제3 트랜지스터(502)의 각각의 게이트 절연막은 10nm 내지 100nm이고, 제1 트랜지스터(501) 및 제3 트랜지스터(502)의 각각의 채널 길이는 100nm 내지 500nm이다. 제1 트랜지스터(501)의 채널 길이는 제3 트랜지스터(502)의 것보다 다를 수 있다.

- [0121] 다음에, 제2 트랜지스터는 제1 트랜지스터(501) 및 제3 트랜지스터(502) 위에 산화물 반도체를 이용하여 형성된다.
- [0122] 먼저, 도 10의 (a)에 도시한 바와 같이, 절연막(505), 절연막(506), 및 절연막(507)은 제1 트랜지스터(501) 및 제3 트랜지스터(502)를 덮도록 순차적으로 형성된다. 본 실시형태에서, 제1 트랜지스터(501) 및 제3 트랜지스터(502)가 절연막(505), 절연막(506), 및 절연막(507)인 3개의 막으로 덮여진 예가 설명되지만, 제1 트랜지스터(501)와 제2 트랜지스터 사이 및 제3 트랜지스터(502)와 제2 트랜지스터 사이에 설치되는 절연막의 수는 반드시 3개일 필요는 없고, 하나의 절연막, 2개의 절연막, 또는 4개 이상의 절연막이 형성될 수 있다는 점에 유의한다.
- [0123] 절연막(505), 절연막(506), 및 절연막(507)은 나중 제조 단계에서의 가열 처리의 온도에 견딜 수 있는 재료를 이용하여 형성된다. 구체적으로, 절연막(505), 절연막(506), 및 절연막(507)용으로 산화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘, 질화 알루미늄, 산화 알루미늄 등을 이용하는 것이 바람직하다. 또한, 본 명세서에서, 산화 질화 화합물은 질소의 양보다 많은 양의 산소를 포함하는 재료를 나타내고, 질화 산화 화합물은 산소의 양보다 많은 양의 질소를 포함하는 재료를 나타낸다.
- [0124] 절연막(507)의 표면은 화학 기계적 연마(CMP) 방법 등에 의해 평탄화될 수 있다.
- [0125] 다음에, 도 10의 (b)에 도시된 바와 같이, 게이트 전극(601) 및 전극(602)은 절연막(507) 위에 형성된다.
- [0126] 게이트 전극(601) 및 전극(602)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 또는 스퀴뮴 등의 금속 재료; 이들 금속 재료 중 어느 것을 그 주성분으로 포함하는 합금; 또는 이들 금속 중 어느 것을 포함하는 질화물을 사용하여 하나 이상의 도전막을 이용한 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다. 알루미늄 또는 구리가 나중 공정에서 수행되는 가열 처리의 온도에 견딜 수 있다면 알루미늄 또는 구리가 또한 이러한 금속 재료로서 이용될 수 있다는 점에 유의한다. 알루미늄 또는 구리는 바람직하게는 내열성 문제 및 부식 문제를 방지하도록 고용점 금속 재료와 조합될 수 있다. 고용점 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스퀴뮴 등이 이용될 수 있다.
- [0127] 예를 들어, 게이트 전극(601) 및 전극(602)의 2층 구조로서, 다음의 구조가 바람직하다: 몰리브덴막이 알루미늄막 위에 적층된 2층 구조, 몰리브덴막이 구리막 위에 적층된 2층 구조, 질화 티타늄막 또는 질화 탄탈막이 구리막 위에 적층된 2층 구조, 및 질화 티타늄막과 몰리브덴막이 적층된 2층 구조. 게이트 전극(601) 및 전극(602)의 3층 구조로서, 다음의 구조가 바람직하다: 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막, 또는 알루미늄과 네오디뮴의 합금막을 중간층으로 하고 텅스텐막, 질화 텅스텐막, 질화 탄탈막, 및 탄탈막 중 임의의 것을 상부층과 하부층으로 포함하는 적층 구조.
- [0128] 또한, 산화 인듐, 산화 인듐과 산화 주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 약자로 ITO), 산화 인듐과 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 산화 아연 갈륨 등의 투광성 산화물 도전막이 게이트 전극(601) 및 전극(602)으로서 사용될 수 있다.
- [0129] 게이트 전극(601) 및 게이트 전극(602)의 각각의 두께는 10nm 내지 400nm 범위이고, 바람직하게는 100nm 내지 200nm 범위이다. 본 실시형태에서, 게이트 전극을 위한 도전막이 텅스텐 타겟을 이용하는 스퍼터링 방법에 의해 형성된 150nm의 두께를 갖도록 형성된 후에, 도전막이 에칭에 의해 원하는 형상으로 가공(패턴)되어, 게이트 전극(601) 및 게이트 전극(602)이 형성된다. 형성된 게이트 전극의 단부 부분이 테이퍼 형상일 때, 그 위에 적층된 게이트 절연막과의 피복성이 향상되어 바람직하다는 점에 유의한다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 점에 유의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.
- [0130] 다음에, 도 10의 (c)에 도시된 바와 같이, 게이트 절연막(603)이 게이트 전극(601) 및 전극(602) 위에 형성된다. 게이트 절연막(603)은 플라즈마 강화 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 산화 하프늄막, 또는 산화 탄탈막을 포함하는 단층 또는 적층을 갖는 막을 이용하여 형성된다. 게이트 절연막(603)은 수분 또는 수소 등의 불순물을 가능한 한 적게 포함하는 것이 바람직하다. 산화 실리콘막이 스퍼터링 방법에 의해 형성되는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로 사용되고 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로 사용된다.
- [0131] 불순물 제거에 의해 i형 산화물 반도체 또는 실질적으로 i형 산화물 반도체(고순도화된 산화물 반도체)로 된 산화물 반도체는 계면 준위 및 계면 전하에 극도로 민감하므로, 고순도화된 산화물 반도체와 게이트 절연막(603)

간의 계면의 특성은 중요하다. 따라서, 고순도화된 산화물 반도체와 접하는 게이트 절연막(GI)은 고 품질이어야 한다.

- [0132] 예를 들어, 마이크로파(주파수: 2.45GHz)를 이용하는 고밀도 플라즈마 강화 CVD가 바람직하게 이용되고, 이 경우, 치밀하고 높은 내압을 갖고, 고 품질의 절연막이 형성될 수 있다. 고순도화된 산화물 반도체와 고 품질 게이트 절연막을 서로 밀접하게 하여, 계면 준위 밀도가 감소될 수 있고 양호한 계면 특성이 얻어질 수 있다.
- [0133] 물론, 고 품질 절연막이 게이트 절연막으로서 형성될 수 있는 한 스퍼터링 방법 또는 플라즈마 강화 CVD 방법 등의 다른 증착 방법이 사용될 수 있다. 또한, 막 품질 및 산화물 반도체와의 계면의 특성이 증착 후에 수행되는 가열 처리에 의해 개질되는 한 어떤 절연막도 사용될 수 있다. 어느 경우에도, 게이트 절연막과 산화물 반도체 간의 계면의 감소된 계면 준위 밀도를 갖고 게이트 절연막으로서 양호한 막 품질을 가질 뿐만 아니라 양호한 계면을 형성할 수 있는 절연막이 사용될 수 있다.
- [0134] 게이트 절연막(603)은 높은 배리어 특성을 갖는 재료를 이용하여 형성된 절연막과 산화 실리콘막 또는 산화 질화 실리콘막 등의 낮은 비율의 질화물을 갖는 절연막이 적층된 구조를 가질 수 있다. 그 경우에, 산화 실리콘막 또는 산화 질화 실리콘막 등의 절연막이 높은 배리어 특성을 갖는 절연막과 산화물 반도체막 사이에 형성된다. 높은 배리어 특성을 갖는 절연막으로서, 예를 들어, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등을 들 수 있다. 높은 배리어 특성을 갖는 절연막이 사용되어, 수분 또는 수소 등의, 분위기 내의 불순물, 또는 알칼리 금속 또는 중금속 등의, 기판에 포함된 불순물이 산화물 반도체막, 게이트 절연막(603), 또는 산화물 반도체막과 또 하나의 절연막 간의 계면 및 그 근방에 들어오는 것을 방지할 수 있다. 또한, 산화 실리콘막 또는 산화 질화 실리콘막 등의 낮은 비율의 질소를 갖는 절연막이 산화물 반도체막과 접하도록 형성되어, 높은 배리어 특성을 갖는 절연막이 산화물 반도체막과 직접 접하는 것을 방지할 수 있다.
- [0135] 예를 들어, 100nm의 두께를 갖는 적층막이 다음과 같이 게이트 절연막(603)으로서 형성될 수 있다: 50nm 내지 200nm의 두께를 갖는 질화 실리콘막($\text{SiN}_y(y>0)$)이 제1 게이트 절연막으로서 스퍼터링 방법에 의해 형성되고, 5nm 내지 300nm의 두께를 갖는 산화 실리콘막($\text{SiO}_x(x>0)$)이 제2 게이트 절연막으로서 제1 게이트 절연막 위에 적층된다. 게이트 절연막(603)의 두께는 트랜지스터에 필요한 특성에 따라 적절히 설정될 수 있고, 약 350nm 내지 400nm일 수 있다.
- [0136] 본 실시형태에서, 스퍼터링 방법에 의해 형성된 100nm의 두께를 갖는 산화 실리콘막이 스퍼터링 방법에 의해 형성된 50nm의 두께를 갖는 질화 실리콘막 위에 적층된 구조를 갖는 게이트 절연막(603)이 형성된다.
- [0137] 게이트 절연막은 산화물 반도체와 접한다는 점에 유의한다. 수소가 산화물 반도체로 들어올 때, 트랜지스터의 특성이 악영향을 받으므로, 게이트 절연막은 수소, 수산기, 및 수분을 포함하지 않는 것이 바람직하다. 게이트 절연막(603)이 수소, 수산기, 및 수분을 가능한 한 적게 포함하기 위해서, 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 전극(601) 및 전극(602)이 형성된 기판(500)을 예비 가열함으로써 수분 또는 수소 등의, 기판(500)에 흡수된 불순물이 이탈 및 제거되는 것이 바람직하다. 예비 가열을 위한 온도는 100℃ 내지 400℃, 바람직하게는 150℃ 내지 300℃이다. 예비 가열실에 설치된 배기 수단으로서, 크라이오펌프가 바람직하다. 이 예비 가열은 생략될 수 있다는 점에 유의한다.
- [0138] 다음에, 게이트 절연막(603) 위에, 2nm 내지 200nm, 바람직하게는 3nm 내지 50nm, 더 바람직하게는 3nm 내지 20nm의 두께를 갖는 산화물 반도체막이 형성된다. 산화물 반도체막은 산화물 반도체 타겟을 이용하는 스퍼터링 방법에 의해 형성된다. 더구나, 산화물 반도체막은 희가스(예를 들어, 아르곤) 분위기, 산소 분위기, 또는 희가스(예를 들어, 아르곤)와 산소의 혼합된 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다.
- [0139] 산화물 반도체막이 스퍼터링 방법에 의해 형성되기 전에, 게이트 절연막(603)의 표면에 부착된 먼지는 바람직하게는 아르곤 가스가 도입되고 플라즈마가 발생하는 역 스퍼터링에 의해 제거된다는 점에 유의한다. 역 스퍼터링은 타겟측에 전압을 가하지 않고, 표면을 개질하기 위해 기판 근방에서 플라즈마를 발생하기 위해 아르곤 분위기 하에서 기판 측에 전압을 가하는 데 RF 전원이 사용되는 방법을 말한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 사용될 수 있다는 점에 유의한다. 다르게는, 산소, 아산화 질소 등이 첨가된 아르곤 분위기가 이용될 수 있다. 또 다르게는, 염소, 4불화 탄소 등이 첨가된 아르곤 분위기가 이용될 수 있다.
- [0140] 상술한 바와 같이, 산화물 반도체로서, 다음의 산화물 반도체가 또한 이용될 수 있다: In-Sn-Ga-Zn-0계 산화물 반도체 등의 4원 금속 산화물; In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물

물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체, 및 Sn-Al-Zn-0계 산화물 반도체 등의 3원 금속 산화물; In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, In-Mg-0계 산화물 반도체, In-Ga-0계 산화물 반도체 등의 2원 금속 산화물; In-0계 산화물 반도체; Sn-0계 산화물 반도체; 및 Zn-0계 산화물 반도체. 상기 산화물 반도체는 실리콘을 포함할 수 있다.

- [0141] 다르게는, 산화물 반도체는 화학식 $InMO_3(ZnO)_m(m>0)$ 으로 표현될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다.
- [0142] 본 실시형태에서, 산화물 반도체막으로서, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 타겟을 이용하는 스퍼터링 방법에 의해 얻어진, 30nm의 두께를 갖는 In-Ga-Zn-0계 산화물 반도체 박막이 사용된다. 상기 타겟으로서, 예를 들어, 금속, In:Ga:Zn=1:1:0.5, In:Ga:Zn=1:1:1, 또는 In:Ga:Zn=1:1:2의 조성비를 갖는 타겟이 사용될 수 있다. 타겟은 SiO₂를 2중량% 내지 10중량%를 포함할 수 있다. In, Ga, 및 Zn을 포함하는 타겟의 충전율은 90% 내지 100%, 바람직하게는, 95% 내지 99.9%이다. 높은 충전율을 갖는 타겟을 사용하여, 치밀한 산화물 반도체막이 형성된다.
- [0143] 본 실시형태에서, 산화물 반도체막은 기판(500) 위에 다음과 같이 형성된다: 기판은 감압된 처리실 내에 유지되고, 처리실 내의 잔여 수분이 제거되고, 수소 및 수분이 제거된 스퍼터링 가스가 도입되고, 상기 타겟이 사용된다. 그때, 기판은 100℃ 내지 600℃, 바람직하게는 200℃ 내지 400℃로 가열될 수 있다. 기판이 가열되는 동안 성막이 수행되어, 형성된 산화물 반도체막에 포함된 불순물의 농도가 감소될 수 있다. 또한, 스퍼터링으로 인한 손상이 감소될 수 있다. 처리실 내의 잔여 수분을 제거하기 위해서, 흡착형의 진공 펌프가 바람직하게 사용된다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 바람직하게 사용된다. 배기 수단은 콜드 트랩을 구비한 터보 펌프일 수 있다. 예를 들어 크라이오 펌프로 배기된 성막실에서, 수소 원자, 물(H₂O) 등의 수소 원자를 포함하는 화합물(더 바람직하게는, 또한 탄소 원자를 포함하는 화합물) 등이 제거되어, 성막실에 형성된 산화물 반도체막에 포함된 불순물의 농도가 감소될 수 있다.
- [0144] 성막 조건의 예로서, 기판과 타겟 사이의 거리는 100mm, 압력은 0.6Pa, 직류(DC) 전력은 0.5kW, 및 분위기는 산소 분위기(산소 유량 비율은 100%)이다. 성막 시에 발생된 먼지가 감소될 수 있고 막 두께가 균일하게 될 수 있기 때문에 펄스식 직류(DC) 전원이 바람직하다는 점에 유의한다.
- [0145] 산화물 반도체막이 수소, 수산기, 및 수분을 가능한 한 적게 포함하기 위해서, 성막을 위한 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연막(603)을 형성하는 단계까지 포함하는 공정이 이미 수행된 기판(500)을 예비 가열함으로써, 기판(500)에 흡수된 수분 또는 물 등의 불순물이 이탈 및 제거되는 것이 바람직하다. 예비 가열을 위한 온도는 100℃ 내지 400℃, 바람직하게는 150℃ 내지 300℃이다. 예비 가열실에 설치된 배기 수단으로서, 크라이오펌프가 바람직하다. 이 예비 가열 처리는 생략될 수 있다는 점에 유의한다. 또한, 이 예비 가열은, 절연막(614)의 형성 전에, 소스 전극(608), 드레인 전극(609), 및 배선(610 내지 613)을 형성하는 단계까지 포함하는 공정이 이미 수행된 기판(500)에 대해 유사하게 수행될 수 있다.
- [0146] 다음에, 도 10의 (c)에 도시된 바와 같이, 산화물 반도체막은 에칭 등에 의해 원하는 형상으로 가공(패턴)되어, 섬 형상의 산화물 반도체막(605)이 게이트 전극(601)과 중첩하도록 게이트 절연막(603) 위에 형성된다.
- [0147] 섬 형상의 산화물 반도체막(605)을 형성하기 위한 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.
- [0148] 섬 형상의 산화물 반도체막(605)의 에칭으로서, 드라이 에칭, 웨트 에칭, 또는 이들 둘 다가 채용될 수 있다는 점에 유의한다. 드라이 에칭을 위한 에칭 가스로서, 염소를 포함하는 가스(염소(Cl₂), 3염화 붕소(BCl₃), 4염화 실리콘(SiCl₄), 또는 4염화 탄소(CCl₄) 등의 염소계 가스)가 바람직하게 사용된다. 다르게는, 불소를 포함하는 가스(4불화 탄소(CF₄), 6불화 황(SF₆), 3불화 질소(NF₃), 또는 트리플루오르메탄(CHF₃) 등의 불소계 가스), 브롬화 수소(HBr), 산소(O₂), 헬륨(He) 또는 아르곤(Ar)이 첨가된 이들 가스 중 어느 것 등이 사용될 수 있다.
- [0149] 드라이 에칭 방법으로서, 평행 평판형 RIE(반응성 이온 에칭) 방법 또는 ICP(유도성 결합 플라즈마) 에칭 방법이 이용될 수 있다. 막을 원하는 형상으로 에칭하기 위해서, 에칭 조건(코일형 전극에 인가된 전력량, 기판 측 위의 전극에 인가된 전력량, 기판 측 위의 전극의 온도 등)이 적절히 조정된다.

- [0150] 웨트 에칭을 위해 사용되는 에칭액으로서, 인산, 아세트산, 및 질산의 혼합 용액 등이 사용될 수 있다. 다르게는, (간토 화학사가 제조한) ITO-07N이 사용될 수 있다. 웨트 에칭 후의 에칭액은 세정에 의해 에칭된 재료와 함께 제거된다. 에칭액과 에칭 제거된 재료를 포함하는 폐액은 정화될 수 있고 이 재료는 재활용될 수 있다. 산화물 반도체막에 포함된 인듐 등의 재료는 에칭 후에 폐액으로부터 수집되어 재활용될 때, 자원이 효율적으로 사용될 수 있고 코스트가 감소될 수 있다.
- [0151] 섬 형상의 산화물 반도체막(605) 및 게이트 절연막(603)의 표면에 부착된 레지스트 잔여물 등이 제거되도록 역스퍼터링이 후속 단계에서 도전막의 형성 전에 수행되는 것이 바람직하다는 점에 유의한다.
- [0152] 스퍼터링 등에 의해 형성된 산화물 반도체막은 수분 또는 수소 등의 불순물을 다량 포함하는 것이 판명되었다는 점에 유의한다. 수분 및 수소는 도너 준위를 쉽게 형성하므로 산화물 반도체에서 불순물로 된다. 따라서, 본 발명의 일 실시형태에서, 산화물 반도체막에서 수분 또는 수소 등의 불순물을 감소시키기 위해서, 가열 처리가 질소, 산소, 초진조 에어(물의 함량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 에어), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서 산화물 반도체막(605)에 대해 수행된다.
- [0153] 가열 처리가 산화물 반도체막(605)에 대해 수행될 때, 산화물 반도체막(605) 내의 수분 또는 수소가 감소될 수 있다. 구체적으로, 가열 처리는 300℃ 내지 700℃, 바람직하게는 300℃ 내지 500℃에서 수행될 수 있다. 예를 들어, 가열 처리는 약 3분 내지 6분 동안 500℃에서 수행될 수 있다. RTA 방법이 가열 처리를 위해 이용될 때, 탈수화 또는 탈수소화가 단시간 내에 수행될 수 있으므로, 처리는 글래스 기판의 왜곡점보다 높은 온도에서도 수행될 수 있다.
- [0154] 본 실시형태에서, 가열 처리 장치의 하나인 전기로가 사용된다.
- [0155] 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열 소자로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 포함할 수 있다는 점에 유의한다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치 등의 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 발하는 광(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 가열 처리하는 장치이다. 가스로서, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들어 질소 또는 아르곤(Ar) 등의 희가스가 사용된다.
- [0156] 가열 처리에서, 수소, 수분 등이 질소 또는 헬륨, 네온, 또는 아르곤 등의 희가스에 포함되지 않는 것이 바람직하다는 점에 유의한다. 예를 들어, 가열 처리장치 내로 도입된 질소 또는 헬륨, 네온, 또는 아르곤 등의 희가스의 순도는 6N(99.9999%), 바람직하게는 7N(99.99999%)로 설정되는 것이 바람직하다(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다).
- [0157] 상기 단계들을 통해, 산화물 반도체막(605) 내의 수소 농도가 감소될 수 있고 산화물 반도체막(605)은 고순도화될 수 있다. 따라서, 산화물 반도체막은 안정화될 수 있다. 또한, 글래스 전이 온도 이하의 온도에서의 가열 처리는 캐리어 밀도가 극히 낮은 넓은 밴드 갭을 갖는 산화물 반도체막을 형성하는 것을 가능하게 한다. 따라서, 트랜지스터는 대형 크기의 기판을 이용하여 제조될 수 있으므로, 대량 생산성이 향상될 수 있다. 또한, 수소 농도가 감소되고 순도가 향상된 산화물 반도체막을 이용함으로써, 높은 내전압 및 높은 오프비를 갖는 트랜지스터를 제조하는 것이 가능하다. 상기 가열 처리는 산화물 반도체막이 형성된 이후 아무 때나 수행될 수 있다.
- [0158] 산화물 반도체막이 가열될 때, 평판형 결정이 어떤 경우에는 산화물 반도체막의 재료 및 가열 조건에 따라 그 표면 위에 형성된다. 평판형 결정은 바람직하게는 산화물 반도체막의 표면에 실질적으로 수직인 방향으로 c축 배향된 단결정체이다. 평판형 결정이 단결정체가 아니라도, 각 결정은 바람직하게는 산화물 반도체막의 표면에 실질적으로 수직인 방향으로 c축 배향된 다결정체이다. 또한, 다결정체는 c축 배향되고 결정의 a-b 평면이 대응하거나, 또는 결정의 a축 또는 b축이 서로 배향되는 것이 바람직하다. 산화물 반도체막의 베이스 표면이 고르지 않은 경우에, 각각의 평판형 결정은 다결정체이라는 점에 유의한다. 따라서, 기초 표면은 바람직하게는 가능한 한 고르다.
- [0159] 다음에, 절연막(505), 절연막(506), 절연막(507), 및 게이트 절연막(603)은 부분적으로 에칭되어, 콘택트 홀이 형성되고, 한 쌍의 불순물 영역(606)에 이르는 콘택트 홀은 제1 트랜지스터(501)에 포함되고, 한 쌍의 불순물 영역(607)은 제3 트랜지스터(502)에 포함되고, 게이트 전극(510)은 제1 트랜지스터(501)에 포함되고, 게이트 전극(511)은 제3 트랜지스터(502)에 포함된다.

- [0160] 제1 트랜지스터(501)에 포함된 한 쌍의 불순물 영역(606) 중 하나는 소스 전극으로서 기능하고 나머지 하나는 드레인 전극으로서 기능한다는 점에 유의한다. 또한, 제3 트랜지스터(502)에 포함된 한 쌍의 불순물 영역(607) 중 하나는 소스 전극으로서 기능하고 나머지 하나는 드레인 전극으로서 기능한다.
- [0161] 다음에, 소스 전극 및 드레인 전극(소스 전극 및 드레인 전극과 동일한 층을 이용하여 형성된 배선을 포함)을 위해 사용될 도전막은 산화물 반도체막(605)을 덮도록 스퍼터링 방법 또는 진공 증착 방법에 의해 형성되고, 그 다음에 도전막은 에칭 등에 의해 패터닝되어, 소스 전극(608), 드레인 전극(609), 및 배선(610 내지 613)이 도 11의 (a)에 도시된 바와 같이 형성된다.
- [0162] 소스 전극(608) 및 드레인 전극(609)은 산화물 반도체막(605)과 접하여 있다는 점에 유의한다. 배선(610)은 한 쌍의 불순물 영역(606) 중 하나와 접한다. 배선(611)은 한 쌍의 불순물 영역(606) 중 다른 하나 및 한 쌍의 불순물 영역(607) 중 하나와 접한다. 또한, 소스 전극(608)도 한 쌍의 불순물 영역(607) 중 나머지 하나와 접한다. 배선(612)은 게이트 전극(510) 및 전극들(602) 중 하나와 접한다. 또한, 배선(613)은 게이트 전극(511) 및 전극들(602) 중 다른 하나와 접한다.
- [0163] 소스 전극(608), 드레인 전극(609), 배선(610 내지 613)(소스 전극(608), 드레인 전극(609), 배선(610 내지 613)과 동일한 층에 형성된 다른 배선을 포함)을 형성하기 위한 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 이들 원소 중 어느 것을 성분으로 포함하는 합금; 이들 원소 중 어느 것을 조합하여 포함하는 합금막 등이 있다. Cr, Ta, Ti, Mo, W 등의 고용성 금속이 Al, Cu 등의 금속막의 하층 및/또는 상층에 적층된 구조가 이용될 수 있다. Si, Ti, Ta, W, Mo, Cr, Nd, Sc, 또는 Y 등의, 알루미늄 막에서의 힐록 및 위스커의 발생을 방지하기 위한 원소가 첨가된 알루미늄 재료가 이용될 때, 내열성이 증가될 수 있다.
- [0164] 도전막은 단층 구조 또는 2개 이상의 층의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄 막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, 티타늄막, 알루미늄막, 및 티타늄막이 이 순서로 적층된 3층 구조 등을 들 수 있다.
- [0165] 소스 전극(608), 드레인 전극(609), 및 배선(610 내지 613)(소스 전극(608), 드레인 전극(609), 및 배선(610 내지 613)과 동일한 층에 형성된 다른 층을 포함)으로 될 도전막은 도전 금속 산화물을 이용하여 형성될 수 있다. 도전 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금(In_2O_3-ZnO), 또는 실리콘 또는 산화 실리콘을 포함하는 금속 산화물 재료 중 어느 것이 사용될 수 있다.
- [0166] 가열 처리가 도전막의 형성 후에 수행되는 경우에, 도전막은 바람직하게는 가열 처리에 견디기에 충분한 내열성을 가진다.
- [0167] 재료 및 에칭 조건은 산화물 반도체(605)가 도전막의 에칭 시에 가능한 한 많이 제거되지 않도록 적절히 조정되는 점에 유의한다. 에칭 조건에 따라, 섬 형상의 산화물 반도체막(605)의 노출된 부분이 부분적으로 에칭될 수 있으므로, 어떤 경우에는 홈(오목부)이 형성된다.
- [0168] 본 실시형태에서, 티타늄막이 도전막용으로 사용된다. 그러므로, 웨트 에칭은 암모니아와 과산화수소수를 포함하는 용액(암모니아 과산화수소 혼합물)을 사용하여 도전막에 대해 선택적으로 수행될 수 있지만, 어떤 경우에는 산화물 반도체막(605)은 부분적으로 에칭된다. 또한, 암모니아 과산화수소 혼합물로서, 구체적으로, 31중량%의 과산화수소수, 28중량%의 암모니아수, 및 물이 5:2:2의 체적비로 혼합된 용액이 사용된다. 다르게는, 드라이 에칭이 염소(Cl_2), 3염화 붕소(BCl_3) 등을 포함하는 가스를 이용하여 도전막에 대해 수행될 수 있다.
- [0169] 포토리소그래피 단계에서 포토마스크와 단계의 수를 감소시키기 위해서, 에칭은 광이 복수의 세기를 갖도록 투과되는 노광 마스크인 다계조 마스크를 이용하여 형성된 레지스트 마스크를 사용하여 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께를 갖고 나아가 에칭에 의해 형상이 변할 수 있으므로, 레지스트 마스크가 다른 패턴으로 가공하기 위해 복수의 에칭 단계에서 사용될 수 있다. 따라서, 적어도 2종 이상의 다른 패턴에 대응하는 레지스트 마스크가 하나의 다계조 마스크에 의해 형성될 수 있다. 그러므로, 노광 마스크의 수가 감소될 수 있고 대응하는 포토리소그래피 단계의 수도 감소되어, 공정의 간략화가 실현될 수 있다.
- [0170] 다음에, 플라즈마 처리가 N_2O , N_2 , 또는 Ar 등의 가스를 이용하여 그에 대해 수행된다. 플라즈마 처리에 의해, 산화물 반도체막의 노출된 표면에 흡수된 물 등이 제거된다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 이

용하여 역시 수행될 수 있다.

- [0171] 플라즈마 처리 이후에, 도 11의 (b)에 도시한 바와 같이, 절연막(614)은 소스 전극(608), 드레인 전극(609), 배선(610 내지 613), 및 산화물 반도체막(605)을 덮도록 형성된다. 절연막(614)은 바람직하게는 수분 또는 수소 등의 불순물을 가능한 적게 포함하고, 절연막(614)은 단층 절연막 또는 적층된 복수의 절연막을 이용하여 형성될 수 있다. 수소가 산화물 반도체막(614)에 포함될 때, 산화물 반도체막에의 수소의 침입, 또는 수소에 의한 산화물 반도체막에서의 산소의 추출이 일어나, 산화물 반도체막의 백채널 부분이 더 낮은 저항을 갖게(n형으로 되게) 하므로, 기생 채널이 형성될 수 있다. 따라서, 수소를 가능한 한 적게 포함하는 절연막(614)을 형성하기 위해 수소가 사용되지 않는 증착 방법이 채용되는 것이 바람직하다. 높은 배리어 특성을 갖는 재료는 바람직하게는 상기 절연막(614)에 사용된다. 예를 들어, 높은 배리어 특성을 갖는 절연막으로서, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등이 사용될 수 있다. 적층된 복수의 절연막이 사용될 때, 낮은 비율의 질소를 갖는 산화 실리콘막 또는 산화 질화 실리콘막 등의 절연막이 높은 배리어 특성을 갖는 상기 절연막보다 산화물 반도체막(605)에 더 가까운 측 위에 형성된다. 다음에, 높은 배리어 특성을 갖는 절연막이, 질소 비율이 낮은 절연막을 배리어 특성을 갖는 절연막과 소스 전극(608), 드레인 전극(609), 및 산화물 반도체막(605) 사이에 두고 소스 전극(608), 드레인 전극(609), 및 산화물 반도체막(605)과 중첩하도록 형성된다. 높은 배리어 특성을 갖는 절연막이 사용될 때, 수분 또는 수소 등의 불순물이 산화물 반도체막(605), 게이트 절연막(603), 또는 산화물 반도체막(605)과 다른 절연막 사이 및 그 근방에 들어가는 것을 방지할 수 있다. 또한, 산화 실리콘막 또는 산화 질화 실리콘막 등의 낮은 비율의 질소를 갖는 절연막이 산화물 반도체막(605)과 접하도록 형성되어, 높은 배리어 특성을 갖는 재료를 이용하여 형성된 절연막이 산화물 반도체막(605)과 직접 접하는 것을 방지할 수 있다.
- [0172] 본 실시형태에서, 스퍼터링 방법에 의해 형성된 100nm의 두께를 갖는 질화 실리콘막이 스퍼터링 방법에 의해 형성된 200nm의 두께를 갖는 산화 실리콘막 위에 적층된 구조를 갖는 절연막(614)이 형성된다. 증착 시의 기판 온도는 실온 내지 300℃일 수 있고, 본 실시형태에서는 100℃이다.
- [0173] 절연막(614)이 형성된 후에, 가열 처리가 수행될 수 있다는 점에 유의한다. 가열 처리는 질소, 산소, 초건조 에어(물의 함량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 에어), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서 바람직하게는 200℃ 내지 400℃, 예를 들어 250℃ 내지 350℃에서 수행된다. 본 실시형태에서, 질소 분위기 하에서의 250℃에서 1시간 동안의 가열 처리가 수행된다. 다르게는, 고온에서의 단시간 동안의 RTA 처리가 산화물 반도체막에 대해 수행된 가열 처리와 마찬가지로 소스 전극(608), 드레인 전극(609), 및 배선(610 내지 613)의 형성 전에 수행될 수 있다. 산소 결손이 산화물 반도체막에 대해 수행된 가열 처리로 인해 산화물 반도체막(605)에서 일어날 때에도, 산소를 포함하는 절연막(614)이 소스 전극(608)과 드레인 전극(609) 사이에 설치된 산화물 반도체막(605)의 노출된 영역과 접하여 설치되고, 다음에 가열 처리가 수행되어, 산화물 반도체막(605)에 산소가 공급된다. 그러므로, 절연막(614)과 접하는 산화물 반도체막(605)의 영역에 산소가 공급될 때, 도너로 되는 산소 결손이 감소될 수 있고 화학양론적 조성비가 만족될 수 있다. 결과적으로, 산화물 반도체막(605)은 i형 반도체막 또는 실질적으로 i형 반도체막으로 될 수 있다. 따라서, 트랜지스터의 전기적 특성이 향상될 수 있고 그 전기적 특성의 변화가 감소될 수 있다. 절연막(614)의 형성 이후에 수행되는 한 이 가열 처리의 타이밍에는 특정한 제한이 없다. 가열 처리는 또한 다른 공정에서의 가열 처리, 예를 들어, 수지막을 형성할 시의 가열 처리 또는 투명 도전막의 저항을 감소시키기 위한 가열 처리로 되어, 산화물 반도체막(605)은 제조 단계의 수를 증가하지 않고서 i형 반도체막 또는 실질적으로 i형 반도체막으로 될 수 있다.
- [0174] 도전막이 절연막(614) 위에 형성된 후에, 도전막은 패터닝되어, 산화물 반도체막(605)과 중첩하는 위치에 백 게이트 전극이 형성될 수 있다. 백 게이트 전극이 형성될 때, 절연막은 백 게이트 전극을 덮도록 형성된다. 백 게이트 전극은, 게이트 전극(601), 전극(602), 소스 전극(608) 및 드레인 전극(609), 또는 배선(610 내지 613)과 유사한 재료 및 구조를 이용하여 형성될 수 있다.
- [0175] 백 게이트 전극의 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm로 설정된다. 예를 들어, 백 게이트 전극은, 티타늄막, 알루미늄막, 및 티타늄막이 적층된 도전막이 형성되고, 레지스트 마스크가 포토리소그래피 방법 등에 의해 형성되고, 도전막이 원하는 형상으로 가공(패터닝)되도록 불필요한 부분이 에칭에 의해 제거되는 방식으로 형성될 수 있다.
- [0176] 상기 단계들로, 제2 트랜지스터(620) 및 용량 소자(623)가 형성된다. 용량 소자(623)는 소스 전극(608)이 게이트 절연막(603)을 사이에 두고 전극들(602) 중 또 다른 하나와 중첩하는 영역에 형성되는 점에 유의한다. 용량

소자(623)는 제2 트랜지스터(620)와 동일한 층 위에 반드시 형성될 필요는 없고, 예를 들어, 용량 소자(623)는 제1 트랜지스터(501) 및 제3 트랜지스터(502)와 동일한 층 위에 형성될 수 있다는 점에 유의한다.

- [0177] 제2 트랜지스터(620)는 게이트 전극(601), 게이트 전극(601) 위의 게이트 절연막(603), 게이트 절연막(603) 위에서 게이트 전극(601)과 중첩하는 산화물 반도체막(605), 및 산화물 반도체막(605) 위에 형성된 한 쌍의 소스 전극(608) 및 드레인 전극(609)을 포함한다. 제2 트랜지스터(620)는, 구성요소로서, 산화물 반도체막(605) 위에 형성된 절연막(614)을 포함할 수 있다. 도 11의 (b)에 도시된 제2 트랜지스터(620)는 산화물 반도체막(605)의 일부가 소스 전극(608)과 드레인 전극(609) 사이에 노출된 채널 에칭 구조를 갖는다.
- [0178] 제2 트랜지스터(620)가 단일 게이트 트랜지스터로서 설명되었지만, 복수의 채널 형성 영역을 갖는 멀티 게이트 트랜지스터가 전기적으로 접속된 복수의 게이트 전극(601)이 포함될 때 필요한 경우에 제조될 수 있다.
- [0179] 다음에, 본 실시형태에서와 같이, 트랜지스터의 특성이 산화물 반도체막에 포함된 수분, 수소 등의 불순물을 가능한 한 많이 제거함으로써 산화물 반도체막의 고순도화에 의해 어떻게 영향받는지 설명된다.
- [0180] 도 13은 산화물 반도체를 포함하는 트랜지스터의 단면도이다. 산화물 반도체막(OS)은 게이트 절연막(GI)을 사이에 두고 게이트 전극(GE) 위에 설치되고, 소스 전극(S) 및 드레인 전극(D)이 그 위에 설치되고, 절연막이 소스 전극(S)과 드레인 전극(D) 위에 설치된다.
- [0181] 도 14는 도 13의 선 A-A'를 따라 취한 단면의 에너지 밴드도(모식도)이다. 도 14에서, 검은 원(●)은 전자를 나타내고 전하 -q를 갖고, 하얀 원(○)은 정공을 나타내고 전하 +q를 갖는다. 양의 전압(VD>0)이 드레인 전극(D)에 인가될 때, 전압(VG=0)이 게이트 전극(GE)에 인가되지 않은 경우는 파선으로 표시되고 양의 전압(VG>0)이 게이트 전극(GE)에 인가되는 경우는 실선으로 표시된다. 전압이 게이트 전극(GE)에 인가되지 않는 경우에, 캐리어(전자)는 고 전위 배리어로 인해 소스 전극(S)으로부터 산화물 반도체막(OS)으로 주입되지 않아, 전류가 흐르지 않는 오프 상태를 나타낸다. 반면, 양의 전압이 게이트 전극(GE)에 인가되는 경우에, 전위 배리어는 감소되어, 전류가 산화물 반도체(OS) 막으로 흐르는 온 상태를 나타낸다.
- [0182] 도 15a 및 15b는 도 13의 선 B-B'를 따라 취한 단면의 에너지 밴드도(모식도)이다. 도 15a는 양의 전압(VG>0)이 게이트 전극(GE)에 인가되는 경우와 캐리어(전자)가 소스 전극과 드레인 전극 사이에 흐르는 온 상태를 도시한다. 도 15b는 음의 전압(VG<0)이 게이트 전극(GE)에 인가된 상태, 즉 트랜지스터가 오프 상태인 경우를 도시한다.
- [0183] 도 16은 진공 준위, 금속의 일함수(Φ_M), 및 산화물 반도체의 전자 친화력(χ) 간의 관계를 도시한다.
- [0184] 정상 온도에서, 금속 내의 전자는 축퇴되고 페르미 준위는 전도대에 위치한다. 반면, 종래의 산화물 반도체는 n형 트랜지스터이고, 페르미 준위(E_f)는 밴드 갭의 중앙에 위치한 진성 페르미 준위(E_i)와 떨어져 전도대(E_c)에 더 가깝게 위치한다. 수소의 일부는 산화물 반도체에서 도너이고 산화물 반도체가 n형 반도체에게 하는 하나의 요인이라는 것은 공지되어 있다는 점에 유의한다. 또한, 산소 결손은 n형 산화물 반도체를 생성하는 요인 중의 하나로서 알려져 있다.
- [0185] 한편, 본 발명의 실시형태에서의 산화물 반도체는 산화물 반도체로부터 n형 불순물인 수소를 제거하고 산화물 반도체의 주성분 이외의 불순물이 가능한 한 많이 포함되는 것을 방지하도록 산화물 반도체를 고순도화함으로써 얻어진 진성(i형) 또는 실질적으로 진성 산화물 반도체이다. 즉, 산화물 반도체는 수소의 첨가가 아니라 고순도를 갖도록 수분 또는 수소 등의 불순물 및 산소 결손을 가능한 한 많이 제거하여 i형 반도체로 되어, 진성(i형) 반도체 또는 실질적으로 진성(i형)인 반도체가 얻어진다. 상기 구조로, 페르미 준위(E_f)는 화살표로 표시한 바와 같이 실질적으로 진성 페르미 준위(E_i)와 동일한 준위에 가까울 수 있다.
- [0186] 산화물 반도체의 밴드 갭(E_g)은 3.15eV이고 전자 친화력(χ)은 4.3V라고 말할 수 있다. 소스 및 드레인 전극을 형성하는 데 사용된 티타늄(Ti)의 일함수는 산화물 반도체의 전자 친화력(χ)과 거의 동일하다. 그 경우에, 전자에의 쇼트키 배리어가 금속과 산화물 반도체 간의 계면에 형성되지 않는다. 티타늄 이외에 이 조건을 만족하는 재료들이 있다.
- [0187] 그 경우에, 도 15a에 도시한 바와 같이, 전자는 게이트 절연막과 고순도화된 산화물 반도체 간의 계면에서 에너지적으로 안정한 산화물 반도체의 최하부를 통해 이동한다.
- [0188] 도 15b에서, 음의 전압이 게이트 전극(GE)에 인가될 때, 수소 캐리어인 정공은 실질적으로 제로이므로, 전류는 실질적으로 제로에 가깝다.

- [0189] 이 방식으로, 산화물 반도체의 주성분 이외의 수분 또는 수소 등의 불순물이 가능한 한 적게 포함되도록 산화물 반도체막이 고순도화되어, 트랜지스터의 동작이 바람직할 수 있다.
- [0190] 본 실시형태는 상기 실시형태들 중 어느 것과 조합하여 구현될 수 있다.
- [0191] (실시형태 5)
- [0192] 본 실시형태에서, 산화물 반도체막을 포함하는 제3 트랜지스터가 실시형태 4와는 다른 구조를 갖는 프로그래밍 셀의 구조가 설명될 것이다.
- [0193] 도 12의 (a)에 도시된 프로그래밍 셀은 실시형태 4와 유사한 제1 트랜지스터(501) 및 제3 트랜지스터(502)를 포함한다. 채널 보호 구조를 갖고 산화물 반도체막을 포함하는 보텀 게이트 제2 트랜지스터(630)는 도 12의 (a)에서 제1 트랜지스터(501) 및 제3 트랜지스터(502) 위에 형성된다.
- [0194] 제2 트랜지스터(630)는 절연막(507) 위에 설치된 게이트 전극(631), 게이트 전극(631) 위에 설치된 게이트 절연막(632), 게이트 절연막(632) 위에서 게이트 전극(631)과 중첩하는 산화물 반도체막(633), 게이트 전극(631)과 중첩하도록 산화물 반도체막(633) 위에 설치된 채널 보호막(634), 및 산화물 반도체막(633) 위에 설치된 소스 전극(635) 및 드레인 전극(636)을 포함한다. 제2 트랜지스터(630)는, 구성요소로서, 산화물 반도체막(633) 위에 설치된 절연막(637)을 포함할 수 있다.
- [0195] 채널 보호막(634)은 채널 형성 영역으로 되는 산화물 반도체막(633)의 일부가 나중 단계에서 손상(예를 들어, 에칭 시의 플라즈마 또는 에칭액으로 인한 두께의 감소)받는 것을 방지할 수 있다. 따라서, 트랜지스터의 신뢰성이 향상될 수 있다.
- [0196] 채널 보호막(634)은 산소를 포함하는 무기 재료(예를 들어, 산화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 또는 산화 질화 알루미늄)를 이용하여 형성될 수 있다. 채널 보호막(634)은 플라즈마 강화 CVD 방법 또는 열 CVD 방법 등의 진공 증착 방법, 또는 스퍼터링 방법에 의해 형성될 수 있다. 채널 보호막(634)이 형성된 후에, 그 형상이 에칭에 의해 가공된다. 여기서, 채널 보호막(634)은 산화 실리콘막이 스퍼터링 방법에 의해 형성되고 포토리소그래피에 의해 형성된 마스크를 이용하는 에칭에 의해 가공되는 방식으로 형성된다.
- [0197] 산소를 포함하는 무기 재료는 채널 보호막(634)에 사용되어, 수분 또는 산소를 감소시키는 가열 처리에 의해 산화물 반도체막(633)에서 산소 결손이 발생할 때에도, 적어도 채널 보호막(634)과 접하는 산화물 반도체막(633)의 영역에 산소가 공급되고 도너로 되는 산소 결손이 화학양론적 조성비를 만족하도록 감소되는 구조가 제공될 수 있다. 따라서, 채널 형성 영역은 i형 채널 형성 영역 또는 실질적으로 i형 채널 형성 영역으로 될 수 있고, 산소 결손으로 인한 트랜지스터의 전기적 특성의 변화가 감소될 수 있고, 전기적 특성이 향상될 수 있다.
- [0198] 제2 트랜지스터(630)는 절연막(637) 위에 백 게이트 전극을 더 포함할 수 있다는 점에 유의한다. 백 게이트 전극은 산화물 반도체막(633)에서 채널 형성 영역과 중첩하도록 형성될 수 있다. 백 게이트 전극은 플로팅 상태에서 전기적으로 절연될 수 있거나, 또는 백 게이트 전극에 전위가 공급되는 상태에 있을 수 있다. 후자의 경우에, 백 게이트 전극에는 게이트 전극(631)과 동일한 전위가 공급될 수 있거나, 또는 접지 전위 등의 고정 전위가 공급될 수 있다. 백 게이트 전극에 공급되는 전위의 레벨은 제2 트랜지스터(630)의 임계 전압을 제어하도록 제어될 수 있다.
- [0199] 도 12의 (b)에 도시된 프로그래밍 셀은 실시형태 4와 유사한 방식으로 결정질 실리콘을 이용하는 제1 트랜지스터(501) 및 결정질 실리콘을 이용하는 제3 트랜지스터(502)를 포함한다. 산화물 반도체를 포함하는 보텀 컨택트 제2 트랜지스터(640)는 도 12의 (b)에서 제1 트랜지스터(501) 및 제3 트랜지스터(502) 위에 형성된다.
- [0200] 제2 트랜지스터(640)는 절연막(507) 위에 형성된 게이트 전극(641), 게이트 전극(641) 위의 게이트 절연막(642), 게이트 절연막(642) 위에 있는 소스 전극(643) 및 드레인 전극(644), 및 게이트 전극(641)에 중첩하는 산화물 반도체막(645)을 포함한다. 제2 트랜지스터(640)는, 구성요소로서, 산화물 반도체막(645) 위에 설치된 절연막(646)을 포함할 수 있다.
- [0201] 도 12의 (b)의 보텀 컨택트 제2 트랜지스터(640)의 소스 전극(643) 및 드레인 전극(644)의 각각의 두께는 바람직하게는 나중에 형성된 산화물 반도체막(645)의 분리를 방지하기 위해 실시형태 4에서 설명된 보텀 게이트 트랜지스터의 두께보다 작다. 구체적으로, 소스 전극(643) 및 드레인 전극(644)의 각각의 두께는 10nm 내지 200nm, 바람직하게는 50nm 내지 75nm이다.
- [0202] 제2 트랜지스터(640)는 절연막(646) 위에 백 게이트 전극을 더 포함할 수 있다는 점에 유의한다. 백 게이트 전

극은 산화물 반도체막(645)에서 채널 형성 영역과 중첩하도록 형성될 수 있다. 백 게이트 전극은 플로팅 상태에서 전기적으로 절연될 수 있거나, 또는 백 게이트 전극에 전위가 공급되는 상태에 있을 수 있다. 후자의 경우에, 백 게이트 전극에는 게이트 전극(641)과 동일한 전위가 공급될 수 있거나, 또는 접지 전위 등의 고정 전위가 공급될 수 있다. 백 게이트 전극에 공급되는 전위의 레벨은 제2 트랜지스터(640)의 임계 전압을 제어하도록 제어될 수 있다.

[0203] 도 12의 (c)에 도시된 프로그래밍 셀은 실시형태 4와 유사한 방식으로 결정질 실리콘을 이용하는 제1 트랜지스터(501) 및 결정질 실리콘을 이용하는 제3 트랜지스터(502)를 포함한다. 산화물 반도체를 포함하는 톱 게이트 제2 트랜지스터(650)는 도 12의 (c)에서 제1 트랜지스터(501) 및 제3 트랜지스터(502) 위에 형성된다.

[0204] 제2 트랜지스터(650)는 절연막(507) 위에 형성된 소스 전극(651) 및 드레인 전극(652), 소스 전극(651) 및 드레인 전극(652) 위에 형성된 산화물 반도체막(653), 산화물 반도체막(653) 위의 게이트 절연막(654), 및 게이트 절연막(654) 위에서 산화물 반도체막(653)과 중첩하는 게이트 전극(655)을 포함한다. 또한, 제2 트랜지스터(650)는, 구성요소로서, 산화물 반도체막(655) 위에 설치된 절연막(656)을 포함할 수 있다.

[0205] 도 12의 (c)의 톱 게이트 제2 트랜지스터(650)의 소스 전극(651) 및 드레인 전극(652)의 각각의 두께는 바람직하게는 나중에 형성된 산화물 반도체막(653)의 분리를 방지하기 위해 실시형태 4에서 설명된 보텀 게이트 트랜지스터의 두께보다 작다. 구체적으로, 소스 전극(651) 및 드레인 전극(652)의 각각의 두께는 10nm 내지 200nm, 바람직하게는 50nm 내지 75nm이다.

[0206] 본 실시형태는 상기 실시형태들 중 어느 것과 조합하여 구현될 수 있다.

[0207] [예 1]

[0208] 본 발명의 일 실시형태에 따른 반도체 장치가 사용되어, 신뢰성이 높은 전자 기기 및 저 전력 소비의 전자 기기가 제공될 수 있다. 특히, 전력을 계속적으로 받는데 어려움이 있는 휴대형 전자 기기가 사용되는 경우에, 본 발명의 일 실시형태에 따른 저 전력 소비의 반도체 장치가 기기의 구성요소에 부가되어, 연속 사용 시간을 증가시키는 장점이 얻어질 수 있다. 또한, 낮은 오프 전류를 갖는 트랜지스터를 이용하여, 높은 오프 전류에 의해 야기된 불량을 커버하는 데 필요한 용량 회로 설계가 불필요하므로, 반도체 장치에 사용되는 집적 회로의 밀도가 증가될 수 있고, 고성능의 반도체 장치가 형성될 수 있다.

[0209] 본 발명의 일 실시형태에 따른 반도체 장치는 표시 장치, 랩톱, 또는 기록 매체를 구비한 화상 재생 장치(대표적으로, DVD 등의 기록 매체의 내용을 재생하고 재생 화상을 표시하는 디스플레이를 갖는 장치)용으로 사용될 수 있다. 상기 이외에, 본 발명의 일 실시형태에 따른 반도체 장치를 이용할 수 있는 전자 기기로서, 이동 전화, 휴대형 게임기를 포함하는 게임기, 휴대형 정보 단말, e-북 리더, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 오디오 재생 장치(예를 들어, 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 특정한 예가 도 17a 내지 17d에 도시된다.

[0210] 도 17a는 하우징(7011), 표시부(7012), 지지대(7013) 등을 포함하는 표시 장치를 도시한다. 본 발명의 일 실시형태에 따른 반도체 장치가 표시 장치의 구동을 제어하는 집적 회로용으로 사용되어, 신뢰성이 높은 표시 장치 및 저 전력 소비의 표시 장치가 제공될 수 있다. 표시 장치는 그 범주에 퍼스널 컴퓨터용의 표시 장치 등의 정보를 표시하고, 텔레비전 방송을 수신하고, 광고를 표시하기 위한 모든 표시 장치를 포함한다는 점에 유의한다.

[0211] 도 17b는 하우징(7031), 하우징(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커(7036), 조작 키(7037), 스타일러스(7038) 등을 포함하는 휴대형 게임기를 도시한다. 본 발명의 일 실시형태에 따른 반도체 장치가 또한 휴대형 게임기의 구동을 제어하는 집적 회로용으로 사용되어, 신뢰성이 높은 휴대형 게임기 및 저 전력 소비의 휴대형 게임기가 제공될 수 있다. 도 17b에 도시된 휴대형 게임기가 2개의 표시부(7033 및 7034)를 포함하지만, 휴대형 게임기에 포함된 표시부의 수는 2개로 한정되지 않는다.

[0212] 도 17c는 하우징(7041), 표시부(7042), 오디오 입력부(7043), 오디오 출력부(7044), 조작 키(7045), 수광부(7046) 등을 포함하는 이동 전화를 도시한다. 수광부(7046)에서 수신된 광은 전기 신호로 변환되어, 외부 화상이 로드될 수 있다. 본 발명의 실시형태에 따른 반도체 장치가 또한 이동 전화의 구동을 제어하는 집적 회로용으로 사용되어, 신뢰성이 높은 이동 전화 및 저 전력 소비의 이동 전화가 제공될 수 있다.

[0213] 도 17d는 하우징(7051), 표시부(7052), 조작 키(7053) 등을 포함하는 휴대형 정보 단말이다. 도 17d에 도시된 휴대형 정보 단말에서, 모뎀이 하우징(7051)에 내장될 수 있다. 본 발명의 일 실시형태에 따른 반도체 장치가

휴대형 정보 단말의 구동을 제어하는 집적 회로용으로 사용되어, 신뢰성이 높은 휴대형 정보 단말 및 저 전력 소비의 휴대형 정보 단말이 제공될 수 있다.

[0214] 본 예는 상기 실시형태들 중 어느 것과 적절히 조합하여 구현될 수 있다.

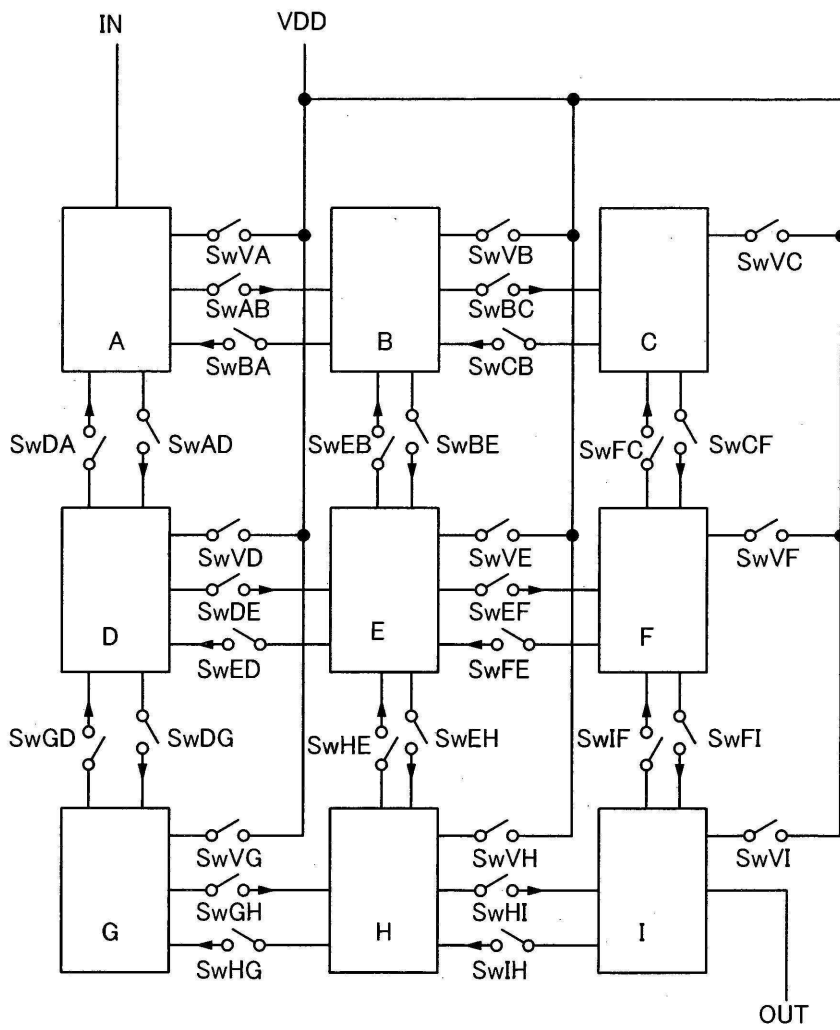
[0215] 본 출원은, 그 전체 내용이 본 명세서에 참고로 인용되는, 2010년 1월 20일자 일본 특허청에 출원된 일본 특허 출원 2010-009569호에 기초한다.

부호의 설명

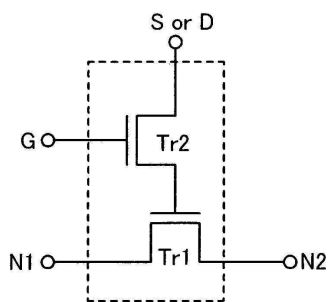
[0216] 500: 기관, 501: 제1 트랜지스터, 502: 제3 트랜지스터, 503: 단결정 실리콘막, 504: 단결정 실리콘막, 505: 절연막, 506: 절연막, 507: 절연막, 510: 게이트 전극, 511: 게이트 전극, 601: 게이트 전극, 602: 전극, 603: 게이트 절연막, 605: 산화물 반도체막, 606: 불순물 영역, 607: 불순물 영역, 608: 소스 전극, 609: 드레인 전극, 610: 배선, 611: 배선, 612: 배선, 613: 배선, 614: 절연막, 620: 제2 트랜지스터, 623: 용량 소자, 630: 제2 트랜지스터, 631: 게이트 전극, 632: 게이트 절연막, 633: 산화물 반도체막, 634: 채널 보호막, 635: 소스 전극, 636: 드레인 전극, 637: 절연막, 640: 제2 트랜지스터, 641: 게이트 전극, 642: 게이트 절연막, 643: 소스 전극, 644: 드레인 전극, 645: 산화물 반도체막, 646: 절연막, 650: 제2 트랜지스터, 651: 소스 전극, 652: 드레인 전극, 653: 산화물 반도체막, 654: 게이트 절연막, 655: 게이트 전극, 656: 절연막, 801: 제1 트랜지스터, 7011: 하우징, 7012: 표시부, 7013: 지지대, 7031: 하우징, 7032: 하우징, 7033: 표시부, 7034: 표시부, 7035: 마이크로폰, 7036: 스피커, 7037: 조작 키, 7038: 스타일러스, 7041: 하우징, 7042: 표시부, 7043: 오디오 입력부, 7044: 오디오 출력부, 7045: 조작 키, 7046: 수광부, 7051: 하우징, 7052: 표시부, 및 7053: 조작 키

도면

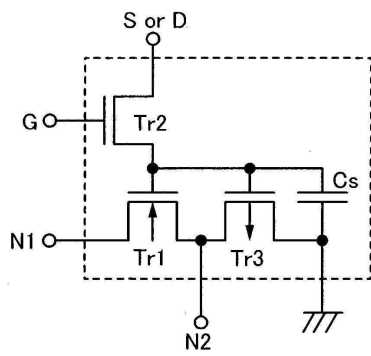
도면1



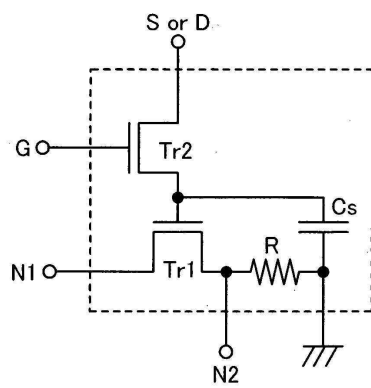
도면2a



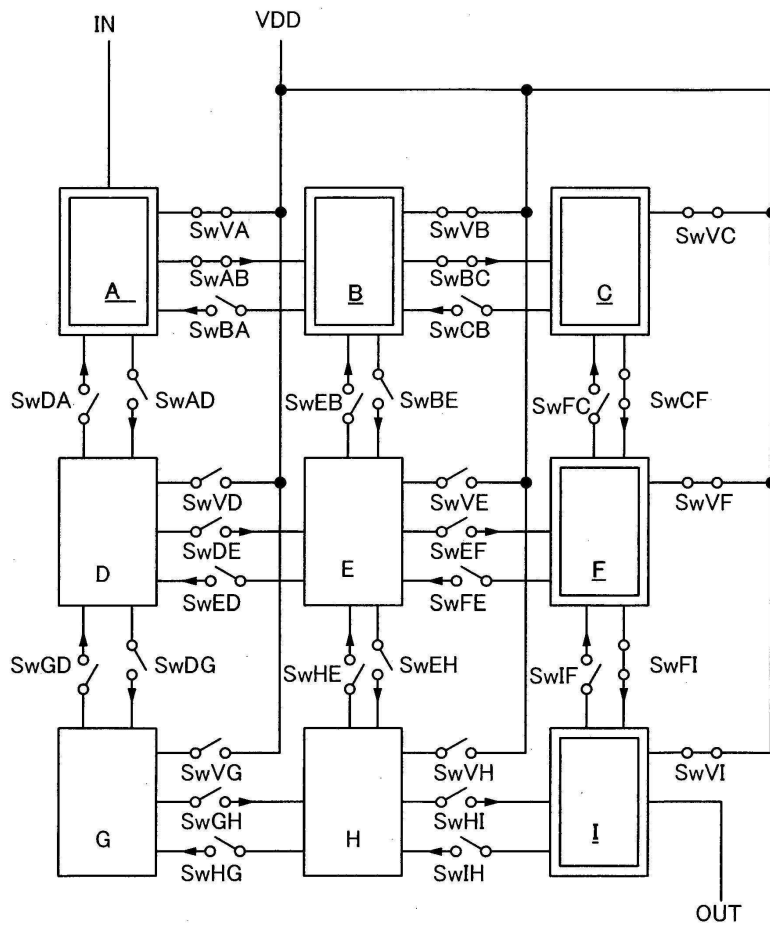
도면2b



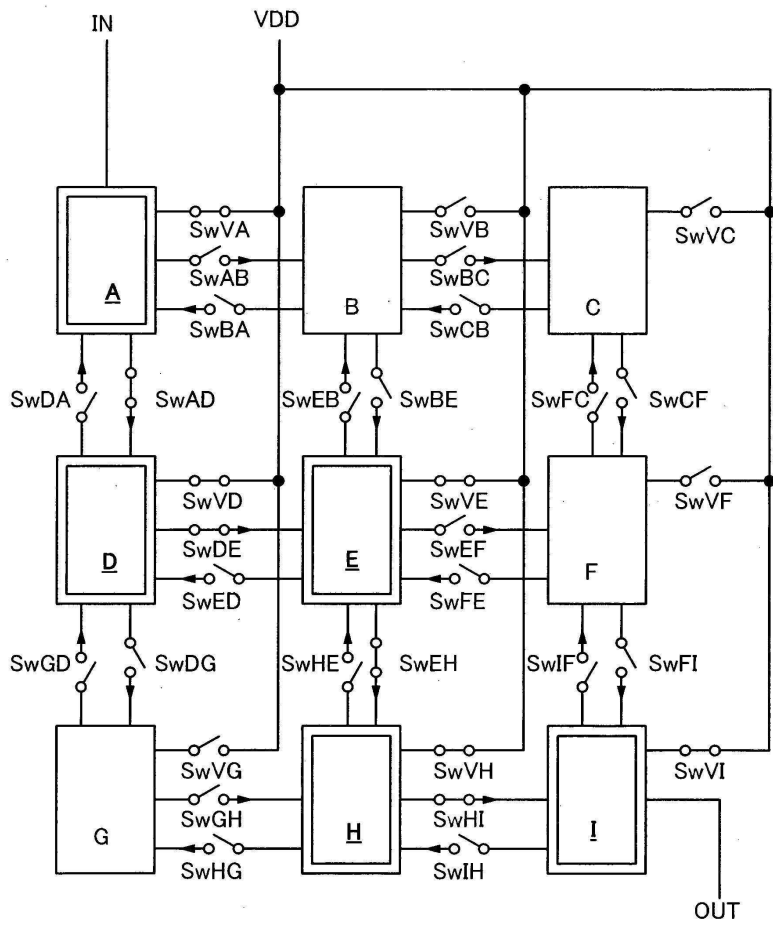
도면2c



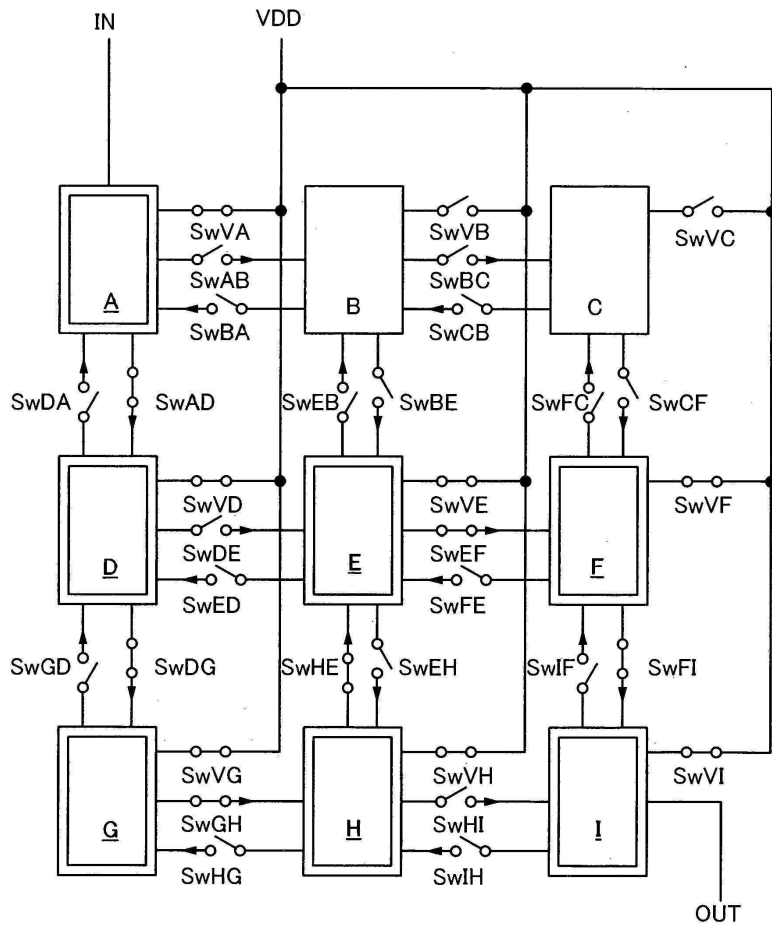
도면3



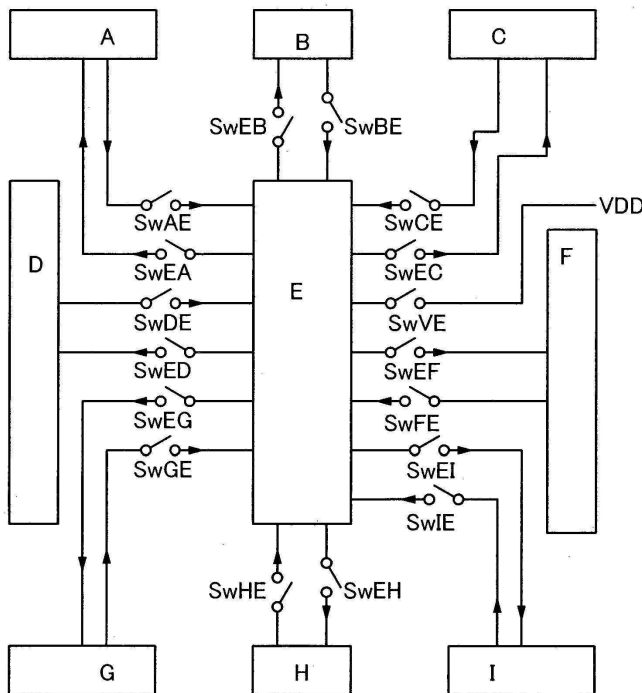
도면4



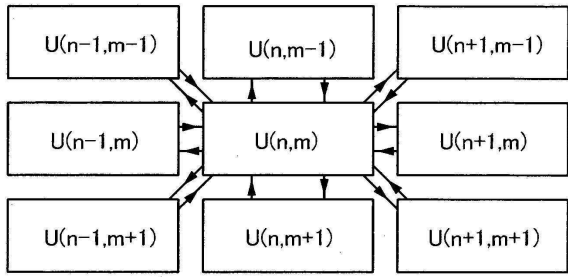
도면5



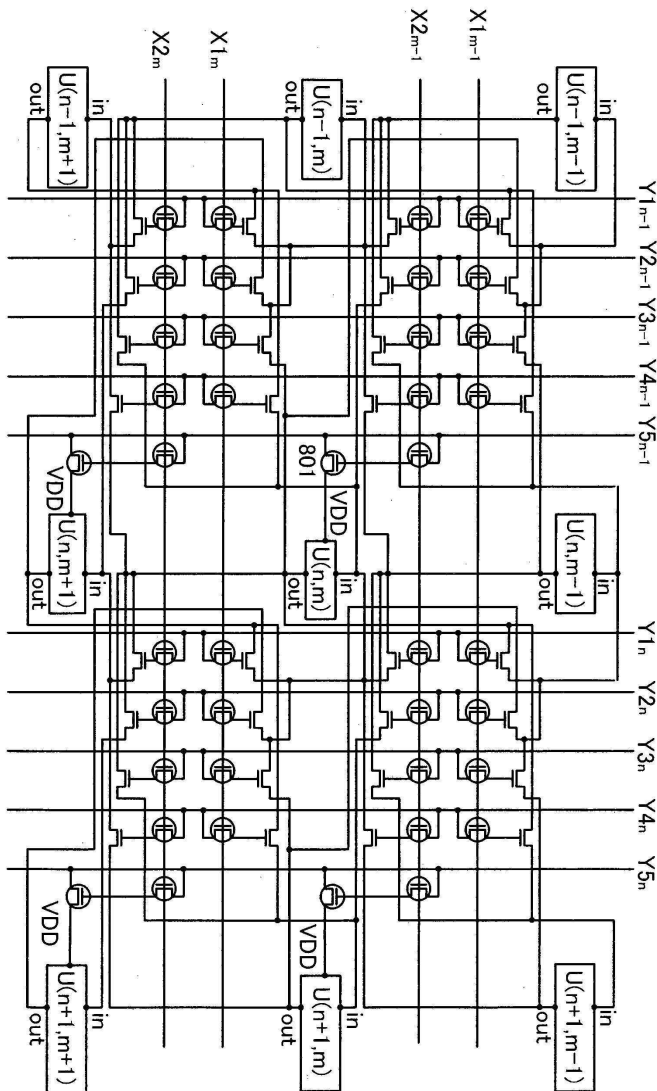
도면6



도면7

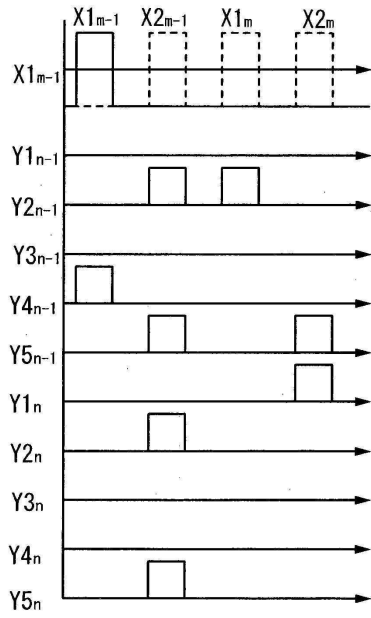


도면8

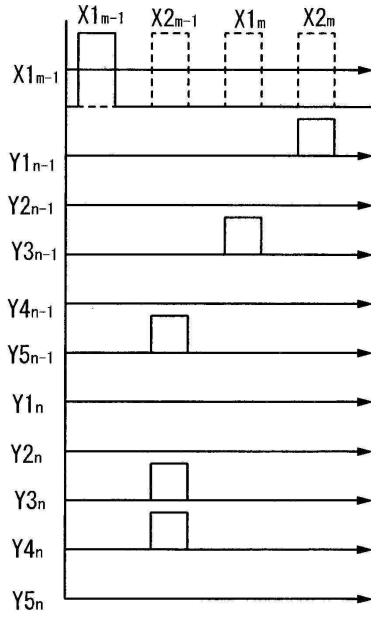


도면9

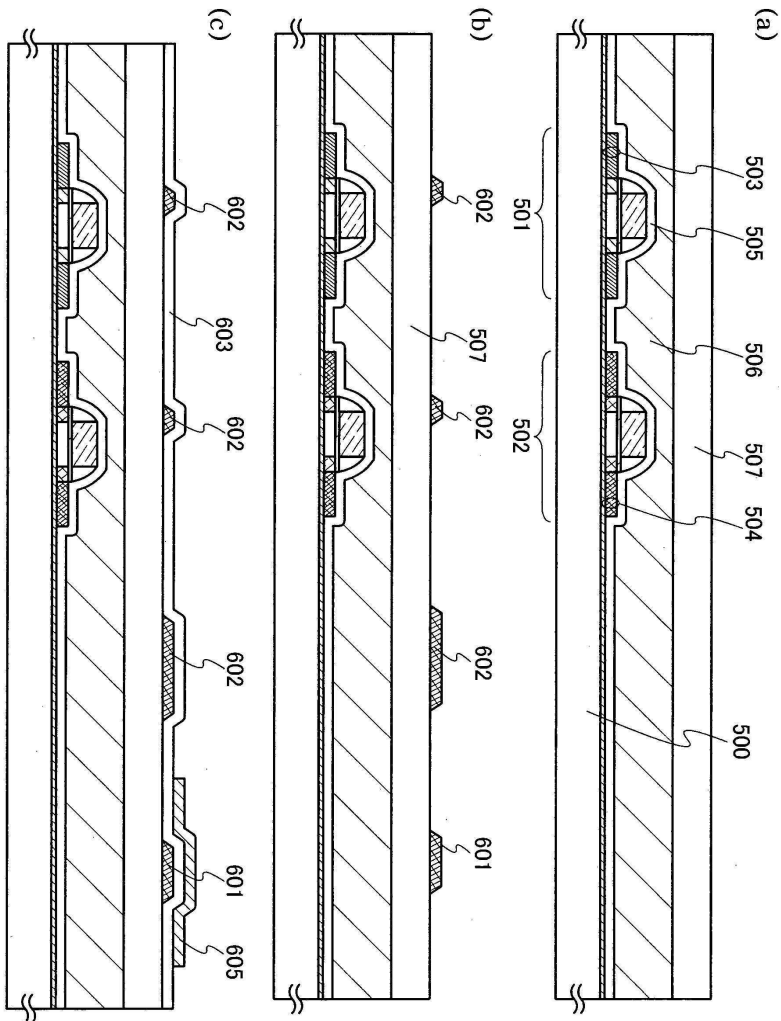
(a)



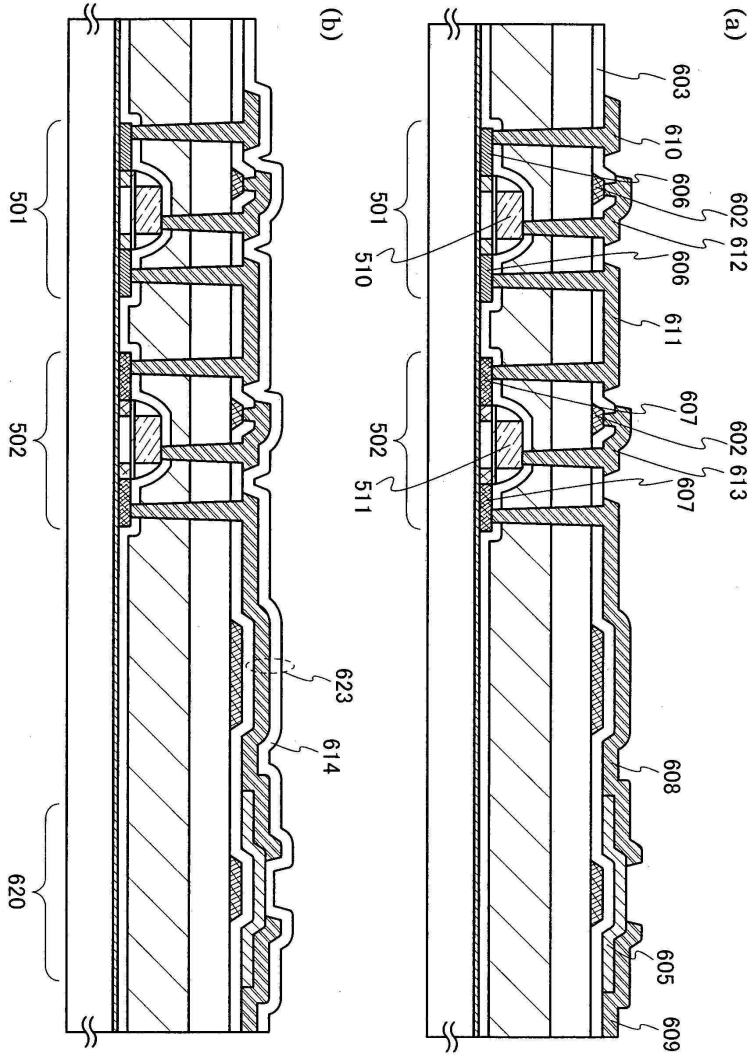
(b)



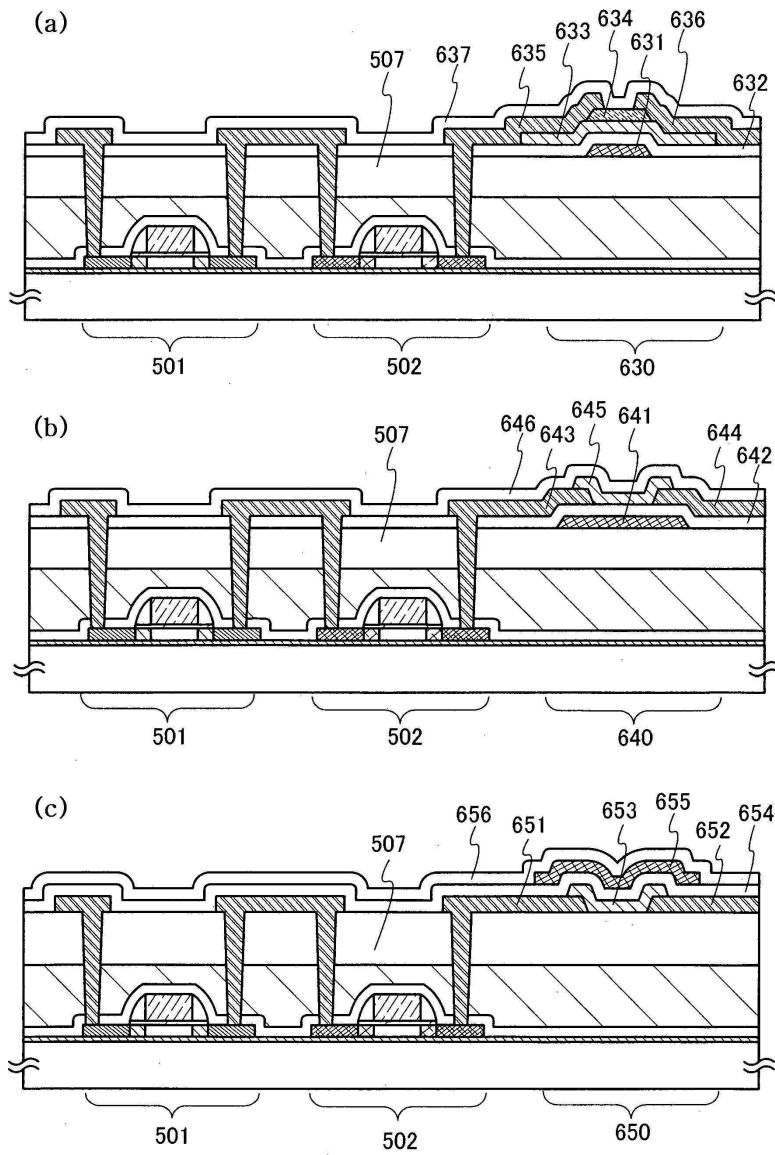
도면10



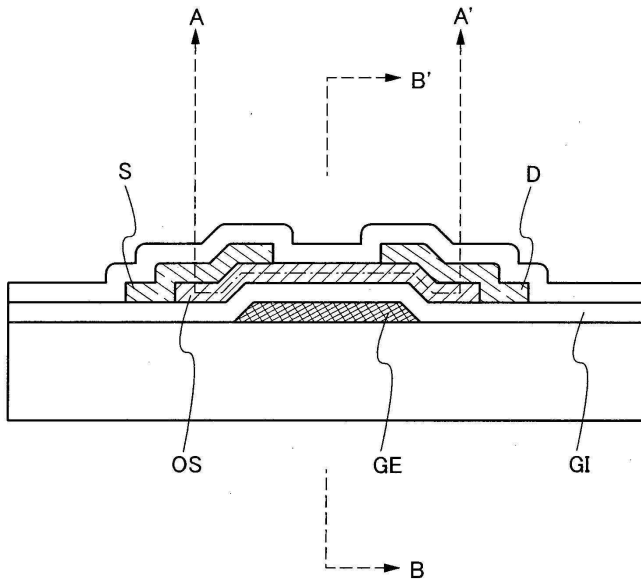
도면11



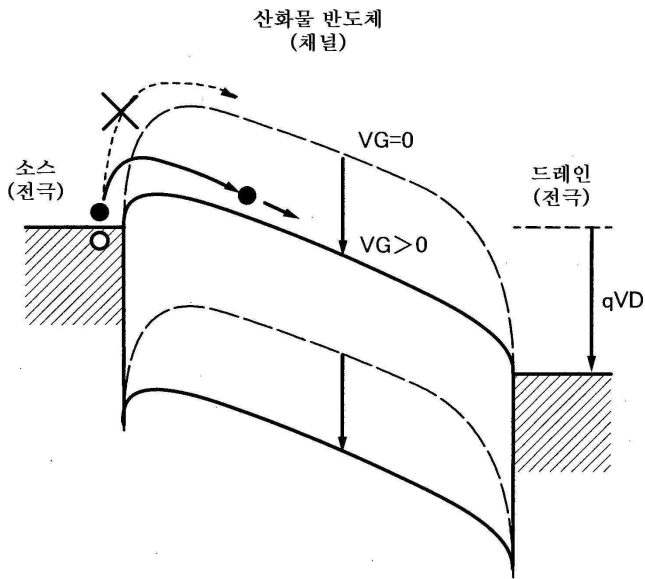
도면12



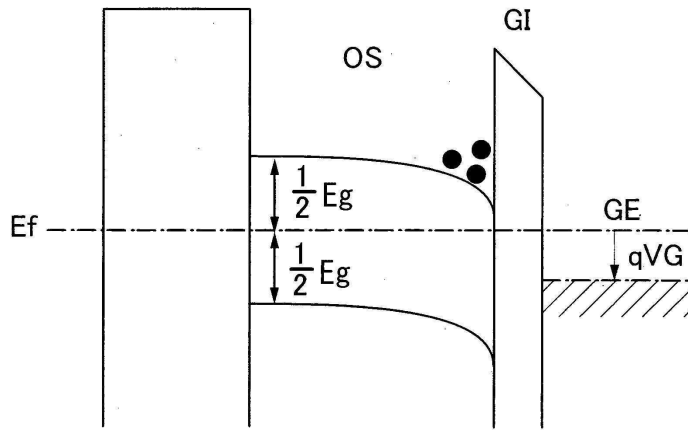
도면13



도면14

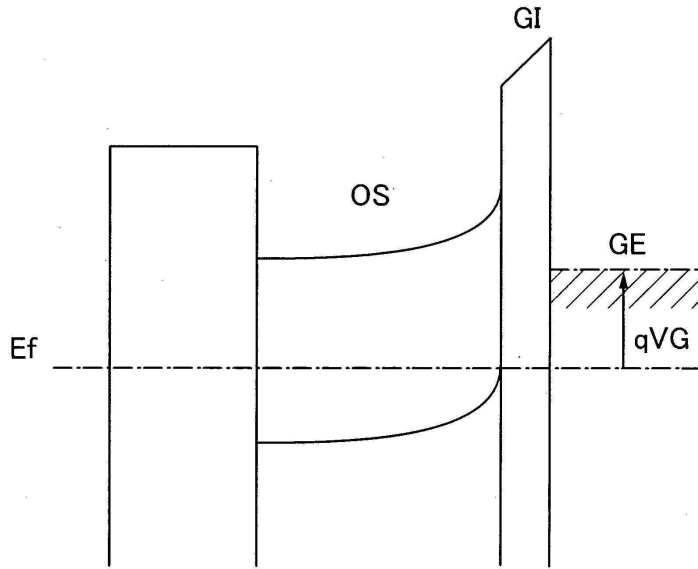


도면15a



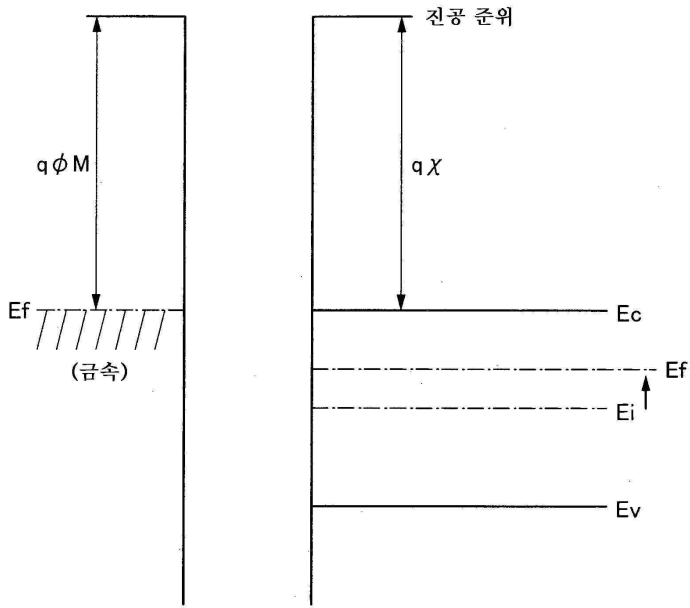
단면 B-B'를 따르는 에너지 밴드도 ($V_G > 0$)

도면15b

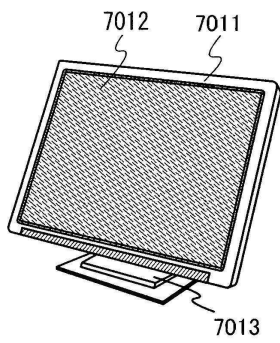


단면 B-B'를 따르는 에너지 밴드도 ($V_G < 0$)

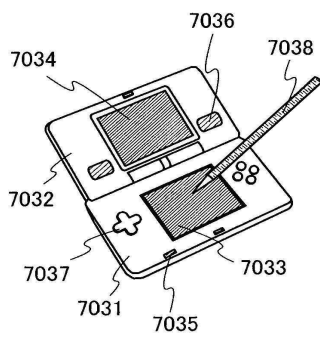
도면16



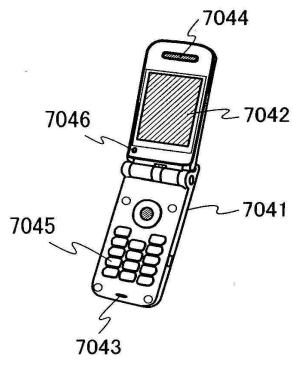
도면17a



도면17b



도면17c



도면17d

