



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0032071
(43) 공개일자 2011년03월30일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2009-0089387

(22) 출원일자 2009년09월22일

심사청구일자 2009년09월22일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

안호명

서울특별시 송파구 풍납동 277-5번지 202호

(74) 대리인

전종일

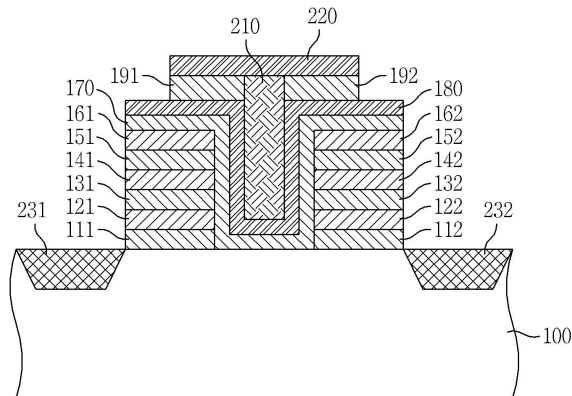
전체 청구항 수 : 총 7 항

(54) 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자 및 그의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 멀티 평선 4 비트/1셀 비휘발성 퓨전 메모리 소자는 반도체 기판, 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 제 1 전하 포획 영역과 제 2 전하 포획 영역, 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 제 3 전하 포획 영역과 제 4 전하 포획 영역, 제 5 터널링 옥사이드와 제 6 터널링 옥사이드, 제 5 전하 포획 영역과 제 6 전하 포획 영역, 플로팅 옥사이드, 제 1 게이트, 제 1 절연 옥사이드와 제 2 절연 옥사이드, 저항 변화 영역, 제 2 게이트 및 소오스와 드레인을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기관;

상기 반도체 기관 상에 형성되며 서로 이격되어 형성된 제 1 터널링 옥사이드와 제 2 터널링 옥사이드;

상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드의 상면 각각에 형성된 제 1 전하 포획 영역과 제 2 전하 포획 영역;

상기 제 1 전하 포획 영역과 상기 제 2 전하 포획 영역의 상면 각각에 형성된 제 3 터널링 옥사이드와 제 4 터널링 옥사이드;

상기 제 3 터널링 옥사이드와 상기 제 4 터널링 옥사이드의 상면 각각에 형성된 제 3 전하 포획 영역과 제 4 전하 포획 영역;

상기 제 3 전하 포획 영역과 상기 제 4 전하 포획 영역의 상면 각각에 형성된 제 5 터널링 옥사이드와 제 6 터널링 옥사이드;

상기 제 5 터널링 옥사이드와 상기 제 6 터널링 옥사이드의 상면 각각에 형성된 제 5 전하 포획 영역과 제 6 전하 포획 영역;

상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기관의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 제 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성되며, 중심에 단면이 U 형상으로 형성된 블로킹 옥사이드;

상기 블로킹 옥사이드의 상면에 형성되며 중심에 단면이 U 형상으로 형성된 제 1 게이트;

상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격되어 형성된 제 1 절연 옥사이드와 제 2 절연 옥사이드;

상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 형성된 저항 변화 영역;

상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥사이드의 상면에 형성된 제 2 게이트; 및

상기 반도체 기관 내에 서로 분리되어 형성된 소오스와 드레인을 포함하는 멀티 펄스 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 저항 변화 영역은 페로브스카이트계 산화물로 형성된 것을 특징으로 하는 멀티 펄스 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 저항 변화 영역은 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것을 특징으로 하는 멀티 펄스 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 저항 변화 영역은 MgO , TiO_2 , NiO , ZrO_2 , HfO_2 또는 CeO_2 로 형성된 것을 특징으로 하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 저항 변화 영역은 상변화물질로 형성된 것을 특징으로 하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 6

제 5 항에 있어서,

상기 저항 변화 영역은 $GeTe$ 로 형성된 것을 특징으로 하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자.

청구항 7

반도체 기판 상에 서로 이격되게 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 제 1 전하 포획 영역과 제 2 전하 포획 영역, 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 제 3 전하 포획 영역과 제 4 전하 포획 영역, 제 5 터널링 옥사이드와 제 6 터널링 옥사이드 및 제 5 전하 포획 영역과 제 6 전하 포획 영역을 형성하는 단계;

상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기판의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 제 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성하며, 중심에 단면이 U 형상인 블로킹 옥사이드를 형성하는 단계;

상기 블로킹 옥사이드의 상면에 형성하며, 중심에 단면이 U 형상인 제 1 게이트를 형성하는 단계;

상기 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계;

상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격하여 제 1 절연 옥사이드와 제 2 절연 옥사이드를 형성하는 단계;

상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 저항 변화 영역을 형성하는 단계; 및

상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥사이드의 상면에 제 2 게이트를 형성하는 단계를 포함하는 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것으로서, 보다 상세하게는 전하 포획 영역을 3 단계로 형성하고, 저항 변화 영역을 형성함으로써, 하나의 셀에서 4 비트의 저장 능력을 가지면서도 고속 저장 동작이 가능한 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 언제 어디서나 하고 싶은 일을 할 수 있는 유비쿼터스(Ubiquitous) 시대가 도래함에 따라, 다양한 기능을 동시에 구현할 수 있는 디지털 정보 기기에 대한 수요가 폭발적으로 증가되고 있다.

[0003] 이러한 디지털 정보 기기에 이용되는 메모리 또한 다양한 기능을 구현하도록 우수한 저장 능력과 고속 저장 동작이 요구되고 있다.

[0004] 그런데, 종래의 메모리는 우수한 저장 능력을 가지는 경우에는 저장 동작 속도가 느리거나, 고속 저장 동작이 가능한 경우에는 저장 능력이 저하되는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서 본 발명은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 이루고자 하는 기술적 과제는, 전하 포획 영역을 3 단계로 형성하고, 저항 변화 영역을 형성함으로써, 하나의 셀에서 4 비트의 저장 능력을 가지면서도 고속 저장 동작이 가능한 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자를 제공하는 것이다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 상술한 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0008] 상기와 같은 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 반도체 기관, 상기 반도체 기관 상에 형성되며 서로 이격되어 형성된 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드의 상면 각각에 형성된 제 1 전하 포획 영역과 제 2 전하 포획 영역, 상기 제 1 전하 포획 영역과 상기 제 2 전하 포획 영역의 상면 각각에 형성된 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 상기 제 3 터널링 옥사이드와 상기 제 4 터널링 옥사이드의 상면 각각에 형성된 제 3 전하 포획 영역과 제 4 전하 포획 영역, 상기 제 3 전하 포획 영역과 상기 제 4 전하 포획 영역의 상면 각각에 형성된 제 5 터널링 옥사이드와 제 6 터널링 옥사이드, 상기 제 5 터널링 옥사이드와 상기 제 6 터널링 옥사이드의 상면 각각에 형성된 제 5 전하 포획 영역과 제 6 전하 포획 영역, 상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기관의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 제 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성되며, 중심에 단면이 U 형상으로 형성된 플로팅 옥사이드, 상기 플로팅 옥사이드의 상면에 형성되며 중심에 단면이 U 형상으로 형성된 제 1 게이트, 상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격되어 형성된 제 1 절연 옥사이드와 제 2 절연 옥사이드, 상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 형성된 저항 변화 영역, 상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥사이드의 상면에 형성된 제 2 게이트 및 상기 반도체 기관 내에 서로 분리되어 형성된 소오스와 드레인을 포함한다.

- [0009] 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 페로브스카이트계 산화물로 형성된 것이 바람직하다.
- [0010] 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것이 바람직하다.
- [0011] 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 MgO , TiO_2 , NiO , ZrO_2 , HfO_2 또는 CeO_2 로 형성된 것이 바람직하다.
- [0012] 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 상변화물질로 형성된 것이 바람직하다.
- [0013] 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 상기 저항 변화 영역이 GeSTe 로 형성된 것이 바람직하다.
- [0014] 상기와 같은 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법은 반도체 기판 상에 서로 이격되게 제 1 터널링 옥사이드와 제 2 터널링 옥사이드, 제 1 전하 포획 영역과 제 2 전하 포획 영역, 제 3 터널링 옥사이드와 제 4 터널링 옥사이드, 제 3 전하 포획 영역과 제 4 전하 포획 영역, 제 5 터널링 옥사이드와 제 6 터널링 옥사이드 및 제 5 전하 포획 영역과 제 6 전하 포획 영역을 형성하는 단계, 상기 제 5 전하 포획 영역의 상면과 측면, 상기 제 5 터널링 옥사이드의 측면, 상기 제 3 전하 포획 영역의 측면, 상기 제 3 터널링 옥사이드의 측면, 상기 제 1 전하 포획 영역의 측면, 상기 제 1 터널링 옥사이드의 측면, 상기 제 1 터널링 옥사이드와 상기 제 2 터널링 옥사이드 사이의 반도체 기판의 상면, 상기 제 2 터널링 옥사이드의 측면, 상기 제 2 전하 포획 영역의 측면, 상기 제 4 터널링 옥사이드의 측면, 상기 제 4 전하 포획 영역의 측면, 상기 제 6 터널링 옥사이드의 측면 및 상기 제 6 전하 포획 영역의 측면과 상면에 형성하며, 중심에 단면이 U 형상인 블로킹 옥사이드를 형성하는 단계, 상기 블로킹 옥사이드의 상면에 형성하며, 중심에 단면이 U 형상인 제 1 게이트를 형성하는 단계, 상기 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계, 상기 U 형상이 형성되지 않은 상기 제 1 게이트의 상면에 서로 이격하여 제 1 절연 옥사이드와 제 2 절연 옥사이드를 형성하는 단계, 상기 제 1 게이트의 U 형상 사이 및 상기 제 1 절연 옥사이드와 상기 제 2 절연 옥사이드 사이에 저항 변화 영역을 형성하는 단계; 및
- [0015] 상기 저항 변화 영역의 상면, 제 1 절연 옥사이드의 상면 및 상기 제 2 절연 옥사이드의 상면에 제 2 게이트를 형성하는 단계를 포함한다.

효 과

- [0016] 본 발명의 실시예들에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 전하 포획 영역을 3 단계로 형성하고, 저항 변화 영역을 형성함으로써, 3 단계의 전하 포획 영역을 통해서 하나의 셀에서 4 비트를 저장할 수 있으면서도 저항 변화 영역을 통해서 고속 저장 동작이 가능하다.
- [0017] 본 발명의 실시예들에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법은 상술한 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자를 용이하게 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하 첨부된 도면을 참조로 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 단면도이다.
- [0020] 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자는 도 1에 도시된 것처럼, 반도체 기판(100), 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112), 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122), 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132), 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142), 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152), 제 5 전하 포획 영역(161)과 제 6 전하 포획 영역(162), 블로킹 옥사이드(170), 제 1 게이트(180), 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192), 저항 변화 영역(210), 제 2 게이트(220) 및 소오스(231)와 드레인(232)을 포함하여 구성될 수 있

다.

- [0021] 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112)는 반도체 기관(100) 상에 형성되며 서로 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.
- [0022] 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122)은 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112)의 상면 각각에 이격되어 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [0023] 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132)는 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122)의 상면 각각에 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.
- [0024] 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142)은 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132)의 상면 각각에 이격되어 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [0025] 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152)는 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142)의 상면 각각에 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.
- [0026] 제 5 전하 포획 영역(161)과 제 6 전하 포획 영역(162)은 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152)의 상면 각각에 이격되어 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [0027] 한편, 블로킹 옥사이드(170)는 제 5 전하 포획 영역(161)의 상면과 측면, 상기 제 5 터널링 옥사이드(151)의 측면, 상기 제 3 전하 포획 영역(141)의 측면, 상기 제 3 터널링 옥사이드(131)의 측면, 상기 제 1 전하 포획 영역(121)의 측면, 상기 제 1 터널링 옥사이드(111)의 측면, 상기 제 1 터널링 옥사이드(111)와 상기 제 2 터널링 옥사이드(112) 사이의 반도체 기관(100)의 상면, 상기 제 2 터널링 옥사이드(112)의 측면, 상기 제 2 전하 포획 영역(122)의 측면, 상기 제 4 터널링 옥사이드(132)의 측면, 상기 제 4 전하 포획 영역(142)의 측면, 상기 제 6 터널링 옥사이드(152)의 측면 및 상기 제 6 전하 포획 영역(162)의 측면과 상면에 형성되며, 중심에 단면이 U 형상으로 형성되고, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.
- [0028] 또한, 제 1 게이트(180)는 블로킹 옥사이드(170)의 상면에 형성되며 중심에 단면이 U 형상으로 형성되고, 구체적으로 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.
- [0029] 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192)는 U 형상이 형성되지 않은 제 1 게이트(180)의 상면에 서로 이격되어 형성되며, 구체적으로 실리콘산화막(SiO_2)으로 형성될 수 있다.
- [0030] 한편, 저항 변화 영역(210)은 제 1 게이트(180)의 U 형상 사이 및 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192) 사이에 형성된다.
- [0031] 여기에서, 저항 변화 영역(210)은 페로브스카이트계 산화물로 형성될 수 있으며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.
- [0032] 한편, 저항 변화 영역(210)은 MgO , TiO_2 , NiO , ZrO_2 , HfO_2 또는 CeO_2 로 형성될 수 있으며, 다른 방법으로는 상 변화 물질로도 형성될 수 있으며, 구체적으로 GeSTe로 형성될 수 있다.
- [0033] 제 2 게이트(220)는 저항 변화 영역(210)의 상면, 제 1 절연 옥사이드(191)의 상면 및 제 2 절연 옥사이드(192)의 상면에 형성되며, 구체적으로 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.
- [0034] 소오스(231)와 드레인(232)은 반도체 기관(100) 내에 서로 분리되어 이온 임플란트 공정으로 형성된다.
- [0035] 도 2a 내지 도 2g를 참조하여, 본 발명의 일 실시예에 따른 멀티 평선4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 방법에 대해서 설명한다.
- [0036] 먼저 도 2a에 도시된 것처럼, 반도체 기관(100) 상에 서로 이격되게 제 1 터널링 옥사이드(111)와 제 2 터널링 옥사이드(112), 제 1 전하 포획 영역(121)과 제 2 전하 포획 영역(122), 제 3 터널링 옥사이드(131)와 제 4 터널링 옥사이드(132), 제 3 전하 포획 영역(141)과 제 4 전하 포획 영역(142), 제 5 터널링 옥사이드(151)와 제 6 터널링 옥사이드(152) 및 제 5 전하 포획 영역(161)과 제 6 전하 포획 영역(162)을 형성한다.

- [0037] 여기에서, 제 1 터널링 옥사이드 내지 제 6 터널링 옥사이드(111, 112, 131, 132, 151, 152)는 실리콘산화막(SiO_2)으로 형성될 수 있으며, 제 1 전하 포획 영역 내지 제 6 전하 포획 영역(121, 122, 141, 142, 161, 162)은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [0038] 다음으로 도 2b에 도시된 것처럼, 제 5 전하 포획 영역(161)의 상면과 측면, 제 5 터널링 옥사이드(151)의 측면, 제 3 전하 포획 영역(141)의 측면, 제 3 터널링 옥사이드(131)의 측면, 상기 제 1 전하 포획 영역(121)의 측면, 상기 제 1 터널링 옥사이드(111)의 측면, 상기 제 1 터널링 옥사이드(111)와 상기 제 2 터널링 옥사이드(112) 사이의 반도체 기관(100)의 상면, 상기 제 2 터널링 옥사이드(112)의 측면, 상기 제 2 전하 포획 영역(122)의 측면, 상기 제 4 터널링 옥사이드(132)의 측면, 상기 제 4 전하 포획 영역(142)의 측면, 상기 제 6 터널링 옥사이드(152)의 측면 및 상기 제 6 전하 포획 영역(162)의 측면과 상면에 형성하며, 중심에 단면이 U 형상인 블로킹 옥사이드(170)를 형성하며, 구체적으로 블로킹 옥사이드(170)는 실리콘산화막(SiO_2)으로 형성될 수 있다.
- [0039] 다음으로, 도 2c에 도시된 것처럼, 블로킹 옥사이드(170)의 상면에 형성하며, 중심에 단면이 U 형상인 제 1 게이트(180)를 형성하며, 구체적으로 제 1 게이트(180)는 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.
- [0040] 다음으로, 도 2d에 도시된 것처럼, 반도체 기관(100) 내에 서로 분리하여 이온 임플란트 공정으로 소오스(231)와 드레인(232)을 형성한다.
- [0041] 다음으로, 도 2e에 도시된 것처럼, U 형상이 형성되지 않은 상기 제 1 게이트(180)의 상면에 서로 이격하여 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192)를 형성하며, 구체적으로 제 1 절연 옥사이드(191)와 제 2 절연 옥사이드(192)는 실리콘산화막(SiO_2)으로 형성될 수 있다.
- [0042] 다음으로, 도 2f에 도시된 것처럼, 제 1 게이트(180)의 U 형상 사이 및 상기 제 1 절연 옥사이드(191)와 상기 제 2 절연 옥사이드(192) 사이에 저항 변화 영역(210)을 형성한다.
- [0043] 여기에서, 저항 변화 영역(210)은 페로브스카이트계 산화물로 형성될 수 있으며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.
- [0044] 한편, 저항 변화 영역(210)은 MgO , TiO_2 , NiO , ZrO_2 , HfO_2 또는 CeO_2 로 형성될 수 있으며, 다른 방법으로는 상변화 물질로도 형성될 수 있으며, 구체적으로 GeSTe로 형성될 수 있다.
- [0045] 제 2 게이트(220)는 저항 변화 영역(210)의 상면, 제 1 절연 옥사이드(191)의 상면 및 제 2 절연 옥사이드(192)의 상면에 형성되며, 구체적으로 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.
- [0046] 다음으로, 도 2g에 도시된 것처럼, 저항 변화 영역(210)의 상면, 제 1 절연 옥사이드(191)의 상면 및 상기 제 2 절연 옥사이드(192)의 상면에 제 2 게이트(220)를 형성하며, 구체적으로 제 2 게이트(220)는 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.
- [0047] 이상, 본 발명을 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다.
- [0048] 오히려, 첨부된 청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다.
- [0049] 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

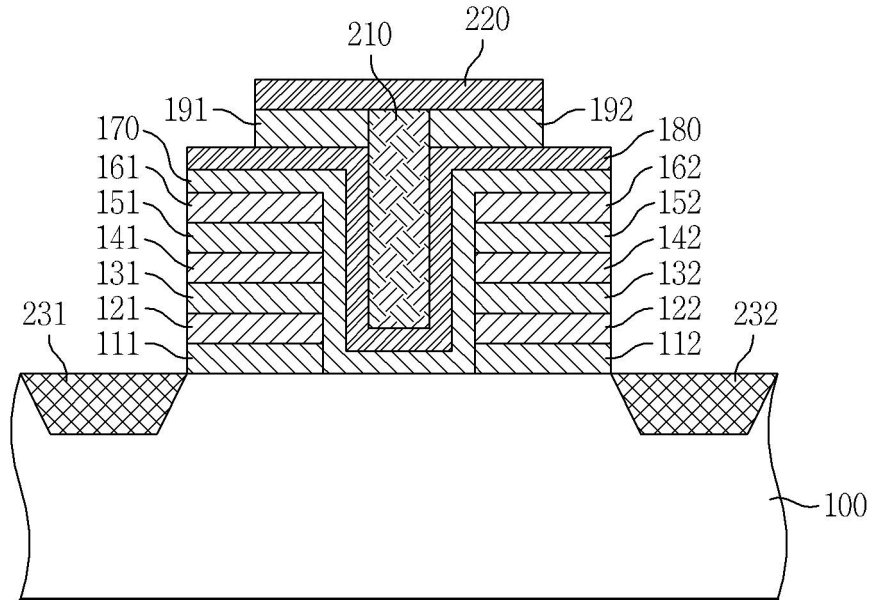
도면의 간단한 설명

- [0050] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 단면도.

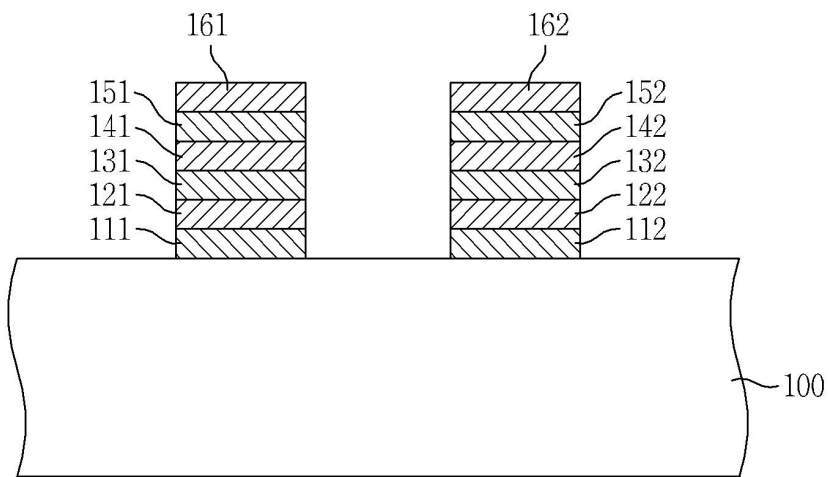
[0051] 도 2a 내지 도 2g는 도 1의 멀티 평선 4 비트/1 셀 비휘발성 퓨전 메모리 소자의 제조 공정 단면도들.

도면

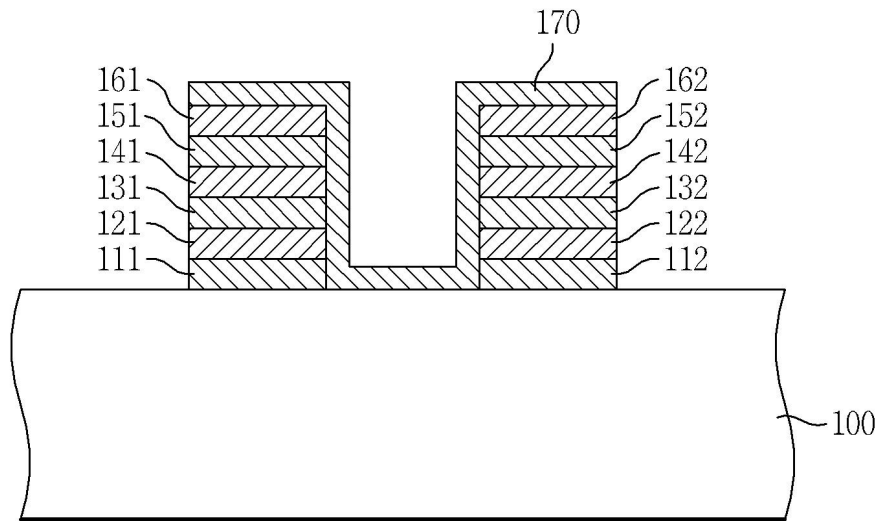
도면1



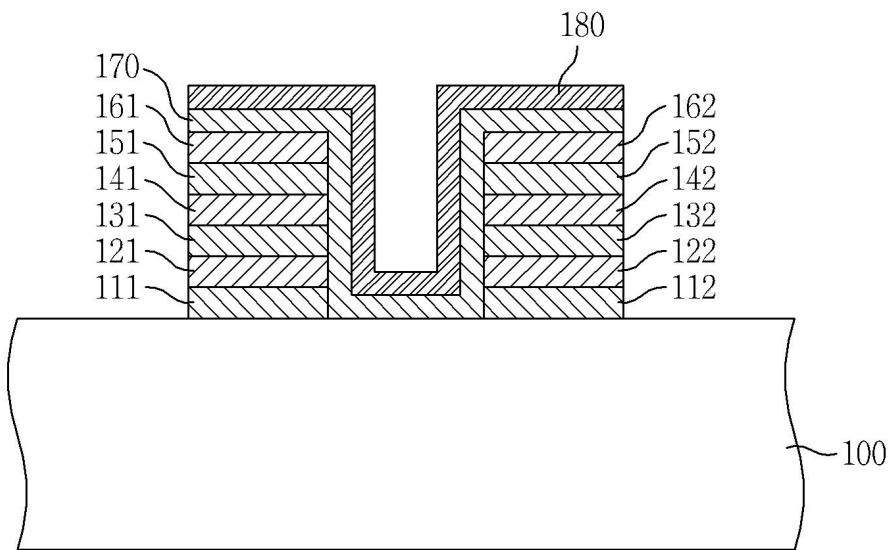
도면2a



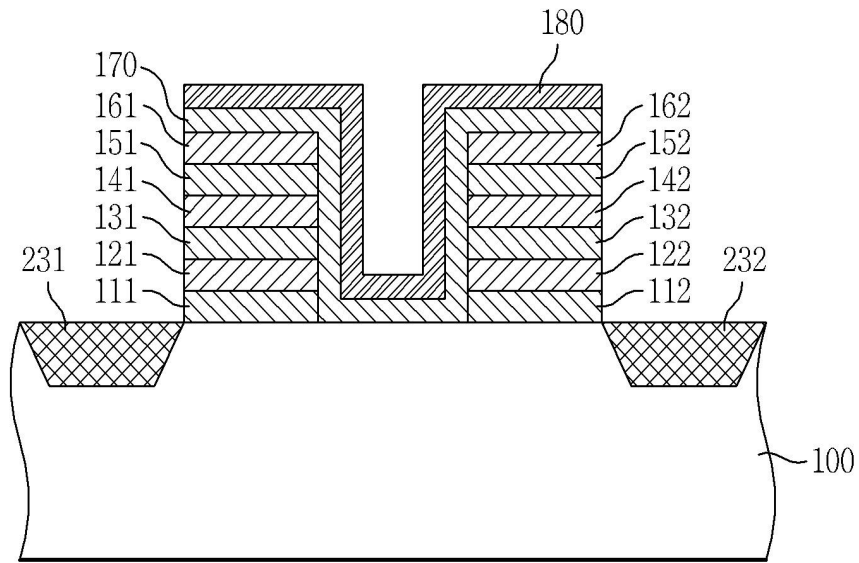
도면2b



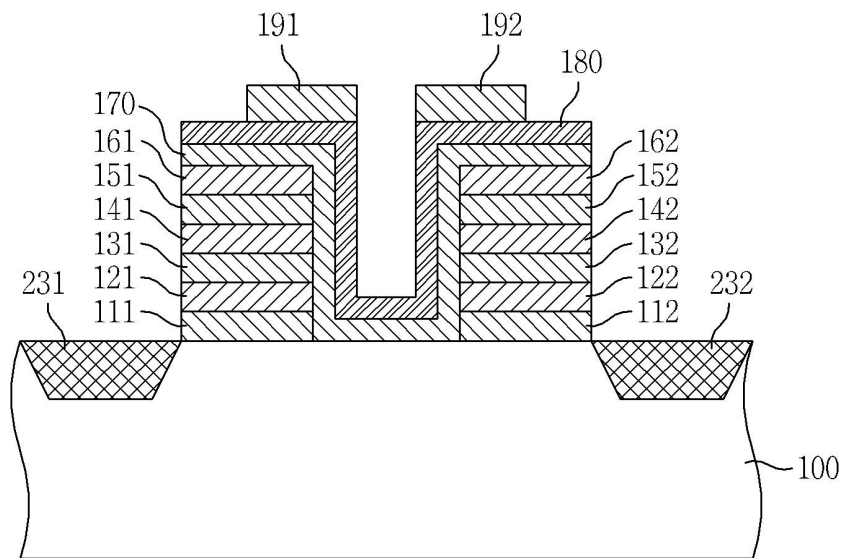
도면2c



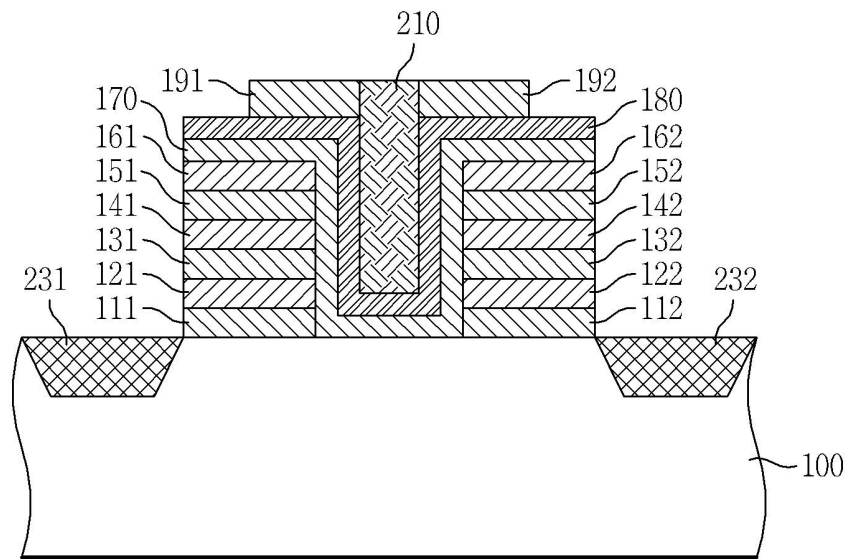
도면2d



도면2e



도면2f



도면2g

