

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 4 月 19 日 (2007.4.19)

【公開番号】特開 2004-297048 (P2004-297048A)

【公開日】平成 16 年 10 月 21 日 (2004.10.21)

【年通号数】公開・登録公報 2004-041

【出願番号】特願 2004-63307 (P2004-63307)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/786 (2006.01)

G 1 1 C 11/404 (2006.01)

G 1 1 C 11/56 (2006.01)

【F I】

H 0 1 L 27/10 3 2 1

H 0 1 L 27/10 4 6 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 2 B

G 1 1 C 11/34 3 5 2 C

G 1 1 C 11/34 3 8 1 A

H 0 1 L 29/78 6 1 7 N

【手続補正書】

【提出日】平成 19 年 3 月 2 日 (2007.3.2)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】集積回路、該集積回路を用いた半導体表示装置及び電子機器

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

D R A M を有し、

前記 D R A M には、薄膜トランジスタを備えたメモリセルが複数設けられており、

前記薄膜トランジスタは、活性層と、前記活性層が有するチャネル形成領域を間に挟んで重なり合っている第 1 の電極及び第 2 の電極とを有しており、

データに従って前記薄膜トランジスタのドレイン電圧を制御することで、前記チャネル形成領域における正孔の蓄積の有無を選択し、

前記正孔の蓄積の有無を把握することで前記データを読み出すことを特徴とする集積回路。

【請求項 2】

請求項 1 において、前記正孔の蓄積の有無は、前記薄膜トランジスタのドレイン電流または前記薄膜トランジスタの閾値電圧を用いて把握することを特徴とする集積回路。

【請求項 3】

D R A Mを有し、

前記 D R A Mには、薄膜トランジスタを備えたメモリセルが複数設けられており、

前記薄膜トランジスタは、活性層と、前記活性層が有するチャンネル形成領域を間に挟んで重なり合っている第 1 の電極及び第 2 の電極とを有しており、

前記チャンネル形成領域に蓄積された正孔の量によって情報を格納し、前記正孔はインパクトイオン化によって前記チャンネル形成領域に蓄積することを特徴とする集積回路。

【請求項 4】

請求項 3 において、前記メモリセルに格納された情報は、前記薄膜トランジスタのドレイン電流または閾値電圧を用いて読み出すことを特徴とする集積回路。

【請求項 5】

D R A Mを有し、

前記 D R A Mには、薄膜トランジスタを備えたメモリセルが複数設けられており、

前記薄膜トランジスタは、第 1 の電極と、第 2 の電極と、活性層と、第 1 の絶縁膜と、第 2 の絶縁膜とを有し、

前記活性層は、チャンネル形成領域と、前記チャンネル形成領域を間に挟んで存在するソース領域及びドレイン領域とを有し、

前記第 1 の電極は前記第 1 の絶縁膜を間に挟んで前記活性層と重なっており、

前記第 2 の電極は前記第 2 の絶縁膜を間に挟んで前記活性層と重なっており、

前記第 1 の電極と前記第 2 の電極は、前記活性層を間に挟んで重なっており、

前記チャンネル形成領域は、前記第 1 の電極及び前記第 2 の電極と重なる領域と、前記第 1 の電極と前記第 2 の電極のうち、前記第 2 の電極のみと重なる領域とを有しており、

前記第 2 の電極のみと重なる領域は、前記第 1 の電極及び前記第 2 の電極と重なる領域よりも、前記ドレイン領域側に存在することを特徴とする集積回路。

【請求項 6】

第 1 の電極、第 2 の電極及び活性層を有する薄膜トランジスタを各メモリセルに備えた D R A Mと、前記薄膜トランジスタのドレイン電圧を制御する第 1 の手段と、前記第 1 の電極の電位を制御する第 2 の手段と、前記活性層のチャンネル形成領域における正孔の蓄積量を把握する第 3 の手段とを有し、

前記第 1 の電極及び前記第 2 の電極は、前記活性層を間に挟んで重なり合っており、

前記第 1 の手段及び前記第 2 の手段を用いて前記電荷の蓄積量を制御することで、データを書き込み、前記第 3 の手段によって前記正孔の蓄積量を把握することで前記データを読み出すことを特徴とする集積回路。

【請求項 7】

第 1 の電極、第 2 の電極及び活性層を有する薄膜トランジスタを各メモリセルに備えた D R A Mと、前記薄膜トランジスタのドレイン電圧を制御する第 1 の手段と、前記第 1 の電極の電位を制御する第 2 の手段と、前記活性層のチャンネル形成領域における正孔の蓄積量を把握する第 3 の手段とを有し、

前記第 1 の電極及び前記第 2 の電極は、前記活性層を間に挟んで重なり合っており、

前記第 1 の手段及び前記第 2 の手段を用いて前記電荷の蓄積量を制御することで、3 値以上のデータを書き込み、前記第 3 の手段によって前記正孔の蓄積量を把握することで前記データを読み出すことを特徴とする集積回路。

【請求項 8】

請求項 6 または請求項 7 において、

前記正孔の蓄積量は、前記薄膜トランジスタのドレイン電流、前記薄膜トランジスタの閾値電圧または前記活性層に含まれるソース領域とドレイン領域間の電圧を用いて把握することを特徴とする集積回路。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーに記載の前記集積回路を用いることを特徴とする半導体表示装置。

【請求項 10】

請求項 1 乃至請求項 8 のいずれかーに記載の前記集積回路を用いることを特徴とする電子機器。