



(12) 发明专利申请

(10) 申请公布号 CN 104464600 A

(43) 申请公布日 2015. 03. 25

(21) 申请号 201410828440. 6

(22) 申请日 2014. 12. 26

(71) 申请人 合肥鑫晟光电科技有限公司

地址 230012 安徽省合肥市新站区工业园内

申请人 京东方科技集团股份有限公司

(72) 发明人 杨通 马睿 王国磊

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 王波波

(51) Int. Cl.

G09G 3/20(2006. 01)

G11C 19/28(2006. 01)

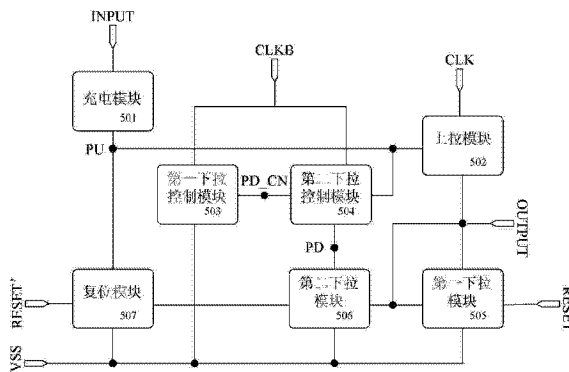
权利要求书2页 说明书7页 附图6页

(54) 发明名称

移位寄存器单元及其驱动方法、移位寄存器
电路以及显示装置

(57) 摘要

本发明提供了一种移位寄存器单元及其驱动方法、一种移位寄存器电路、以及一种显示装置。该移位寄存器单元包括：充电模块，一端与输入端连接，另一端与上拉节点连接，产生上拉信号；上拉模块，一端与上拉节点连接，另一端与第一时钟信号端连接，对输出端充电；第一下拉控制模块，一端与第二时钟信号端连接，另一端与低电压端连接，产生下拉控制信号；第二下拉控制模块，一端与下拉控制节点连接，另一端与上拉节点连接，产生下拉信号；第一下拉模块，一端与第一复位端连接，另一端与输出端连接，对输出端放电；第二下拉模块，一端与下拉节点连接，另一端与输出端连接，对输出端放电；以及复位模块，一端与第二复位端连接，另一端与上拉节点连接，对上拉节点复位。



1. 一种移位寄存器单元,包括:

充电模块,一端与所述移位寄存器单元的输入端连接,另一端与上拉节点连接,用于接收输入信号,并在输入信号的控制下将上拉节点的电位拉高以产生上拉信号;

上拉模块,一端与上拉节点连接,另一端与所述移位寄存器单元的第一时钟信号端连接,用于接收所述上拉信号和第一时钟信号,并且在上拉信号和第一时钟信号的控制下在上拉阶段对所述移位寄存器单元的输出端进行充电;

第一下拉控制模块,一端与所述移位寄存器单元的第二时钟信号端连接,另一端与所述移位寄存器单元的低电压端连接,用于接收第二时钟信号,并在第二时钟信号的控制下在下拉控制节点处产生下拉控制信号;

第二下拉控制模块,一端与下拉控制节点连接,另一端与上拉节点连接,用于接收下拉控制信号,并在下拉控制信号的控制下,在下拉节点处产生下拉信号;

第一下拉模块,一端与所述移位寄存器单元的第一复位端连接,另一端与所述移位寄存器单元的输出端连接,用于接收第一复位信号并在第一下拉阶段在第一复位信号的控制下对所述移位寄存器单元的输出端进行放电;

第二下拉模块,一端与下拉节点连接,另一端与所述移位寄存器单元的输出端连接,用于接收下拉信号,并在下拉信号的控制下在第二下拉阶段对所述移位寄存器单元的输出端进行放电;以及

复位模块,一端与所述移位寄存器单元的第二复位端连接,另一端与所述上拉节点连接,用于接收第二复位信号,并在第二复位信号的控制下对所述上拉节点进行复位;

其中,所述上拉模块在所述第一下拉阶段对所述移位寄存器单元的输出端进行放电。

2. 根据权利要求1所述的移位寄存器单元,其中,所述充电模块包括第一晶体管,所述第一晶体管的栅极和第一极与所述输入端连接,第二极与所述上拉节点连接。

3. 根据权利要求1所述的移位寄存器单元,其中,所述复位模块包括第二晶体管,所述第二晶体管的栅极与所述第二复位端连接,第一极与所述上拉节点连接,第二极与低电压端连接。

4. 根据权利要求1所述的移位寄存器单元,其中,所述上拉模块包括第三晶体管,所述第三晶体管的栅极与所述上拉节点连接,第一极与所述第一时钟信号端连接,第二极与所述输出端连接。

5. 根据权利要求1所述的移位寄存器单元,其中,所述第一下拉模块包括第四晶体管,所述第四晶体管的栅极与所述第一复位端连接,第一极与所述输出端连接,第二极与所述低电压端连接。

6. 根据权利要求1所述的移位寄存器单元,其中,所述第二下拉控制模块包括第五晶体管和第六晶体管,所述第五晶体管的栅极与所述下拉控制节点连接,第一极与所述第二时钟信号端连接,第二极与所述下拉节点连接;所述第六晶体管的栅极与所述第三晶体管的栅极连接,第一极与所述下拉节点连接,第二极与所述低电压端连接。

7. 根据权利要求1所述的移位寄存器单元,其中,所述第一下拉控制模块包括第七晶体管和第八晶体管,所述第七晶体管的栅极与所述第三晶体管的栅极连接,第一极与所述下拉控制节点连接,第二极与所述低电压端连接;所述第八晶体管的栅极和第一极与所述第二时钟信号连接,第二极与所述下拉控制节点连接。

8. 根据权利要求 1 所述的移位寄存器单元,其中,所述第二下拉模块包括第九晶体管、第十晶体管和第十一晶体管,所述第九晶体管的栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极与所述低电压端连接;所述第十晶体管的栅极与所述下拉节点连接,第一极与所述输出端连接,第二极与所述低电压端连接;所述第十一晶体管的栅极与所述第二时钟信号连接,第一极与所述输出端连接,第二极与所述低电压端连接。

9. 根据权利要求 1 所述的移位寄存器单元,其中,所述上拉模块和所述第一下拉模块在第一下拉阶段同时对所述移位寄存器单元的输出端放电。

10. 根据权利要求 2 至 8 中任一项所述的移位寄存器单元,其中,所述第三晶体管和所述第四晶体管的尺寸大于其他晶体管的尺寸。

11. 根据权利要求 1 所述的移位寄存器单元,其中,所述第二复位信号相对于所述第一复位信号延迟一条栅极线的实际充电时间的 1/2。

12. 根据权利要求 1 所述的移位寄存器单元,其中所述第一时钟信号的相位与第二时钟信号的相位相反。

13. 一种驱动移位寄存器单元的方法,包括:

充电阶段,由充电模块将上拉节点的电平拉高,以产生上拉信号;

上拉阶段,在上拉信号的控制下,由上拉模块对所述移位寄存器单元的输出端进行充电;

第一下拉阶段,由第一下拉模块对所述移位寄存器单元的输出端进行放电;以及

第二下拉阶段,由第二下拉模块对所述移位寄存器单元的输出端进行放电,

其中,在所述第一下拉阶段所述上拉模块与所述第一下拉模块同时对所述移位寄存器单元的输出端进行放电。

14. 一种移位寄存器电路,包括 m 个级联的如权利要求 1-12 中任一项所述的移位寄存器单元,每个移位寄存器单元的输出端与对应的栅极线连接,除了前两个移位寄存器单元和最后两个移位寄存器单元以外,第 n 个移位寄存器单元的输出端还对第 $n-2$ 个移位寄存器单元进行复位并作为第 $n+2$ 个移位寄存器单元的输入,

其中每个移位寄存器单元包含两个复位端,第 n 个移位寄存器单元的一个复位端与第 $n+2$ 个移位寄存器单元的输出端连接,另一复位端与 $n+3$ 个移位寄存器单元的输出端连接,并且

n 大于等于 3 并小于等于 $m-3$ 。

15. 一种显示装置,包括权利要求 14 所述的移位寄存器电路。

移位寄存器单元及其驱动方法、移位寄存器电路以及显示装置

技术领域

[0001] 本发明涉及显示技术领域,更具体地,涉及移位寄存器单元及其驱动方法、移位寄存器电路以及显示装置。

背景技术

[0002] 平板显示器,因其超薄且节能而被大力推广使用。多数平板显示器中要用到移位寄存器,通过GOA(Gate Drive on Array)方法实现的移位寄存器,即可以省去栅极驱动IC,还能减少一道制作工序,因此不但降低了平板显示器的制造成本,还在一定程度上缩短了制造周期。

[0003] 因此近几年来GOA技术被广泛应用于平板显示器制造。GOA自身的功耗相对普通栅极驱动IC较大,为了降低GOA单元本身的功耗往往采用4个或更多的时钟(CLK)信号(时钟信号数为2的倍数),同时降低时钟信号的频率,从而达到降低功耗的目的。采用该设计每个时钟周期中高电平时间为扫描一行时间的 n 倍(n 为大于等于2的整数),两时序相邻的时钟信号间有交叠部分。如图1所示,每一栅极行的实际充电时间为 $2H$ 所标识的阶段。基于该交叠部分,可以对每一栅极行进行提前开启,待每行真正写入像素电压的时候,该栅极行才完全开启,从而减小了栅极行本身电阻、电容负载所引起的栅极信号上升沿时间(T_r)对充电时间的影响。考虑到栅极行自身的寄生电容和电阻产生的信号延迟,为保证显示屏实际工作中每个像素写入的电压的正确性,对每一个像素而言,往往需要在栅极信号关闭后数据信号才关闭。如图2所示,栅极信号(V_{gate})与数据信号(V_{data})关闭的时间差主要取决于栅极行本身电阻、电容负载引起的栅极信号下降沿时间(T_f),即 T_f 越大,像素的有效充电时间(T_{eff})就会越少,如图2,所示 $T_{eff} < 1H$ 。

[0004] 图3示出了一种常用GOA设计方法实现的移位寄存器单元的具体电路图,图4示出了多个图3中的移位寄存器单元的相互连接关系的框图,其中,各个时钟信号的时序如图1所示。在图3中,晶体管M3和M4分别负责对输出端(OUTPUT)进行充电和放电。当晶体管M3的栅极为高电平且时钟信号(CLK)也未高电平时,输出端输出高电平信号;在完成一行栅极扫描之后,CLK变为低电平,复位信号(RESET)变为高电平,此时晶体管M2和M4开启,对晶体管M3的栅极和输出端进行放电。这样晶体管M3和M4分别处于关闭和开启的状态下,因此只有晶体管M4对输出端进行放电。如图4所示,第 n 个寄存器单元的输出除了驱动第 n 行栅极线,还对第 $n-2$ 个寄存器单元进行复位,并作为第 $n+2$ 个寄存器单元的输入。这样,通过传统GOA设计方法实现的寄存器电路,只能减小 T_r ,从而减小 T_r 对像素有效充电时间的影响。

[0005] 对于高分辨率或高刷新频率的产品而言,像素的充电时间本身就很少,因此 T_f 对像素的有效充电时间的影响变得更加明显。

发明内容

[0006] 本发明提供了一种移位寄存器单元及其驱动方法,一种移位寄存器电路、以及一种显示装置,用以解决现有技术中由于栅极驱动信号的下降沿时间(Tf)长而导致像素有效充电时间(Teff)短的问题。

[0007] 本发明的一个方面提供了一种移位寄存器单元,包括:

[0008] 充电模块,一端与所述移位寄存器单元的输入端连接,另一端与上拉节点连接,用于接收输入信号,并在输入信号的控制下将上拉节点的电位拉高以产生上拉信号;

[0009] 上拉模块,一端与上拉节点连接,另一端与所述移位寄存器单元的第一时钟信号端连接,用于接收所述上拉信号和第一时钟信号,并且在上拉信号和第一时钟信号的控制下在上拉阶段对所述移位寄存器单元的输出端进行充电;

[0010] 第一下拉控制模块,一端与所述移位寄存器单元的第二时钟信号端连接,另一端与所述移位寄存器单元的低电压端连接,用于接收第二时钟信号,并在第二时钟信号的控制下在下拉控制节点处产生下拉控制信号;

[0011] 第二下拉控制模块,一端与下拉控制节点连接,另一端与上拉节点连接,用于接收下拉控制信号,并在下拉控制信号的控制下,在下拉节点处产生下拉信号;

[0012] 第一下拉模块,一端与所述移位寄存器单元的第一复位端连接,另一端与所述移位寄存器单元的输出端连接,用于接收第一复位信号并在第一下拉阶段在第一复位信号的控制下对所述移位寄存器单元的输出端进行放电;

[0013] 第二下拉模块,一端与下拉节点连接,另一端与所述移位寄存器的输出端连接,用于接收下拉信号,并在下拉信号的控制下在第二下拉阶段对所述移位寄存器单元的输出端进行放电;以及

[0014] 复位模块,一端与所述移位寄存器单元的第二复位端连接,另一端与所述上拉节点连接,用于接收第二复位信号,并在第二复位信号的控制下对所述上拉节点进行复位;

[0015] 其中,所述上拉模块在所述第一下拉阶段对所述移位寄存器单元的输出端进行放电。

[0016] 优选地,所述充电模块包括第一晶体管,所述第一晶体管的栅极和第一极与所述输入端连接,第二极与所述上拉节点连接。

[0017] 优选地,所述复位模块包括第二晶体管,所述第二晶体管的栅极与所述第二复位端连接,第一极与所述上拉节点连接,第二极与低电压端连接。

[0018] 优选地,所述上拉模块包括第三晶体管,所述第三晶体管的栅极与所述上拉节点连接,第一极与所述第一时钟信号端连接,第二极与所述输出端连接。

[0019] 优选地,所述第一下拉模块包括第四晶体管,所述第四晶体管的栅极与所述第一复位端连接,第一极与所述输出端连接,第二极与所述低电压端连接。

[0020] 优选地,所述第二下拉控制模块包括第五晶体管和第六晶体管,所述第五晶体管的栅极与所述下拉控制节点连接,第一极与所述第二时钟信号端连接,第二极与所述下拉节点连接;所述第六晶体管的栅极与所述第三晶体管的栅极连接,第一极与所述下拉节点连接,第二极与所述低电压端连接。

[0021] 优选地,所述第一下拉控制模块包括第七晶体管和第八晶体管,所述第七晶体管的栅极与所述第三晶体管的栅极连接,第一极与所述下拉控制节点连接,第二极与所述低电压端连接;所述第八晶体管的栅极和第一极与所述第二时钟信号连接,第二极与所述下

拉控制节点连接。

[0022] 优选地,所述第二下拉模块包括第九晶体管、第十晶体管和第十一晶体管,所述第九晶体管的栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极与所述低电压端连接;所述第十晶体管的栅极与所述下拉节点连接,第一极与所述输出端连接,第二极与所述低电压端连接;所述第十一晶体管的栅极与所述第二时钟信号连接,第一极与所述输出端连接,第二极与所述低电压端连接。

[0023] 优选地,所述上拉模块和所述第一下拉模块在第一下拉阶段同时对所述移位寄存器单元的输出端放电。

[0024] 优选地,所述第三晶体管和所述第四晶体管的尺寸大于其他晶体管的尺寸。

[0025] 优选地,所述第二复位信号相对于所述第一复位信号延迟一条栅极线的实际充电时间的 $1/2$ 。

[0026] 优选地,所述第一时钟信号的相位与第二时钟信号的相位相反。

[0027] 本发明的另一方面提供了一种驱动移位寄存器单元的方法,包括:

[0028] 充电阶段,由充电模块将上拉节点的电平拉高,以产生上拉信号;

[0029] 上拉阶段,在上拉信号的控制下,由上拉模块对所述移位寄存器单元的输出端进行充电;

[0030] 第一下拉阶段,由第一下拉模块对所述移位寄存器单元的输出端进行放电;以及

[0031] 第二下拉阶段,由第二下拉模块对所述移位寄存器单元的输出端进行放电,

[0032] 其中,在第一下拉阶段所述上拉模块和所述第一下拉模块同时对所述移位寄存器单元的输出端进行放电。

[0033] 本发明的再一方面提供了一种移位寄存器电路,包括 m 个级联的上述移位寄存器单元,每个移位寄存器单元的输出端与对应的栅极线连接,除了前两个移位寄存器单元和最后两个移位寄存器单元以外,第 n 个移位寄存器单元的输出端还对第 $n-2$ 个移位寄存器单元进行复位并作为第 $n+2$ 个移位寄存器单元的输入,

[0034] 其中每个移位寄存器单元包含两个复位端,第 n 个移位寄存器单元的一个复位端与第 $n+2$ 个移位寄存器单元的输出端连接,另一复位端与 $n+3$ 个移位寄存器单元的输出端连接,并且

[0035] n 大于等于 3 并小于等于 $m-3$ 。

[0036] 本发明的另一方面提供了一种显示装置,包括所述移位寄存器电路。

[0037] 本发明的移位寄存器单元通过减小栅极驱动信号的下降沿时间 T_f ,从而增加了像素有效充电时间 T_{eff} ,并保证显示画面质量。具体地,通过上拉模块与第一下拉模块一同在第一下拉阶段对移位寄存器单元的输出进行放电(即,拉低移位寄存器输出端的电平),进一步减小了移位寄存器单元输出的下降沿时间,从而提高了放电效率。另外,与传统 GOA 设计方法中上拉模块仅在上拉阶段中工作不同,本发明中的上拉模块不仅能够用于在上拉阶段对移位寄存器的输出进行充电,而且能够用于下拉阶段对移位寄存器单元的输出进行放电,即同一模块在不同阶段起到不同的作用,从而在保证提高放电效率的同时简化了电路结构。

附图说明

[0038] 根据结合附图的以下详细描述,本公开的多个实施例的上述和其他方面、特征以及优点将更清楚,在附图中:

[0039] 图 1 是示出了采用传统 GOA 设计的移位寄存器电路的工作时序图;

[0040] 图 2 是采用传统 GOA 设计的栅极行的实际充电时间与像素的有效充电时间的关系图;

[0041] 图 3 是示出了采用传统 GOA 设计的移位寄存器单元的具体电路图;

[0042] 图 4 是示出了多个图 3 中的移位寄存器单元的相互连接关系的框图;

[0043] 图 5 是示出了根据本发明实施例的移位寄存器单元的框图;

[0044] 图 6 是示出了根据本发明实施例的图 5 的移位寄存器单元的具体电路图;

[0045] 图 7 是根据本发明实施例的移位寄存器单元的驱动方法流程图;以及

[0046] 图 8 是示出了多个图 5 中的移位寄存器单元级联的移位寄存器电路的框图。

具体实施方式

[0047] 本发明实施例提供了一种移位寄存器单元及其驱动方法、一种移位寄存器电路以及一种显示装置,实现了移位寄存器单元输出的下降沿时间短,像素的有效充电时间长的移位寄存器单元,以及结构简单且功耗较低的移位寄存器电路和显示装置。

[0048] 下面结合附图和具体实施例,对本发明的具体实现方式进行详细描述。

[0049] 参照图 5,图 5 是示出了根据本发明实施例的移位寄存器单元 500 的框图。移位寄存器单元 500 包括充电模块 501、上拉模块 502、第一下拉控制模块 530、第二下拉控制模块 504、第一下拉模块 505、第二下拉模块 506 以及复位模块 507。

[0050] 充电模块 501 的一端与移位寄存器单元 500 的输入端 INPUT 连接,另一端与上拉节点 PU 连接,用于接收输入信号,并在输入信号的控制下为上拉节点 PU 充电(即将上拉节点 PU 的电位拉高)以产生上拉信号。

[0051] 上拉模块 502 的一端与上拉节点 PU 连接,另一端与移位寄存器单元 500 的第一时钟信号端 CLK 连接,用于接收所述上拉信号和第一时钟信号,并且在上拉信号和第一时钟信号的控制下在上拉阶段对移位寄存器单元 500 的输出端 OUTPUT 进行充电(即,将输出端 OUTPUT 的电平拉高)。

[0052] 第一下拉控制模块 503 的一端与移位寄存器单元 500 的第二时钟信号端 CLKB 连接,另一端与移位寄存器单元 500 的低电压端 VSS 连接,用于接收第二时钟信号,并在第二时钟信号的控制下在下拉控制节点 PD_CN 处产生下拉控制信号。

[0053] 第二下拉控制模块 504 的一端与下拉控制节点 PD_CN 连接,另一端与上拉节点 PU 连接,用于接收下拉控制信号,并在下拉控制信号的控制下,在下拉节点 PD 处产生下拉信号。即,在下拉节点 PD 处将上拉信号的电平拉低。

[0054] 第一下拉模块 505 的一端与移位寄存器单元 500 的第一复位端 RESET 连接,另一端与移位寄存器单元 500 的输出端 OUTPUT 连接,用于接收第一复位信号并在第一下拉阶段在第一复位信号的控制下对移位寄存器单元 500 的输出端 OUTPUT 进行放电(即,将输出端 OUTPUT 的电位拉低)。

[0055] 第二下拉模块 506 的一端与下拉节点 PD 连接,另一端与移位寄存器单元 500 的输出端 OUTPUT,用于接收下拉信号,并在下拉信号的控制下在第二下拉阶段对移位寄存器单

元 500 的输出端 OUTPUT 进行放电（即，将的输出端 OUPUT 的电平拉低）。

[0056] 复位模块 507 的一端与移位寄存器单元 500 的第二复位端 RESET' 连接，另一端与所述上拉节点 PU 连接，用于接收第二复位信号，并在第二复位信号的控制下对所述上拉节点 PU 进行复位。

[0057] 在本实施例中，第一下拉模块 505 单独连接至移位寄存器单元 500 的第一复位端，即，为第一下拉模块 505 提供独立的复位信号。提供给第一下拉模块 505 的第一复位信号 reset 与提供给复位模块 507 的第二复位信号 reset' 的不同之处在于，第二复位信号 reset' 比第一复位信号 reset 延迟了一条栅极线的实际充电时间的 $1/2(1H)$ 。公知地，第一下拉模块 505 与复位模块 507 连接至同一复位端，在完成一行栅极线的扫描之后，第一时钟信号转为低电平，复位信号为高电平，复位模块 507 将上拉节点 PU 悬空（上拉节点 PU 变为低电平），此时上拉模块 502 不工作，第一下拉模块 505 和第二下拉模块 506 工作，将移位寄存器单元的输出端电平拉低。然而，根据本实施例，在完成一行栅极的扫描之后，第一时钟信号转为低电平，提供给第一下拉模块 505 的复位信号为高电平，第一下拉模块 505 将移位寄存器的输出电平拉低，与此同时，由于与上拉模块 502 连接的上拉节点的电平仍为高电平，因此上拉模块 502 仍在工作，并且由于提供给上拉模块 502 的第一时钟信号此时转为低电平，因此上拉模块 502 与第一下拉模块 505 同时对移位寄存器单元的输出端进行放电。这样，通过上拉模块 502 与第一下拉模块 505 在第一下拉阶段同时对移位寄存器单元 500 的输出端 OUPUT 进行放电，提高了移位寄存器单元输出端的放电效率，进一步减小栅极驱动信号的下降沿时间 T_f ，从而增加了像素有效充电时间 T_{eff} 。1H 过后，与复位模块 507 连接的第二复位信号开启，引起上拉模块 502 不工作，此时由于上拉节点 PU 变为低电平，第二下拉模块 506 工作，继续对移位寄存器单元 500 的输出端放电。同时与第一下拉模块 505 连接的第一复位信号转为低电平，第一下拉模块 505 也不工作。

[0058] 另外，根据本实施例的上拉模块不仅能够用于在上拉阶段对移位寄存器的输出进行充电，而且能够用于下拉阶段对移位寄存器单元的输出进行放电，即同一模块在不同阶段起到不同的作用，从而在保证提高放电效率的同时简化了电路结构。

[0059] 以下将参照图 6，具体描述本发明实施例提供的移位寄存器单元的各个模块的具体电路图。

[0060] 图 6 示出了根据本发明实施例的移位寄存器单元 500 的各个模块具体电路图。

[0061] 参见图 6，充电模块 501 包括第一晶体管 M1。第一晶体管 M1 的栅极和第一极与输入端 INPUT 连接，第二极与上拉节点 PU 连接。

[0062] 复位模块 507 包括第二晶体管 M2。第二晶体管 M2 的栅极与第二复位端 RESET' 连接，第一极与上拉节点 PU 连接，第二极与低电压端 VSS 连接。

[0063] 上拉模块 502 包括第三晶体管 M3。第三晶体管 M3 的栅极与上拉节点 PU 连接，第一极与第一时钟信号端 CLK 连接，第二极与输出端 OUTPUT 连接。

[0064] 第一下拉模块 505 包括第四晶体管 M4。第四晶体管 M4 的栅极与第一复位端 RESET 连接，第一极与输出端 OUTPUT 连接，第二极与低电压端 VSS 连接。

[0065] 第二下拉控制模块 504 包括第五晶体管 M5 和第六晶体管 M6。第五晶体管 M5 的栅极与下拉控制节点 PD_CN 连接，第一极与第二时钟信号端 CLKB 连接，第二极与下拉节点 PD 连接。第六晶体管 M6 的栅极与第三晶体管 M3 的栅极连接，第一极与下拉节点 PD 连接，第

二极与低电压端 VSS 连接。这里第一时钟信号端 CLK 发出的第一时钟信号的相位与第二时钟信号端 CLKB 发出的第二时钟信号的相位相反。

[0066] 第一下拉控制模块 503 包括第七晶体管 M7 和第八晶体管 M8, 第七晶体管 M7 的栅极与第三晶体管 M3 的栅极连接, 第一极与下拉控制节点 PD_CN 连接, 第二极与低电压端 VSS 连接。第八晶体管 M8 的栅极和第一极与第二时钟信号端 CLKB 连接, 第二极与下拉控制节点 PD_CN 连接。

[0067] 第二下拉模块 506 包括第九晶体管 M9、第十晶体管 M10 和第十一晶体管 M11。第九晶体管 M9 的栅极与下拉节点 PD 连接, 第一极与上拉节点 PU 连接, 第二极与低电压端 VSS 连接。第十晶体管 M10 的栅极与下拉节点 PD 连接, 第一极与输出端 OUTPUT 连接, 第二极与低电压端连接 VSS。第十一晶体管 M11 的栅极与第二时钟信号 CLKB 连接, 第一极与输出端 OUTPUT 连接, 第二极与低电压端 VSS 连接。

[0068] 在本实施例中, 向晶体管 M4 的栅极提供第一复位信号 reset, 向晶体管 M2 的栅极提供第二复位信号 reset', 其中第二复位信号 reset' 比第一复位信号 reset 延迟了一条栅极线的实际充电时间的 $1/2(1H)$ 。在完成一行栅极线的扫描之后 (即, 在上拉阶段之后), 第一时钟信号转为低电平, 提供给晶体管 M4 的第一复位信号 reset 为高电平, 晶体管 M4 开启, 并对移位寄存器单元的输出端进行放电, 与此同时, 由于上拉节点 PU 的电平仍为高电平, 因此栅极与上拉节点 PU 连接、而第一极与低电平的第一时钟信号连接的晶体管 M3 仍处在开启状态, 并对移位寄存器单元的输出端进行放电。因此晶体管 M3 和晶体管 M4 同时对移位寄存器单元的输出端进行放电。1H 过后, 由于第二复位信号 reset' 开启, 晶体管 M2 也开启, 同时由于上拉节点 PU 转为低电平, 晶体管 M3 关闭。而由于第一复位信号 reset 转为低电平, 因此晶体管 M4 也关闭。由于此时第二时钟信号为高电平, 上拉节点 PU 为低电平, 第二下拉模块 506 工作, 继续对移位寄存器单元 500 的输出端放电。这样, 通过晶体管 M3 与晶体管 M4 在第一下拉阶段同时对移位寄存器单元 500 的输出端 OUTPUT 进行放电, 提高了移位寄存器单元输出端的放电效率, 进一步减小栅极驱动信号的下降沿时间 T_f , 从而增加了像素有效充电时间 T_{eff} 。

[0069] 另外根据本实施例, 由于晶体管 M3 和晶体管 M4 对移位寄存器单元的输出端进行充放电, 因此晶体管 M3 和晶体管 M4 的尺寸要远大于其他晶体管的尺寸。

[0070] 需要说明的是, 晶体管 M1-11 可以为 N 型薄膜晶体管。然而本说明书不对上述晶体管的类型加以限制。

[0071] 本实施例中的晶体管除栅极之外的两个极之一为源极, 另一个为漏极。由于晶体管在结构上的对称性, 因此晶体管的源极和漏极的功能可以互换。

[0072] 以下参照图 7 详细描述本发明提供的移位寄存器单元的驱动方法。该驱动方法包括充电阶段、上拉阶段、第一下拉阶段和第二下拉阶段。

[0073] 在充电阶段, 图 5 所示的充电模块 501 在输入端 INPUT 的输入信号的控制下, 对上拉节点 PU 进行充电, 即将上拉节点 PU 的电平拉高, 以产生上拉信号。此时移位寄存器的输出端 OUTPUT 为低电平。

[0074] 在上拉阶段, 第一时钟信号端 CLK 输出高电平的第一时钟信号, 在上拉信号 (即, 上拉节点 PU 处于高电平) 和高电平的第一时钟信号的控制下, 上拉模块 502 对移位寄存器单元的输出端 OUTPUT 进行充电。输出端 OUTPUT 由低电平被拉高至高电平, 上拉节点 PU 仍

为高电平。

[0075] 在第一下拉阶段,复位端 RESET 输出高电平的第一复位信号 reset,因此第一下拉模块 505 在第一复位信号 reset 的控制下对移位寄存器单元的输出端 OUTPUT 进行放电,使得将输出端 OUTPUT 的电平由上拉阶段的高电平拉低至低电平。由于在第一复位信号 reset 为高电平时,第一时钟信号端 CLK 转为低电平,而上拉节点 PU 仍为高电平,因此上拉模块 502 也对输出端 OUTPUT 进行放电。另外,尽管此时第二时钟信号端 CLKB 输出高电平的第二时钟信号,但是由于上拉节点 PU 为高电平,并且通过调整晶体管 M8 和 M9 的大小,使得晶体管 M5 和 M6 不开启,从而第二下拉模块 506 不工作。

[0076] 最后,在经过 1H 之后的第二下拉阶段,由于复位端 RESET' 输出高电平的第二复位信号 reset',复位模块 507 将上拉节点 PU 由上拉阶段的高电平拉低至低电平,因此上拉模块 502 不工作,即停止对输出端 OUTPUT 的放电。同时,第一复位信号 reset 转为低电平,第一下拉模块 505 不工作,而由于上拉节点 PU 变为低电平,第二下拉模块 506 工作,继续对输出端 OUTPUT 进行放电。

[0077] 这样实现了在第一下拉阶段上拉模块 502 与第一下拉模块 505 一同对移位寄存器单元的输出端进行放电的目的,进而实现了快速下拉输出端电平的目的,从而缩短了下拉时间。

[0078] 图 8 是示出了多个图 5 中的移位寄存器单元 500 级联的移位寄存器电路 800 的框图。

[0079] 移位寄存器电路 800 可以包括 m 个移位寄存器单元 500,每个移位寄存器单元的输出端与对应的栅极线连接,除了前两个移位寄存器单元和最后两个移位寄存器单元以外,第 n 个移位寄存器单元的输出端还对第 n-2 个移位寄存器单元进行复位并作为第 n+2 个移位寄存器单元的输入。另外,与图 4 不同之处在于,每个移位寄存器单元包含两个复位端,其中第 n 个移位寄存器单元的一个复位端与下第 n+2 个移位寄存器单元的输出端连接,另一复位端与 n+3 个移位寄存器单元的输出端连接。

[0080] 这里, n 大于等于 3 并小于等于 m-3。另外为了降低移位寄存器电路的功耗,通常采用 4 个或更多的时钟信号。优选地,时钟信号的数目为 2 的倍数。同时降低时钟信号的频率,以达到降低功耗的目的。

[0081] 本实施例的移位寄存器电路能够提供像素的有效充电时间长的、结构简单且功耗较低的移位寄存器电路。

[0082] 本发明的实施例还提供了一种显示装置,包括上述移位寄存器电路。所述显示装置可以为:液晶显示面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0083] 显然,本领域的技术人员可以在不脱离本发明的精神和范围的前提下对本发明的实施例进行各种改变和修改。本发明的范围由所附权利要求及其等同物来限定。

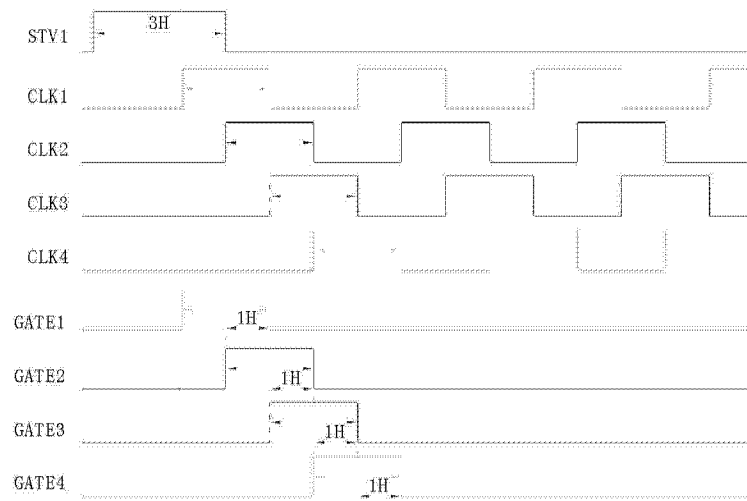


图 1

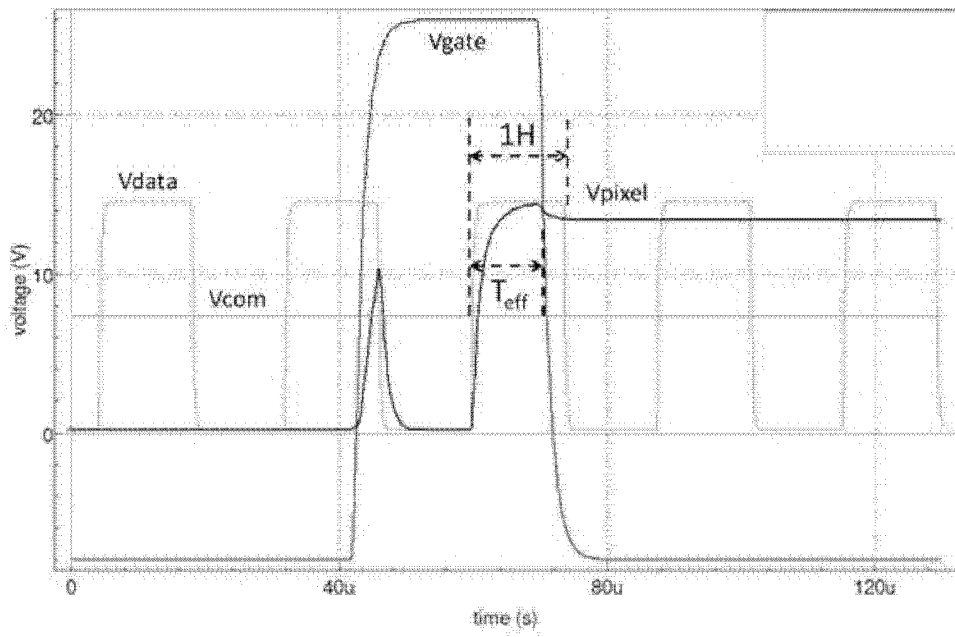


图 2

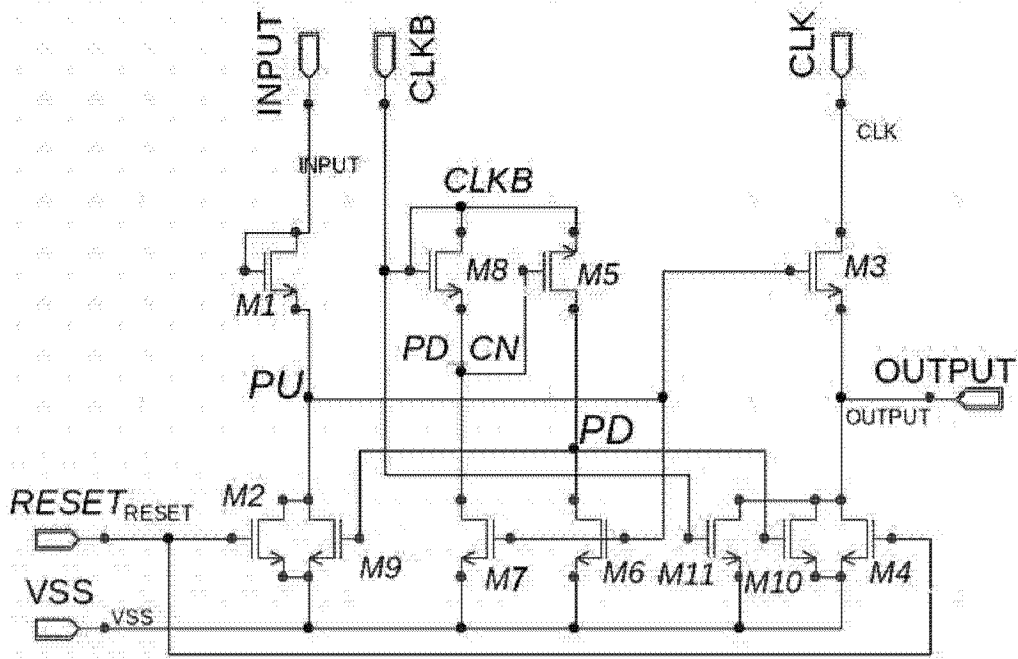


图 3

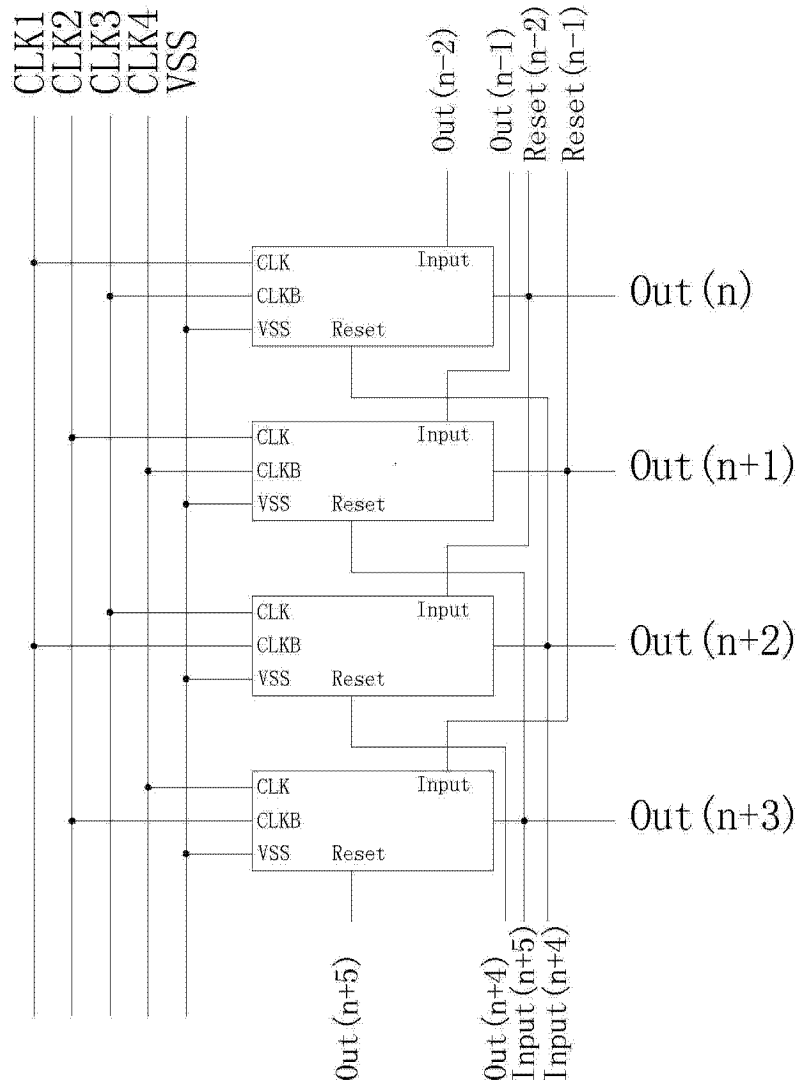


图 4

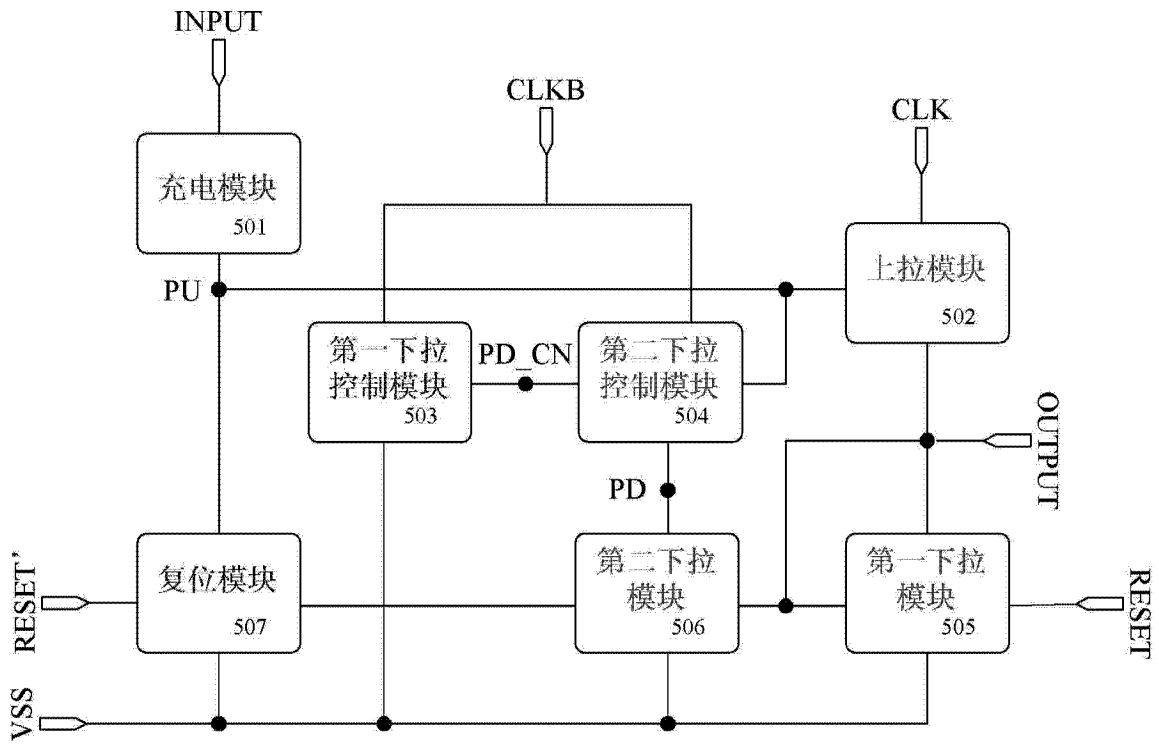


图 5

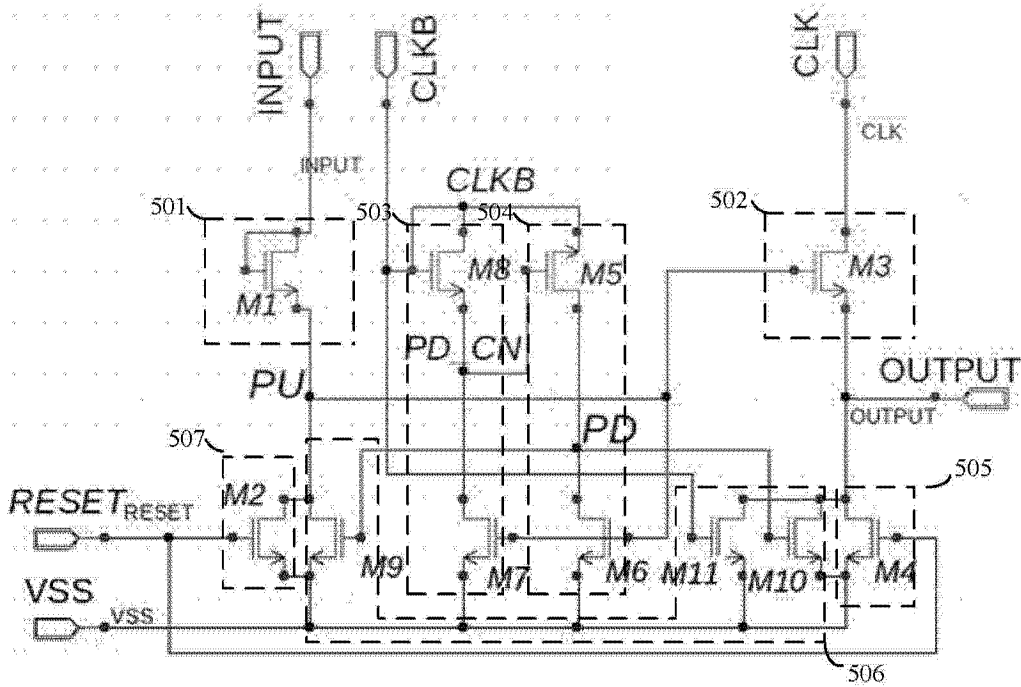


图 6

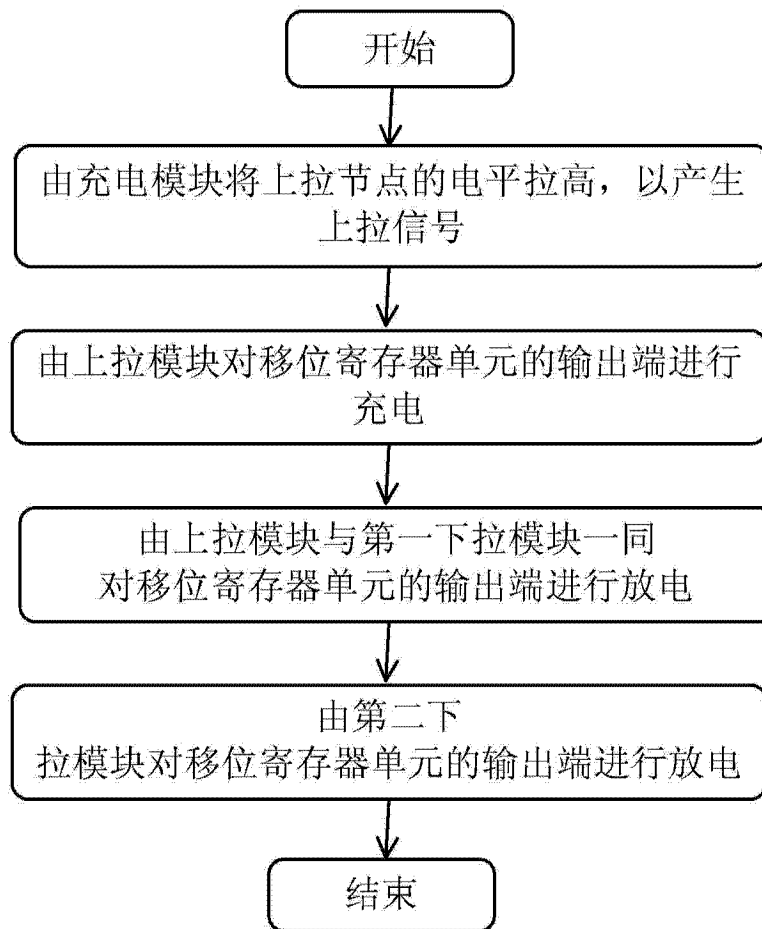


图 7

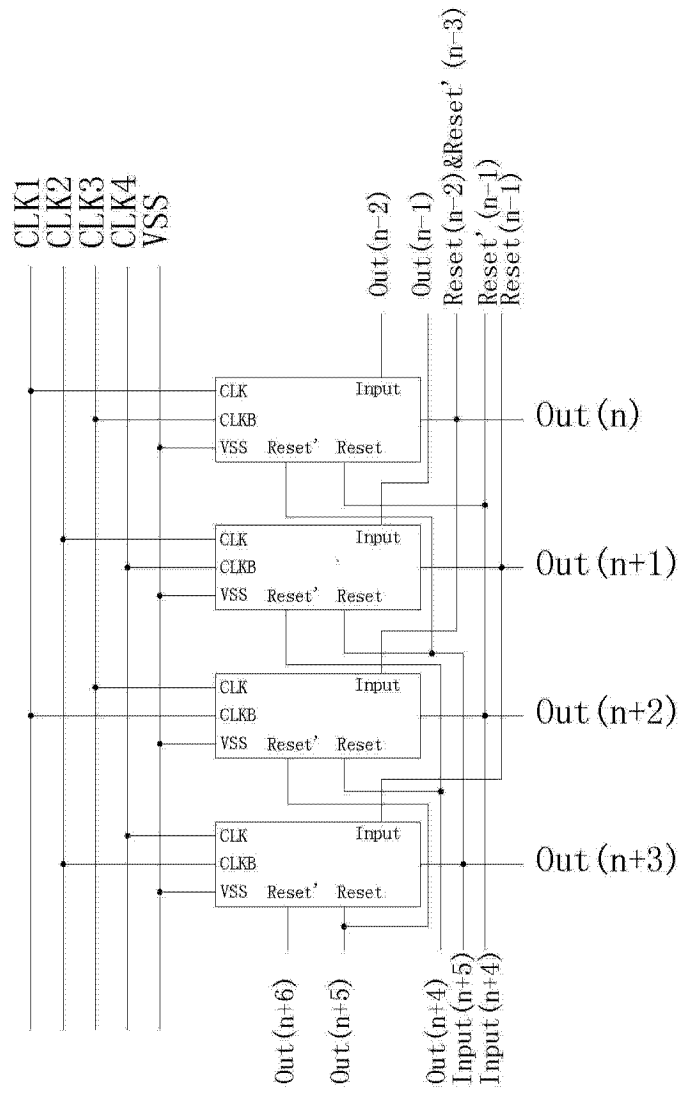


图 8