



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년09월13일

(11) 등록번호 10-2707127

(24) 등록일자 2024년09월11일

(51) 국제특허분류(Int. Cl.)
H03M 13/00 (2017.01) H03M 13/13 (2006.01)
H04L 1/00 (2006.01)
(52) CPC특허분류
H03M 13/6362 (2013.01)
H03M 13/13 (2013.01)
(21) 출원번호 10-2019-7019950
(22) 출원일자(국제) 2018년01월12일
심사청구일자 2020년12월22일
(85) 번역문제출일자 2019년07월09일
(65) 공개번호 10-2019-0101401
(43) 공개일자 2019년08월30일
(86) 국제출원번호 PCT/CN2018/072319
(87) 국제공개번호 WO 2018/130185
국제공개일자 2018년07월19일
(30) 우선권주장
PCT/CN2017/070985 2017년01월12일 중국(CN)
(56) 선행기술조사문헌
KR1020150032228 A*
KR1020160130471 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
윌컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
산카르 하리
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
사르키스 가비
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 33 항

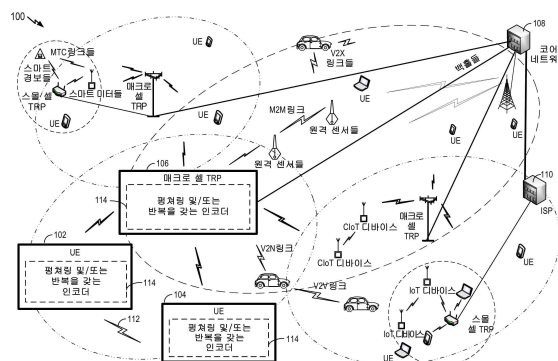
심사관 : 조준근

(54) 발명의 명칭 정보 인코딩을 위한 평처링 및 반복

(57) 요약

본 개시는 일부 양태들에서 정보 인코딩에 관련된다. 정보 인코딩은 코드워드의 평처링 비트들 또는 코드워드의 반복 비트들을 수반할 수도 있다. 본 개시는 일부 양태들에서 평처링 또는 반복 패턴을 선택하는 것에 관련된다. 일부 양태들에서, 데이터 인코딩을 위한 평처 패턴은 XOR의 출력 및 반복 입력이 소거되지 않는다는 기준에 기초하여 선택된다. 일부 양태들에서, 데이터 인코딩에 대한 반복 패턴은 XOR의 출력 및 반복 입력에 대해 반복이 적용되지 않는다는 기준에 기초하여 선택된다.

대표도



(52) CPC특허분류

H03M 13/6356 (2013.01)

H04L 1/0057 (2013.01)

H04L 1/0068 (2013.01)

(72) 발명자

수 창룡

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

고로코브 알렉세이

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

장 징

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

소리아가 조셉 비나미라

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

허우 지레이

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

명세서

청구범위

청구항 1

통신 방법으로서,

데이터를 획득하는 단계;

코드워드를 생성하기 위해 상기 데이터를 인코딩하는 단계;

상기 코드워드의 복수의 비트 튜플들에 기초하는 평치 패턴에 따라 상기 코드워드를 수정하는 단계로서, 상기 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평치 비트로 지정되고, 상기 인코딩을 위한 인코더가 논리 블록들을 갖는 하나 이상의 스테이지들을 포함하는, 상기 코드워드를 수정하는 단계; 및

수정된 상기 코드워드를 송신하는 단계를 포함하는, 통신 방법.

청구항 2

제 1 항에 있어서,

상기 비트 튜플들은 상기 인코딩을 위한 인코더의 특정 스테이지의 논리 블록들과 상호 배타적으로 연관되는, 통신 방법.

청구항 3

제 2 항에 있어서,

상기 논리 블록들 각각은 XOR 인, 통신 방법.

청구항 4

제 3 항에 있어서,

XOR들 중 제 1 XOR 은 상기 인코더의 상기 특정 스테이지의 제 1 경로의 부분이고;

XOR들 중 제 2 XOR 은 상기 인코더의 상기 특정 스테이지의 제 2 경로의 부분인, 통신 방법.

청구항 5

제 2 항에 있어서,

상기 특정 스테이지는 상기 코드워드의 평치 이전의 최종 스테이지를 포함하는, 통신 방법.

청구항 6

제 1 항에 있어서,

상기 논리 블록들 각각은 XOR 이고;

상기 특정 비트 튜플은 상기 인코딩을 위한 인코더의 XOR들 중 특정 XOR 과 연관되고;

상기 특정 비트 튜플은 제 1 비트 및 제 2 비트를 포함하고;

상기 제 1 비트 및 상기 제 2 비트는 상기 XOR 의 출력 및 상기 XOR 의 입력과 상호 배타적으로 연관되는, 통신 방법.

청구항 7

제 1 항에 있어서,

상기 논리 블록들 각각은 XOR 이고;

상기 특정 비트 튜플은 상기 인코딩을 위한 인코더의 XOR들 중 특정 XOR 과 연관되고;
 상기 특정 XOR 의 입력은 상기 인코더의 최종 스테이지의 출력들 중 제 1 출력을 포함하고;
 상기 특정 XOR 의 출력은 상기 인코더의 최종 스테이지의 출력들 중 제 2 출력을 포함하는, 통신 방법.

청구항 8

제 1 항에 있어서,
 상기 평처 패턴을 선택하는 단계를 더 포함하는, 통신 방법.

청구항 9

제 8 항에 있어서,
 상기 평처 패턴을 선택하는 단계는,
 상기 코드워드의 시작부에서 연속적인 비트들의 세트를 선택하는 단계를 포함하는, 통신 방법.

청구항 10

제 8 항에 있어서,
 상기 평처 패턴을 선택하는 단계는,
 상기 코드워드의 종료부에서 연속적인 비트들의 세트를 선택하는 단계를 포함하는, 통신 방법.

청구항 11

제 8 항에 있어서,
 상기 논리 블록들 각각은 XOR 이고,
 상기 평처 패턴을 선택하는 단계는,
 상기 인코딩을 위한 인코더의 최종 스테이지의 특정 출력인 상기 코드워드의 비트를 선택하는 단계; 및
 상기 최종 스테이지의 상기 특정 출력과 연관된 상기 XOR 의 입력인 상기 코드워드의 비트를 선택하지 않는 단계를 포함하는, 통신 방법.

청구항 12

제 8 항에 있어서,
 상기 평처 패턴을 선택하는 단계는,
 상기 코드워드의 비트들을 비트 쌍들로 분할하는 단계; 및
 각 비트 쌍으로부터 최대 하나의 비트를 평처링될 비트로서 선택하는 단계를 포함하는, 통신 방법.

청구항 13

제 12 항에 있어서,
 상기 논리 블록들 각각은 XOR 이고,
 상기 비트 쌍들은 상기 인코딩을 위한 인코더의 최종 스테이지의 XOR들과 상호 배타적으로 연관되고;
 상기 비트 쌍들 중 특정 비트 쌍의 비트들은 상기 XOR들 중 특정 XOR 의 출력 및 상기 특정 XOR 의 입력과 상호 배타적으로 연관되는, 통신 방법.

청구항 14

제 1 항에 있어서,
 상기 논리 블록들 각각은 XOR 이고,

모든 상기 비트 튜플들의 각각에 대해:

상기 비트 튜플의 최대 하나의 비트가 평치 비트로서 지정되고;

상기 비트 튜플의 비트들은 연관된 XOR 의 출력 및 입력과 상호 배타적으로 연관되는, 통신 방법.

청구항 15

제 1 항에 있어서,

상기 인코딩하는 단계는 폴라 코딩하는 단계를 포함하는, 통신 방법.

청구항 16

통신을 위한 장치로서,

데이터를 획득하도록 구성된 인터페이스;

메모리; 및

상기 메모리 및 상기 인터페이스에 커플링된 프로세서를 포함하며,

상기 프로세서 및 상기 메모리는,

코드워드를 생성하기 위해 상기 데이터를 인코딩하고; 그리고

상기 코드워드의 복수의 비트 튜플들에 기초하는 평치 패턴에 따라 상기 코드워드를 수정하는 것으로서, 상기 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평치 비트로 지정되고, 상기 인코딩을 위한 인코더가 논리 블록들을 갖는 하나 이상의 스테이지들을 포함하는, 상기 코드워드를 수정하도록 구성되며;

상기 인터페이스는 추가로, 수정된 상기 코드워드를 송신하도록 구성되는, 통신을 위한 장치.

청구항 17

제 16 항에 있어서,

상기 비트 튜플들은 상기 인코딩을 위한 인코더의 특정 스테이지의 논리 블록들과 상호 배타적으로 연관되는, 통신을 위한 장치.

청구항 18

제 17 항에 있어서,

상기 논리 블록들은 XOR들인, 통신을 위한 장치.

청구항 19

제 18 항에 있어서,

상기 XOR들 중 제 1 XOR 은 상기 인코더의 특정 스테이지의 제 1 경로의 부분이고;

상기 XOR들 중 제 2 XOR 은 상기 인코더의 특정 스테이지의 제 2 경로의 부분인, 통신을 위한 장치.

청구항 20

제 17 항에 있어서,

상기 특정 스테이지는 상기 코드워드의 평치 이전의 최종 스테이지를 포함하는, 통신을 위한 장치.

청구항 21

제 16 항에 있어서,

상기 논리 블록들 각각은 XOR 이고;

상기 특정 비트 튜플은 상기 인코딩을 위한 인코더의 XOR들 중 특정 XOR 과 연관되고;
 상기 특정 XOR 의 입력은 상기 인코더의 최종 스테이지의 출력들 중 제 1 출력을 포함하고;
 상기 특정 XOR 의 출력은 상기 인코더의 최종 스테이지의 출력들 중 제 2 출력을 포함하는, 통신을 위한 장치.

청구항 22

제 16 항에 있어서,
 상기 프로세서 및 상기 메모리는 추가로,
 상기 평치 패턴을 선택하도록
 구성되는, 통신을 위한 장치.

청구항 23

제 22 항에 있어서,
 상기 평치 패턴의 선택은,
 상기 코드워드의 시작부에서 연속적인 비트들의 세트; 또는
 상기 코드워드의 종료부에서 연속적인 비트들의 세트
 사이에서 선택하는 것을 포함하는, 통신을 위한 장치.

청구항 24

제 22 항에 있어서,
 상기 논리 블록들 각각은 XOR 이고,
 상기 평치 패턴의 선택은,
 상기 인코딩을 위한 인코더의 최종 스테이지의 특정 출력인 상기 코드워드의 비트를 선택하는 것; 및
 상기 최종 스테이지의 상기 특정 출력과 연관된 상기 XOR 의 입력인 상기 코드워드의 비트를 선택하지 않는 것
 을 포함하는, 통신을 위한 장치.

청구항 25

제 16 항에 있어서,
 상기 인코딩은 폴라 코딩을 포함하는, 통신을 위한 장치.

청구항 26

통신을 위한 장치로서,
 데이터를 획득하는 수단;
 코드워드를 생성하기 위해 상기 데이터를 인코딩하는 수단;
 상기 코드워드의 복수의 비트 튜플들에 기초하는 평치 패턴에 따라 상기 코드워드를 수정하는 수단으로서, 상기
 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평치 비트로 지정되고, 상기 인코딩을 위한 인코
 더가 논리 블록들을 갖는 하나 이상의 스테이지들을 포함하는, 상기 코드워드를 수정하는 수단; 및
 수정된 상기 코드워드를 송신하는 수단을 포함하는, 통신을 위한 장치.

청구항 27

제 26 항에 있어서,
 상기 비트 튜플들은 상기 인코딩을 위한 인코더의 특정 스테이지의 논리 블록들과 상호 배타적으로 연관되는,

통신을 위한 장치.

청구항 28

제 26 항에 있어서,

상기 논리 블록들 각각은 XOR 이고,

상기 특정 비트 튜플은 상기 인코딩을 위한 인코더의 XOR들 중 특정 XOR 과 연관되고;

상기 특정 XOR 의 입력은 상기 인코더의 최종 스테이지의 출력들 중 제 1 출력을 포함하고;

상기 특정 XOR 의 출력은 상기 인코더의 최종 스테이지의 출력들 중 제 2 출력을 포함하는, 통신을 위한 장치.

청구항 29

제 26 항에 있어서,

상기 평처 패턴을 선택하는 수단을 더 포함하는, 통신을 위한 장치.

청구항 30

컴퓨터 실행가능한 코드를 저장하는 비-일시적인 컴퓨터 판독가능 저장 매체로서,

상기 컴퓨터 실행가능한 코드는,

데이터를 획득하고;

코드워드를 생성하기 위해 상기 데이터를 인코딩하고;

상기 코드워드의 복수의 비트 튜플들에 기초하는 평처 패턴에 따라 코드워드를 수정하는 것으로서, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평처 비트로 지정되는, 상기 코드워드를 수정하며; 그리고

수정된 상기 코드워드를 송신하기 위한

코드를 포함하는, 비-일시적인 컴퓨터 판독가능 저장 매체.

청구항 31

제 6 항 또는 제 7 항에 있어서,

상기 평처 패턴은 상기 복수의 비트 튜플들과 연관된 다수의 비트들을 평처링하는 것에 기초하고,

상기 복수의 비트 튜플들 각각은 최대 하나의 비트만이 평처링되는, 통신 방법.

청구항 32

제 21 항에 있어서,

상기 평처 패턴은 상기 복수의 비트 튜플들과 연관된 다수의 비트들을 평처링하는 것에 기초하고,

상기 복수의 비트 튜플들 각각은 최대 하나의 비트만이 평처링되는, 통신을 위한 장치.

청구항 33

제 28 항에 있어서,

상기 평처 패턴은 상기 복수의 비트 튜플들과 연관된 다수의 비트들을 평처링하는 것에 기초하고,

상기 복수의 비트 튜플들 각각은 최대 하나의 비트만이 평처링되는, 통신을 위한 장치.

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

발명의 설명

기술 분야

[0001] 관련 출원(들)에 대한 상호 참조

[0002] 본 출원은 2017 년 1 월 12 일자로 출원된 PCT (Patent Cooperation Treaty) 출원 번호 PCT/CN2017/070985 를 우선권 주장하며, 그 전체 내용은 참조에 의해 본원에 통합된다.

배경 기술

[0003] 본원에 기술된 다양한 양태들은 통신에 관한 것이고, 보다 상세하게는 평처링 및 반복을 채용하는 정보 인코딩에 관한 것이지만 이에 국한되지는 않는다.

[0004] 무선 통신 시스템은 잡음 채널들을 통해 디지털 메시지들의 신뢰성있는 송신을 용이하게 하기 위해 여러 정정 코드들을 사용할 수도 있다. 블록 코드는 여러 정정 코드의 일 타입이다. 통상적인 블록 코드에 있어서, 정보 메시지 또는 시퀀스는 블록들로 분할되고, 송신 디바이스에서의 인코딩은 정보 메시지에 리던던시를 수학적으로 부가한다. 인코딩된 정보 메시지에서의 이 리던던시의 이용은 메시지의 신뢰도를 개선시켜, 잡음으로 인해 발생할 수도 있는 비트 에러들에 대한 정정을 가능하게 한다. 즉, 수신 디바이스에서의 디코딩은, 부분적으로, 채널에 의한 잡음의 부가로 인해, 비트 에러들이 발생할 수도 있더라도 정보 메시지를 신뢰성있게 복원하기 위해 리던던시를 이용할 수 있다. 여러 정정 블록 코드의 예들은 특히, 해밍 코드, BCH (Bose-Chaudhuri-Hocquenghem) 코드, 및 터보 코드를 포함한다. 다수의 기존의 무선 통신 네트워크들이 그러한 블록 코드들을 활용하며, 예컨대, 터보 코드들을 활용하는 3GPP LTE 네트워크들, 및 IEEE 802.11n Wi-Fi

네트워크들이다.

- [0005] 블록 코드로 지정된 블록 사이즈는 인코딩되고 있는 데이터와 연관된 블록 사이즈와 매칭하지 않을 수도 있다. 예를 들어 특정 리소스를 통해 데이터를 전송하기 위해 특정 블록 사이즈 (예컨대, 리소스 블록 사이즈) 가 지정될 수도 있다. 인코딩된 데이터의 평처링 및 반복은 인코딩된 데이터의 블록 사이즈를 조정하는데 사용될 수도 있는 2 개의 기술들이다. 실제로, 평처링 또는 반복은 통신 성능에 영향을 미칠 수도 있다.

발명의 내용

해결하려는 과제

- [0006] 따라서, 효율적인 평처링 또는 반복 기술이 필요하다.

과제의 해결 수단

- [0007] 다음은 본 개시의 일부 양태들의 기본적인 이해를 제공하기 위해 본 개시의 그 일부 양태들의 간략화된 개요를 제시한다. 이러한 개요는 본 개시의 모든 고려된 특징들의 광범위한 개관이 아니며, 본 개시의 모든 양태들의 핵심의 또는 중요한 엘리먼트들을 식별하지도 않고 본 개시의 임의의 또는 모든 양태들의 범위를 기술하지도 않도록 의도된다. 이 개요의 유일한 목적은, 추후 제시되는 더 상세한 설명의 서두로서 본 개시의 일부 양태들의 다양한 개념들을 간략화된 형태로 제시하는 것이다.
- [0008] 일 양태에서, 본 개시는 인터페이스, 메모리 및 메모리와 인터페이스에 커플링된 프로세서를 포함하는, 통신을 위해 구성된 장치를 제공한다. 인터페이스는 데이터를 획득하도록 구성된다. 프로세서 및 메모리는 코드워드를 생성하기 위해 데이터를 인코딩하고, 복수의 비트 튜플들에 기초하는 평처 패턴에 따라 코드워드를 수정하도록 구성되며, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평처 비트로 지정된다. 인터페이스는 또한, 수정된 코드워드를 출력 (예를 들어, 송신) 하도록 구성된다. 일부 구현들에서, 인터페이스는 (예를 들어, 데이터를 획득하기 위한) 제 1 인터페이스 및 (예를 들어, 수정된 코드워드를 출력하기 위한) 제 2 인터페이스를 포함할 수도 있다.
- [0009] 본 개시의 또 다른 양태는 데이터를 획득하는 단계; 코드워드를 생성하기 위해 데이터를 인코딩하는 단계; 복수의 비트 튜플들에 기초하는 평처 패턴에 따라 코드워드를 수정하는 단계로서, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평처 비트로 지정되는, 상기 코드워드를 수정하는 단계; 및 수정된 코드워드를 출력하는 (예를 들어, 송신하는) 단계를 포함하는 통신 방법을 제공한다.
- [0010] 본 개시의 또 다른 양태는 통신을 위해 구성된 장치를 제공한다. 그 장치는 데이터를 획득하는 수단; 코드워드를 생성하기 위해 데이터를 인코딩하는 수단; 복수의 비트 튜플들에 기초하는 평처 패턴에 따라 코드워드를 수정하는 수단으로서, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평처 비트로 지정되는, 상기 코드워드를 수정하는 수단; 및 수정된 코드워드를 출력하는 (예를 들어, 송신하는) 수단을 포함한다.
- [0011] 본 개시의 다른 양태는 컴퓨터 실행가능한 코드를 저장하는 비-일시적인 컴퓨터 판독가능 매체를 제공하며, 상기 컴퓨터 실행가능한 코드는 데이터를 획득하고; 코드워드를 생성하기 위해 데이터를 인코딩하고; 복수의 비트 튜플들에 기초하는 평처 패턴에 따라 코드워드를 수정하는 것으로서, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 평처 비트로 지정되는, 상기 코드워드를 수정하며; 그리고 수정된 코드워드를 출력하기 (예를 들어, 송신하기) 위한 코드를 포함한다.
- [0012] 일 양태에서, 본 개시는 인터페이스, 메모리 및 메모리와 인터페이스에 커플링된 프로세서를 포함하는, 통신을 위해 구성된 장치를 제공한다. 인터페이스는 데이터를 획득하도록 구성된다. 프로세서 및 메모리는 코드워드를 생성하기 위해 데이터를 인코딩하고, 복수의 비트 튜플들에 기초하는 반복 패턴에 따라 코드워드를 수정하도록 구성되며, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 반복 비트로 지정된다. 인터페이스는 또한, 수정된 코드워드를 출력 (예를 들어, 송신) 하도록 구성된다. 일부 구현들에서, 인터페이스는 (예를 들어, 데이터를 획득하기 위한) 제 1 인터페이스 및 (예를 들어, 수정된 코드워드를 출력하기 위한) 제 2 인터페이스를 포함할 수도 있다.
- [0013] 본 개시의 또 다른 양태는 데이터를 획득하는 단계; 코드워드를 생성하기 위해 데이터를 인코딩하는 단계; 복수의 비트 튜플들에 기초하는 반복 패턴에 따라 코드워드를 수정하는 단계로서, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 반복 비트로 지정되는, 상기 코드워드를 수정하는 단계; 및 수정된 코드워

드를 출력하는 (예를 들어, 송신하는) 단계를 포함하는 통신 방법을 제공한다.

[0014] 본 개시의 또 다른 양태는 통신을 위해 구성된 장치를 제공한다. 그 장치는 데이터를 획득하는 수단; 코드워드를 생성하기 위해 데이터를 인코딩하는 수단; 복수의 비트 튜플들에 기초하는 반복 패턴에 따라 코드워드를 수정하는 수단으로서, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 반복 비트로 지정되는, 상기 코드워드를 수정하는 수단; 및 수정된 코드워드를 출력하는 (예를 들어, 송신하는) 수단을 포함한다.

[0015] 본 개시의 다른 양태는 컴퓨터 실행가능한 코드를 저장하는 비-일시적인 컴퓨터 판독가능 매체를 제공하며, 상기 컴퓨터 실행가능한 코드는 데이터를 획득하고; 코드워드를 생성하기 위해 데이터를 인코딩하고; 복수의 비트 튜플들에 기초하는 반복 패턴에 따라 코드워드를 수정하는 것으로서, 여기서 복수의 비트 튜플들 중 특정 비트 튜플의 최대 하나의 비트는 반복 비트로 지정되는, 상기 코드워드를 수정하며; 그리고 수정된 코드워드를 출력하기 (예를 들어, 송신하기) 위한 코드를 포함한다.

[0016] 본 개시의 이들 및 다른 양태들은 뒤이어지는 상세한 설명의 검토 시 더 충분히 이해되게 될 것이다. 본 개시의 다른 양태들, 특징들, 및 구현들은, 첨부 도면들과 함께 본 개시의 특정한 구현들의 다음의 설명을 검토할 시, 당업자들에게 자명하게 될 것이다. 본 개시의 특징들이 하기의 특정 구현들 및 도면들에 대하여 논의될 수도 있지만, 본 개시의 모든 구현들은 본 명세서에서 논의된 유리한 특징들 중 하나 이상을 포함할 수 있다. 즉, 하나 이상의 구현들이 특정 유리한 특징들을 갖는 것으로서 논의될 수도 있지만, 그러한 특징들 중 하나 이상은 또한, 본 명세서에서 논의된 본 개시의 다양한 구현들에 따라 사용될 수도 있다. 유사한 방식으로, 특정 구현들이 디바이스, 시스템, 또는 방법 구현들로서 하에서 논의될 수도 있지만, 그러한 구현들은 다양한 디바이스들, 시스템들, 및 방법들로 구현될 수 있음을 이해해야 한다.

도면의 간단한 설명

[0017] 첨부 도면들은 본 개시의 다양한 양태들의 설명을 돕기 위해 제시되며, 오직 예시를 위해 제공될 뿐 그 한정을 위해 제공되지 않는다.

도 1 은 본 개시의 양태들이 사용될 수도 있는 예시적인 통신 시스템의 블록 다이어그램이다.

도 2 는 본 개시의 양태들이 사용될 수도 있는 예시적인 통신 디바이스들의 블록 다이어그램이다.

도 3 은 통신 채널의 표현의 일 예의 다이어그램이다.

도 4 는 폴라 코드들에 대한 분극화의 일 예의 다이어그램이다.

도 5 는 본 개시의 일부 양태들에 따른 예시적인 인코더 구조의 블록 다이어그램이다.

도 6 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 1 예시적인 평처링 기술의 개략도이다.

도 7 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 2 예시적인 평처링 기술의 개략도이다.

도 8 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 3 예시적인 평처링 기술의 개략도이다.

도 9 는 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 4 예시적인 평처링 기술의 개략도이다.

도 10 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 5 예시적인 평처링 기술의 개략도이다.

도 11 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 6 예시적인 평처링 기술의 개략도이다.

도 12 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 7 예시적인 평처링 기술의 개략도이다.

도 13 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 8 예시적인 평처링 기술의 개략도이다.

도 14 는 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 1 예시적인 반복 기술의 개략도이다.

도 15 는 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 2 예시적인 반복 기술의 개략도이다.

도 16 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 3 예시적인 반복 기술의 개략도이다.

도 17 은 본 개시의 일부 양태들에 따른 폴라 코드들에 대한 제 4 예시적인 반복 기술의 개략도이다.

도 18 은 본 개시의 일부 양태들에 따라 인코딩을 지원할 수 있는 장치 (예를 들어, 전자 디바이스) 에 대한 예

시적인 하드웨어 구현을 도시한 블록 다이어그램이다.

도 19 는 본 개시의 일부 양태들에 따른 인코딩 프로세스의 일 예를 나타내는 흐름도이다.

도 20 은 본 개시의 일부 양태들에 따른 인코딩 프로세스의 일 예를 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 개시의 다양한 양태는 (예를 들어, 무선 통신을 위한) 정보의 통신을 위한 인코딩에 관한 것이다. 일부 양태들에서, 인코딩은 코드워드의 평처링 비트들 또는 코드워드의 반복 비트들을 수반할 수도 있다. 일 예시로서, 폴라 코드와 같은 블록 코드를 이용한 데이터 인코딩의 경우, 코드워드 길이 N 은 2 의 거듭제곱 (power-of-two) 일 수 있다. 따라서, 데이터 인코딩은 코드워드 사이즈를 리소스 할당 (2 의 거듭제곱에 대응하지 않을 수도 있음) 과 매칭하기 위해 평처링 또는 반복을 사용할 수도 있다. 다른 예로서, 데이터 인코딩은 수신기에서 디코딩 성능을 개선하기 위해 평처링 또는 반복을 사용할 수도 있다. 본 개시는 일부 양태들에서 개선된 성능을 제공할 수도 있는 평처링 또는 반복 패턴을 선택하는 것에 관련된다. 일부 양태들에서, 데이터 인코딩을 위한 평처 패턴은 XOR 의 출력 및 반복 입력이 소거되지 않는다는 기준에 기초하여 선택된다. 일부 양태들에서, 데이터 인코딩에 대한 반복 패턴은 XOR 의 출력 및 반복 입력에 대해 반복이 적용되지 않는다는 기준에 기초하여 선택된다.
- [0019] 첨부된 도면들에 관련하여 아래에서 언급되는 상세한 설명은 다양한 구성들의 설명으로서 의도되고 본 명세서에서 설명되는 개념들이 실용화될 수도 있는 구성들만을 나타내도록 의도되지는 않았다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공할 목적으로 특정 세부사항들을 포함한다. 그러나, 이들 개념들은 이들 특정 세부사항들 없이 실시될 수도 있다는 것은 본 기술 분야의 통상의 기술자들에게 명백할 것이다. 또, 대안적인 구성들이 본 개시의 범위로부터 이탈함 없이 고안될 수도 있다. 부가적으로, 잘 알려진 엘리먼트들은, 본 개시의 관련 상세들을 불명료하게 하지 않도록 상세히 설명되지 않거나 생략될 것이다.
- [0020] 본 개시물 전체에 걸쳐 제시되는 다양한 개념들은 광범위한 장거리통신 시스템들, 네트워크 아키텍처들, 및 통신 표준들에 걸쳐 구현될 수도 있다. 예를 들어, 제 3 세대 파트너십 프로젝트 (3GPP) 는, 롱 텀 에볼루션 (LTE) 네트워크로서 종종 지칭되는 진화된 패킷 시스템 (EPS) 을 수반하는 네트워크들에 대한 수개의 무선 통신 표준들을 정의하는 표준 단체이다. 5 세대 (5G) 네트워크와 같은 진화된 버전의 LTE 네트워크는 웹 브라우징, 비디오 스트리밍, VoIP, 미션 크리티컬 애플리케이션, 멀티 홉 네트워크, 실시간 피드백을 갖는 원격 동작 (예를 들어, 원격-수술) 등을 포함하지만, 이들에 제한되지 않는 다수의 상이한 타입의 서비스 또는 애플리케이션을 제공할 수도 있다. 따라서, 여기에서의 교시는 5G 기술, 제 4 세대 (4G) 기술, 제 3 세대 (3G) 기술, 및 다른 네트워크 아키텍처들을, 제한 없이, 포함하는 다양한 네트워크 기술들에 따라 구현될 수 있다. 또한, 여기에 기술된 기법들은 다운 링크, 업 링크, 피어-투-피어 링크, 또는 일부 다른 타입의 링크를 위해 사용될 수도 있다.
- [0021] 채용된 실제 전기통신 표준, 네트워크 아키텍처, 및/또는 통신 표준은 시스템에 부과된 전체 설계 제약들 및 특정 애플리케이션에 의존할 것이다. 예시를 위해, 다음은 5G 시스템 및/또는 LTE 시스템의 맥락에서 다양한 양태들을 기술할 수도 있다. 그러나, 여기의 교시가 다른 시스템에서도 사용될 수 있음을 이해해야한다. 따라서, 5G 및/또는 LTE 용어의 맥락에서의 기능에 대한 언급은 다른 타입의 기술, 네트워크, 컴포넌트, 시그널링 등에 동등하게 적용 가능하다는 것을 이해해야한다.
- [0022]
- [0023] 예시적인 통신 시스템
- [0024] 도 1 은 사용자 장비 (UE) 가 무선 통신 시그널링을 통해 다른 디바이스들과 통신할 수 있는 무선 통신 시스템 (100) 의 예를 도시한다. 예를 들어, 제 1 UE (102) 및 제 2 UE (104) 는 TRP (106) 및/또는 다른 네트워크 컴포넌트들 (예를 들어, 코어 네트워크 (108), 인터넷 서비스 제공자 (ISP) (110), 피어 디바이스들 (peer devices) 등) 에 의해 관리되는 무선 통신 리소스들을 사용하여 송신 수신 포인트 (TRP) (106) 와 통신할 수도 있다. 일부 구현들에서, 시스템 (100) 의 하나 이상의 컴포넌트는 디바이스-대-디바이스 (D2D) 링크 (112) 또는 몇몇 다른 유사한 타입의 직접 링크를 통해 서로 직접 통신할 수도 있다.
- [0025] 시스템 (100) 의 2 이상의 컴포넌트들 사이의 정보 통신은 정보를 인코딩하는 것을 포함할 수도 있다. 예를 들어, TRP (106) 는 TRP (106) 가 UE (102) 또는 UE (104) 로 전송하는 데이터 (예컨대, 사용자 데이터 또는 제어 정보) 를 인코딩할 수도 있다. 다른 예로서, UE (102) 는 UE (102) 가 TRP (106) 또는 UE (104) 로

전송하는 데이터 (예컨대, 사용자 데이터 또는 제어 정보)를 인코딩할 수도 있다. 인코딩은 폴라 코딩과 같은 블록 코딩을 포함할 수도 있다. 본 명세서의 교시에 따라, UE (102), UE (104), TRP (106), 또는 시스템 (100)의 일부 다른 컴포넌트 중 하나 이상은 평처 및/또는 반복을 갖는 인코더 (114)를 포함할 수도 있다.

[0026] 무선 통신 시스템 (100)의 컴포넌트들 및 링크들은 상이한 구현 예에서 상이한 형태를 취할 수도 있다. UE의 예로는, 제한 없이, 셀룰러 디바이스, IoT (Internet of Things) 디바이스, 셀룰러 IoT (CIoT) 디바이스, LTE 무선 셀룰러 디바이스, 머신-타입 통신 (MTC) 셀룰러 디바이스, 스마트 경보, 원격 센서, 스마트 폰, 휴대 전화, 스마트 계량기, 개인용 정보 단말기 (PDA), 개인용 컴퓨터, 메쉬 노드 및 태블릿 컴퓨터를 포함할 수도 있다.

[0027] 일부 양태들에서, TRP는 특정 물리적 셀에 대한 무선 헤드 기능성을 통합하는 물리적 엔티티를 지칭할 수도 있다. 일부 양태들에서, TRP는 직교 주파수 분할 멀티플렉싱 (OFDM)에 기초한 무선 인터페이스를 갖는 5G 뉴 라디오 (NR) 기능성을 포함할 수도 있다. NR은, 예를 들어 그리고 제한 없이, 향상된 모바일 광대역 (eMBB), 미션-크리티컬 서비스 및 IoT 디바이스들의 대규모 전개를 지원할 수도 있다. TRP의 기능성은, 하나 이상의 양태들에서, CIoT 기지국 (C-BS), 노드B, 진화된 노드B (e노드B), 무선 액세스 네트워크 (RAN) 액세스 노드, 무선 네트워크 제어기 (RNC), 기지국 (BS), 무선 기지국 (RBS), 기지국 제어기 (BSC), 기지국 송수신기 (BTS), 송수신기 기능부 (TF), 무선 송수신기, 무선 라우터, 기본 서비스 세트 (BSS), 확장된 서비스 세트 (ESS), 매크로 셀, 매크로 노드, 홈 eNB (HeNB), 펌토 셀, 펌토 노드, 피코 노드, 또는 기타 다른 적합한 엔티티의 기능성과 유사할 (그 기능성을 포함하거나 그 기능성에 통합될) 수도 있다. 상이한 시나리오 (예: NR, LTE 등)에서, TRP는 gNodeB (gNB), eNB, 기지국으로서 지칭되거나, 또는 다른 용어를 사용하여 참조될 수도 있다.

[0028] 다양한 타입의 네트워크-대-디바이스 링크들 및 D2D 링크들이 무선 통신 시스템 (100)에서 지원될 수도 있다. 예를 들어, D2D 링크에는 머신-대-머신 (M2M) 링크, MTC 링크, 차량-대-차량 (V2V) 링크 및 차량-대-만물 (V2X) 링크가 포함되며, 이에 제한되지 않는다. 네트워크-대-디바이스 링크들은 업 링크 (또는 역방향 링크), 다운 링크 (또는 순방향 링크) 및 차량-대-네트워크 (V2N) 링크가 포함되며 이에 국한되지 않는다.

[0029]

[0030] 예시적인 통신 컴포넌트들

[0031] 도 2는 본 명세서의 교시를 사용할 수도 있는 제 1 무선 통신 디바이스 (202) 및 제 2 무선 통신 디바이스 (204)를 포함하는 무선 통신 시스템 (200)의 개략도이다. 일부 구현 예에서, 제 1 무선 통신 디바이스 (202) 또는 제 2 무선 통신 디바이스 (204)는 UE (102), UE (104), TRP (106) 또는 도 1의 일부 다른 컴포넌트에 대응할 수도 있다.

[0032] 도시된 예에서, 제 1 무선 통신 디바이스 (202)는 통신 채널 (206) (예를 들어, 무선 채널)을 통해 제 2 무선 통신 디바이스 (204)로 메시지를 송신한다. 메시지의 신뢰성있는 통신을 제공하기 위해 처리되어야 하는 그러한 방식의 한 가지 문제는 통신 채널 (206)에 영향을 미치는 잡음 (208)을 고려하는 것이다.

[0033] 블록 코드 또는 에러 정정 코드는 잡음성 채널을 통한 메시지의 신뢰성있는 송신을 제공하는데 자주 사용된다. 전형적인 블록 코드에서, 제 1 (송신) 무선 통신 디바이스 (202)에서의 정보 소스 (210)로부터의 정보 메시지 또는 시퀀스는 각각의 블록이 K 비트의 길이를 갖는 블록들로 분할된다. 인코더 (212)는 정보 메시지에 리던던시 (redundancy)를 수학적으로 부가하여 N의 길이를 갖는 코드워드를 발생시키며, 여기서 $N > K$ 이다. 여기서, 코드 레이트 R은 메시지 길이와 블록 길이 간의 비율이다 (즉, $R = K/N$). 인코딩된 정보 메시지에서의 이러한 리던던시의 활용은 제 2 (수신) 무선 통신 디바이스 (204)에서 송신된 메시지를 신뢰성있게 수신하는 열쇠이며, 리던던시는 송신된 메시지에 부여된 잡음 (208)으로 인해 발생할 수 있는 비트 에러에 대한 정정을 가능하게 한다. 즉, 제 2 (수신) 무선 통신 디바이스 (204)에서의 디코더 (214)는, 부분적으로, 채널 (206)에 대한 잡음 (208)의 부가에 기인하여 비트 에러가 발생할 수 있음에도 불구하고 정보 싱크 (216)에 제공된 정보 메시지를 신뢰성있게 복구하기 위해 리던던시를 이용할 수 있다.

[0034] 다른 것들 중에서, 해밍 코드, BCH (Bose-Chaudhuri-Hocquenghem) 코드 및 터보 코드를 포함하는 이러한 에러 정정 블록 코드의 많은 예는 당업자들에게 알려져 있다. 일부 기존 무선 통신 네트워크는 이러한 블록 코드를 이용한다. 예를 들어, 3GPP LTE 네트워크는 터보 코드를 사용할 수도 있다. 그러나 장래의 네트워크

에서, 폴라 코드라고 불리는 새로운 범주의 블록 코드는 다른 코드와 비교하여 향상된 성능으로 신뢰할 수 있고 효율적인 정보 전송을 위한 잠재적인 기회를 제공한다.

[0035] 폴라 코드는 채널 분극화가 폴라 코드를 정의하는 재귀 알고리즘으로 생성되는 선형 블록 에러 정정 코드이다. 폴라 코드는 대칭 이진 입력 이산 메모리리스 채널의 채널 용량을 달성하는 제 1 명시적 코드이다. 즉, 폴라 코드는 채널 용량 (새넨 한도) 또는 노이즈가 있는 경우 주어진 대역폭의 이산 메모리리스 채널에서 송신될 수 있는 에러-프리 (error-free) 정보의 양에 대한 이론적 상한을 달성한다. 이 용량은 간단한 연속 제거 (SC) 디코더로 달성될 수 있다.

[0036] 폴라 코드들은 블록 코드들 (N, K) 로서 간주될 수도 있다. 인코더 (212) 가 정보 비트들의 수 K 를 선택할 수 있도록 유연할 수 있지만, 폴라 코드의 경우, 코드워드 길이 N 은 2 의 거듭제곱이며 (예: 256, 512, 1024

등), 이는 분극화 행렬의 원래 구성은 $\begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 의 크로네커 (Kronecker) 곱에 기초하기 때문이다.

[0037] 본 개시는 일부 양태들에서 폴라 코드들에 대한 평처링 및 반복에 관련된다. 본원에서 사용되는 것과 같이, 용어 평처링은, 예를 들어, 원래의 블록의 일부 비트를 생략함으로써 (예를 들어, 제거함으로써) 블록의 사이즈를 감소시키는 것을 지칭할 수도 있지만, 용어 반복은 예를 들어, 원래 블록의 일부 비트를 반복함으로써 (예를 들어, 추가함으로써) 블록의 사이즈를 증가시키는 것을 지칭할 수도 있다.

[0038] 제 1 송신을 위한 인코딩된 데이터를 생성하기 위해, 인코더 (212) 는 인코딩된 데이터 (218) (예를 들어, 코드워드) 를 생성한다. 그 후, 인코더 (212) 는 인코딩된 데이터 (218) 가 평처링되는지 또는 반복되는지의 여부에 의존하여, 각각 평처 패턴 또는 반복 패턴을 각각 결정한다. 이하에서 보다 상세히 설명되는 바와 같이, 평처링 또는 반복할 비트의 결정은 일부 양태들에서, 비트를 튜플들로 분할하고, 소정의 튜플로부터 단지 하나의 비트를 선택하는 것에 의존할 수도 있다. 이는 수행되고 있는 특정 동작에 따라 특정 평처 패턴 또는 반복 패턴을 초래한다. 이를 위해, 인코더 (212) 는 각 튜플로부터 하나의 비트를 선택함으로써 평처 또는 반복 패턴을 결정하기 위한 모듈 (220) 을 포함한다. 인코딩된 데이터를 평처링 또는 반복하기 위한 모듈 (222) 은 각각 결정된 평처 패턴 또는 반복 패턴을 사용하여 인코딩된 데이터 (218) 를 평처링 또는 반복한다. 그 후, 제 1 무선 통신 디바이스 (202) 는 결과적인 데이터 (예를 들어, 코드워드) 를 송신한다. 본 명세서에서 사용된 것과 같이, 용어 튜플은 2 이상의 엘리먼트들의 세트를 지칭한다. 따라서 비트 튜플은 더 많은 비트들 중 2 개의 세트 (예를 들어, 비트 쌍) 를 지칭한다.

[0039] 제 2 무선 통신 디바이스 (204) 에서 평처링된 또는 반복된 인코딩된 데이터 (226) 를 수신하면, 디코딩 모듈 (224) 은 데이터 (226) 를 디코딩한다. 예를 들어, 디코더 (214) 는 SC 디코딩 또는 몇몇 다른 적절한 타입의 디코딩과 같은 디코딩을 사용할 수도 있다.

[0040] 본 명세서의 교시들은 인코더 또는 인코딩을 수행하는 다른 타입의 다른 프로세싱 회로 (예를 들어, 프로세서) 의 인코딩 성능을 개선하는데 사용될 수도 있다. 예를 들어, 본 명세서에서 교시된 바와 같이 생성된 평처 및/또는 반복을 사용하는 인코더는 몇몇 다른 평처링 방식 및/또는 반복 방식을 사용하는 인코더와 비교하여 보다 신뢰성있는 인코딩을 제공할 수도 있다. 이러한 더 높은 신뢰도는, 예를 들어, 가장 낮은 소거 확률을 갖는 비트를 통해 정보를 전송함으로써, 달성될 수도 있다. 따라서, 이 방식으로 정보를 인코딩하지 않는 다른 평처링 및 반복 방식을 대신, 본 명세서에서 교시된 바와 같은 평처링 및/또는 반복을 사용함으로써 더 적은 재송신들이 요구될 수도 있다.

[0041] 일부 구현들에서, 인코더 (212) 는 입력 인터페이스 (228) 및/또는 출력 인터페이스 (230) 를 포함하거나 사용할 수도 있다. 이러한 인터페이스는 예를 들어 인터페이스 버스, 버스 드라이버, 버스 수신기, 무선 주파수 (RF) 회로부, 다른 적절한 회로 또는 이들의 조합을 포함할 수도 있다. 예를 들어, 입력 인터페이스 (228) 는 수신기 디바이스, 버퍼, RF 수신기, 또는 신호를 수신하기 위한 다른 회로부를 포함할 수도 있다. 다른 예로서, 출력 인터페이스 (230) 는 출력 디바이스, 드라이버, RF 송신기, 또는 신호를 전송하기 위한 다른 회로부를 포함할 수도 있다. 일부 구현들에서, 이들 인터페이스는 인코더 (212) 의 하나 이상의 다른 컴포넌트와 인터페이스하도록 구성될 수도 있다.

[0042]

[0043] 폴라 코드

[0044] 폴라 코드는 지금부터 도 3 및 도 4 를 참조하여 보다 상세하게 설명될 것이다. 처음에 도 3 의 상부를 참

조하면, 이진-입력 이산 메모리리스 채널 (302) 은 $W : X \rightarrow Y$ 로 표현될 수도 있으며, 여기서 X 는 입력이고 Y 는 채널 W 의 출력이다. 이 채널의 용량 C 는 다음과 같다: $C = I(X; Y)$, 여기서 I 는 상호 정보 함수를 나타낸다.

[0045] 도 3 의 하부를 참조하면, 다수의 입력들에 대한 유효 채널 W_{vec} (308) 은 다음과 같이 표현될 수도 있다. 이진 입력의 예에서, $0 \leq C \leq 1$ 의 경우, 변환은 다음 동작들을 포함할 수도 있다. 채널 W (302) 의 N 개의 카피들로 시작하여; 일대일 맵핑 $G_{N \times N}$ (310) 이 표 1 의 식 1 에 나타난 바와 같이, U 입력들 ($U_0, U_1, \dots, U_N$)로부터 X 출력들 ($X_0, X_1, \dots, X_N$)로 적용된다. 따라서 유효 채널 W_{vec} (308) 이 생성되고, $X^N = U^N \cdot G_{N \times N}$ 이다. $N = 2$ 인 비교적 단순한 경우에 대해, $G_{N \times N}$ 은 표 1의 식 2 에 나타난 바와 같이 표현될 수도 있다.

$X^N = U^N \cdot G_{N \times N}$, 여기서 $G_{N \times N} = \{0, 1\}^N \rightarrow \{0, 1\}^N$.	식 1
$G_{2 \times 2} = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$	식 2
$U_0 = X_0 \oplus X_1 = Y_{01} \oplus Y_1$ (패리티 체크에 대응함) $U_1 = X_1 = X_0 \oplus U_0$ (반복에 대응함)	식 3
$\varepsilon^- = 1 - (1 - \varepsilon)^2 = 2\varepsilon - \varepsilon^2$	식 4
$\varepsilon^+ = \varepsilon^2$.	식 5

[0046]

[0047] W 가 소거 확률이 ' ε ' 인 이진 소거 채널 (BEC) 이라고 가정하면, 표 1 의 식 3 에 기술된 관계는 참이다 (도 4 의 개략도 (400) 을 참조). 도 4 에서, U_0 는 입력이고 Y_0 는 채널 W_0 에 대한 출력이다. 유사하게, U_1 는 입력이고 Y_1 는 채널 W_1 에 대한 출력이다.

[0048] 채널 $W_0: U_0 \rightarrow Y^N$ 의 경우, 소거 확률 (ε^-) 은 표 1 의 식 4 에 기술된다. 채널 $W_1: U_1 \rightarrow (Y^N, U_0)$ 의 경우, 소거 확률 (ε^+) 은 표 1 의 식 5 에 기술된다. 상기 관점에서, W_1 은 W_0 보다 더 양호한 채널이다. 따라서, U_1 은 SC 디코딩 하에서 U_0 보다 높은 신뢰도를 가질 것이다. 위의 동작은 재귀적으로 수행될 수 있어서, N 에 걸친 더 많은 분극화를 산출한다.

[0049] 폴라 코드는 마더 코드가 일부 L 에 대해 길이 $N = 2L$ 를 갖는다는 제약이 있다. 실제로, 코드는 레이트 호환 가능할 수도 있다. 예를 들어, 코딩된 비트들은 할당의 제약을 만족시키기 위해 평처리될 수도 있다.

[0050] 대안적으로, 코딩된 비트들은 할당의 제약을 만족시키기 위해 반복될 수도 있다. 예를 들어, 고정된 N 으로 시작하고 할당 사이즈를 충족시키기 위해 반복한다. 인코더/디코더 복잡도는 $2N$ 에서 시작하여 평처리하는 것과 비교하여 이 경우 더 낮을 수도 있다.

[0051] 본 개시는 몇몇 양상들에서 기본 폴라 코드가 주어지면 평처리/반복을 위한 최상의 방식을 발견하는 것을 시도하는 것과 관련된다. 앞의 분석은 일 예로서 BEC 를 사용하며, 여기서 밀도 진전은 성능을 예측하는데 있어 더 다루기 쉽다. 그러나, 본 명세서의 교시는 임의의 채널 모델에 적용 가능하다.

[0052]

[0053] 인코더 구조

[0054] 도 5 는 평치 또는 반복을 위한 비트들이 본 명세서의 교시에 따라 선택될 수도 있는 인코더 구조 (500) 의 상위-레벨 예를 도시한다. 입력 비트는 출력 비트의 세트를 제공하기 위해 인코더 구조의 초기 스테이지 (또는 스테이지들) (502) 및 최종 스테이지 (504) 에 의해 연산된다.

[0055] 도 5 에 도시된 바와 같이, 최종 스테이지 (504) 는 몇몇 논리 블록들 (예를 들어, XOR들) 을 포함한다. 도 5 의 복잡성을 줄이기 위해, 오직 2 개의 논리 블록 (506 및 508) 만이 도시된다. 최종 스테이지 (504) 는 더 많은 논리 블록을 포함할 수도 있음을 인식해야 한다.

- [0056] 본 명세서의 교시에 따르면, 출력 비트의 특정 비트는 평처/반복 스테이지 (512) 에 의해 평처링되거나 반복되도록 선택된다 (510). 예를 들어, 동일한 논리 블록의 입력 및 출력으로 구성된 비트 튜플의 선택이 회피될 수도 있다. 아래에서 더 자세히 설명하는 것과 같이, 이 선택은 인코딩의 개선된 성능을 초래할 수도 있다.
- [0057]
- [0058] 평처링
- [0059] 예시적인 평처링 방식은 도 6 내지 도 13 을 참조하여 보다 상세하게 설명될 것이다. 도 6 내지도 13 은 평처링될 비트들이 본 명세서의 교시에 따라 동일한 논리 블록의 입력 및 출력을 포함하지 않는, 평처 패턴들을 생성하기 위한 인코더들 (600-1300) 의 몇몇 예들을 도시한다. 이들 도면에서, 비트 수 $N = 8$ 이고, 평처 비트 수 $P = 3$ 이고, 및 인코딩될 정보 비트 수 $K = 3$ 이다. 다른 값들이 다른 시나리오들에서 사용될 수도 있다. 이들 도면에 도시된 값은 해당 비트의 소거 확률을 표시한다. 소거 확률은 상이한 시나리오에서 상이한 값을 가질 수도 있다.
- [0060] 단계 1 : 평처링: 비-비트 반전 폴라 코드 구성을 취한다. N 개의 출력 비트 중 P 개가 평처링될 것이라고 가정한다. 더 양호한 평처링 방식 중 하나는 상부- P 연속 인코딩된 비트를 선택하고 평처하는 것 (도 6) 또는 하부- P 연속 인코딩된 비트를 선택하고 평처하는 것 (도 8) 이다. 이들은, 예를 들어, 소거 확률 관점에서 등가의 방법들이다.
- [0061] 단계 2 : 비트들을 프리즈: K (인코딩될 정보 비트의 수) $< N$ 인 경우, 정보 비트의 일부가 프리즈된다. 일부 구현들에서, 프리즈된 비트는 여기에 기술된 평처링 패턴에 따라 밀도 진화에 기초하여 선택될 수 있다. 대안으로, 정의된 (예를 들어, 사전 정의된) 프리즈된 비트 시퀀스 (예를 들어, 준-최적일 수도 있음) 가 사용될 수 있다. 유사한 프리즈된 비트 기술들이 또한 반복을 위해 사용될 수 있다.
- [0062] 상기가 완료되면, 각 비트에 대한 소거 확률이 계산될 수도 있고 (예를 들어, 도 6 내지 도 13 에 도시된 바와 같이 데이터 경로 (정보 경로) 위의 숫자 1, 0.75, 0.5 등) 정보 비트들은 가장 낮은 소거 확률을 갖는 비트를 통해 전송된다.
- [0063] 도 6 내지 도 13 에 도시된 바와 같이, 각각의 인코더 (600-1300) 는 대응하는 여러 확률들과 연관된 입력 비트 (예를 들어, 도 6 의 비트 (602-0 내지 602-7)) 및 출력 비트 (예를 들어, 도 6 의 비트 (604-0 내지 604-7)) 를 포함한다. 각각의 인코더는 또한 입력 스테이지, 및 XOR 그룹 (예를 들어, 도 6 의 XOR 그룹 (608)) 및 반복 경로들 (예를 들어, 도 6 의 경로들 (610)) 을 포함하는 최종 스테이지를 포함한다. XOR 은 표준 XOR 심볼들 (예를 들어, 도 6 의 XOR (612) 및 XOR (614)) 에 의해 표현된다. 추가의 여러 확률은 인코더의 중간 스테이지들 (예를 들어, 도 6 의 경로 (616-0 내지 616-7) 및 경로 (618-0 내지 618-7)) 에도 도시된다. 도 7 내지 도 13 은 유사한 넘버링으로 표시된 유사한 특징으로 도 6 과 유사한 구조를 도시한다.
- [0064] 전술한 바와 같이, 도 6 은 상부 평처링의 일 예 (즉, 출력 비트의 상부 절반으로부터의 비트들을 평처링) 를 도시한다. XOR 그룹 (608) 의 각 XOR 은 도 4 의 XOR 에 대응한다 (예를 들면, 폴라 인코딩 함수의 패리티 체크 경로 U_0). 또한, XOR 그룹 (608) 아래의 4 개의 경로 (610) 의 각각은 도 3 의 반복 경로 (U_1) 에 대응한다. 따라서, XOR 그룹 (608) 내의 각각의 XOR 은 출력을 가지며 본 명세서에서 반복 입력 (도 4 의 구조에 대응함) 으로 언급되는 것을 갖는다. 예를 들어, XOR (614) 은 출력 비트 (604-0) 및 반복 입력 비트 (604-4) 를 갖는다. 일부 양태들에서, XOR 그룹 (608) 은 인코더 그래프의 최종 스테이지로서 지칭될 수도 있다.
- [0065] 주목할 것은, 평처링된 비트들 (622) (출력 비트들 (604-0, 604-1, 및 604-2)) 은 XOR 그룹 (608) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다는 것이다. 예를 들어, XOR (614) 의 출력 비트 (출력 비트 (604-0)) 는 평처링되지만, XOR (614) 의 반복 입력 (출력 비트 (604-4)) 은 평처링되지 않는다. 이러한 XOR 중 하나에 대한 출력 및 반복 입력 양자가 평처링된 경우, 인코딩/디코딩의 성능 (예를 들어, 신뢰성) 이 일반적으로 더 악화될 것이다. 그러나, 이러한 XOR 중 하나의 출력과 반복 입력 중 오직 하나만이 평처링된다면, XOR 의 출력은 삭제되지만 반복 경로의 출력 (반복 입력에 대응함) 은 평처링되지 않을 것이다. 따라서, 이 시나리오에서 성능이 더 양호하다.
- [0066] 도 7 내지 도 13 의 평처 패턴 예들이 지금부터 설명될 것이다.
- [0067] 평처는 도 7 의 인코더 (700) 에 대해 도시된 바와 같이 출력 비트의 상부 (시작) 절반과 하부 (종료) 절반 사

이에서 분할될 수 있다. 이 예에서, 평처링될 비트 (722) 는 출력 비트 (704-0, 704-1, 및 704-6) 를 포함한다. 도 7 의 비트 스와프 (724) 는 도 6 과 관련된다. 특히, 출력 비트 (704-6) 는 출력 비트 (704-2) 대신에 평처링된다 (평처링된 비트 (622) 가 출력 비트 (604-2) 를 포함하는 도 6 과 대조됨). 본원의 교시에 따라, 평처링된 비트들 (722) 은 XOR 그룹 (708) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0068] 전술한 바와 같이, 도 8 은 도 6 의 하부-평처링 (즉, 출력 비트의 하부 절반으로부터의 평처링 비트) 과 상부-평처링 사이의 소거 확률 증가성을 도시한다. 인코더 (800) 는 평처링될 비트 (822) 가, 모두가 출력 비트의 하부 절반으로부터 오는, 출력 비트들 (804-5, 804-6, 및 804-7) 을 포함하는 하부-평처링의 예를 도시한다. 이것은 모든 평처링된 비트 (622) 가 출력 비트의 상부 절반으로부터 오는, 도 6 과는 대조적이다. 본원의 교시에 따라, 평처링된 비트들 (822) 은 XOR 그룹 (808) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0069] 도 7 과 유사하게, 도 9 의 인코더 (900) 는, 평처 비트가 출력 비트의 상부 (시작) 절반과 하부 (종료) 절반 사이에서 분할될 수 있는, 다른 방식을 도시한다. 이 예에서, 평처링될 비트 (922) 는 출력 비트 (904-1, 904-6, 및 904-7) 를 포함한다. 도 9 의 비트 스와프 (924) 는 도 8 과 관련된다. 특히, 출력 비트 (904-1) 는 출력 비트 (904-5) 대신에 평처링된다 (평처링된 비트 (822) 가 출력 비트 (804-5) 를 포함하는 도 8 과 대조됨). 본원의 교시에 따라, 평처링된 비트들 (922) 은 XOR 그룹 (908) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0070] 도 10 의 인코더 (1000) 는, 인코더 (600-900) 와 동일한 소거 확률 결과를 달성하기 위해 평처링하기 위한 비트를 분할하는, 다른 방법을 도시한다. 이 경우, 분할된 평처는 출력 비트의 상부 (시작) 와 하부 (종료) 사이에 있다. 구체적으로, 평처링될 비트 (1022) 는 출력 비트 (1004-0, 1004-1, 및 1004-7) 를 포함한다. 본원의 교시에 따라, 평처링된 비트들 (1022) 은 XOR 그룹 (1008) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0071] 도 11 은 도 10 과 관련하여 비트 스와프 (1124) 로 달성된 상부-평처링의 또 다른 예를 도시한다. 특히, 출력 비트 (1104-3) 는 출력 비트 (1104-7) 대신에 평처링된다 (평처링된 비트 (1022) 가 출력 비트 (1004-7) 를 포함하는 도 10 과 대조됨). 본원의 교시에 따라, 평처링된 비트들 (1122) 은 XOR 그룹 (1108) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0072] 도 12 의 인코더 (1200) 는, 인코더 (600-1100) 와 동일한 소거 확률 결과를 달성하기 위해 평처링된 비트를 분할하는, 다른 방법을 도시한다. 평처링될 비트 (1222) 는 출력 비트 (1204-0, 1204-6, 및 1204-7) 를 포함한다. 본원의 교시에 따라, 평처링된 비트들 (1222) 은 XOR 그룹 (1208) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0073] 도 13 은 도 12 과 관련하여 비트 스와프 (1324) 로 달성된 상부-평처링의 또 다른 예를 도시한다. 여기서, 출력 비트 (1304-2 및 1304-3) 는 출력 비트 (1304-6 및 1304-7) 대신에 평처링된다 (평처링된 비트 (1222) 가 출력 비트 (1204-6 및 1204-7) 를 포함하는 도 12 과 대조됨). 본원의 교시에 따라, 평처링된 비트들 (1322) 은 XOR 그룹 (1308) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0074] 상기로부터, 모든 구성이 동일한 소거 확률 결과를 달성하는 것을 볼 수도 있다. 주목할 것은, 각 구성에서, 평처링된 비트는 XOR 그룹 (402) (예를 들어, 패리티 체크 XOR 그룹) 의 임의의 XOR 의 XOR 의 출력 및 반복 입력 양자를 포함하지 않는다는 것이다. 선택된 실제 구성은 다양한 기준에 의존할 수도 있다. 예를 들어, 인접한 비트를 사용하는 것이 더 용이할 수도 있다. 다른 예 (예를 들어, OFDM 시나리오) 로서, 비트들 중 일부는 채널 페이딩을 겪을 수도 있다. 따라서, 이러한 비트는 평처를 위한 더 양호한 후보일 수도 있다. 본 명세서의 교시에 따라, 다른 구성 (예를 들어, 상이한 수의 평처링된 비트, 상이한 수의 출력 비트, 상이한 비트 분할, 상이한 비트 그룹화, 등) 이 사용될 수도 있다는 것을 인식해야 한다.

[0075] 다음의 방식들은 P 위치들을 평처링하기 위해 폴라 코드의 인코딩된 비트의 인덱스 (길이-N) 를 선택하는 방법의 예를 도시한다.

[0076] 방식 1 (시작부로부터) : 평처 세트 = 각 튜플 (0, N/2), (1, N/2+1), ..., (i, N/2+i), ..., (P-1, N/2+P-1) 로부터 하나를 선택한다.

[0077] 방식 2 (종료부로부터) : 평처 세트 = 각 튜플 (N/2-1, N-1), (N/2-2, N-2), ..., (N/2-i, N-i), ..., (N/2-

P, N-P)로부터 하나를 선택한다.

[0078] 방식 3 (시작부와 종료부로부터의 혼합) : 주어진 m 에 대하여 : $m \in \{0, P-1\}$, $j = P-m$ 을 정의; Set1 = 각 튜플 $(0, N/2), (1, N/2+1), \dots, (m, N/2+m)$ 로부터 하나를 선택한다;

[0079] Set2 = 각 튜플 $(N/2-1, N-1), (N/2-2, N-2), \dots, (N/2-j, N-j)$ 로부터 하나를 선택한다; 평저 세트 = Set1 + Set2.

[0080]

[0081] 반복

[0082] 예시적인 반복 방식은 도 14 내지 도 17을 참조하여 보다 상세하게 설명될 것이다. 도 14 내지 도 17은 반복될 비트들이 본 명세서의 교시에 따라 동일한 논리 블록의 입력 및 출력을 포함하지 않는, 반복 패턴들을 생성하기 위한 인코더들 (1400-1700)의 몇몇 예들을 도시한다. 이들 도면에서, 비트 수 $N = 8$ 이고, 반복 비트 수 $P = 3$ 이고, 및 인코딩될 정보 비트 수 $K = 3$ 이다. 다른 값들이 다른 시나리오들에서 사용될 수도 있다. 이들 도면에 도시된 값은 해당 비트의 소거 확률을 표시한다. 소거 확률은 상이한 시나리오에서 상이한 값을 가질 수도 있다.

[0083] 다음의 방식들은 P 위치들을 반복하기 위해 폴라 코드의 인코딩된 비트의 인덱스 (길이-N)를 선택하는 방법의 예를 도시한다. 일부 양태들에서, 반복을 위한 인덱스들을 선택하기 위해 사용된 것과 동일한 기준이 반복을 위한 인덱스들을 선택하기 위해 사용된다. 즉, 반복 비트는 패리티 체크 XOR 그룹의 임의의 XOR의 출력 및 반복 입력을 포함하지 않는다. 이러한 XOR 중 하나의 출력 및 반복 입력 양자가 반복된 경우, 인코딩/디코딩의 성능(예를 들어, 신뢰성)이 유의하지 않을 것이다. 그러나, 이러한 XOR의 출력 및 반복 입력 중 최대 하나가 반복되면, 성능 이득이 더 높아질 수도 있다.

[0084] 방식 1 (시작부로부터) : 반복 세트 = 각 튜플 $(0, N/2), (1, N/2+1), \dots, (i, N/2+i), \dots, (R-1, N/2+R-1)$ 로부터 하나를 선택한다.

[0085] 방식 2 (종료부로부터) : 반복 세트 = 각 튜플 $(N/2-1, N-1), (N/2-2, N-2), \dots, (N/2-i, N-i), \dots, (N/2-R, N-R)$ 로부터 하나를 선택한다.

[0086] 방식 3 (시작부와 종료부로부터의 혼합) : 주어진 m 에 대하여 : $m \in \{0, R-1\}$, $j = R-m$ 을 정의; Set1 = 각 튜플 $(0, N/2), (1, N/2+1), \dots, (m, N/2+m)$ 하나를 선택한다; Set2 = 각 튜플 $(N/2-1, N-1), (N/2-2, N-2), \dots, (N/2-j, N-j)$ 하나를 선택한다; 반복 세트 = Set1 + Set2.

[0087] 도 14 내지 도 17에서, 각각의 인코더 (1400-1700)는 대응하는 에러 확률들 (예를 들어, 데이터 경로들 (정보 경로들) 위의 수들 1, 0.75, 0.5, 등)과 연관된 입력 비트 (예를 들어, 도 14의 비트 (1402-0 내지 1402-7)) 및 출력 비트 (예를 들어, 도 14의 비트 (1404-0 내지 1404-7))를 포함한다. 각각의 인코더는 또한 입력 스테이지, 및 XOR 그룹 (예를 들어, 도 14의 XOR 그룹 (1408)) 및 반복 경로들 (예를 들어, 도 14의 경로들 (1410))을 포함하는 최종 스테이지를 포함한다. XOR은 표준 XOR 심볼들 (예를 들어, 도 14의 XOR (1412) 및 XOR (1414))에 의해 표현된다. 추가의 에러 확률은 인코더의 중간 스테이지들 (예를 들어, 도 14의 경로 (1416-0 내지 1416-7) 및 경로 (1418-0 내지 1418-7))에도 도시된다. 도 15 내지 도 17은 유사한 넘버링으로 표시된 유사한 특징으로 도 14과 유사한 구조를 도시한다. 일반적으로, 도 6 내지 도 13의 임의의 구조는 또한, 반복에 적용될 수도 있다.

[0088] 도 14는 상부 반복의 일 예 (즉, 출력 비트의 상부 절반으로부터의 반복 비트)를 도시한다. 주목할 것은, 반복된 비트들 (1422) (출력 비트들 (1404-0, 1404-1, 및 1404-2))은 XOR 그룹 (1408)의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다는 것이다. 예를 들어, XOR (1414)의 출력 비트 (출력 비트 (1404-0))는 반복되지만, XOR (1414)의 반복 입력 (출력 비트 (1404-4))은 반복되지 않는다. XOR 그룹 (1408)의 XOR들은 도 4의 XOR에 대응하는 것을 주목한다 (예를 들면, 폴라 인코딩 그래프의 패리티 체크 경로).

[0089] 반복은 도 15의 인코더 (1500)에 대해 도시된 바와 같이 출력 비트의 상부 (시작) 절반과 하부 (종료) 절반 사이에서 분할될 수 있다. 이 예에서, 반복된 비트 (1522)는 출력 비트 (1504-0, 1504-1, 및 1504-6)를 포함한다. 도 15의 비트 스와프 (1524)는 도 14과 관련된다. 특히, 출력 비트 (1504-6)는 출력 비트 (1504-2) 대신에 반복된다 (반복된 비트 (1422)가 출력 비트 (1404-2)를 포함하는 도 14과 대조됨). 본원의 교시에 따라, 반복된 비트들 (1522)은 XOR 그룹 (1508)의 4개의 XOR들 중 임의의 것의 출력 및 반복

입력 양자를 포함하지 않는다.

[0090] 도 16 은 도 14 의 하부-핑처링 (즉, 출력 비트의 하부 절반으로부터의 반복 비트) 과 상부-핑처링 사이의 소거 확률 증가성을 도시한다. 인코더 (1600) 는 반복될 비트 (1622) 가, 그 전부가 출력 비트의 하부 절반으로부터 오는, 출력 비트들 (1604-5, 1604-6, 및 1604-7) 을 포함하는 하부-반복의 예를 도시한다. 이것은 모든 반복된 비트 (1422) 가 출력 비트의 상부 절반으로부터 오는, 도 14 와는 대조적이다. 본원의 교시에 따라, 반복된 비트들 (1622) 은 XOR 그룹 (1608) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0091] 도 15 과 유사하게, 도 17 은, 반복 비트가 출력 비트의 상부 (시작) 절반과 하부 (종료) 절반 사이에서 분할될 수 있는, 다른 방식을 도시한다. 이 예에서, 반복될 비트 (1722) 는 출력 비트 (1704-1, 1704-6, 및 1704-7) 를 포함한다. 도 17 의 비트 스와프 (1724) 는 도 16 과 관련된다. 특히, 출력 비트 (1704-1) 는 출력 비트 (1704-5) 대신에 반복된다 (반복된 비트 (1622) 가 출력 비트 (1604-5) 를 포함하는 도 16 과 대조됨). 본원의 교시에 따라, 반복된 비트들 (1722) 은 XOR 그룹 (1708) 의 4 개의 XOR들 중 임의의 것의 출력 및 반복 입력 양자를 포함하지 않는다.

[0092] 상기로부터, 모든 구성이 동일한 소거 확률 결과를 달성하는 것을 볼 수도 있다. 이는, 각 구성에서, 반복된 비트는 XOR 그룹 (402) (예를 들어, 패리티 체크 XOR 그룹) 의 임의의 XOR 의 XOR 의 출력 및 반복 입력 양자를 포함하지 않기 때문이다. 선택된 실제 구성은 다양한 기준에 의존할 수도 있다. 예를 들어, 인접한 비트를 사용하는 것이 더 용이할 수도 있다. 본 명세서의 교시에 따라, 다른 구성 (예를 들어, 상이한 수의 반복된 비트, 상이한 수의 출력 비트, 상이한 비트 분할, 상이한 비트 그룹화, 등) 이 사용될 수도 있다는 것을 인식해야 한다.

[0093]

[0094] 예시적인 장치

[0095] 도 18 은 본 개시의 하나 이상의 양태들에 따라 인코딩을 사용할 수도 있는 장치 (1800) 의 예시이다. 장치 (1800) 는 UE, TRP, gNB, 액세스 포인트, 또는 인코딩을 사용하는 몇몇 다른 타입의 디바이스 내에서 구체화되거나 구현될 수 있다. 다양한 구현들에서, 장치 (1800) 는 액세스 단말, 기지국, 또는 일부 다른 타입의 디바이스를 구체화하거나 이들 내에서 구현될 수 있다. 다양한 구현들에서, 장치 (1800) 는 이동 전화, 스마트폰, 태블릿, 휴대용 컴퓨터, 서버, 개인용 컴퓨터, 센서, 경보 장치, 차량, 기계, 엔터테인먼트 디바이스, 의료 디바이스, 또는 회로를 갖는 임의의 다른 전자 디바이스를 구체화하거나 이들 내에서 구현될 수 있다.

[0096] 장치 (1800) 는 통신 인터페이스 (1802) (예를 들어, 적어도 하나의 송수신기), 저장 매체 (1804), 사용자 인터페이스 (1806), 메모리 디바이스 (1808), 및 프로세싱 회로 (1810) (예를 들어, 적어도 하나의 프로세서) 를 포함한다. 이들 컴포넌트들은, 도 18 에서 접속 라인들에 의해 일반적으로 표현된 시그널링 버스 또는 다른 적합한 컴포넌트를 통해 서로 커플링되고/되거나 서로 전기 통신하도록 배치될 수 있다. 시그널링 버스는 프로세싱 회로 (1810) 의 특정 어플리케이션 및 전체 설계 제약들에 의존하는 임의의 수의 상호접속 버스들 및 브리지들을 포함할 수도 있다. 시그널링 버스는, 통신 인터페이스 (1802), 저장 매체 (1804), 사용자 인터페이스 (1806), 및 메모리 디바이스 (1808) 의 각각이 프로세싱 회로 (1810) 에 커플링되고/되거나 전기 통신하도록 다양한 회로들을 함께 링크시킨다. 시그널링 버스는 또한, 당업계에 널리 공지되고 따라서 어떠한 추가 설명되지 않을 타이밍 소스들, 주변기기들, 전압 조정기들, 및 전력 관리 회로들과 같은 다양한 다른 회로들 (미도시) 을 링크시킬 수도 있다.

[0097] 통신 인터페이스 (1802) 는 장치 (1800) 의 무선 통신을 용이하게 하도록 적응될 수도 있다. 예를 들어, 통신 인터페이스 (1802) 는, 네트워크에 있어서의 하나 이상의 통신 디바이스들에 대하여 양방향으로의 정보의 통신을 용이하게 하도록 적응된 회로부 및/또는 프로그래밍을 포함할 수도 있다. 따라서, 일부 구현들에서, 통신 인터페이스 (1802) 는 무선 통신 시스템 내에서의 무선 통신을 위해 하나 이상의 안테나들 (1812) 에 커플링될 수도 있다. 일부 구현들에서, 통신 인터페이스 (1802) 는 유선 기반 통신을 위해 구성될 수도 있다. 예를 들어, 통신 인터페이스 (1802) 는 버스 인터페이스, 전송/수신 인터페이스, 또는 신호들을 출력 및/또는 획득 (예를 들어, 집적 회로로부터 신호들을 출력 및/또는 집적 회로로 신호들을 수신) 하기 위한 드라이버들, 버퍼들, 또는 다른 회로들을 포함하는 일부 다른 타입의 신호 인터페이스일 수 있다. 통신 인터페이스 (1802) 는 하나 이상의 자립형 수신기들 및/또는 송신기들 뿐 아니라 하나 이상의 트랜시버들로 구성될 수 있다. 도시된 예에 있어서, 통신 인터페이스 (1802) 는 송신기 (1814) 및 수신기 (1816) 를 포함한다.

- [0098] 메모리 디바이스 (1808) 는 하나 이상의 메모리 디바이스들을 표현할 수도 있다. 나타낸 바와 같이, 메모리 디바이스 (1808) 는 장치 (1800) 에 의해 사용된 다른 정보와 함께 코딩 관련 정보 (1818) 를 유지할 수도 있다. 일부 구현들에 있어서, 메모리 디바이스 (1808) 및 저장 매체 (1804) 는 공통 메모리 컴포넌트로서 구현된다. 메모리 디바이스 (1808) 는 또한, 장치 (1800) 의 프로세싱 회로 (1810) 또는 기타 다른 컴포넌트에 의해 조작되는 데이터를 저장하기 위해 사용될 수도 있다.
- [0099] 저장 매체 (1804) 는 프로세서 실행가능 코드 또는 명령들 (예를 들어, 소프트웨어, 펌웨어), 전자 데이터, 데이터베이스들, 또는 다른 디지털 정보와 같은 프로그래밍을 저장하는 하나 이상의 컴퓨터 판독가능, 머신 판독가능, 및/또는 프로세서 판독가능 디바이스들을 나타낼 수도 있다. 저장 매체 (1804) 는 또한, 프로그래밍을 실행할 경우 프로세싱 회로 (1810) 에 의해 조작되는 데이터를 저장하기 위해 사용될 수도 있다. 저장 매체 (1804) 는 휴대용 또는 고정식 저장 디바이스들, 광학 저장 디바이스들, 및 프로그래밍을 저장, 포함 및/또는 수록 가능한 다양한 다른 매체들을 포함하는 범용 또는 특수목적 프로세서에 의해 액세스될 수 있는 임의의 가용 매체들일 수도 있다.
- [0100] 한정이 아닌 예로서, 저장 매체 (1804) 는 자기 저장 디바이스 (예를 들어, 하드 디스크, 플로피 디스크, 자기 스트리프), 광학 디스크 (예를 들어, 콤팩트 디스크 (CD) 또는 디지털 다기능 디스크 (DVD)), 스마트 카드, 플래시 메모리 디바이스 (예를 들어, 카드, 스틱, 또는 키 드라이브), 랜덤 액세스 메모리 (RAM), 판독 전용 메모리 (ROM), 프로그램가능 ROM (PROM), 소거가능 PROM (EPROM), 전기적으로 소거가능 PROM (EEPROM), 레지스터, 착탈가능 디스크, 및 컴퓨터에 의해 액세스 및 판독될 수도 있는 소프트웨어 및/또는 명령들을 저장하기 위한 임의의 다른 적합한 매체를 포함할 수도 있다. 저장 매체 (1804) 는 제조 물품 (예를 들어, 컴퓨터 프로그램 제품) 으로 구현될 수도 있다. 예로서, 컴퓨터 프로그램 제품이 패키징 재료들로 컴퓨터 판독가능 매체를 포함할 수도 있다. 상기의 관점에서, 일부 구현들에 있어서, 저장 매체 (1804) 는 비-일시적인 (예를 들어, 유형의) 저장 매체일 수도 있다.
- [0101] 저장 매체 (1804) 는, 프로세싱 회로 (1810) 가 저장 매체 (1804) 로부터 정보를 판독할 수 있고 저장 매체에 정보를 기입할 수 있도록 프로세싱 회로 (1810) 에 커플링될 수도 있다. 즉, 저장 매체 (1804) 는, 적어도 하나의 저장 매체가 프로세싱 회로 (1810) 에 통합되는 예들 및/또는 적어도 하나의 저장 매체가 프로세싱 회로 (1810) 로부터 분리되는 (예를 들어, 장치 (1800) 에 상주하는, 장치 (1800) 외부에 있는, 다중의 엔티티들에 걸쳐 분포되는 등의) 예들을 포함하여, 저장 매체 (1804) 가 프로세싱 회로 (1810) 에 의해 적어도 액세스가능하도록 프로세싱 회로 (1810) 에 커플링될 수 있다.
- [0102] 저장 매체 (1804) 에 의해 저장된 프로그래밍은, 프로세싱 회로 (1810) 에 의해 실행될 경우, 프로세싱 회로 (1810) 로 하여금 본 명세서에서 설명된 다양한 기능들 및/또는 프로세스 동작들 중 하나 이상을 수행하게 한다. 예를 들어, 저장 매체 (1804) 는 프로세싱 회로 (1810) 의 하나 이상의 하드웨어 블록들에서의 동작들을 조절하기 위해 뿐만 아니라 그 개별 통신 프로토콜들을 활용하는 무선 통신용 통신 인터페이스 (1802) 를 활용하기 위해 구성된 동작들을 포함할 수도 있다. 일부 양태들에서, 저장 매체 (1104) 는 여기에 설명된 바와 같은 동작들을 수행하기 위한 코드를 포함하는 컴퓨터 실행 가능 코드를 저장하는 비 일시적 컴퓨터 판독 가능 매체일 수도 있다.
- [0103] 프로세싱 회로 (1810) 는 일반적으로, 저장 매체 (1804) 상에 저장된 그러한 프로그래밍의 실행을 포함한 프로세싱을 위해 적응된다. 본 명세서에서 사용된 바와 같이, 용어 "코드" 또는 "프로그래밍" 은 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 디스크립션 언어, 또는 기타 등등으로 지칭되는지에 관계없이, 명령들, 명령 세트들, 데이터, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 모듈들, 어플리케이션들, 소프트웨어 어플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 오브젝트들, 실행가능물들, 실행 스트림들, 절차들, 함수들 등을 한정 없이 포함하도록 넓게 해석될 것이다.
- [0104] 프로세싱 회로 (1810) 는 데이터를 획득, 프로세싱 및/또는 전송하고, 데이터 액세스 및 저장을 제어하고, 커맨드들을 발행하며, 다른 원하는 동작들을 제어하도록 배열된다. 프로세싱 회로 (1810) 는, 적어도 하나의 예에서 적절한 매체들에 의해 제공된 원하는 프로그래밍을 구현하도록 구성된 회로부를 포함할 수도 있다. 예를 들어, 프로세싱 회로 (1810) 는 실행가능 프로그래밍을 실행하도록 구성된 하나 이상의 프로세서들, 하나 이상의 제어기들, 및/또는 다른 구조로서 구현될 수도 있다. 프로세싱 회로 (1810) 의 예들은 범용 프로세서, 디지털 신호 프로세서 (DSP), 주문형 집적회로 (ASIC), 필드 프로그램가능 게이트 어레이 (FPGA) 또는 다른 프로그램가능 로직 컴포넌트, 별개의 게이트 또는 트랜지스터 로직, 별개의 하드웨어 컴포넌트들, 또는 본 명세서에서 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합을 포함할 수도 있다. 범용 프로세서는 마이크

로프로세서뿐 아니라 임의의 종래의 프로세서, 제어기, 마이크로 제어기, 또는 상태 머신을 포함할 수도 있다.

프로세싱 회로 (1810) 는 또한, DSP 와 마이크로프로세서의 조합, 다수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, ASIC 및 마이크로프로세서, 또는 임의의 다른 수의 가변 구성물들과 같은 컴퓨팅 컴포넌트들의 조합으로서 구현될 수도 있다. 프로세싱 회로 (1810) 의 이들 예들은 예시를 위한 것이며, 본 개시의 범위 내의 다른 적합한 구성들이 또한 고려된다.

[0105] 본 개시의 하나 이상의 양태들에 따르면, 프로세싱 회로 (1810) 는 본 명세서에서 설명된 장치들 중 임의의 하나 또는 그 모두에 대한 특징들, 프로세스들, 함수들, 동작들 및/또는 루틴들 중 임의의 하나 또는 그 모두를 수행하도록 적응될 수도 있다. 예를 들어, 프로세싱 회로 (1810) 는 도 1 내지 도 17, 도 19 및 도 20 에 대하여 설명된 단계들, 기능들, 및/또는 프로세스들 중 임의의 것을 수행하도록 구성될 수도 있다. 본 명세서에서 사용된 바와 같이, 프로세싱 회로 (1810) 와 관련한 용어 "적응된" 은, 프로세싱 회로 (1810) 가 본 명세서에서 설명된 다양한 특징들에 따른 특정 프로세스, 함수, 단계 및/또는 루틴을 수행하기 위해 구성되는 것, 채용되는 것, 구현되는 것, 및/또는 프로그래밍되는 것 중 하나 이상을 지칭할 수도 있다.

[0106] 프로세싱 회로 (1810) 는 도 1 내지 도 17, 도 19 및 도 20 과 함께 설명된 동작들 중 어느 하나를 실행하는 수단 (예컨대, 구조) 으로서 기능하는 애플리케이션용 집적 회로 (ASIC) 와 같은 특수화된 프로세서일 수도 있다. 처리 회로 (1810) 는 송신하는 수단 및/또는 수신하는 수단의 일례로서 작용할 수도 있다. 다양한 구현에서, 프로세싱 회로 (1810) 는 도 2 의 제 1 무선 통신 디바이스 (202) (예를 들어, 인코더 (212)) 에 대해 상술한 기능성을 적어도 부분적으로 제공 및/또는 통합할 수도 있다.

[0107] 장치 (1800) 의 적어도 하나의 예에 따르면, 프로세싱 회로 (1810) 는 획득하기 위한 회로/모듈 (1820), 인코딩하기 위한 회로/모듈 (1822), 수정하기 위한 회로/모듈 (1824), 출력하기 위한 회로/모듈 (1826), 또는 선택하기 위한 회로/모듈 (1828) 중 하나 이상을 포함할 수도 있다. 다양한 구현들에서, 획득하기 위한 회로/모듈 (1820), 인코딩하기 위한 회로/모듈 (1822), 수정하기 위한 회로/모듈 (1824), 출력하기 위한 회로/모듈 (1826), 또는 선택하기 위한 회로/모듈 (1828) 은 도 2 의 제 1 무선 통신 디바이스 (202) (예를 들어, 인코더 (212)) 에 대해 상술한 기능성을 적어도 부분적으로 제공 및/또는 통합할 수도 있다.

[0108] 앞서 언급된 바와 같이, 저장 매체 (1804) 에 의해 저장된 프로그래밍은, 프로세싱 회로 (1810) 에 의해 실행될 경우, 프로세싱 회로 (1810) 로 하여금 본 명세서에서 설명된 다양한 기능들 및/또는 프로세스 동작들 중 하나 이상을 수행하게 한다. 예를 들어, 프로그래밍은, 프로세싱 회로 (1810) 가 다양한 구현들에서 도 1 내지 도 17, 도 19 및 도 20 에 대하여 본원에 설명된 다양한 기능들, 단계들, 및/또는 프로세스들을 수행하게 할 수도 있다. 도 18 에 도시된 바와 같이, 저장 매체 (1804) 는 획득하기 위한 코드 (1830), 인코딩하기 위한 코드 (1832), 수정하기 위한 코드 (1834), 출력하기 위한 코드 (1836), 또는 선택하기 위한 코드 (1838) 중 하나 이상을 포함할 수도 있다. 다양한 구현들에서, 획득하기 위한 코드 (1830), 인코딩하기 위한 코드 (1832), 수정하기 위한 코드 (1834), 출력하기 위한 코드 (1836), 또는 선택하기 위한 코드 (1838) 는 획득하기 위한 회로/모듈 (1820), 인코딩하기 위한 회로/모듈 (1822), 수정하기 위한 회로/모듈 (1824), 출력하기 위한 회로/모듈 (1826), 또는 선택하기 위한 회로/모듈 (1828) 에 대해 상술한 기능성을 제공하기 위해 실행되거나 그렇지 않으면 사용될 수도 있다.

[0109] 획득하기 위한 회로/모듈 (1820) 은, 예를 들어, (데이터로 지칭될 수도 있는) 정보를 획득하는 것에 관한 수개의 기능들을 수행하도록 적응된 회로부 및/또는 프로그래밍 (예를 들어, 저장 매체 (1804) 상에 저장된 획득하기 위한 코드 (1830)) 을 포함할 수도 있다. 일부 시나리오들에서, 획득하기 위한 회로/모듈 (1820) 은 정보를 (예를 들어, 통신 인터페이스 (1802), 메모리 디바이스 (1808), 또는 장치 (1800) 의 일부 다른 컴포넌트로부터) 수신하고 정보를 프로세싱 (예를 들어, 디코딩) 할 수도 있다. 일부 시나리오들에서 (예를 들어, 획득하기 위한 회로/모듈 (1820) 이 RF 수신기이거나 RF 수신기를 포함하는 경우), 획득하기 위한 회로/모듈 (1820) 은 정보를 송신한 디바이스로부터 직접 정보를 수신할 수도 있다. 어느 경우이나, 획득하기 위한 회로/모듈 (1820) 은 획득된 정보를 장치 (1800) 의 다른 컴포넌트 (예를 들어, 인코딩하기 위한 회로/모듈 (1822), 메모리 디바이스 (1808), 또는 일부 다른 컴포넌트) 로 출력할 수도 있다.

[0110] 획득하기 위한 회로/모듈 (1820) (예를 들어, 획득하는 수단) 은 다양한 형태를 취할 수도 있다. 일부 양태들에서, 획득하기 위한 회로/모듈 (1820) 은 예를 들어 본 명세서에서 논의된 프로세싱 회로에 대응할 수도 있다. 일부 양태들에서, 획득하기 위한 회로/모듈 (1820) 은 예를 들어, 인터페이스 (예를 들어, 버스 인터페이스, 수신 인터페이스 또는 일부 다른 타입의 신호 인터페이스), 통신 디바이스, 트랜시버, 수신기, 또는 본원에서 논의된 것과 같은 일부 다른 유사한 컴포넌트에 대응할 수도 있다. 일부 구현들에서, 통신 인터페이스

(1802) 는 획득하기 위한 회로/모듈 (1820) 및/또는 획득하기 위한 코드 (1830) 를 포함한다. 일부 구현들에서, 획득하기 위한 회로/모듈 (1820) 및/또는 획득하기 위한 코드 (1830) 는 정보를 통신하기 위해 통신 인터페이스 (1802) (예를 들어, 트랜시버 또는 수신기) 를 제어하도록 구성된다.

[0111] 인코딩하기 위한 회로/모듈 (1822) 은, 예를 들어, 정보를 인코딩하는 것에 관한 수개의 기능들을 수행하도록 적응된 회로부 및/또는 프로그래밍 (예를 들어, 저장 매체 (1804) 상에 저장된 인코딩하기 위한 코드 (1832)) 을 포함할 수도 있다. 일부 양태들에서, 인코딩하기 위한 회로/모듈 (1822) (예를 들어, 인코딩하는 수단) 은 예를 들어 프로세싱 회로에 대응할 수도 있다.

[0112] 일부 양태들에서, 인코딩하기 위한 회로/모듈 (1822) 은 (예를 들어, 획득하기 위한 회로/모듈 (1820), 메모리 디바이스 (1808) 또는 장치 (1800) 의 일부 다른 컴포넌트로부터 획득된) 적어도 하나의 입력에 인코딩 알고리즘을 실행할 수도 있다. 예를 들어, 인코딩하기 위한 회로/모듈 (1822) 은 블록 코딩 알고리즘 또는 폴라 코딩 알고리즘을 수행할 수도 있다. 일부 양태들에서, 인코딩을 위한 회로/모듈 (1822) 은 도 1 내지 도 17 과 관련하여 상술한 인코딩 관련 동작들 중 하나 이상을 수행할 수도 있다. 인코딩하기 위한 회로/모듈 (1822) 은 그 후, (예를 들어, 수정하기 위한 회로/모듈 (1824), 통신 인터페이스 (1802), 메모리 디바이스 (1808), 또는 일부 다른 컴포넌트) 결과적인 인코딩된 정보를 출력한다.

[0113] 수정하기 위한 회로/모듈 (1824) 은, 예를 들어, 코드워드를 수정하는 것에 관한 수개의 기능들을 수행하도록 적응된 회로부 및/또는 프로그래밍 (예를 들어, 저장 매체 (1804) 상에 저장된 수정하기 위한 코드 (1834)) 을 포함할 수도 있다. 일부 양태들에서, 수정하기 위한 회로/모듈 (1824) (예를 들어, 수정하는 수단) 은 예를 들어, 프로세싱 회로에 대응할 수도 있다.

[0114] 일부 양태들에서, 수정하기 위한 회로/모듈 (1824) 은 (예를 들어, 인코딩을 위한 수단 (1822), 메모리 디바이스 (1808) 또는 일부 다른 컴포넌트로부터) 입력 정보를 획득할 수도 있다. 예를 들어, 수정하기 위한 회로/모듈 (1824) 은 (예를 들어, 도 1 내지 도 17 과 관련하여 상술한 바와 같이) 평처 동작 또는 반복 동작과 관련하여 수신된 코드워드를 수정할 수도 있다. 그 후에, 수정하기 위한 회로/모듈 (1824) 은 수정 (예를 들어, 수정된 코드워드) 에 기초하여 출력을 생성하고 장치 (1800) 의 컴포넌트 (예를 들어, 출력하기 위한 회로/모듈 (1826), 메모리 디바이스 (1808), 또는 일부 다른 컴포넌트) 에 출력을 제공할 수도 있다.

[0115] 출력하기 위한 회로/모듈 (1826) 은, 예를 들어, 정보를 출력하는 것 (예를 들어, 전송하는 것 또는 송신하는 것) 에 관한 수개의 기능들을 수행하도록 적응된 회로부 및/또는 프로그래밍 (예를 들어, 저장 매체 (1804) 상에 저장된 출력하기 위한 코드 (1836)) 을 포함할 수도 있다. 일부 구현들에서, 출력하기 위한 회로/모듈 (1826) 은 (예를 들어, 수정하기 위한 회로/모듈 (1824), 메모리 디바이스 (1808), 또는 장치 (1800) 의 일부 다른 컴포넌트로부터) 정보를 획득하고 그 정보를 프로세싱 (예를 들어, 송신을 위해 그 정보를 인코딩) 할 수도 있다. 일부 시나리오들에서, 출력을 위한 회로/모듈 (1826) 은 정보를 다른 디바이스에 전송할 다른 컴포넌트 (예를 들어, 송신기 (1814), 통신 인터페이스 (1802) 또는 일부 다른 컴포넌트) 에 정보를 전송한다. 몇몇 시나리오들에서 (예를 들어, 출력하기 위한 회로/모듈 (1826) 이 송신기를 포함하는 경우), 출력하기 위한 회로/모듈 (1826) 은 무선 주파수 시그널링 또는 적용가능한 통신 매체에 적합한 몇몇 다른 타입의 시그널링을 통해 정보를 다른 디바이스 (예를 들어, 최종 목적지) 에 직접 송신한다.

[0116] 출력하기 위한 회로/모듈 (1826) (예를 들어, 출력하는 수단) 은 다양한 형태를 취할 수도 있다. 일부 양태들에서, 출력하기 위한 회로/모듈 (1826) 은 예를 들어 본 명세서에서 논의된 프로세싱 회로에 대응할 수도 있다. 일부 양태들에서, 출력하기 위한 회로/모듈 (1826) 은 예를 들어, 인터페이스 (예를 들어, 버스 인터페이스, 전송 인터페이스 또는 일부 다른 타입의 신호 인터페이스), 통신 디바이스, 트랜시버, 수신기, 또는 본원에서 논의된 것과 같은 일부 다른 유사한 컴포넌트에 대응할 수도 있다. 일부 구현 예에서, 통신 인터페이스 (1802) 는 출력하기 위한 회로/모듈 (1826) 및/또는 출력하기 위한 코드 (1836) 를 포함한다. 일부 구현 예에서, 출력하기 위한 회로/모듈 (1826) 및/또는 출력하기 위한 코드 (1836) 는 정보를 송신하기 위해 통신 인터페이스 (1802) (예를 들어, 트랜시버 또는 송신기) 를 제어하도록 구성된다.

[0117] 선택하기 위한 회로/모듈 (1828) 은, 예를 들어, 패턴을 선택하는 것에 관한 수개의 기능들을 수행하도록 적응된 회로부 및/또는 프로그래밍 (예를 들어, 저장 매체 (1804) 상에 저장된 선택하기 위한 코드 (1838)) 을 포함할 수도 있다. 일부 양태들에서, 선택하기 위한 회로/모듈 (1828) (예를 들어, 선택하는 수단) 은 예를 들어, 프로세싱 회로에 대응할 수도 있다.

[0118] 선택하기 위한 회로/모듈 (1828) 은 하나 이상의 입력에 기초하여 선택을 실행할 수도 있다. 따라서, 선택

하기 위한 회로/모듈 (1828) 은 (예를 들어, 메모리 디바이스 (1808) 또는 장치 (1800) 의 일부 다른 컴포넌트로부터) 입력 정보를 초기에 획득할 수도 있다. 예를 들어, 선택하기 위한 회로/모듈 (1828) 은 (예를 들어, 도 1 내지 도 17 과 관련하여 상술한 바와 같이) 연속적인 비트, 비트 튜플 또는 다른 정보에 기초하여 평처 패턴 또는 반복 패턴을 선택할 수도 있다. 그 후에, 선택하기 위한 회로/모듈 (1828) 은 선택의 표시를 (예를 들어, 수정하기 위한 회로/모듈 (1824), 메모리 디바이스 (1808), 인코더 또는 일부 다른 컴포넌트로) 출력할 수도 있다.

[0119] 상기 관점에서, 본 명세서의 교시는 장치 (1800) 의 인코딩 성능을 개선 (예를 들어, 프로세싱 회로 (1810) 의 인코딩 성능을 개선) 하는데 사용될 수도 있다. 예를 들어, 프로세싱 회로 (1810) 가 상술된 바와 같이 생성된 평처링 패턴 및/또는 반복 패턴을 사용하도록 구성함으로써 그리고 아래의 도 19 및 도 20 과 관련하여, 프로세싱 회로 (1810) 는 다른 일부 평처링 방식 및/또는 반복 방식이 사용된 경우 프로세싱 회로 (1810) 가 제공할 수도 있는 인코딩과 비교하여 보다 신뢰성있는 인코딩을 제공할 수도 있다. 이러한 더 높은 신뢰도는, 예를 들어, 앞서 논의된 것과 같이 가장 낮은 소거 확률을 갖는 비트를 통해 정보를 전송함으로써, 달성될 수도 있다. 따라서, 이 방식으로 정보를 인코딩하지 않는 다른 평처링 및 반복 방식을 대신, 본 명세서에서 교시된 바와 같은 평처링 및/또는 반복을 사용함으로써 더 적은 재송신들이 요구될 수도 있다.

[0120] 예시적인 프로세스들

[0121] 도 19 는 본 개시의 일부 양태들에 따라 통신을 위한 프로세스 (1900) 를 도시한다. 프로세스 (1900) 는, 액세스 단말, TRP, gNB 또는 (인코딩을 제공하는) 일부 다른 적합한 장치에 위치될 수도 있는 프로세싱 회로 (예컨대, 도 18 의 프로세싱 회로 (1810)) 내에서 발생할 수도 있다. 물론, 본 개시의 범위 내의 다양한 양태들에 있어서, 프로세스 (1900) 는 통신 관련 동작들을 지원할 수 있는 임의의 적합한 장치에 의해 구현될 수도 있다.

[0122] 옵션의 블록 (1902) 에서, 장치 (예를 들어, 인코더를 포함하는 디바이스) 는 평처 패턴을 선택할 수도 있다. 일부 양태들에서, 평처 패턴의 선택은 코드워드의 시작부에서 연속적인 비트들의 세트를 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 평처 패턴의 선택은 코드워드의 종료부에서 연속적인 비트들의 세트를 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 평처 패턴의 선택은 인코딩을 위한 인코더의 최종 스테이지 (예를 들어, 폴라 코딩 기능의 최종 스테이지) 의 특정 출력인 코드워드의 비트를 선택하는 것과, 최종 스테이지의 특정 출력에 대한 XOR 의 입력인 코드워드의 비트를 선택하지 않는 것을 포함할 수도 있다. 일부 양태들에서, 평처 패턴의 선택은 코드워드의 비트들을 비트 쌍들로 분할하는 것 및 각 비트 쌍으로부터 최대 하나의 비트를 평처링될 비트로서 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 비트 쌍들은 인코딩을 위한 인코더의 최종 스테이지의 XOR들과 상호 배타적으로 연관될 수도 있고, 비트 쌍들 중 특정 비트 쌍의 비트들은 XOR들 중 특정 XOR 의 출력 및 특정 XOR 의 반복 입력과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 평처 패턴의 선택은 코드워드의 시작부에서 연속적인 비트들의 세트 또는 코드워드의 종료부에서 연속적인 비트들의 세트 사이에서 선택하는 것을 포함할 수도 있다.

[0123] 일부 양태들에서, 평처 패턴의 선택은 인코딩을 위한 인코더 그래프의 최종 스테이지 (예를 들어, 폴라 코딩 기능의 최종 스테이지) 의 동일한 XOR 의 출력 및 반복 입력이 아닌 코드워드의 비트들을 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 평처 패턴의 선택은 코드워드의 비트들을 비트 쌍들로 분할하는 것 및 각 비트 쌍에 대하여, 비트 쌍으로부터 최대 하나의 비트를 평처링될 비트로서 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 비트 쌍들은 인코딩을 위한 인코더 그래프의 최종 스테이지의 XOR들과 상호 배타적으로 연관될 수도 있고, 비트 쌍들의 각각에 대해, 비트 쌍의 비트들은 연관된 XOR 의 출력 및 반복 입력과 상호 배타적으로 연관될 수도 있다.

[0124] 일부 구현들에서, 도 18 의 선택하기 위한 회로/모듈 (1828) 은 블록 (1902) 의 동작들을 수행한다. 일부 구현들에서, 도 18 의 선택하기 위한 코드 (1838) 는 블록 (1902) 의 동작들을 수행하도록 실행된다.

[0125] 블록 (1904) 에서, 장치는 데이터를 획득한다. 예를 들어, 장치는 메모리로부터 데이터를 취출하거나 다른 장치로부터 데이터를 수신할 수도 있다. 본 명세서에서 사용된 바와 같이, 용어 데이터는 일반적으로 정보를 지칭한다. 예를 들어, 데이터는 사용자 데이터, 제어 정보 등을 포함할 수도 있다.

[0126] 일부 구현들에서, 도 18 의 획득하기 위한 회로/모듈 (1820) 은 블록 (1904) 의 동작들을 수행한다. 일부 구현들에서, 도 18 의 획득하기 위한 코드 (1830) 는 블록 (1904) 의 동작들을 수행하도록 실행된다.

[0127] 블록 (1906) 에서, 장치는 코드워드를 생성하기 위해 데이터를 인코딩한다. 일부 양태들에 있어서, 그 인코

당은 폴라 코딩을 포함할 수도 있다.

- [0128] 일부 구현들에서, 도 18의 인코딩하기 위한 회로/모듈 (1822)은 블록 (1906)의 동작들을 수행한다. 일부 구현들에서, 도 18의 인코딩하기 위한 코드 (1832)는 블록 (1906)의 동작들을 수행하도록 실행된다.
- [0129] 블록 (1908)에서, 장치는 복수의 비트 튜플에 기초한 평치 패턴에 따라 코드워드를 수정한다. 여기서, 복수의 비트 튜플 중 특정 비트 튜플의 최대 하나의 비트가 평치 비트로서 지정된다.
- [0130] 일부 양태들에서, 비트 튜플들은 인코딩을 위한 인코더의 특정 스테이지의 논리 블록들과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 논리 블록들은 XOR들일 수도 있다. 일부 양태들에서, XOR들 중 제 1 XOR은 인코더의 특정 스테이지의 제 1 경로의 부분일 수도 있고, XOR들 중 제 2 XOR은 인코더의 특정 스테이지의 제 2 경로의 부분일 수도 있다. 일부 양태들에서, 특정 스테이지는 코드워드의 평치링에 앞서 최종 스테이지를 포함할 수도 있다 (예를 들어, 최종 스테이지일 수도 있다). 일부 양태들에서, 특정 비트 튜플은 인코딩을 위한 인코더의 XOR과 연관될 수도 있고, 특정 비트 튜플은 제 1 비트 및 제 2 비트를 포함할 수도 있고, 제 1 비트 및 제 2 비트는 XOR의 출력 및 XOR의 반복 입력과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 특정 비트 튜플은 인코딩을 위한 인코더의 XOR과 연관될 수도 있고, XOR의 입력은 인코더의 제 1 출력을 포함할 수도 있고 (예를 들어, 제 1 출력일 수도 있고), XOR의 출력은 인코더의 제 2 출력을 포함할 수도 있다 (예를 들어, 제 2 출력일 수도 있다). 일부 양태들에서, 비트 튜플들 각각에 대해: 비트 튜플의 최대 하나의 비트가 평치 비트로서 지정되고, 비트 튜플의 비트들은 연관된 XOR의 출력 및 반복 입력과 상호 배타적으로 연관될 수도 있다.
- [0131] 일부 양태들에서, 비트 튜플들은 인코딩을 위한 인코더 그래프의 최종 스테이지의 XOR들과 상호 배타적으로 연관될 수도 있고, 비트 튜플의 비트들은 연관된 XOR의 출력 및 반복 입력과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 각각의 XOR은 (예를 들어, 인코더 그래프의 최종 스테이지에서) 폴라 코딩 기능의 대응하는 패리티 체크 경로의 부분일 수도 있다.
- [0132] 일부 구현들에서, 도 18의 수정하기 위한 회로/모듈 (1824)은 블록 (1908)의 동작들을 수행한다. 일부 구현들에서, 도 18의 수정하기 위한 코드 (1834)는 블록 (1908)의 동작들을 수행하도록 실행된다.
- [0133] 블록 (1910)에서, 장치는 수정된 코드워드를 출력한다 (예를 들어, 송신한다). 예를 들어, 장치는 수정된 코드워드를 메모리에 저장하거나 수정된 코드워드를 다른 장치에 전송할 수도 있다. 다른 예로서, 장치는 수정된 코드워드를 안테나를 통해 (예를 들어, RF 시그널링을 통해) 다른 장치로 송신할 수도 있다.
- [0134] 일부 구현들에서, 도 18의 출력하기 위한 회로/모듈 (1826)은 블록 (1910)의 동작들을 수행한다. 일부 구현들에서, 도 18의 출력하기 위한 코드 (1836)는 블록 (1910)의 동작들을 수행하도록 실행된다.
- [0135] 일부 양태들에서, 프로세스 (1900)는 도 19에 대하여 기술된 동작들의 임의의 조합을 포함할 수도 있다.
- [0136] 도 20은 본 개시의 일부 양태들에 따라 통신을 위한 프로세스 (2000)를 도시한다. 프로세스 (2000)는, 액세스 단말, TRP, gNB 또는 (인코딩을 제공하는) 일부 다른 적합한 장치에 위치될 수도 있는 프로세싱 회로 (예컨대, 도 18의 프로세싱 회로 (1810)) 내에서 발생할 수도 있다. 물론, 본 개시의 범위 내의 다양한 양태들에 있어서, 프로세스 (2000)는 통신 관련 동작들을 지원할 수 있는 임의의 적합한 장치에 의해 구현될 수도 있다.
- [0137] 옵션의 블록 (2002)에서, 장치 (예를 들어, 인코더를 포함하는 디바이스)는 반복 패턴을 선택할 수도 있다. 일부 양태들에서, 반복 패턴의 선택은 코드워드의 시작부에서 연속적인 비트들의 세트를 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 반복 패턴의 선택은 코드워드의 종료부에서 연속적인 비트들의 세트를 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 평치 패턴의 선택은 인코딩을 위한 인코더의 최종 스테이지 (예를 들어, 폴라 코딩 기능의 최종 스테이지)의 특정 출력인 코드워드의 비트를 선택하는 것과, 최종 스테이지의 특정 출력에 대한 XOR의 입력인 코드워드의 비트를 선택하지 않는 것을 포함할 수도 있다. 일부 양태들에서, 평치 패턴의 선택은 코드워드의 비트들을 비트 쌍들로 분할하는 것 및 각 비트 쌍으로부터 최대 하나의 비트를 반복될 비트로서 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 비트 쌍들은 인코딩을 위한 인코더의 최종 스테이지의 XOR들과 상호 배타적으로 연관될 수도 있고, 비트 쌍들 중 특정 비트 쌍의 비트들은 XOR들 중 특정 XOR의 출력 및 특정 XOR의 반복 입력과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 반복 패턴의 선택은 코드워드의 시작부에서 연속적인 비트들의 세트 또는 코드워드의 종료부에서 연속적인 비트들의 세트 사이에서 선택하는 것을 포함할 수도 있다.

- [0138] 일부 양태들에서, 반복 패턴의 선택은 인코딩을 위한 인코더 그래프의 최종 스테이지의 동일한 XOR 의 출력 및 반복 입력이 아닌 코드워드의 비트들을 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 반복 패턴의 선택은 코드워드의 비트들을 비트 쌍들로 분할하는 것 및 각 비트 쌍에 대하여, 비트 쌍으로부터 최대 하나의 비트를 반복될 비트로서 선택하는 것을 포함할 수도 있다. 일부 양태들에서, 비트 쌍들은 인코딩을 위한 인코더 그래프의 최종 스테이지의 XOR들과 상호 배타적으로 연관될 수도 있고, 비트 쌍들의 각각에 대해, 비트 쌍의 비트들은 연관된 XOR 의 출력 및 반복 입력과 상호 배타적으로 연관될 수도 있다.
- [0139] 일부 구현들에서, 도 18 의 선택하기 위한 회로/모듈 (1828) 은 블록 (2002) 의 동작들을 수행한다. 일부 구현들에서, 도 18 의 선택하기 위한 코드 (1838) 는 블록 (2002) 의 동작들을 수행하도록 실행된다.
- [0140] 블록 (2004) 에서, 장치는 데이터를 획득한다. 예를 들어, 장치는 메모리로부터 데이터를 취출하거나 다른 장치로부터 데이터를 수신할 수도 있다. 본 명세서에서 사용된 바와 같이, 용어 데이터는 일반적으로 정보를 지칭한다. 예를 들어, 데이터는 사용자 데이터, 제어 정보 등을 포함할 수도 있다.
- [0141] 일부 구현들에서, 도 18 의 획득하기 위한 회로/모듈 (1820) 은 블록 (2004) 의 동작들을 수행한다. 일부 구현들에서, 도 18 의 획득하기 위한 코드 (1830) 는 블록 (2004) 의 동작들을 수행하도록 실행된다.
- [0142] 블록 (2006) 에서, 장치는 코드워드를 생성하기 위해 데이터를 인코딩한다. 일부 양태들에 있어서, 그 인코딩은 폴라 코딩을 포함할 수도 있다.
- [0143] 일부 구현들에서, 도 18 의 인코딩하기 위한 회로/모듈 (1822) 은 블록 (2006) 의 동작들을 수행한다. 일부 구현들에서, 도 18 의 인코딩하기 위한 코드 (1832) 는 블록 (2006) 의 동작들을 수행하도록 실행된다.
- [0144] 블록 (2008) 에서, 장치는 복수의 비트 튜플에 기초한 반복 패턴에 따라 코드워드를 수정한다. 여기서, 복수의 비트 튜플 중 특정 비트 튜플의 최대 하나의 비트가 반복 비트로서 지정된다.
- [0145] 일부 양태들에서, 비트 튜플들은 인코딩을 위한 인코더의 특정 스테이지의 논리 블록들과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 논리 블록들은 XOR들일 수도 있다. 일부 양태들에서, XOR들 중 제 1 XOR 은 인코더의 특정 스테이지의 제 1 경로의 부분일 수도 있고, XOR들 중 제 2 XOR 은 인코더의 특정 스테이지의 제 2 경로의 부분일 수도 있다. 일부 양태들에서, 특정 스테이지는 코드워드의 반복에 앞서 최종 스테이지를 포함할 수도 있다 (예를 들어, 최종 스테이지일 수도 있다). 일부 양태들에서, 특정 비트 튜플은 인코딩을 위한 인코더의 XOR 과 연관될 수도 있고, 특정 비트 튜플은 제 1 비트 및 제 2 비트를 포함할 수도 있고, 제 1 비트 및 제 2 비트는 XOR 의 출력 및 XOR 의 반복 입력과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 특정 비트 튜플은 인코딩을 위한 인코더의 XOR 과 연관될 수도 있고, XOR 의 입력은 인코더의 제 1 출력을 포함할 수도 있고 (예를 들어, 제 1 출력일 수도 있고), XOR 의 출력은 인코더의 제 2 출력을 포함할 수도 있다 (예를 들어, 제 2 출력일 수도 있다). 일부 양태들에서, 비트 튜플들 각각에 대해: 비트 튜플의 최대 하나의 비트가 반복 비트로서 지정되고, 비트 튜플의 비트들은 연관된 XOR 의 출력 및 반복 입력과 상호 배타적으로 연관될 수도 있다.
- [0146] 일부 양태들에서, 비트 튜플들은 인코딩을 위한 인코더 그래프의 최종 스테이지의 XOR들과 상호 배타적으로 연관될 수도 있고, 비트 튜플의 비트들은 연관된 XOR 의 출력 및 반복 입력과 상호 배타적으로 연관될 수도 있다. 일부 양태들에서, 각각의 XOR 은 폴라 코딩 기능의 대응하는 패리티 체크 경로의 부분일 수도 있다.
- [0147] 일부 구현들에서, 도 18 의 수정하기 위한 회로/모듈 (1824) 은 블록 (2008) 의 동작들을 수행한다. 일부 구현들에서, 도 18 의 수정하기 위한 코드 (1834) 는 블록 (2008) 의 동작들을 수행하도록 실행된다.
- [0148] 블록 (2010) 에서, 장치는 수정된 코드워드를 출력한다 (예를 들어, 송신한다). 예를 들어, 장치는 수정된 코드워드를 메모리에 저장하거나 수정된 코드워드를 다른 장치에 전송할 수도 있다. 다른 예로서, 장치는 수정된 코드워드를 안테나를 통해 (예를 들어, RF 시그널링을 통해) 다른 장치로 송신할 수도 있다.
- [0149] 일부 구현들에서, 도 18 의 출력하기 위한 회로/모듈 (1826) 은 블록 (2010) 의 동작들을 수행한다. 일부 구현들에서, 도 18 의 출력하기 위한 코드 (1836) 는 블록 (2010) 의 동작들을 수행하도록 실행된다.
- [0150] 일부 양태들에서, 프로세스 (2000) 는 도 20 에 대하여 전술된 동작들의 임의의 조합을 포함할 수도 있다.
- [0151] 추가 양태들
- [0152] 본원에서 설명된 예들은 본 개시의 특정 개념들을 나타내도록 제공된다. 당업자는 이들이 본질적으로 단지 예시적인 것이며, 다른 예는 본 개시 및 첨부된 청구범위의 범위 내에 있을 수 있다는 것을 이해할 것이다.

본 명세서에서의 교시들에 기초하여, 당업자는, 본 명세서에 개시된 양태가 임의의 다른 양태들에 독립적으로 구현될 수도 있음 및 이들 양태들 중 2 이상의 양태가 다양한 방식으로 결합될 수도 있음을 인식할 것이다. 예를 들어, 본 명세서에 기재된 임의의 수의 양태들을 이용하여 장치가 구현될 수도 있거나 방법이 실시될 수도 있다. 부가적으로, 본 명세서에 기재된 양태들 중 하나 이상에 부가한 또는 그 이외의 구조 및 기능, 또는 다른 구조, 기능을 이용하여, 그러한 장치가 구현될 수도 있거나 그러한 방법이 실시될 수도 있다.

[0153] 당업자가 용이하게 인식할 바와 같이, 본 개시 전반에 걸쳐 설명된 다양한 양태들은 임의의 적합한 원격통신 시스템, 네트워크 아키텍처, 및 통신 표준으로 확장될 수도 있다. 예로서, 광역 네트워크, 피어-투-피어 네트워크, 근거리 통신망, 다른 적합한 시스템, 또는 아직 정의되지 않은 표준에 의해 기술된 것을 포함하는 이들의 임의의 조합에 다양한 양태들이 적용될 수도 있다.

[0154] 다수의 양태들이, 예를 들어 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 액션들의 시퀀스들과 관련하여 설명된다. 본원에 설명된 다양한 액션들은 특정 회로들, 예를 들어 중앙 프로세싱 유닛들(CPU들), 그래픽 프로세싱 유닛들(GPU들), 디지털 신호 프로세서들(DSP들), 주문형 집적 회로들(ASIC들), 필드 프로그래머블 게이트 어레이들(FPGA들), 또는 다양한 다른 타입의 범용 또는 특수 목적 프로세서들 또는 회로들에 의해, 하나 이상의 프로세서들에 의해 실행되는 프로그램 명령들에 의해, 또는 이들의 조합에 의해 수행될 수 있다. 추가로, 본 명세서에서 설명되는 액션들의 이들 시퀀스는, 실행 시, 연관된 프로세서로 하여금, 본 명세서에서 설명되는 기능을 수행하게 하는 컴퓨터 명령들의 대응하는 세트를 내부에 저장하는 임의의 형태의 컴퓨터 판독가능 저장 매체 내에 전체적으로 구현되는 것으로 간주될 수 있다. 따라서, 본 개시의 다양한 양태들은 다수의 상이한 형태로 구현될 수도 있으며, 이들 형태들 모두는 청구된 청구물의 범위 내에 있는 것으로 고려되었다. 부가적으로, 본 명세서에서 설명된 양태들 각각에 대해, 임의의 그러한 양태들의 대응하는 형태는, 예를 들어, 설명된 액션을 수행 "하도록 구성된 로직"으로서 본 명세서에서 설명될 수도 있다.

[0155] 당업자라면, 정보 및 신호들이 임의의 다양한 상이한 기술들 및 기법들을 사용하여 표현될 수도 있음을 인식할 것이다. 예를 들어, 위의 설명 전체에 걸쳐 언급될 수도 있는 데이터, 명령, 커맨드, 정보, 신호, 비트, 심볼, 및 칩은 전압, 전류, 전자기파, 자기장 또는 자기입자, 광학 필드(optical field) 또는 광학 입자, 또는 이들의 임의의 조합에 의해 표현될 수도 있다.

[0156] 추가로, 당업자는 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들 양자의 조합으로서 구현될 수도 있음을 인식할 것이다. 하드웨어 및 소프트웨어의 이러한 상호 교환성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들이 그들의 기능적 관점에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지의 여부는 특정 애플리케이션 및 전체 시스템에 부과되는 설계 제약들에 따라 달라진다. 당업자는 설명된 기능을 각각의 특정 애플리케이션에 대하여 다양한 방식으로 구현할 수도 있지만, 그러한 구현의 결정들이 본 개시의 범위로부터의 일탈을 야기하는 것으로서 해석되지는 않아야 한다.

[0157] 앞서 도시된 컴포넌트들, 단계들, 특징들 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 단계, 특징 또는 기능으로 재배열 및/또는 결합되거나, 또는 몇몇 컴포넌트들, 단계들, 특징들 또는 기능들로 구현될 수도 있다. 부가적인 엘리먼트들, 컴포넌트들, 단계들, 및/또는 기능들이 또한, 본 명세서에 개시된 신규한 특징들로부터 일탈함 없이 부가될 수도 있다. 위에서 도시된 장치들, 디바이스들, 및/또는 컴포넌트들은 여기서 설명된 방법들, 특징들, 또는 단계들 중 하나 이상을 수행하도록 구성될 수도 있다. 본 명세서에서 설명된 신규한 알고리즘들은 또한 소프트웨어에서 효율적으로 구현되고/되거나 하드웨어에 임베딩될 수도 있다.

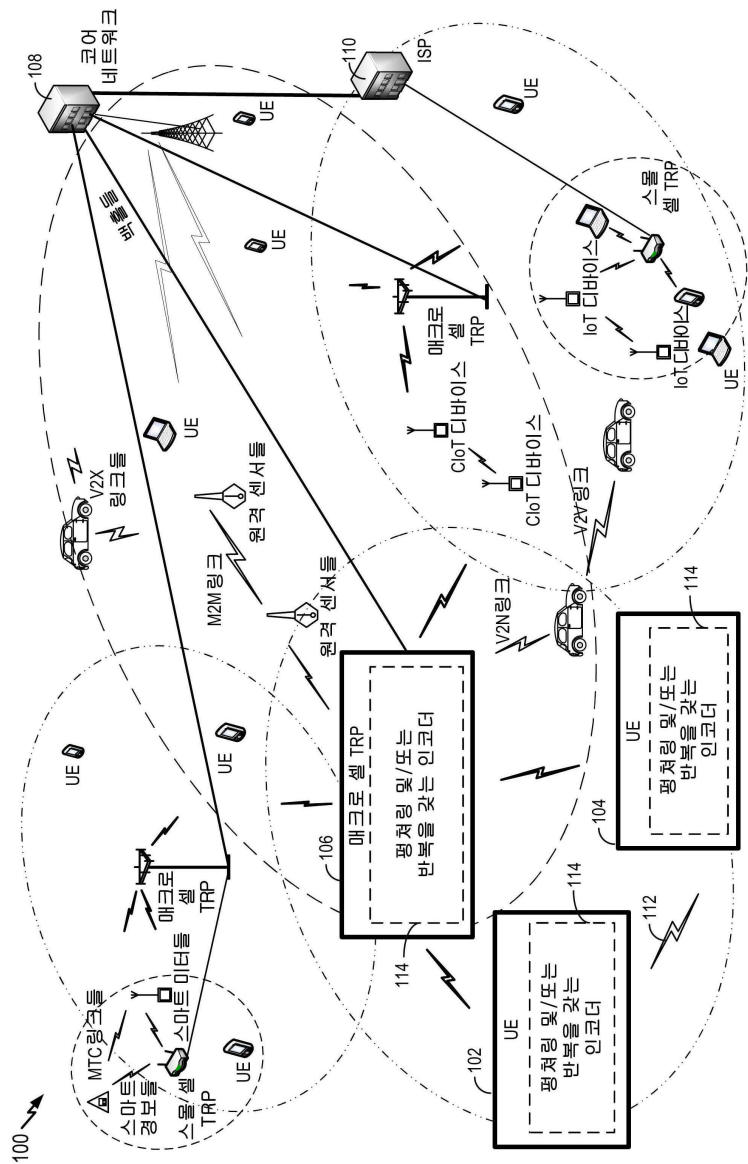
[0158] 개시된 방법들에 있어서의 단계들의 특정 순서 또는 계위는 예시적인 프로세스들의 예시임이 이해되어야 한다. 설계 선호들에 기초하여, 방법들에서의 단계들의 특정 순서 또는 계층구조는 재정렬될 수도 있다는 것이 이해된다. 첨부된 방법 청구항들은 샘플 순서로 여러 단계들의 엘리먼트들을 제시하고, 본원에서 구체적으로 언급되지 않는 한 제시된 특정 순서 또는 계층구조로 제한되지 않는다.

[0159] 본 명세서에 개시된 양태들과 관련하여 설명된 방법들, 시퀀스들 또는 알고리즘들은 하드웨어에서, 프로세서에 의해 실행되는 소프트웨어 모듈에서, 또는 이들 양자의 조합에서 직접 구현될 수도 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 착탈가능 디스크, CD-ROM, 또는 당업계에 공지된 임의의 다른 형태의 저장 매체에 상주할 수도 있다. 저장 매체의 예는 프로세서가 저장 매체로부터 정보를 판독할 수 있고 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수도 있다.

- [0160] "예시적인"이라는 용어는 "예, 실례, 또는 예시의 역할을 하는 것"을 의미하는 것으로 여기에서 사용된다. "예시적인"것으로서 본 명세서에서 설명된 임의의 양태는 다른 양태들에 비해 반드시 선호되거나 유리한 것으로서 해석되지는 않는다. 유사하게, 용어 "양태들"은 모든 양태들이 논의된 특징, 이점 또는 동작 모드를 포함할 것을 요구하지는 않는다.
- [0161] 본 명세서에서 사용된 용어는 특정 양태들을 설명할 목적일 뿐 양태들을 한정하는 것으로 의도되지 않는다. 본 명세서에서 사용되는 바와 같이, 단수 형태들, "a", "an" 및 "the"은, 문맥에서 분명하게 달리 표시되지 않는다면 복수의 형태들을 물론 포함하도록 의도된다. 용어들 "구비한다", "구비하는", "포함한다", 또는 "포함하는"은, 본 명세서에서 사용될 경우, 서술된 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 또는 컴포넌트들의 존재를 명시하지만, 하나 이상의 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들, 또는 이들의 그룹들의 존재 또는 부가를 배제하지 않음이 추가로 이해될 것이다. 또한, "또는"이라는 단어는 부울 연산자 "OR"와 동일한 의미를 가지며, 즉 "어느 하나" 및 "양자"의 가능성들을 포함하며 다르게는 명확히 언급되지 않는다면 "배타적 또는"("XOR")에 제한되지 않는다. 또한, 2개의 인접하는 단어들 사이의 "/" 기호는 달리 명시하지 않는 한 "또는"과 동일한 의미를 갖는다는 것이 이해된다. 더욱이, "~에 접속된", "~에 커플링된" 또는 "~와 통신하는"과 같은 문구들은 다르게 명시되지 않는 한 직접적인 연결들로 제한되지 않는다.
- [0162] "제 1", "제 2", 등과 같은 지시어를 사용하는 본 명세서의 엘리먼트에 대한 임의의 참조는 일반적으로 그 엘리먼트들의 양 또는 순서를 제한하지 않는다. 오히려, 이들 지시어들은 2 이상의 엘리먼트들 또는 엘리먼트의 인스턴스들 간을 구분하는 종래의 방법으로서 본 명세서에서 사용될 수도 있다. 따라서, 제 1 및 제 2 엘리먼트들에 대한 참조는 오직 2개의 엘리먼트들만이 거기에서 사용될 수도 있거나 또는 제 1 엘리먼트가 어떤 방식으로든 제 2 엘리먼트에 선행해야 함을 의미하지 않는다. 또한, 달리 서술되지 않으면, 엘리먼트들의 세트는 하나 이상의 엘리먼트들을 포함할 수도 있다. 또한, 명세서 또는 청구항에 사용된 "a, b 또는 c 중 적어도 하나" 또는 "a, b 또는 c 중 하나 이상"의 용어는 "a 또는 b 또는 c 또는 이 요소들의 임의의 조합"을 의미한다. 예를 들어, 이 용어는 a, 또는 b, 또는 c, 또는 a 및 b, 또는 a 및 c, 또는 a 및 b 및 c, 또는 2a, 또는 2b, 또는 2c, 또는 2a 및 b 등을 포함할 수도 있다.
- [0163] 본원에서 이용되는 바와 같이, 용어 "결정하는"은 매우 다양한 액션들을 망라한다. 예를 들어, "결정하는"은 계산하는, 컴퓨팅, 프로세싱, 도출하는, 조사하는, 검색하는(예를 들어, 테이블, 데이터베이스, 또는 다른 데이터 구조에서 검색하는), 확인하는 등을 포함할 수도 있다. 또한, "결정하는"은 수신하는(예를 들면, 정보를 수신하는), 액세스하는(메모리의 데이터에 액세스하는) 등을 포함할 수 있다. 또한, "결정하는 것"은 해결하는 것, 선택하는 것, 선출하는 것, 확립하는 것 등을 포함할 수도 있다.
- [0164] 전술한 개시는 예시적인 양태들을 나타내지만, 첨부된 청구항들의 범위로부터 일탈함 없이, 다양한 변경들 및 수정들이 본 명세서에서 행해질 수 있음이 주목되어야 한다. 여기에 기술된 양태들에 따른 방법 청구항들의 단계들 또는 동작들은 달리 명시적으로 언급되지 않는 한 임의의 특정 순서로 수행될 필요는 없다. 더욱이, 비록 엘리먼트들이 단수로 설명되거나 또는 청구될 수도 있지만, 단수로의 제한이 명시적으로 언급되지 않는다면, 복수가 고려된다.

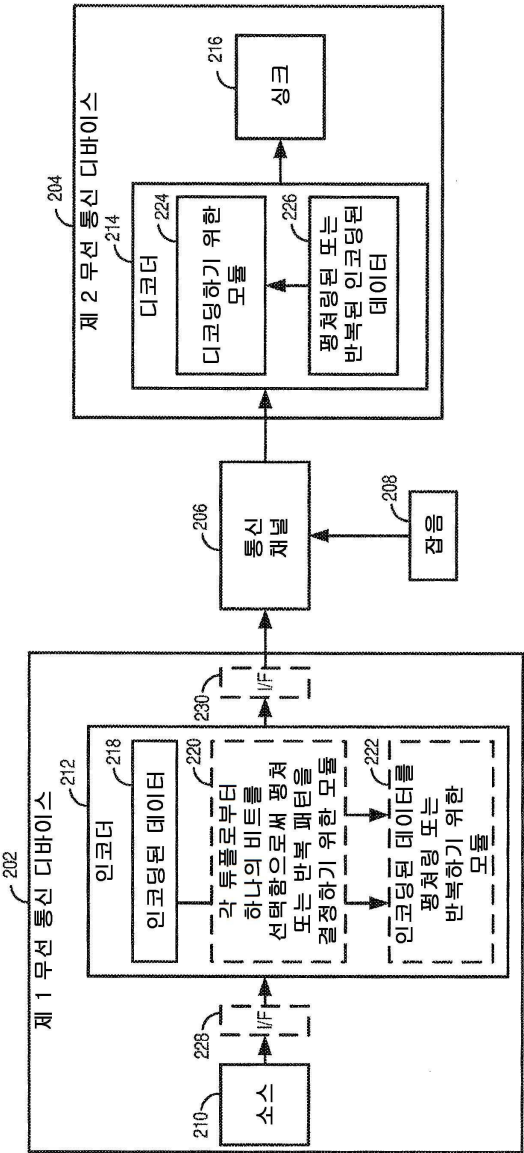
도면

도면1

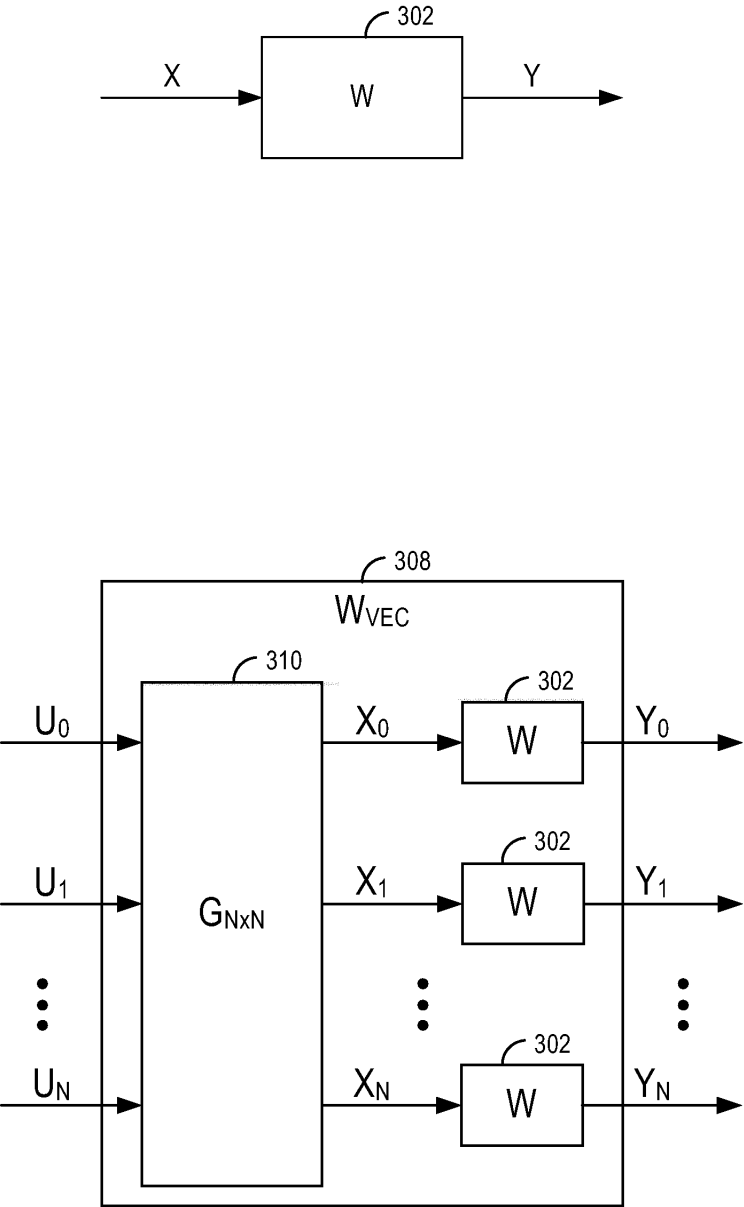


도면2

200

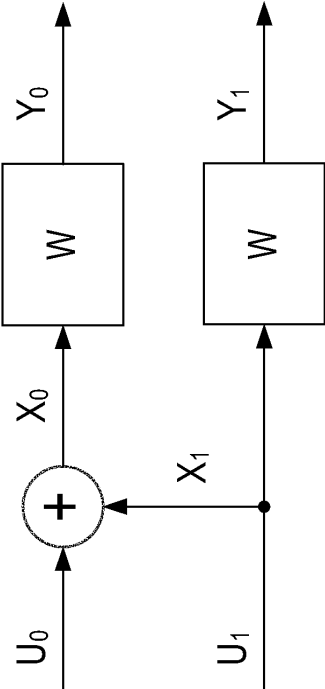


도면3

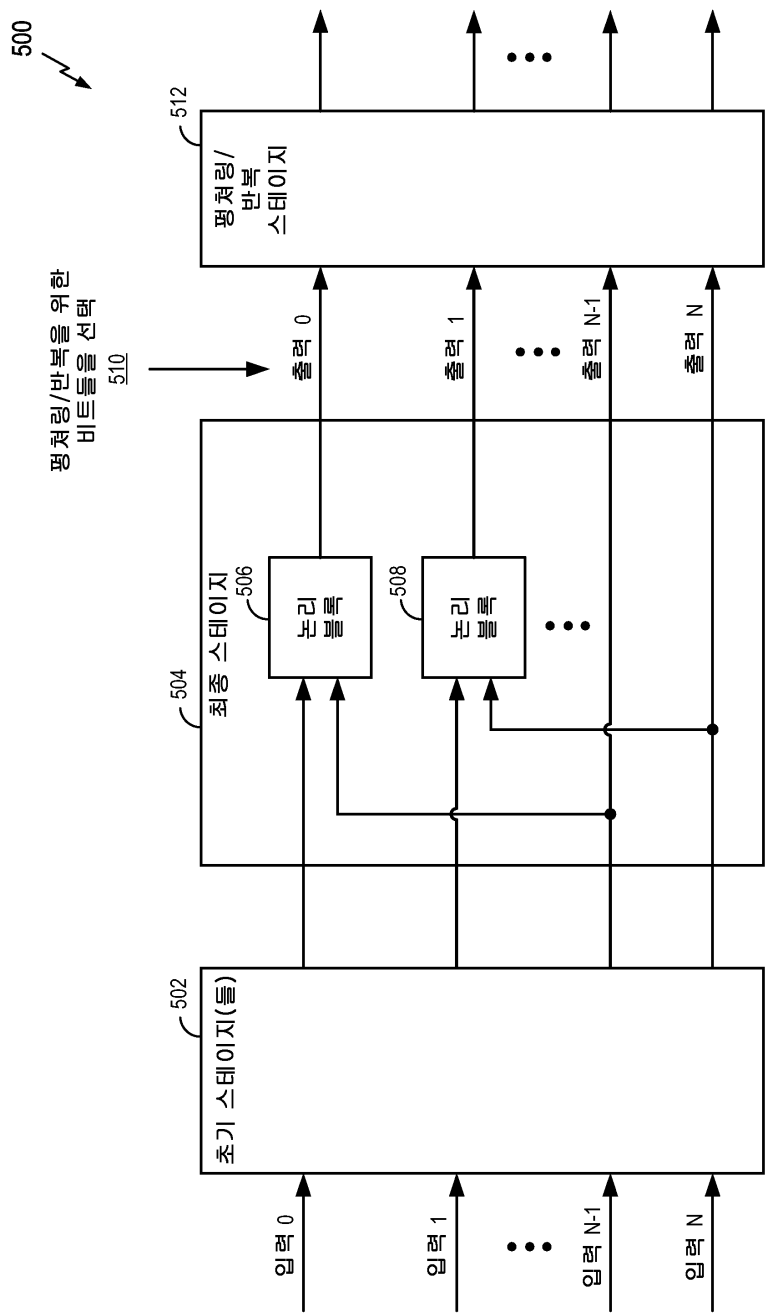


도면4

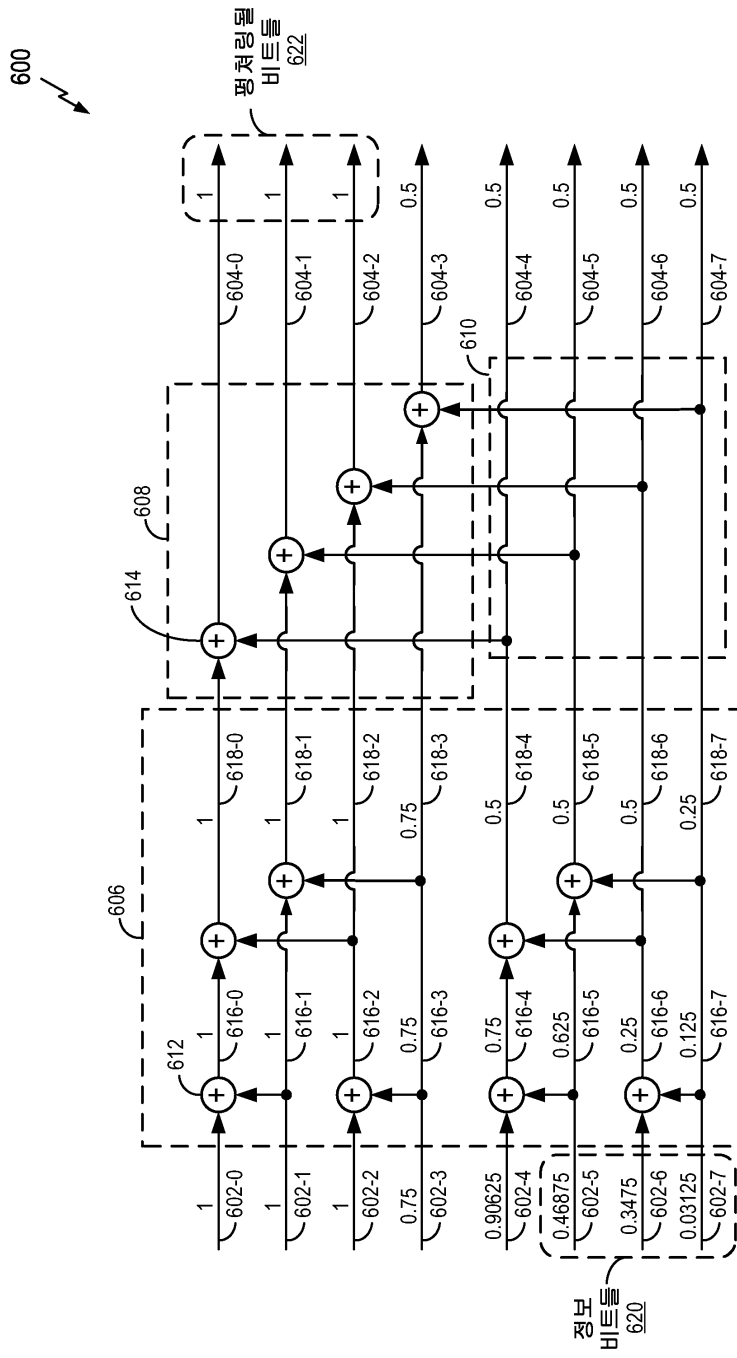
400 ↘



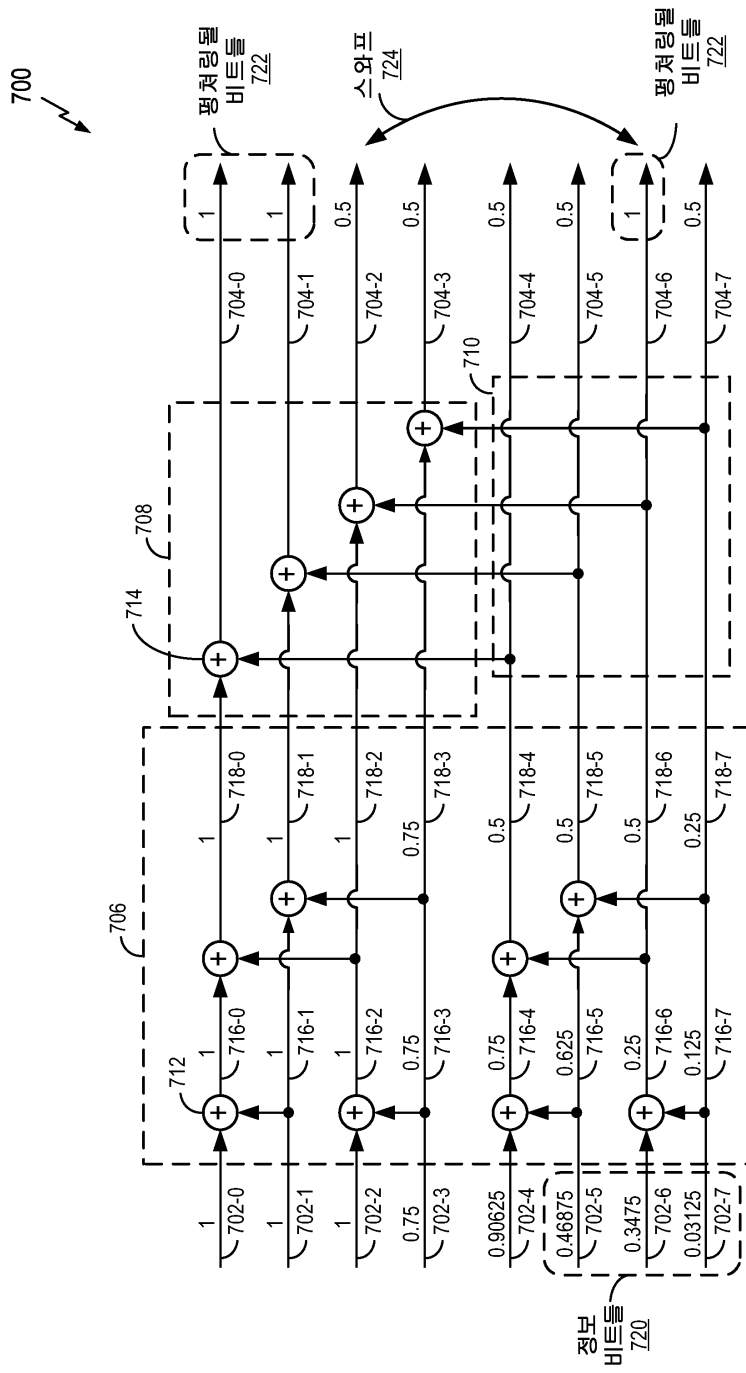
도면5



도면6

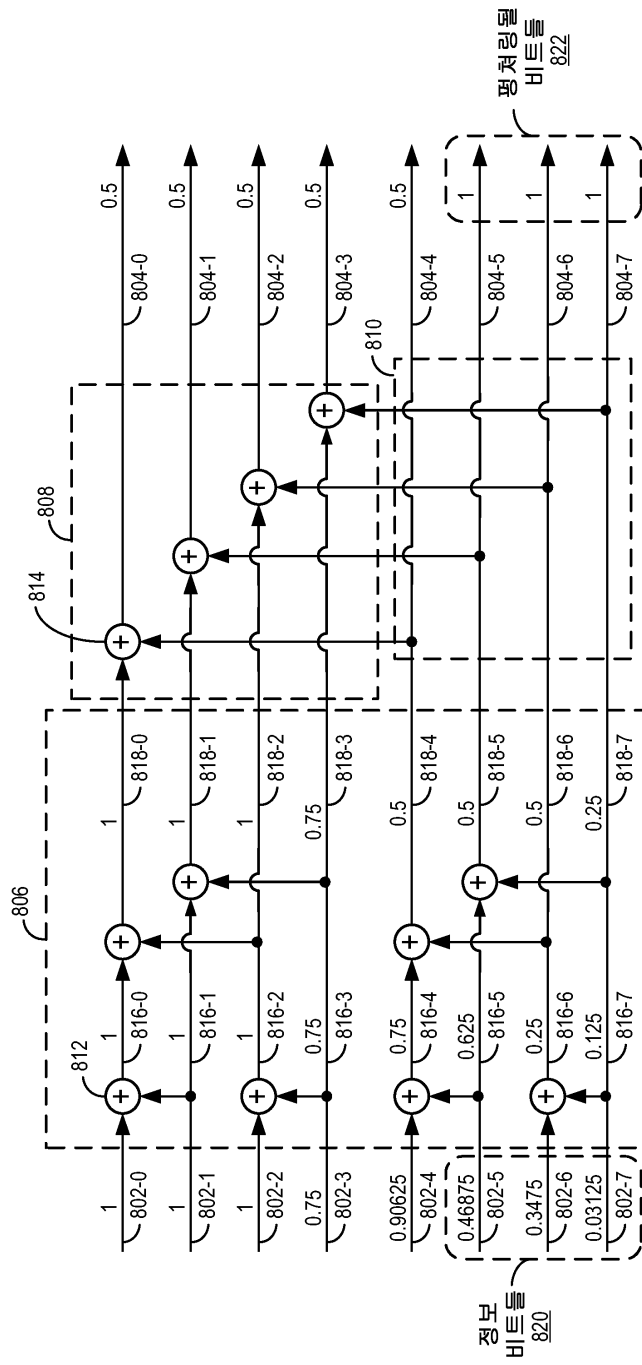


도면7

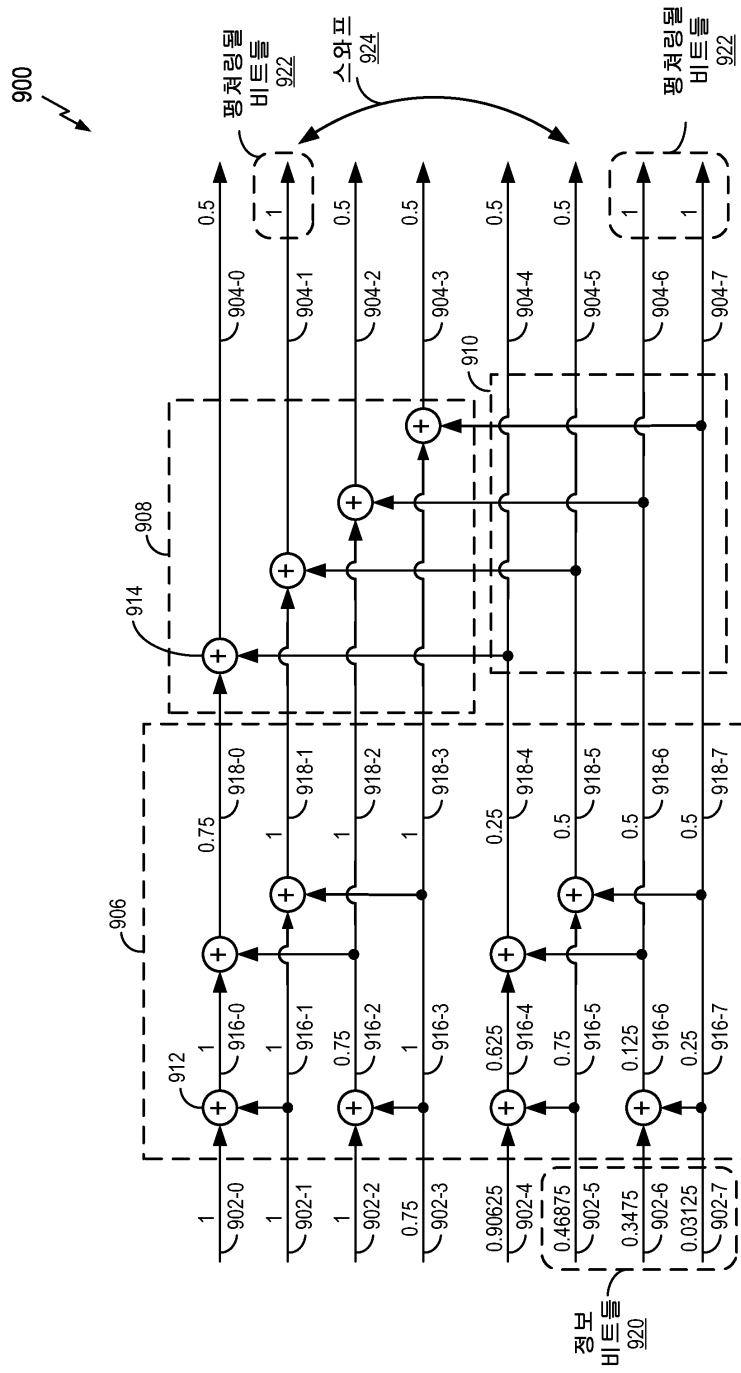


도면8

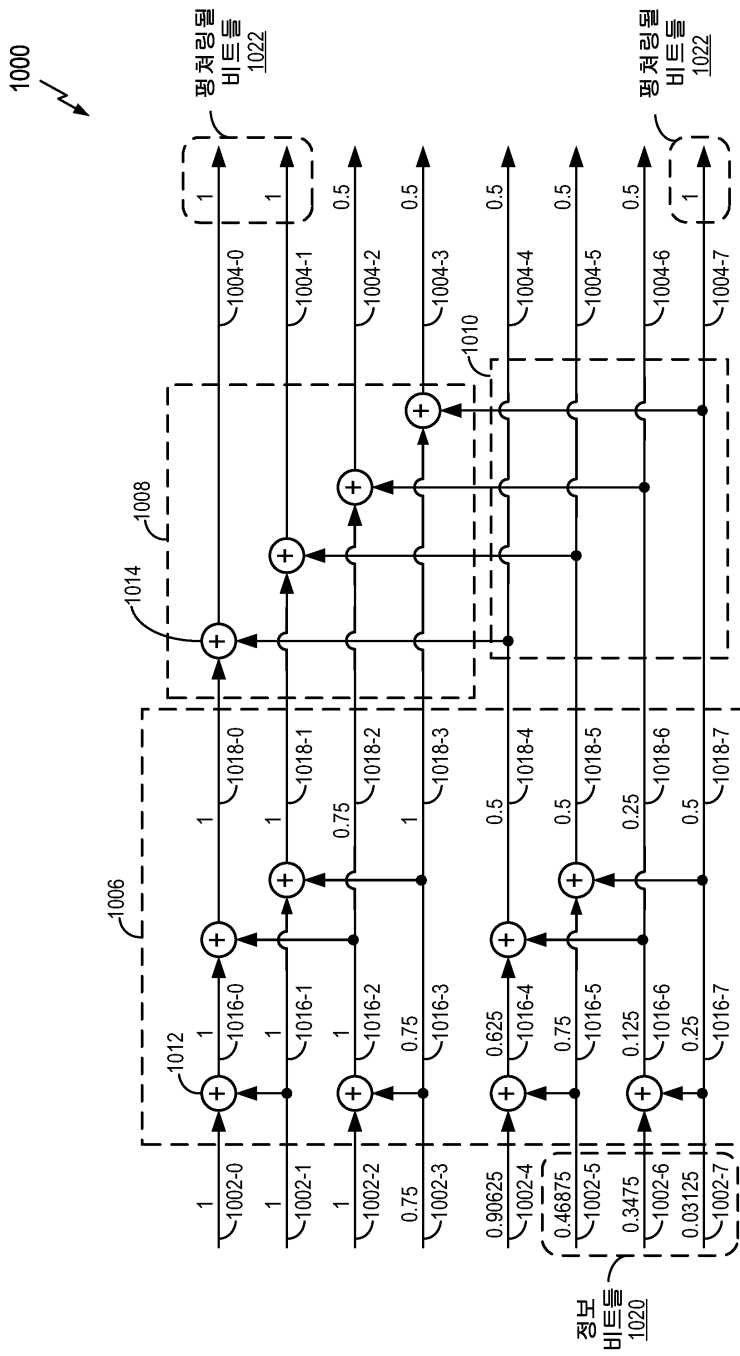
800



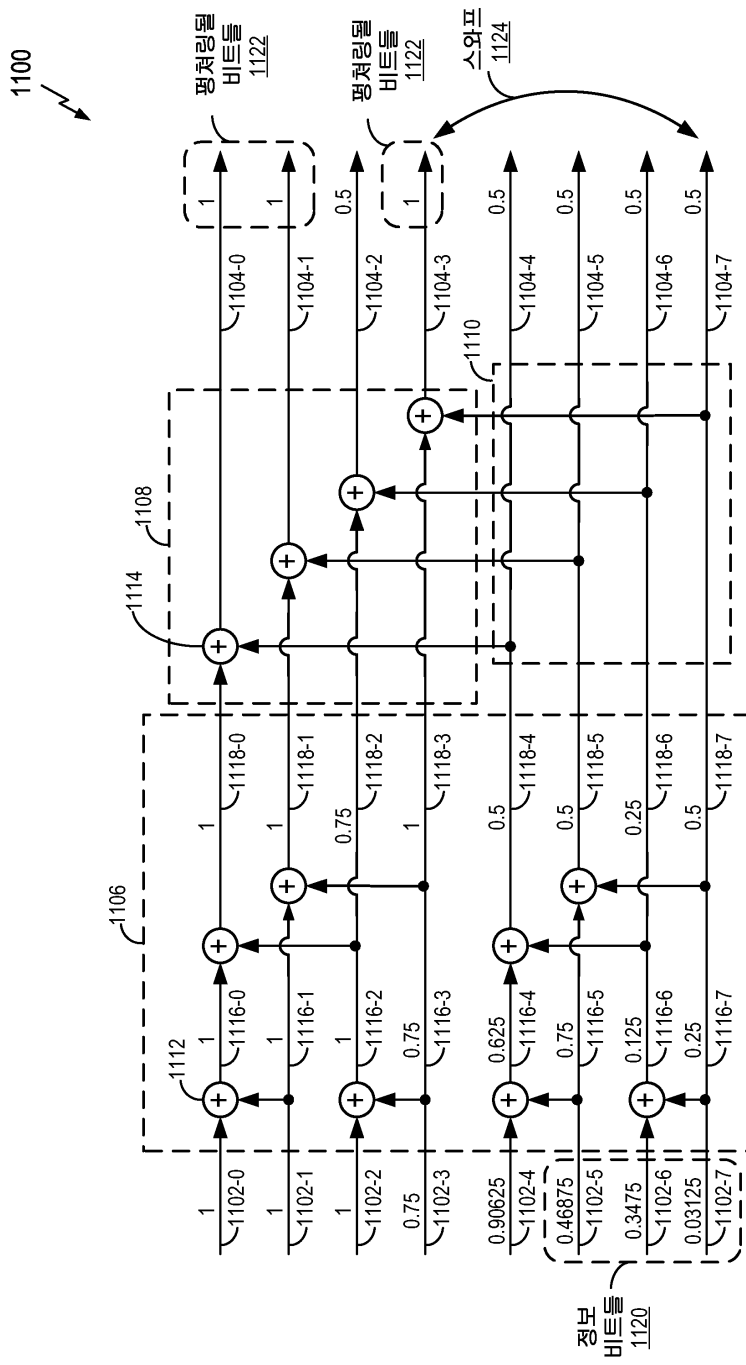
도면9



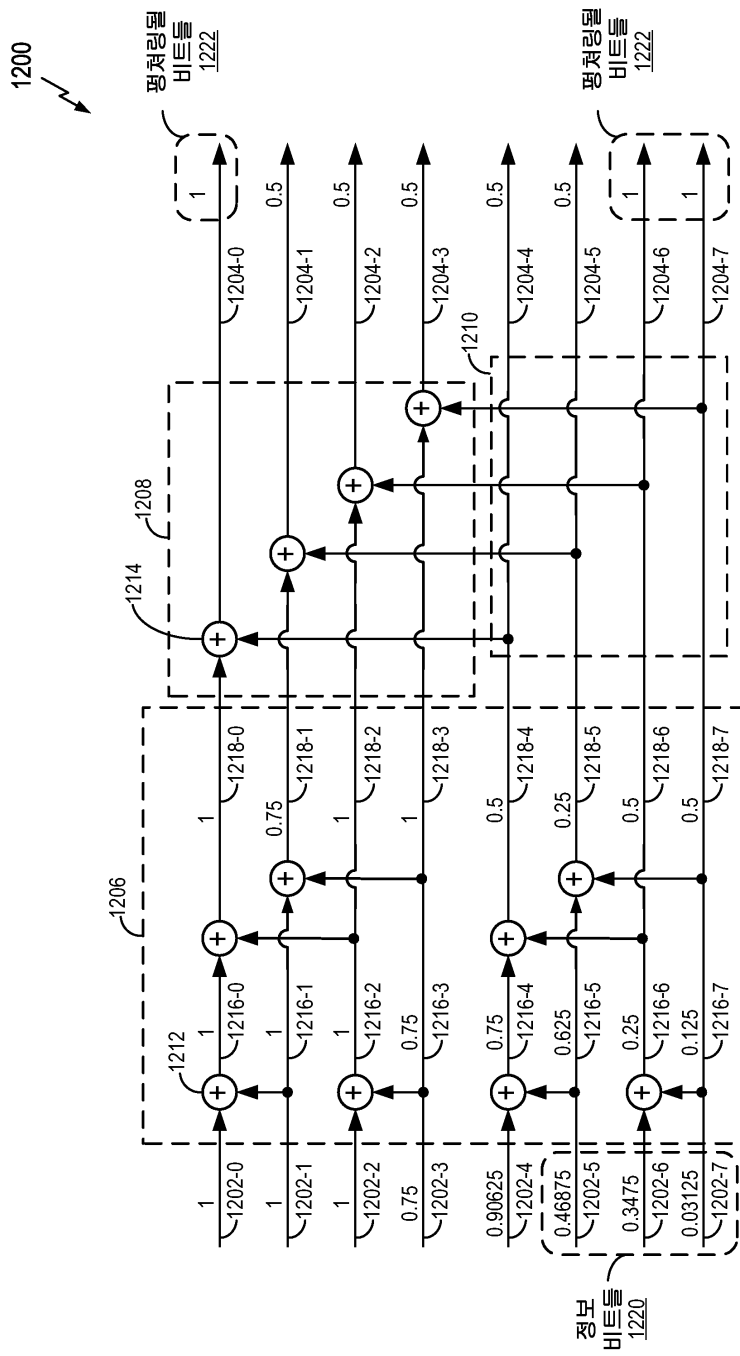
도면10



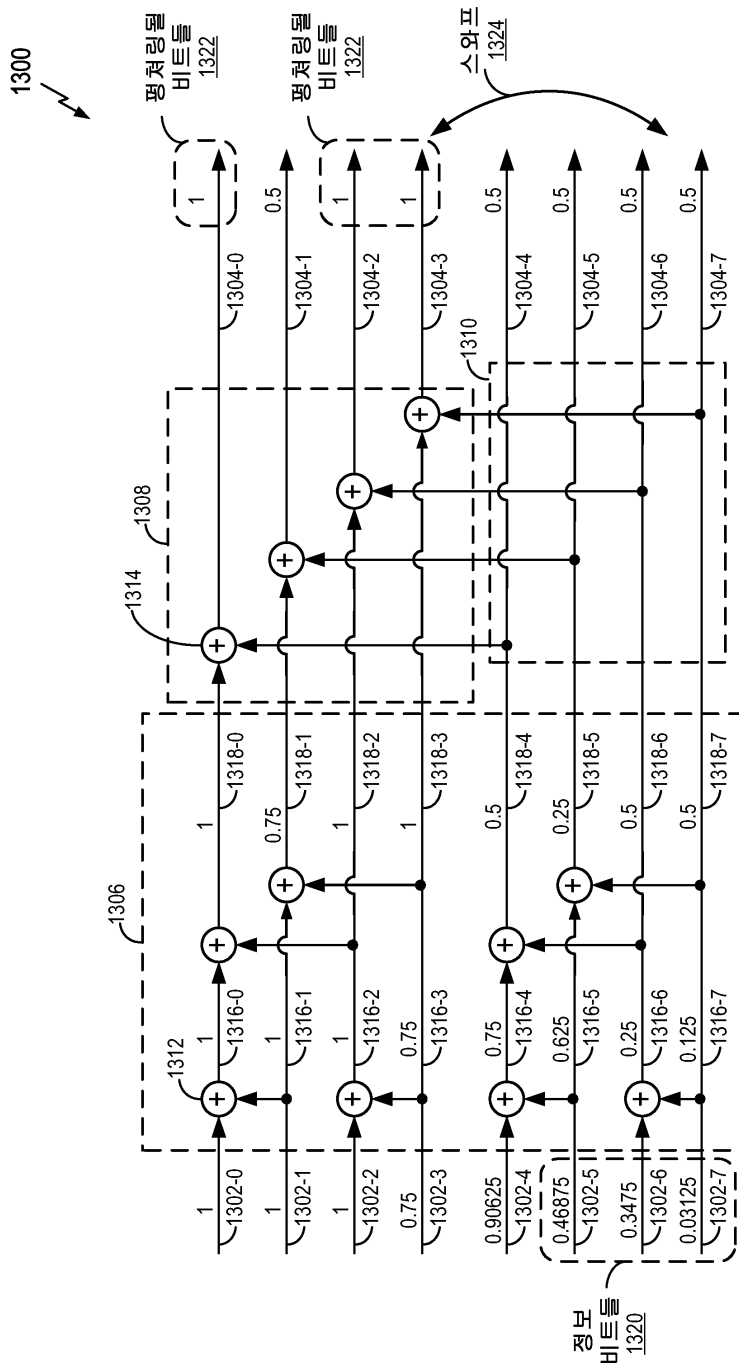
도면11



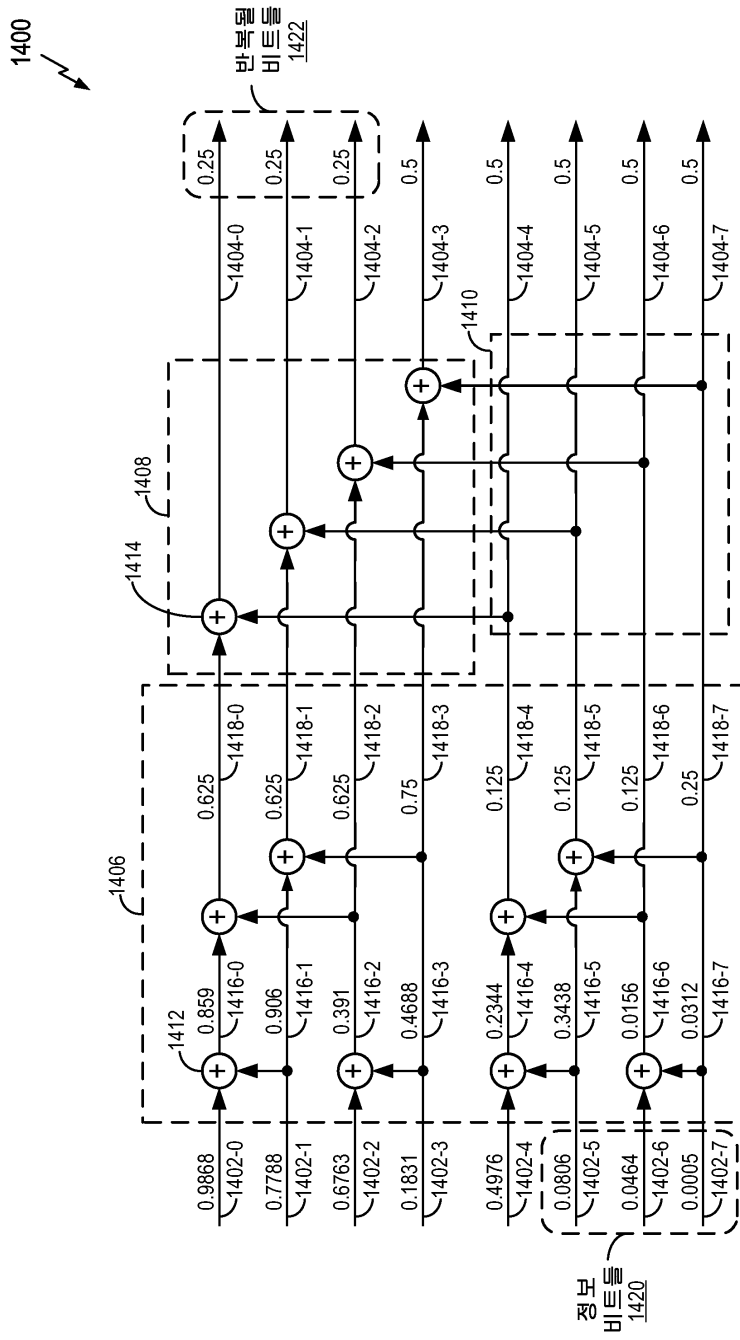
도면12



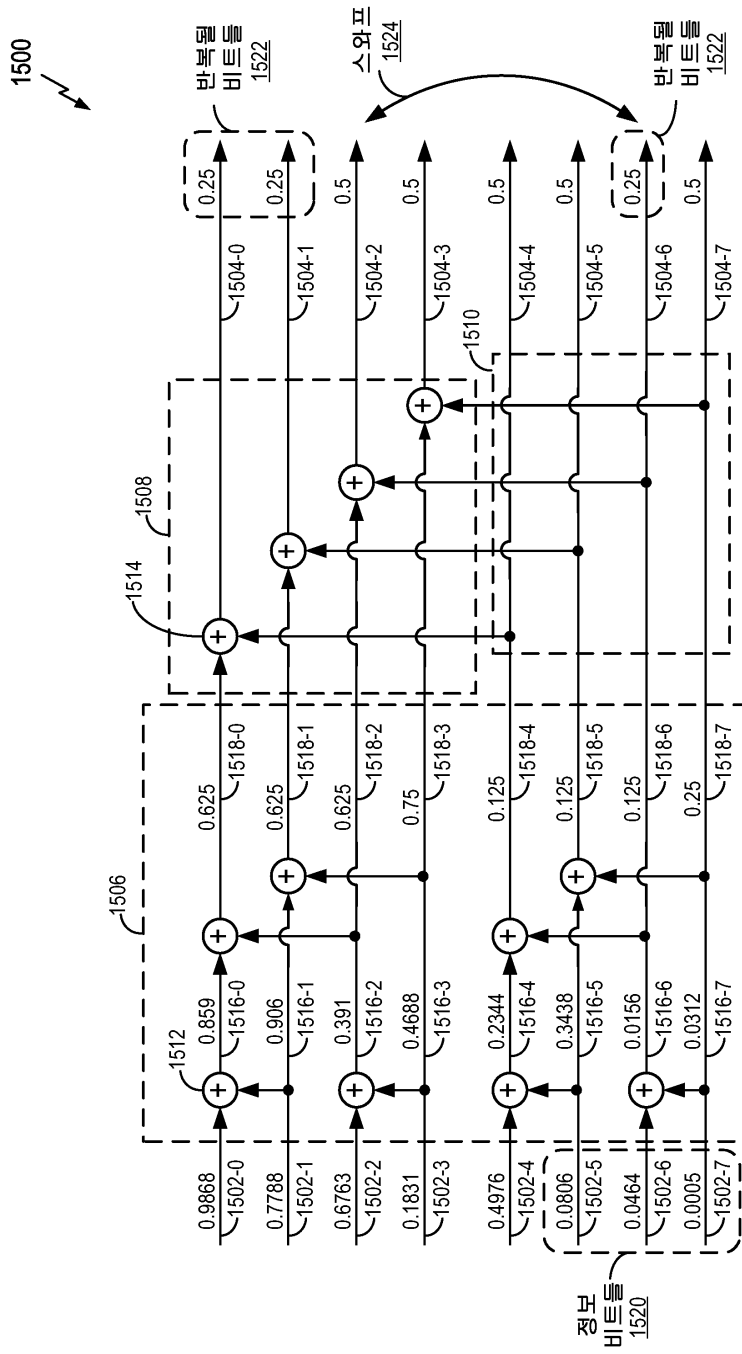
도면13



도면14

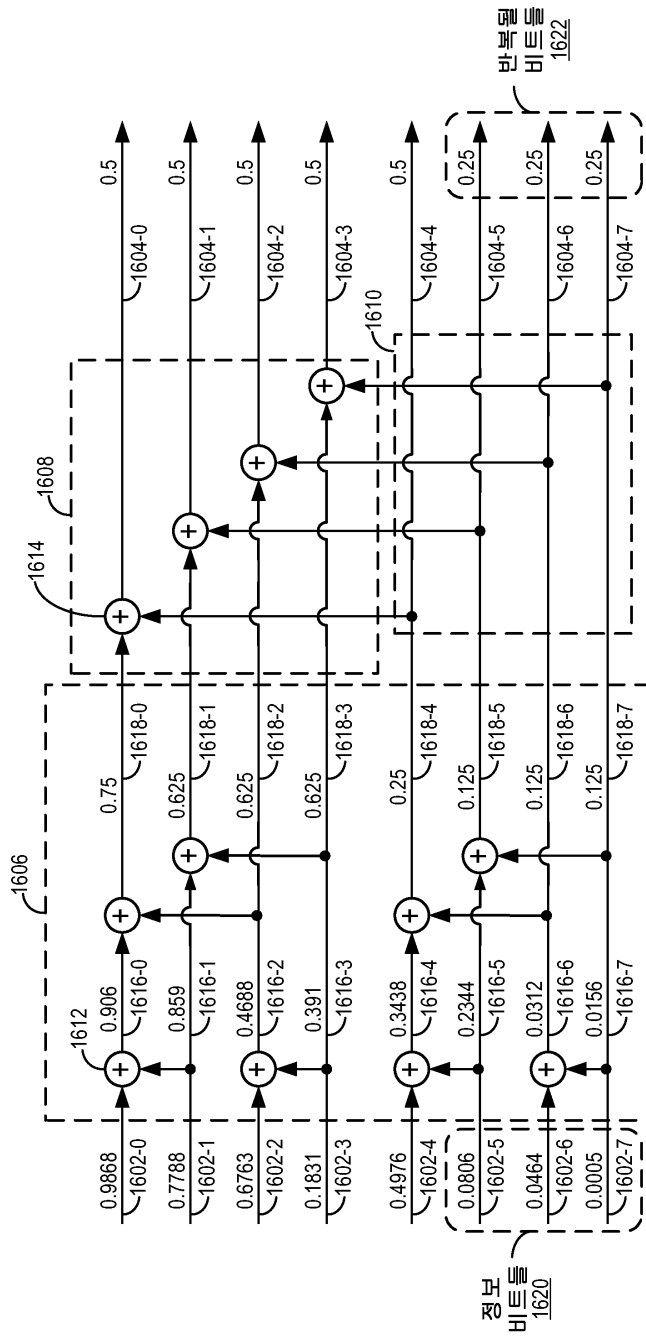


도면15

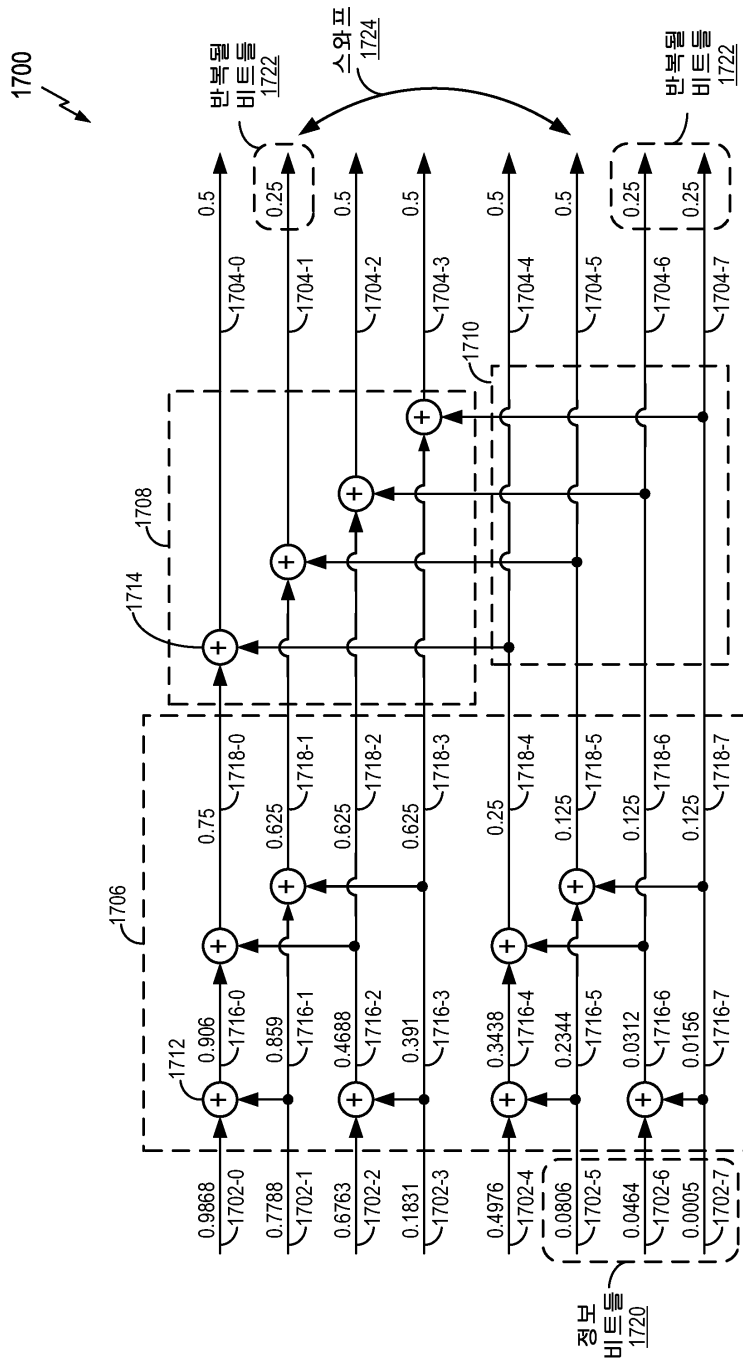


도면16

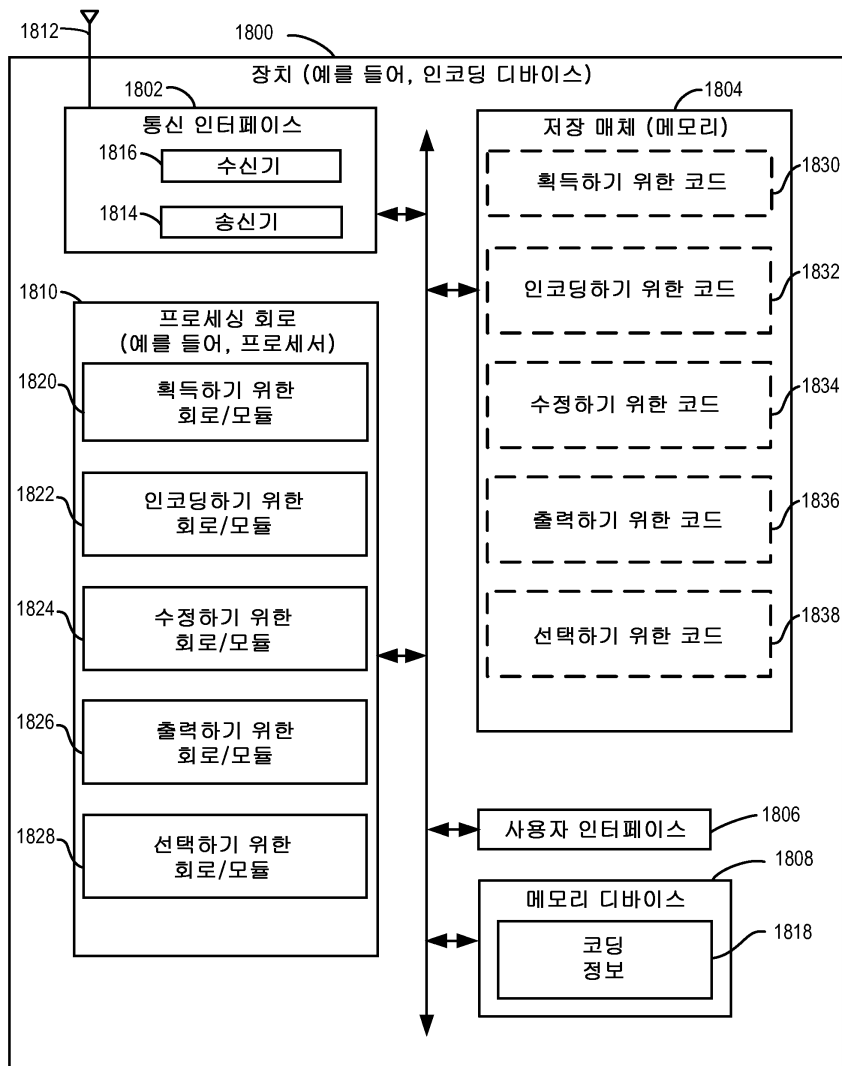
1600



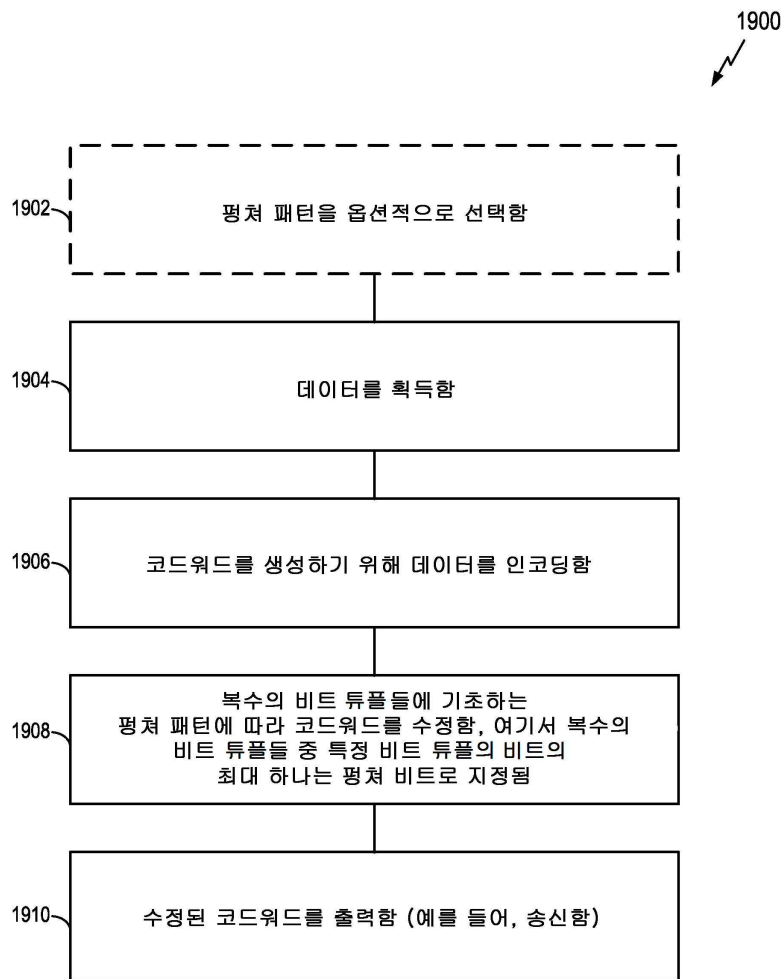
도면17



도면18



도면19



도면20

