

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2016-518723
(P2016-518723A)

(43) 公表日 平成28年6月23日 (2016. 6. 23)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006. 01)	HO 1 L 29/80 L	4 M 1 O 4
HO 1 L 29/812 (2006. 01)	HO 1 L 29/80 H	5 F 1 O 2
HO 1 L 29/778 (2006. 01)	HO 1 L 21/28 3 O 1 B	
HO 1 L 21/28 (2006. 01)		

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

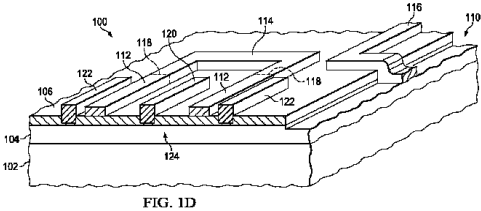
(21) 出願番号	特願2016-512988 (P2016-512988)	(71) 出願人	390020248
(86) (22) 出願日	平成26年5月5日 (2014. 5. 5)		日本テキサス・インスツルメンツ株式会社
(85) 翻訳文提出日	平成27年12月28日 (2015. 12. 28)		東京都新宿区西新宿六丁目2 4 番 1 号
(86) 国際出願番号	PCT/US2014/036788	(71) 出願人	507107291
(87) 国際公開番号	W02014/179796		テキサス インスツルメンツ インコーポ
(87) 国際公開日	平成26年11月6日 (2014. 11. 6)		レイテッド
(31) 優先権主張番号	13/886, 429		アメリカ合衆国 テキサス州 7 5 2 6 5
(32) 優先日	平成25年5月3日 (2013. 5. 3)		ー5 4 7 4 ダラス メール ステーショ
(33) 優先権主張国	米国 (US)		ン 3 9 9 9 ピーオーボックス 6 5 5
			4 7 4
		(74) 上記1名の代理人	100098497
			弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 1 1 1ー窒化物トランジスタレイアウト

(57) 【要約】

GaN FET (1 2 4) を含む半導体デバイス (1 0 0) が、チャネルエリア外側に隔離ゲート構造 (1 1 2) を有し、これは、半導体デバイスの二つの領域間の二次元電子ガスにおける電流をブロックするように動作し得る。隔離ゲート構造 (1 1 2) は、GaN FET のゲートと同時に形成され、ゲートと同じ構造を有する。



【特許請求の範囲】**【請求項 1】**

半導体デバイスであって、
I I I - N 半導体材料を含む基板、
前記基板上に配置される I I I - N 半導体材料の低欠陥層、
前記低欠陥層上に配置される I I I - N 半導体材料の障壁層、
ガリウム窒化物電界効果トランジスタ (G a N F E T) であって、
前記障壁層の上に配置されるゲートと、
前記低欠陥層の上に配置されるドレインコンタクトと、
前記低欠陥層の上に配置されるソースコンタクトと、
を含む前記 G a N F E T、及び
前記ゲートと同じ構造を有する、前記障壁層の上に配置されるゲート隔離構造であって、
前記半導体デバイスの第 1 の領域を前記半導体デバイスの第 2 の領域から電氣的に隔離
するように動作し得る、前記ゲート隔離構造、
を含む、半導体デバイス。

10

【請求項 2】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が前記ゲートと連続的
である、半導体デバイス。

【請求項 3】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が前記ゲートから離れ
ている、半導体デバイス。

20

【請求項 4】

請求項 1 に記載の半導体デバイスであって、
前記第 1 の領域が前記ドレインコンタクトと連続的であり、
前記第 2 の領域が前記ソースコンタクトと連続的である、
半導体デバイス。

【請求項 5】

請求項 1 に記載の半導体デバイスであって、
前記 G a N F E T が第 1 の G a N F E T であり、
前記半導体デバイスが第 2 の G a N F E T を含み、
前記第 1 の領域が前記第 1 の G a N F E T と連続的であり、
前記第 2 の領域が前記第 2 の G a N F E T と連続的である、
半導体デバイス。

30

【請求項 6】

請求項 1 に記載の半導体デバイスであって、
前記半導体デバイスが隔離構造を含み、
前記ゲート隔離構造が、前記隔離構造まで延在し且つ前記隔離構造に部分的に重なる、
半導体デバイス。

【請求項 7】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が入力 / 出力 (I / O)
構造を囲む、半導体デバイス。

40

【請求項 8】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が前記 G a N F E T
を囲む、半導体デバイス。

【請求項 9】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が金属ゲート層を含む
、半導体デバイス。

【請求項 10】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が、I I I - N 半導体
材料の半導体ゲート層を含む、半導体デバイス。

50

【請求項 1 1】

半導体デバイスを形成する方法であって、
I I I - N 半導体材料を含む基板を提供する工程、
前記基板上に I I I - N 半導体材料の低欠陥層を形成する工程、
前記低欠陥層上に I I I - N 半導体材料の障壁層を形成する工程、
G a N F E T を形成する工程であって、
前記障壁層の上にゲートを形成する工程と、
前記低欠陥層の上にドレインコンタクトを形成する工程と、
前記低欠陥層の上にソースコンタクトを形成する工程と、
を含むプロセスにより、G a N F E T を形成する前記工程、及び
前記ゲートと同時に前記障壁層の上にゲート隔離構造を形成する工程であって、前記ゲート隔離構造が、前記半導体デバイスの第 1 の領域を前記半導体デバイスの第 2 の領域から電氣的に隔離するように動作し得る工程、
を含む、方法。

10

【請求項 1 2】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が前記ゲートと連続的である、方法。

【請求項 1 3】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が前記ゲートから離れている、方法。

20

【請求項 1 4】

請求項 1 1 に記載の方法であって、
前記第 1 の領域が前記ドレインコンタクトと連続的であり、
前記第 2 の領域が前記ソースコンタクトと連続的である、
方法。

【請求項 1 5】

請求項 1 1 に記載の方法であって、
前記 G a N F E T が第 1 の G a N F E T であり、前記方法が、第 2 の G a N F E T を形成する工程を更に含み、
前記第 1 の領域が前記第 1 の G a N F E T と連続的であり、
前記第 2 の領域が前記第 2 の G a N F E T と連続的である、
方法。

30

【請求項 1 6】

請求項 1 1 に記載の方法であって、隔離構造を形成する工程を更に含み、前記ゲート隔離構造が、前記隔離構造まで延在し且つ前記隔離構造に重なるように形成される、方法。

【請求項 1 7】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が入力 / 出力 (I / O) 構造を囲む、方法。

【請求項 1 8】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が前記 G a N F E T を囲む、方法。

40

【請求項 1 9】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造を形成する前記工程が、金属ゲート層を形成することを含む、方法。

【請求項 2 0】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造を形成する前記工程が、I I I - N 半導体材料の半導体ゲート層を形成することを含む、方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本願は、半導体デバイスの分野に関連する。更に特定して言えば、本発明は、半導体デバイスにおけるガリウム窒化物FETに関連する。

【背景技術】

【0002】

GaNなどのIII-N材料でつくられる電界効果トランジスタ(FET)は、シリコンFETに比して高いバンドギャップ及び高い熱伝導率など、パワースイッチにとって望ましい特性を呈する。しかし、GaN FETは望ましくないことに、エリア外の二次元電子ガスを介するドレインからソースへの漏れ電流の影響を受け易い。

【発明の概要】

【0003】

GaN FETを含む半導体デバイスが、エリア外の隔離ゲート構造を有し、これは、その半導体デバイスの二つの領域間の二次元電子ガスにおいて電流をブロックするように動作し得る。隔離ゲート構造は、GaN FETのゲートと同時に形成され、ゲートと同じ構造を有する。

【図面の簡単な説明】

【0004】

【図1A】例示の半導体デバイスの断面である。

【図1B】例示の半導体デバイスの断面である。

【図1C】例示の半導体デバイスの断面である。

【図1D】例示の半導体デバイスの断面である。

【0005】

【図2】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図3】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図4】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図5】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図6】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図7】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【発明を実施するための形態】

【0006】

以下の同時継続中の特許出願は参照のため本願に組み込まれる。米国特許出願番号US 13/886,378、米国特許公開番号US 2014/0042452 A1、米国特許出願番号US 13/886,652(本願と同時に出願されたPCT出願TI-71492WOに対応する)、米国特許出願番号US 13/886,688(本願と同時に出願されたPCT出願TI-72417WOに対応する)、米国特許出願番号US 13/886,709、及び米国特許出願番号US 13/886,744(本願と同時に出願されたPCT出願TI-72605WOに対応する)。

【特許文献1】米国特許出願番号13/886,378

【特許文献2】米国特許公開番号2014/0042452 A1

【特許文献3】米国特許出願番号13/886,652

【特許文献4】米国特許出願番号13/886,688

【特許文献5】米国特許出願番号13/886,709

【特許文献6】米国特許出願番号13/886,744

【0007】

GaN FETを含む半導体デバイスが、エリア外の隔離ゲート構造を有し、これは、半導体デバイスの二つの領域間の二次元電子ガスにおいて電流をブロックする。この隔離ゲート構造は、GaN FETのゲートと同時に形成される。

【0008】

III-N半導体材料は、III族(ボロン族)要素(ボロン、アルミニウム、ガリウム、インジウム)が半導体材料における原子の一部を提供し、窒素原子がその残りを提供する材料である。III-N半導体材料の例は、ガリウム窒化物、ボロンガリウム窒化物

10

20

30

40

50

、アルミニウムガリウム窒化物、インジウム窒化物、及びインジウムアルミニウムガリウム窒化物である。III-N材料は、可能な化学量の範囲を示すために可変の下付添え字と共に書くことができる。例えば、アルミニウムガリウム窒化物は $Al_xGa_{1-x}N$ と書くことができ、インジウムアルミニウムガリウム窒化物は $In_xAl_yGa_{1-x-y}N$ と書くことができる。 GaN FETは、III-N半導体材料を含む電界効果トランジスタの一例である。

【0009】

図1A～図1Dは例示の半導体デバイスの断面である。図1Aを参照すると、半導体デバイス100が、例えば、電氣的隔離層などの基板102上に形成される。電氣的隔離層は、例えば、300～2000ナノメートルの半絶縁性ガリウム窒化物であり得る。電氣的隔離層は、例えば、電氣的隔離層の下層と電氣的隔離層の上層との間の所望のレベルの電氣的隔離を提供するために半絶縁性であり得る。基板102はまた、例えば、シリコンベースのウエハ及びアルミニウム窒化物の隔離層、及びシリコンベースのウエハと電氣的隔離層との間のグレーデッド(graded) $Al_xGa_{1-x}N$ のバッファ層を含み得る。

10

【0010】

基板102の電氣的隔離層上に低欠陥層104が形成される。低欠陥層104は、例えば、25～1000ナノメートルのガリウム窒化物であり得る。低欠陥層104は、電子移動度に対する悪影響を有し得る結晶欠陥を最小化するように形成され得、その結果、低欠陥層104が、炭素、鉄、又はその他のドーパント種で、例えば、 $10^{17}cm^{-3}$ より小さいドーピング密度で、ドーピングされる。

20

【0011】

低欠陥層104上に障壁層106が形成される。障壁層106は、例えば、8～30ナノメートルの $Al_xGa_{1-x}N$ 又は $In_xAl_yGa_{1-x-y}N$ であり得る。障壁層234におけるIII族要素の組成は、例えば、24～28パーセントがアルミニウム窒化物、及び72～76パーセントがガリウム窒化物であり得る。低欠陥層104上に障壁層106を形成することで、例えば、 $1 \times 10^{12} \sim 2 \times 10^{13}cm^{-2}$ の電子密度で、障壁層106のすぐ下の低欠陥層104に二次元電子ガスが生成される。障壁層106は、例えば、障壁層106の頂部表面において、ガリウム窒化物の任意選択のキャップ層を含み得る。

30

【0012】

隔離領域のため障壁層106のエリアを露出させるように障壁層106の上に隔離マスク108が形成される。隔離マスク108は、例えば、フォトリソグラフィプロセスによって形成される200ナノメートル～2ミクロンのフォトレジストを含み得る。

【0013】

図1Bを参照すると、隔離マスク108により露出されたエリアにおいて、障壁層106及び低欠陥層104に隔離領域110を形成する隔離プロセスが実施される。図1Bに示した本例の一つのバージョンにおいて、隔離プロセスは、隔離トレンチ110を形成するように障壁層106及び低欠陥層104から材料を取り除く、隔離エッチングであり得る。本例の別のバージョンにおいて、隔離プロセスは、重くドーピングされた隔離障壁を形成するために障壁層106及び低欠陥層104にドーパントを注入する、隔離注入であり得る。隔離領域110は、二次元電子ガスにおける電流が隔離領域110を横切ることを低減するか又はなくす。隔離領域110は、半導体デバイス100にわたって延在し得るか又は半導体デバイス100内の或る領域を囲み得る。隔離マスク108は、隔離領域110が形成された後、取り除かれ得る。

40

【0014】

図1Cを参照すると、ゲート112、ゲート112に接する第1の隔離ゲート構造114、及びゲート112から離れた第2の隔離ゲート構造116を同時に形成する、ゲート形成プロセスが実施される。ゲート112及び第1の隔離ゲート構造114は連続的であり、それらのそれぞれの範囲を示すために図1C～図1Dにおいて境界線118が提供さ

50

れる。第2の隔離ゲート構造116は、図1Cに示したように隔離領域110に重なり得る。第1の隔離ゲート構造114も任意選択で隔離領域110に重なり得る。

【0015】

ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、例えば、金属と障壁層106のIII-N材料との間のショットキー接合を形成する障壁層106の直上の金属ゲート構造であり得る。別の例では、ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、金属ゲート構造が障壁層106上のゲート誘電体層上に形成される、絶縁された金属ゲート構造であり得る。更なる例において、ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、半導体ゲート構造にバイアスが印加されない限り二次元電子ガスを阻害しないIII-N半導体ゲート構造であり得る。別の例において、ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、p型半導体ゲート構造にバイアスが印加されないとき二次元電子ガスを阻害する、p型III-N半導体ゲート構造であり得る。

10

【0016】

図1Dを参照すると、少なくとも一つのドレインコンタクト120及び少なくとも一つのソースコンタクト122が障壁層106に形成される。ドレインコンタクト120及びソースコンタクト122は、例えば、障壁層106の頂部表面より下に配置され得、低欠陥層104内の二次元電子ガスへのトンネリング電氣的接続を成す。ゲート112、ドレインコンタクト120、及びソースコンタクト122は、半導体デバイス100のGaN FET 124の一部である。

20

【0017】

第1の隔離ゲート構造114及び第2の隔離ゲート構造116は、二次元電子ガスの一つ又は複数の領域を互いから電氣的に隔離する。p型半導体ゲート構造などの幾つかのタイプのゲート構造において、障壁層106に関連して第1及び第2の隔離ゲート構造114及び116にバイアスを印加することなく電氣的隔離が達成され得る。半導体ゲート構造又はショットキー金属ゲート構造などの、他の種類のゲート構造において、障壁層106に関連して第1及び第2の隔離ゲート構造114及び116に負のバイアスを印加することにより電氣的隔離が達成され得る。図1Dに示した例において、ドレインコンタクト120と連続的である二次元電子ガスは、ソースコンタクト122と連続的である二次元電子ガスから第1の隔離ゲート構造114により電氣的に隔離される。同様に、ソースコンタクト122と連続的である二次元電子ガスは、第2の隔離ゲート構造116の反対側の二次元電子ガスから電氣的に隔離される。図示しないフィールドプレートが、障壁層106及び低欠陥層104における電界を低減するためにゲートに近接して形成され得る。フィールドプレートは、ゲート112及び第1の隔離ゲート構造114及び第2の隔離ゲート構造116の拡張部を含み得、ソースコンタクト122の拡張部を含み得る。

30

【0018】

図2～図7は、隔離ゲート構造の例示の構成を有する半導体デバイスを図示する。図2を参照すると、半導体デバイス200が、例えば、図1Aを参照して説明したように、基板202内及び上に形成される。低欠陥層の上の障壁層により基板202に二次元電子ガスが形成される。ゲート212及びゲート隔離構造214が、基板202の頂部表面の上に同時に形成される。本例において、ゲート212は、二つの平行のセグメントを有し、ゲート隔離構造214は二つの弧状セグメントを有する。ゲート隔離構造214セグメントは、ゲート212セグメントと連続的であり、それらのそれぞれの範囲を示すために図2において境界線218が提供される。ゲート212及びゲート隔離構造214は閉ループ構成を有する。

40

【0019】

二つのドレインコンタクト220が、閉ループの各側に一つ、ゲート212に平行に、ゲート212及びゲート隔離構造214の閉ループの外側に形成される。ソースコンタクト222が、同じくゲート212に平行に、ゲート212及びゲート隔離構造214の閉ループの内側に形成される。ゲート212、ドレインコンタクト220、及びソースコン

50

タクト 2 2 2 は、半導体デバイス 2 0 0 の GaN FET 2 2 4 の一部である。本例において、ゲート隔離構造 2 1 4 は、ソースコンタクト 2 2 2 と連続的である二次元電子ガスを、ドレインコンタクト 2 2 0 と連続的である二次元電子ガスから電氣的に隔離する。

【 0 0 2 0 】

図 3 を参照すると、半導体デバイス 3 0 0 が、例えば、図 1 A を参照して説明したように、基板 3 0 2 内及び上に形成される。低欠陥層の上の障壁層により基板 3 0 2 に二次元電子ガスが形成される。ゲート 3 1 2 及びゲート隔離構造 3 1 4 が、基板 3 0 2 の頂部表面の上に同時に形成される。本例において、ゲート 3 1 2 は二つの平行のセグメントを有し、ゲート隔離構造 3 1 4 は、ゲート 3 1 2 セグメントと連続的である二つの C 形状のセグメントを有し、それらのそれぞれの範囲を示すため図 3 において境界線 3 1 8 が提供される。ゲート隔離構造 3 1 4 セグメントは、図 3 に示すように、任意選択でゲート構造の一部により接続され得る。

10

【 0 0 2 1 】

ソースコンタクト 3 2 2 が、ゲート 3 1 2 セグメントに平行に、ゲート 3 1 2 セグメント間に形成される。二つのドレインコンタクト 3 2 0 が、ゲート 3 1 2 セグメントの各側に一つ、ソースコンタクト 3 2 2 とは反対側にゲート 3 1 2 セグメントに近接して形成される。ゲート 3 1 2、ドレインコンタクト 3 2 0、及びソースコンタクト 3 2 2 は、半導体デバイス 3 0 0 の GaN FET 3 2 4 の一部である。ゲート隔離構造 3 1 4 は、ゲート 3 1 2 セグメントと接続する二つの C 形状のセグメントを有し、各々がドレインコンタクト 3 2 0 の一つを囲む、二つの閉ループ構成を形成する。本例において、ゲート隔離構造 3 1 4 は、ドレインコンタクト 3 2 0 と連続的である二次元電子ガスを、ソースコンタクト 3 2 2 と連続的である二次元電子ガスから電氣的に隔離する。

20

【 0 0 2 2 】

図 4 を参照すると、半導体デバイス 4 0 0 が、例えば、図 1 A を参照して説明したように、基板 4 0 2 内及び上に形成される。例えば隔離トレンチ構造又は隔離注入された構造などの隔離構造 4 1 0 が、図 1 A 及び図 1 B を参照して説明したように、基板 4 0 2 の或る領域を囲むように形成される。低欠陥層の上の障壁層により基板 4 0 2 に二次元電子ガスが形成される。

【 0 0 2 3 】

第 1 のゲート 4 1 2、第 1 のゲート隔離構造 4 1 4、第 2 のゲート 4 2 4、第 2 のゲート隔離構造 4 2 6、及び第 3 のゲート隔離構造 4 2 8 が、基板 4 0 2 の頂部表面の上に同時に形成される。第 3 のゲート隔離構造 4 2 8 は、隔離構造 4 1 0 により囲まれる領域にわたって延在し、隔離構造 4 1 0 に重なり得る。

30

【 0 0 2 4 】

本例において、第 1 のゲート 4 1 2 は二つの平行のセグメントを有し、第 1 のゲート隔離構造 4 1 4 は、第 1 のゲート 4 1 2 セグメントと連続的である三つの弧状セグメントを有し、それらのそれぞれの範囲を示すため図 4 において第 1 の境界線 4 1 8 が提供される。二つの第 1 のドレインコンタクト 4 2 0 が、二つの第 1 のゲート 4 1 2 セグメントの外側に、第 1 のゲート 4 1 2 セグメントに平行に、第 1 のゲート 4 1 2 セグメントの各側に一つ形成される。第 1 のソースコンタクト 4 2 2 が、同じく第 1 のゲート 4 1 2 セグメントに平行に、第 1 のゲート 4 1 2 セグメント間に形成される。第 1 のゲート 4 1 2、第 1 のドレインコンタクト 4 2 0、及び第 1 のソースコンタクト 4 2 2 は、半導体デバイス 4 0 0 の第 1 の GaN FET 4 3 6 の一部である。これら三つの第 1 のゲート隔離構造 4 1 4 弧状セグメント及び二つの第 1 のゲート 4 1 2 平行セグメントは、これら三つの第 1 のゲート隔離構造 4 1 4 弧状セグメントのうちの二つを分離する狭いピンチオフ領域を有する、開ループ構成を有する。二次元電子ガスは、場合によってはバイアスを第 1 のゲート隔離構造 4 1 4 に印加する際に、この狭いピンチオフ領域からブロックされる。本例において、第 1 のゲート隔離構造 4 1 4 は、第 1 のソースコンタクト 4 2 2 と連続的である二次元電子ガスを、第 1 のドレインコンタクト 4 2 0 と連続的である二次元電子ガスから電氣的に隔離する。狭いピンチオフ領域を含むことで、例えば金属ゲートのためのリフト

40

50

オフプロセスを用いて、第 1 のゲート 4 1 2 及び第 1 のゲート隔離構造 4 1 4 の製造が促進され得る。

【 0 0 2 5 】

第 2 のゲート 4 2 4 及び第 2 のゲート隔離構造 4 2 6 は、同様の構成を有し、それらのそれぞれの範囲を示すため図 4 において第 2 の境界線 4 3 0 が提供される。第 2 のソースコンタクト 4 3 2 が、第 2 のゲート 4 2 4 の平行のセグメント間に形成され、第 2 のドレインコンタクト 4 3 4 が第 2 のゲート 4 2 4 の外側に形成される。第 2 のゲート 4 2 4 、第 2 のドレインコンタクト 4 3 4 、及び第 2 のソースコンタクト 4 3 2 は、半導体デバイス 4 0 0 の第 2 の G a N F E T 4 3 8 の一部である。第 2 のゲート隔離構造 4 2 6 は、第 2 のソースコンタクト 4 3 2 と連続的である二次元電子ガスを、第 2 のドレインコンタクト 4 3 4 と連続的である二次元電子ガスから電氣的に隔離する。また、第 3 のゲート隔離構造 4 2 8 は、第 1 のドレインコンタクト 4 2 0 と連続的である二次元電子ガスを、第 2 のドレインコンタクト 4 3 4 と連続的である二次元電子ガスから電氣的に隔離する。第 1 のドレインコンタクト 4 2 0 は有利にも、所望とされない漏れ電流を生じさせることなく第 2 のドレインコンタクト 4 3 4 とは異なる電位にバイアスされ得る。本例の一つのバージョンにおいて、第 1 の G a N F E T 4 3 6 及び第 2 の G a N F E T 4 3 8 はいずれも、デプリーションモード F E T であり得る。別のバージョンにおいて、第 1 の G a N F E T 4 3 6 及び第 2 の G a N F E T 4 3 8 はいずれも、エンハンスメントモード F E T であり得る。更なるバージョンにおいて、第 1 の G a N F E T 4 3 6 がデプリーションモード F E T であり得、第 2 の G a N F E T 4 3 8 がエンハンスメントモード F E T であり得る。

【 0 0 2 6 】

図 5 を参照すると、半導体デバイス 5 0 0 が、例えば、図 1 A を参照して説明したように、基板 5 0 2 内及び上に形成される。低欠陥層の上の障壁層により基板 5 0 2 に二次元電子ガスが形成される。ゲート 5 1 2 及びゲート隔離構造 5 1 4 が、基板 5 0 2 の頂部表面の上に同時に形成される。本例において、ゲート 5 1 2 は二つの平行のセグメントを有し、ゲート隔離構造 5 1 4 はゲート 5 1 2 セグメントと連続的であるセグメントを有し、それらのそれぞれの範囲を示すため図 5 において境界線 5 1 8 が提供される。ゲート 5 1 2 及びゲート隔離構造 5 1 4 は、入力 / 出力 (I / O) 構造 5 3 6 と少なくとも一つのドレインコンタクト 5 2 0 とを囲む閉ループ構成を形成する。I / O 構造 5 3 6 は、例えば、プローブパッド又はボンドパッドであり得、この少なくとも一つのドレインコンタクト 5 2 0 に直接的に電氣的接続され得るか、又は過電圧保護回路要素を介してこの少なくとも一つのドレインコンタクト 5 2 0 に電氣的に結合され得る。少なくとも一つのソースコンタクト 5 2 2 が、ゲート 5 1 2 及びゲート隔離構造 5 1 4 の閉ループ構成の外側に形成される。ソースコンタクト 5 2 2 は、ドレインコンタクト 5 2 0 とは反対側にゲート 5 1 2 に近接して配置される。ゲート 5 1 2 、ソースコンタクト 5 2 2 、及びドレインコンタクト 5 2 0 は、半導体デバイス 5 0 0 の G a N F E T 5 2 4 の一部である。本例において、ゲート隔離構造 5 1 4 は、ドレインコンタクト 5 2 0 と連続的である二次元電子ガスを、ソースコンタクト 5 2 2 と連続的である二次元電子ガスから電氣的に隔離する。ゲート 5 1 2 及びゲート隔離構造 5 1 4 の閉ループ構成の内側に I / O 構造 5 3 6 を配置することで、有利にも、I / O 構造 5 3 6 からの所望とされない漏れ電流なく、ドレインコンタクト 5 2 0 へのバイアス印加が可能となる。

【 0 0 2 7 】

図 6 を参照すると、半導体デバイス 6 0 0 が、例えば、図 1 A を参照して説明したように、基板 6 0 2 内及び上に形成される。低欠陥層の上の障壁層により基板 6 0 2 に二次元電子ガスが形成される。第 1 の境界線 6 1 8 により示される第 1 のゲート 6 1 2 及び第 1 のゲート隔離構造 6 1 4 と、第 1 のソースコンタクト 6 2 2 及び第 1 のドレインコンタクト 6 2 0 が、図 2 を参照して説明したように、半導体デバイス 6 0 0 の第 1 の領域 6 3 8 に形成される。第 1 のゲート 6 1 2 、第 1 のソースコンタクト 6 2 2 、及び第 1 のドレインコンタクト 6 2 0 は、半導体デバイス 6 0 0 の第 1 の G a N F E T 6 5 4 の一部であ

る。第 1 の領域 6 3 8 において、第 1 のゲート隔離構造 6 1 4 は、第 1 のドレインコンタクト 6 2 0 と連続的である二次元電子ガスを、第 1 のソースコンタクト 6 2 2 と連続的である二次元電子ガスから電氣的に隔離する。

【 0 0 2 8 】

半導体デバイス 6 0 0 の第 2 の領域 6 4 0 において、第 2 の境界線 6 1 8 により示される第 2 のゲート 6 2 4 及び第 2 のゲート隔離構造 6 2 6 と、第 2 のソースコンタクト 6 3 2 及び第 2 のドレインコンタクト 6 3 4 が、第 1 の領域 6 3 8 におけるそれらと同等のものと同様の構成を有する。第 2 のゲート 6 2 4、第 2 のソースコンタクト 6 3 2、及び第 2 のドレインコンタクト 6 3 4 は、半導体デバイス 6 0 0 の第 2 の GaN FET 6 5 6 の一部である。第 2 のゲート隔離構造 6 2 6 は、第 2 のソースコンタクト 6 3 2 と連続的である二次元電子ガスを、第 2 のドレインコンタクト 6 3 4 と連続的である二次元電子ガスから電氣的に隔離する。同様に、半導体デバイス 6 0 0 の第 3 の領域 6 4 2 において、第 3 の境界線 6 4 8 により示される第 3 のゲート 6 4 4 及び第 3 のゲート隔離構造 6 4 6 と、第 3 のソースコンタクト 6 5 0 及び第 3 のドレインコンタクト 6 5 2 が、第 1 の領域 6 3 8 におけるそれらと同等のものと同様の構成を有する。第 3 のゲート 6 4 4、第 3 のソースコンタクト 6 5 0、及び第 3 のドレインコンタクト 6 5 2 は、半導体デバイス 6 0 0 の第 3 の GaN FET 6 5 8 の一部である。第 3 のゲート隔離構造 6 4 6 は、第 3 のソースコンタクト 6 5 0 と連続的である二次元電子ガスを、第 3 のドレインコンタクト 6 5 2 と連続的である二次元電子ガスから電氣的に隔離する。

【 0 0 2 9 】

第 4 のゲート隔離構造 6 6 0 が、第 1 の領域 6 3 8、第 2 の領域 6 4 0、及び第 3 の領域 6 4 2 を囲み、分離する。第 1 のドレインコンタクト 6 2 0、第 2 のドレインコンタクト 6 3 4、及び第 3 のドレインコンタクト 6 5 2 は有利にも、所望とされない漏れ電流を生じさせることなく異なる電位にバイアスされ得る。

【 0 0 3 0 】

図 7 を参照すると、半導体デバイス 7 0 0 が、例えば図 1 A を参照して説明したように、基板 7 0 2 内及び上に形成される。低欠陥層の上の障壁層により基板 7 0 2 に二次元電子ガスが形成される。第 1 のゲート 7 1 2、及び第 1 のゲート 7 1 2 と連続的である第 1 のゲート隔離構造 7 1 4 が、同時に形成される。第 1 の境界線 7 1 8 が、第 1 のゲート 7 1 2 及び第 1 のゲート隔離構造 7 1 4 の範囲を示す。第 1 のゲート隔離構造 7 1 4 はドレインコンタクト 7 2 0 を囲む。第 1 のソースコンタクト 7 2 2 が、ドレインコンタクト 7 2 0 とは反対側に第 1 のゲート 7 1 2 に近接して形成される。第 1 のゲート 7 1 2、ドレインコンタクト 7 2 0、及び第 1 のソースコンタクト 7 2 2 は、半導体デバイス 7 0 0 の第 1 の GaN FET 7 3 4 の一部である。第 1 のゲート隔離構造 7 1 4 は、第 1 のソースコンタクト 7 2 2 と連続的である二次元電子ガスを、ドレインコンタクト 7 2 0 と連続的である二次元電子ガスから電氣的に隔離する。

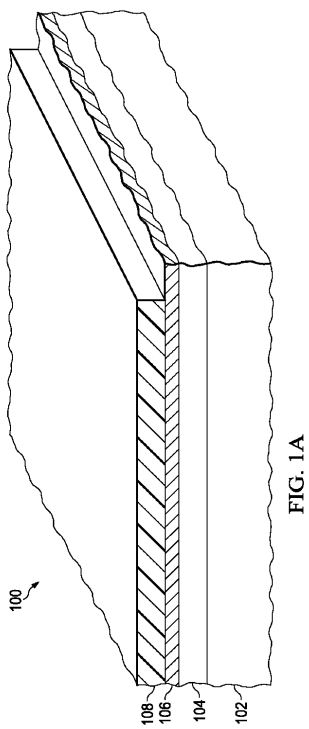
【 0 0 3 1 】

第 2 のゲート 7 2 4 が、第 1 のゲート 7 1 2 とは反対側にドレインコンタクト 7 2 0 に近接して形成される。第 2 のゲート隔離構造 7 2 6 が、第 2 のゲート 7 2 4 と連続的であり、第 2 のソースコンタクト 7 3 2 を囲む。第 2 のゲート 7 2 4、ドレインコンタクト 7 2 0、及び第 2 のソースコンタクト 7 3 2 は、半導体デバイス 7 0 0 の第 2 の GaN FET 7 3 6 の一部である。第 2 の境界線 7 3 0 が第 2 のゲート 7 2 4 及び第 2 のゲート隔離構造 7 2 6 の範囲を示す。第 2 のゲート隔離構造 7 2 6 は、第 2 のソースコンタクト 7 3 2 と連続的である二次元電子ガスが、ドレインコンタクト 7 2 0 と連続的である二次元電子ガスから電氣的に隔離されるように、第 2 のソースコンタクト 7 3 2 を囲む。第 1 のゲート隔離構造 7 1 4 は、第 2 のゲート 7 2 4 及び第 2 のゲート隔離構造 7 2 6 を囲む。第 2 のソースコンタクトは有利にも、浮遊され得又は第 1 のソースコンタクト 7 2 2 から異なる電位で動作され得る。第 2 のソースコンタクト 7 3 2 及び第 2 のゲート 7 2 4 は、有利にも第 1 のソースコンタクト 7 2 2 を介する電流を阻害することなくドレインコンタクト 7 2 0 上のドレイン電位を感知する、感知トランジスタの一部であり得る。

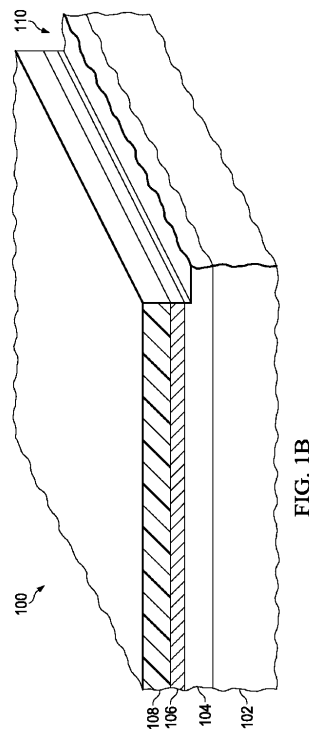
【 0 0 3 2 】

当業者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び多くの他の実施例が可能であることが分かるであろう。

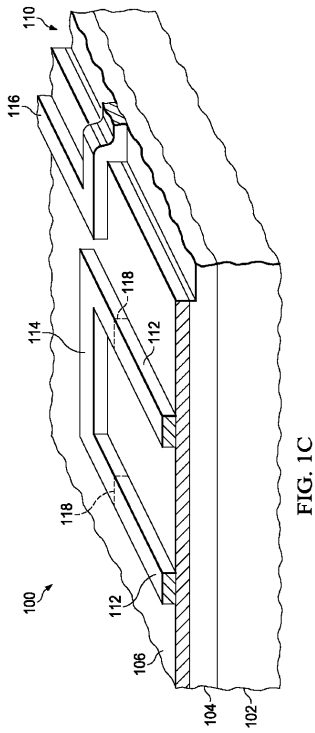
【 図 1 A 】



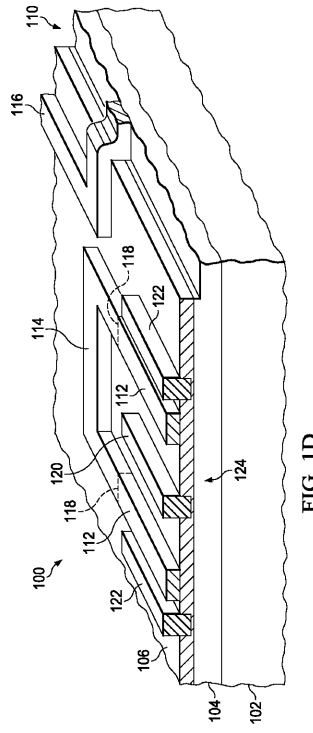
【 図 1 B 】



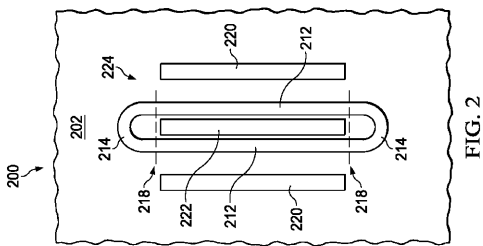
【図 1 C】



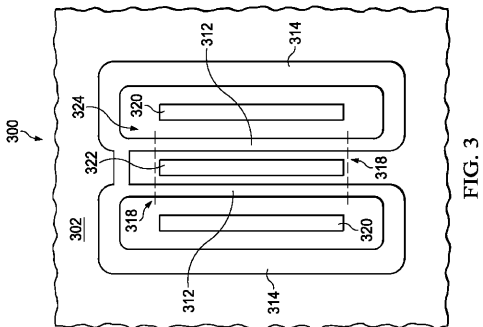
【図 1 D】



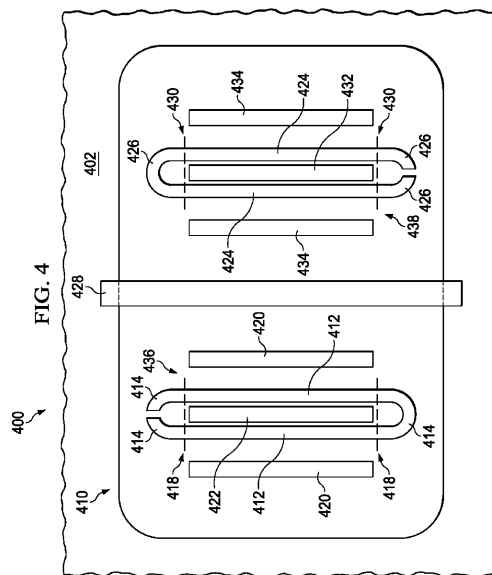
【図 2】



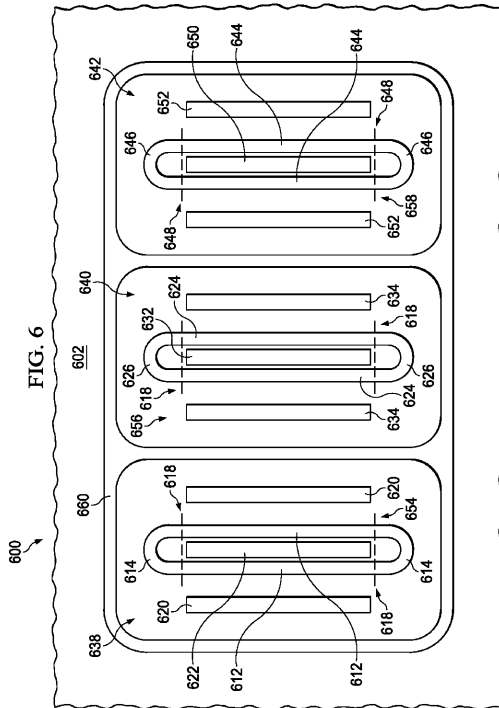
【図 3】



【図 4】



【図 6】



【図 7】

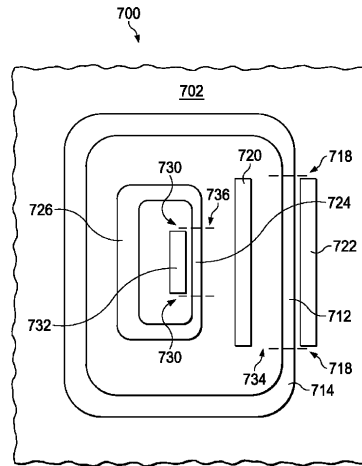


FIG. 7

【図 5】

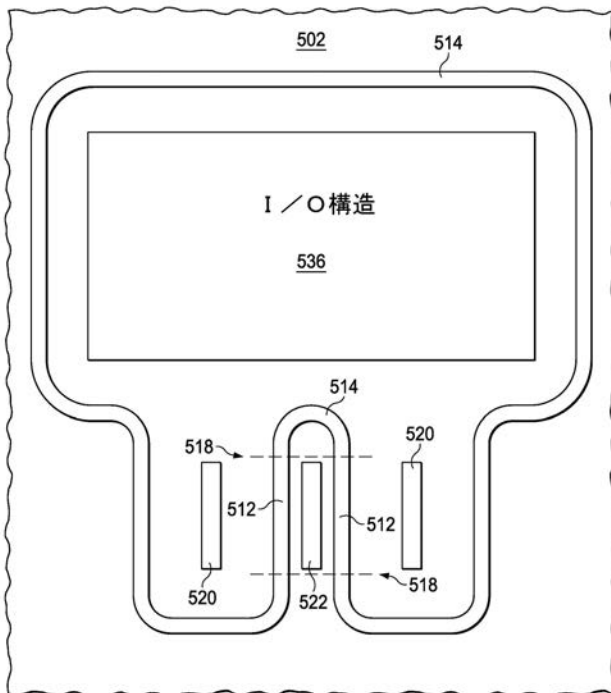


FIG. 5

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2014/036788																				
A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 29/772 (2006.01)</i> <i>H01L 21/335 (2006.01)</i> According to International Patent Classification (IPC) or to both national classification and IPC																						
B. FIELDS SEARCHED																						
Minimum documentation searched (classification system followed by classification symbols)																						
H01L 21/00, 21/04, 21/18, 21/334, 21/335, 29/00, 29/66, 29/68, 29/772																						
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																						
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																						
PatSearch (RUPTO internal), USPTO, PAJ, Esp@cenet, DWPI, EAPATIS, PATENTSCOPE, Information Retrieval System of FIPS																						
C. DOCUMENTS CONSIDERED TO BE RELEVANT																						
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																				
X	US 2013/0087803 A1 (EPOWERSOFT, INC.) 11.04.2013, fig. 3J, [0003], [0042], [0043], [0044], [0059], claims 11, 22	1, 2, 4, 6, 9-12, 14, 16, 19, 20																				
A		3, 5, 7, 8, 13, 15, 17, 18																				
A	US 2012/0193677 A1 (TRANSPHORM INC.) 02.08.2012	1-20																				
A	US 8389977 B2 (TRANSPHORM INC.) 05.03.2013	1-20																				
A	US 8384129 B2 (THE UNITED STATES OF AMERICA, AS REPRESENTED BY THE SECRETARY OF THE NAVY) 26.02.2013	1-20																				
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																						
* Special categories of cited documents: <table border="0"> <tr> <td>"A"</td> <td>document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T"</td> <td>later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E"</td> <td>earlier document but published on or after the international filing date</td> <td>"X"</td> <td>document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"I"</td> <td>document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y"</td> <td>document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O"</td> <td>document referring to an oral disclosure, use, exhibition or other means</td> <td>"&"</td> <td>document member of the same patent family</td> </tr> <tr> <td>"P"</td> <td>document published prior to the international filing date but later than the priority date claimed</td> <td></td> <td></td> </tr> </table>			"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"I"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family	"P"	document published prior to the international filing date but later than the priority date claimed		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																			
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																			
"I"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																			
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family																			
"P"	document published prior to the international filing date but later than the priority date claimed																					
Date of the actual completion of the international search 19 September 2014 (19.09.2014)		Date of mailing of the international search report 30 September 2014 (30.09.2014)																				
Name and mailing address of the ISA/RU: FIPS, Russia, 123995, Moscow, G-59, GSP-5, Berezhkovskaya nab., 30-1 Facsimile No. +7 (499) 243-33-37		Authorized officer M. Salnikov Telephone No. 499-240-25-91																				

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 サミール ペンハルカル

アメリカ合衆国 7 5 0 1 3 テキサス州 アレン , パーンサイド ドライブ 2 0 3 2

(72)発明者 ナビーン ティピルネニ

アメリカ合衆国 7 5 0 2 3 テキサス州 プラノ , コーチマン コート 5 3 0 5

(72)発明者 ジュンウォー ジョー

アメリカ合衆国 7 5 0 8 1 テキサス州 リチャードソン , エイピーティ 2 3 6 1 , ブリック ロー 7 4 4

F ターム(参考) 4M104 AA04 AA07 FF10 FF11 FF27 GG12

5F102 GJ03 GK04 GL04 GM04 GM08 GQ01 GR04 GR12 GS09