

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-518723

(P2016-518723A)

(43) 公表日 平成28年6月23日(2016.6.23)

(51) Int.Cl.

H01L 21/338 (2006.01)
H01L 29/812 (2006.01)
H01L 29/778 (2006.01)
H01L 21/28 (2006.01)

F 1

H01L 29/80
H01L 29/80
H01L 21/28

テーマコード(参考)

L 4M104
H 5F102
301B

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2016-512988 (P2016-512988)
(86) (22) 出願日 平成26年5月5日 (2014.5.5)
(85) 翻訳文提出日 平成27年12月28日 (2015.12.28)
(86) 國際出願番号 PCT/US2014/036788
(87) 國際公開番号 WO2014/179796
(87) 國際公開日 平成26年11月6日 (2014.11.6)
(31) 優先権主張番号 13/886,429
(32) 優先日 平成25年5月3日 (2013.5.3)
(33) 優先権主張国 米国(US)

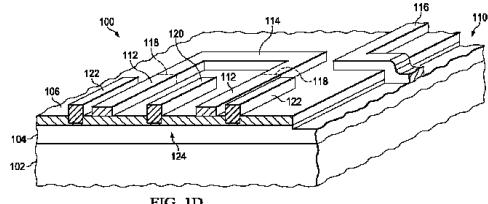
(71) 出願人 390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号
(71) 出願人 507107291
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国 テキサス州 75265
-5474 ダラス メイル ステイショ
ン 3999 ピーオーボックス 655
474
(74) 上記1名の代理人 100098497
弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】 III-窒化物トランジスタレイアウト

(57) 【要約】

GaN FET(124)を含む半導体デバイス(100)が、チャネルエリア外側に隔離ゲート構造(112)を有し、これは、半導体デバイスの二つの領域間の二次元電子ガスにおける電流をブロックするように動作し得る。隔離ゲート構造(112)は、GaN FETのゲートと同時に形成され、ゲートと同じ構造を有する。



【特許請求の範囲】

【請求項 1】

半導体デバイスであって、
 I I I - N 半導体材料を含む基板、
 前記基板上に配置される I I I - N 半導体材料の低欠陥層、
 前記低欠陥層上に配置される I I I - N 半導体材料の障壁層、
 ガリウム窒化物電界効果トランジスタ (GaN FET) であって、
 前記障壁層の上に配置されるゲートと、
 前記低欠陥層の上に配置されるドレインコンタクトと、
 前記低欠陥層の上に配置されるソースコンタクトと、
 を含む前記 GaN FET、及び
 前記ゲートと同じ構造を有する、前記障壁層の上に配置されるゲート隔離構造であって
 、前記半導体デバイスの第 1 の領域を前記半導体デバイスの第 2 の領域から電気的に隔離
 するように動作し得る、前記ゲート隔離構造、
 を含む、半導体デバイス。

【請求項 2】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が前記ゲートと連続的
 である、半導体デバイス。

【請求項 3】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が前記ゲートから離れ
 ている、半導体デバイス。

【請求項 4】

請求項 1 に記載の半導体デバイスであって、
 前記第 1 の領域が前記ドレインコンタクトと連続的であり、
 前記第 2 の領域が前記ソースコンタクトと連続的である、
 半導体デバイス。

【請求項 5】

請求項 1 に記載の半導体デバイスであって、
 前記 GaN FET が第 1 の GaN FET であり、
 前記半導体デバイスが第 2 の GaN FET を含み、
 前記第 1 の領域が前記第 1 の GaN FET と連続的であり、
 前記第 2 の領域が前記第 2 の GaN FET と連続的である、
 半導体デバイス。

【請求項 6】

請求項 1 に記載の半導体デバイスであって、
 前記半導体デバイスが隔離構造を含み、
 前記ゲート隔離構造が、前記隔離構造まで延在し且つ前記隔離構造に部分的に重なる、
 半導体デバイス。

【請求項 7】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が入力 / 出力 (I / O)
 構造を囲む、半導体デバイス。

【請求項 8】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が前記 GaN FET
 を囲む、半導体デバイス。

【請求項 9】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が金属ゲート層を含む
 、半導体デバイス。

【請求項 10】

請求項 1 に記載の半導体デバイスであって、前記ゲート隔離構造が、I I I - N 半導体
 材料の半導体ゲート層を含む、半導体デバイス。

【請求項 1 1】

半導体デバイスを形成する方法であって、
 I I I - N 半導体材料を含む基板を提供する工程、
 前記基板上に I I I - N 半導体材料の低欠陥層を形成する工程、
 前記低欠陥層上に I I I - N 半導体材料の障壁層を形成する工程、
 G a N F E T を形成する工程であって、
 前記障壁層の上にゲートを形成する工程と、
 前記低欠陥層の上にドレインコンタクトを形成する工程と、
 前記低欠陥層の上にソースコンタクトを形成する工程と、
 を含むプロセスにより、G a N F E T を形成する前記工程、及び
 前記ゲートと同時に前記障壁層の上にゲート隔離構造を形成する工程であって、前記ゲート隔離構造が、前記半導体デバイスの第1の領域を前記半導体デバイスの第2の領域から電気的に隔離するように動作し得る工程、
 を含む、方法。
 10

【請求項 1 2】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が前記ゲートと連続的である、方法。

【請求項 1 3】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が前記ゲートから離れている、方法。
 20

【請求項 1 4】

請求項 1 1 に記載の方法であって、
 前記第1の領域が前記ドレインコンタクトと連続的であり、
 前記第2の領域が前記ソースコンタクトと連続的である、
 方法。

【請求項 1 5】

請求項 1 1 に記載の方法であって、
 前記 G a N F E T が第1の G a N F E T であり、前記方法が、第2の G a N F E T を形成する工程を更に含み、
 前記第1の領域が前記第1の G a N F E T と連続的であり、
 前記第2の領域が前記第2の G a N F E T と連続的である、
 方法。
 30

【請求項 1 6】

請求項 1 1 に記載の方法であって、隔離構造を形成する工程を更に含み、前記ゲート隔離構造が、前記隔離構造まで延在し且つ前記隔離構造に重なるように形成される、方法。

【請求項 1 7】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が入力 / 出力 (I / O) 構造を囲む、方法。

【請求項 1 8】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造が前記 G a N F E T を囲む、方法。
 40

【請求項 1 9】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造を形成する前記工程が、金属ゲート層を形成することを含む、方法。

【請求項 2 0】

請求項 1 1 に記載の方法であって、前記ゲート隔離構造を形成する前記工程が、I I I - N 半導体材料の半導体ゲート層を形成することを含む、方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願は、半導体デバイスの分野に関連する。更に特定して言えば、本発明は、半導体デバイスにおけるガリウム窒化物FETに関連する。

【背景技術】

【0002】

GaNなどのIII-N材料でつくられる電界効果トランジスタ(FET)は、シリコンFETに比して高いバンドギャップ及び高い熱伝導率など、パワースイッチにとって望ましい特性を呈する。しかし、GaN FETは望ましくないことに、エリア外の二次元電子ガスを介するドレインからソースへの漏れ電流の影響を受け易い。

【発明の概要】

【0003】

GaN FETを含む半導体デバイスが、エリア外の隔離ゲート構造を有し、これは、その半導体デバイスの二つの領域間の二次元電子ガスにおいて電流をブロックするように動作し得る。隔離ゲート構造は、GaN FETのゲートと同時に形成され、ゲートと同じ構造を有する。

【図面の簡単な説明】

【0004】

【図1A】例示の半導体デバイスの断面である。

【図1B】例示の半導体デバイスの断面である。

【図1C】例示の半導体デバイスの断面である。

【図1D】例示の半導体デバイスの断面である。

【0005】

【図2】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図3】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図4】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図5】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図6】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【図7】隔離ゲート構造の例示の構成を備えた半導体デバイスの上面図である。

【発明を実施するための形態】

【0006】

以下の同時継続中の特許出願は参考のため本願に組み込まれる。米国特許出願番号U.S.13/886,378、米国特許公開番号U.S.2014/0042452 A1、米国特許出願番号U.S.13/886,652(本願と同時に出願されたPCT出願T.I.-71492WOに対応する)、米国特許出願番号U.S.13/886,688(本願と同時に出願されたPCT出願T.I.-72417WOに対応する)、米国特許出願番号U.S.13/886,709、及び米国特許出願番号U.S.13/886,744(本願と同時に出願されたPCT出願T.I.-72605WOに対応する)。

【特許文献1】米国特許出願番号13/886,378

【特許文献2】米国特許公開番号2014/0042452 A1

【特許文献3】米国特許出願番号13/886,652

【特許文献4】米国特許出願番号13/886,688

【特許文献5】米国特許出願番号13/886,709

【特許文献6】米国特許出願番号13/886,744

【0007】

GaN FETを含む半導体デバイスが、エリア外の隔離ゲート構造を有し、これは、半導体デバイスの二つの領域間の二次元電子ガスにおいて電流をブロックする。この隔離ゲート構造は、GaN FETのゲートと同時に形成される。

【0008】

III-N半導体材料は、III族(ボロン族)要素(ボロン、アルミニウム、ガリウム、インジウム)が半導体材料における原子の一部を提供し、窒素原子がその残りを提供する材料である。III-N半導体材料の例は、ガリウム窒化物、ボロンガリウム窒化物

、アルミニウムガリウム窒化物、インジウム窒化物、及びインジウムアルミニウムガリウム窒化物である。I II - N材料は、可能な化学量の範囲を示すために可変の下付添え字と共に書くことができる。例えば、アルミニウムガリウム窒化物は $Al_xGa_{1-x}N$ と書くことができ、インジウムアルミニウムガリウム窒化物は $In_xAl_yGa_{1-x-y}N$ と書くことができる。GaN FETは、I II - N半導体材料を含む電界効果トランジスタの一例である。

【0009】

図1A～図1Dは例示の半導体デバイスの断面である。図1Aを参照すると、半導体デバイス100が、例えば、電気的隔離層などの基板102上に形成される。電気的隔離層は、例えば、300～2000ナノメートルの半絶縁性ガリウム窒化物であり得る。電気的隔離層は、例えば、電気的隔離層の下の層と電気的隔離層の上の層との間の所望のレベルの電気的隔離を提供するために半絶縁性であり得る。基板102はまた、例えば、シリコンベースのウエハ及びアルミニウム窒化物の隔離層、及びシリコンベースのウエハと電気的隔離層との間のグレーデッド(graded) $Al_xGa_{1-x}N$ のバッファ層を含み得る。

10

【0010】

基板102の電気的隔離層上に低欠陥層104が形成される。低欠陥層104は、例えば、25～1000ナノメートルのガリウム窒化物であり得る。低欠陥層104は、電子移動度に対する悪影響を有し得る結晶欠陥を最小化するように形成され得、その結果、低欠陥層104が、炭素、鉄、又はその他のドーパント種で、例えば、 10^{17} cm^{-3} より小さいドーピング密度で、ドープされる。

20

【0011】

低欠陥層104上に障壁層106が形成される。障壁層106は、例えば、8～30ナノメートルの $Al_xGa_{1-x}N$ 又は $In_xAl_yGa_{1-x-y}N$ であり得る。障壁層234におけるI II族要素の組成は、例えば、24～28パーセントがアルミニウム窒化物、及び72～76パーセントがガリウム窒化物であり得る。低欠陥層104上に障壁層106を形成することで、例えば、 $1 \times 10^{12} \sim 2 \times 10^{13} \text{ cm}^{-2}$ の電子密度で、障壁層106のすぐ下の低欠陥層104に二次元電子ガスが生成される。障壁層106は、例えば、障壁層106の頂部表面において、ガリウム窒化物の任意選択のキャップ層を含み得る。

30

【0012】

隔離領域のため障壁層106のエリアを露出させるように障壁層106の上に隔離マスク108が形成される。隔離マスク108は、例えば、フォトリソグラフィプロセスによって形成される200ナノメートル～2ミクロンのフォトレジストを含み得る。

【0013】

図1Bを参照すると、隔離マスク108により露出されたエリアにおいて、障壁層106及び低欠陥層104に隔離領域110を形成する隔離プロセスが実施される。図1Bに示した本例の一つのバージョンにおいて、隔離プロセスは、隔離トレチ110を形成するように障壁層106及び低欠陥層104から材料を取り除く、隔離エッチングであり得る。本例の別のバージョンにおいて、隔離プロセスは、重くドープされた隔離障壁を形成するために障壁層106及び低欠陥層104にドーパントを注入する、隔離注入であり得る。隔離領域110は、二次元電子ガスにおける電流が隔離領域110を横切ることを低減するか又はなくす。隔離領域110は、半導体デバイス100にわたって延在し得るか又は半導体デバイス100内の或る領域を囲み得る。隔離マスク108は、隔離領域110が形成された後、取り除かれ得る。

40

【0014】

図1Cを参照すると、ゲート112、ゲート112に接する第1の隔離ゲート構造114、及びゲート112から離れた第2の隔離ゲート構造116を同時に形成する、ゲート形成プロセスが実施される。ゲート112及び第1の隔離ゲート構造114は連続的であり、それらのそれぞれの範囲を示すために図1C～図1Dにおいて境界線118が提供さ

50

れる。第2の隔離ゲート構造116は、図1Cに示したように隔離領域110に重なり得る。第1の隔離ゲート構造114も任意選択で隔離領域110に重なり得る。

【0015】

ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、例えば、金属と障壁層106のIII-N材料との間のショットキー接合を形成する障壁層106の直上の金属ゲート構造であり得る。別の例では、ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、金属ゲート構造が障壁層106上のゲート誘電体層上に形成される、絶縁された金属ゲート構造であり得る。更なる例において、ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、半導体ゲート構造にバイアスが印加されない限り二次元電子ガスを阻害しないIII-N半導体ゲート構造であり得る。別の例において、ゲート112、第1の隔離ゲート構造114、及び第2の隔離ゲート構造116は、p型半導体ゲート構造にバイアスが印加されないとき二次元電子ガスを阻害する、p型III-N半導体ゲート構造であり得る。

10

【0016】

図1Dを参照すると、少なくとも一つのドレインコンタクト120及び少なくとも一つのソースコンタクト122が障壁層106に形成される。ドレインコンタクト120及びソースコンタクト122は、例えば、障壁層106の頂部表面より下に配置され得、低欠陥層104内の二次元電子ガスへのトンネリング電気的接続を成す。ゲート112、ドレインコンタクト120、及びソースコンタクト122は、半導体デバイス100のGaN FET124の一部である。

20

【0017】

第1の隔離ゲート構造114及び第2の隔離ゲート構造116は、二次元電子ガスの一つ又は複数の領域を互いから電気的に隔離する。p型半導体ゲート構造などの幾つかのタイプのゲート構造において、障壁層106に関連して第1及び第2の隔離ゲート構造114及び116にバイアスを印加することなく電気的隔離が達成され得る。半導体ゲート構造又はショットキー金属ゲート構造などの、他の種類のゲート構造において、障壁層106に関連して第1及び第2の隔離ゲート構造114及び116に負のバイアスを印加することにより電気的隔離が達成され得る。図1Dに示した例において、ドレインコンタクト120と連続的である二次元電子ガスは、ソースコンタクト122と連続的である二次元電子ガスから第1の隔離ゲート構造114により電気的に隔離される。同様に、ソースコンタクト122と連続的である二次元電子ガスは、第2の隔離ゲート構造116の反対側の二次元電子ガスから電気的に隔離される。図示しないフィールドプレートが、障壁層106及び低欠陥層104における電界を低減するためにゲートに近接して形成され得る。フィールドプレートは、ゲート112及び第1の隔離ゲート構造114及び第2の隔離ゲート構造116の拡張部を含み得、ソースコンタクト122の拡張部を含み得る。

30

【0018】

図2～図7は、隔離ゲート構造の例示の構成を有する半導体デバイスを図示する。図2を参照すると、半導体デバイス200が、例えば、図1Aを参照して説明したように、基板202内及び上に形成される。低欠陥層の上の障壁層により基板202に二次元電子ガスが形成される。ゲート212及びゲート隔離構造214が、基板202の頂部表面の上に同時に形成される。本例において、ゲート212は、二つの平行のセグメントを有し、ゲート隔離構造214は二つの弧状セグメントを有する。ゲート隔離構造214セグメントは、ゲート212セグメントと連続的であり、それらのそれぞれの範囲を示すために図2において境界線218が提供される。ゲート212及びゲート隔離構造214は閉ループ構成を有する。

40

【0019】

二つのドレインコンタクト220が、閉ループの各側に一つ、ゲート212に平行に、ゲート212及びゲート隔離構造214の閉ループの外側に形成される。ソースコンタクト222が、同じくゲート212に平行に、ゲート212及びゲート隔離構造214の閉ループの内側に形成される。ゲート212、ドレインコンタクト220、及びソースコン

50

タクト 222 は、半導体デバイス 200 の GaN FET 224 の一部である。本例において、ゲート隔離構造 214 は、ソースコンタクト 222 と連続的である二次元電子ガスを、ドレインコンタクト 220 と連続的である二次元電子ガスから電気的に隔離する。

【0020】

図 3 を参照すると、半導体デバイス 300 が、例えば、図 1A を参照して説明したように、基板 302 内及び上に形成される。低欠陥層の上の障壁層により基板 302 に二次元電子ガスが形成される。ゲート 312 及びゲート隔離構造 314 が、基板 302 の頂部表面の上に同時に形成される。本例において、ゲート 312 は二つの平行のセグメントを有し、ゲート隔離構造 314 は、ゲート 312 セグメントと連続的である二つの C 形状のセグメントを有し、それらのそれぞれの範囲を示すため図 3 において境界線 318 が提供される。ゲート隔離構造 314 セグメントは、図 3 に示すように、任意選択でゲート構造の一部により接続され得る。

10

【0021】

ソースコンタクト 322 が、ゲート 312 セグメントに平行に、ゲート 312 セグメント間に形成される。二つのドレインコンタクト 320 が、ゲート 312 セグメントの各側に一つ、ソースコンタクト 322 とは反対側にゲート 312 セグメントに近接して形成される。ゲート 312、ドレインコンタクト 320、及びソースコンタクト 322 は、半導体デバイス 300 の GaN FET 324 の一部である。ゲート隔離構造 314 は、ゲート 312 セグメントと接続する二つの C 形状のセグメントを有し、各々がドレインコンタクト 320 の一つを囲む、二つの閉ループ構成を形成する。本例において、ゲート隔離構造 314 は、ドレインコンタクト 320 と連続的である二次元電子ガスを、ソースコンタクト 322 と連続的である二次元電子ガスから電気的に隔離する。

20

【0022】

図 4 を参照すると、半導体デバイス 400 が、例えば、図 1A を参照して説明したように、基板 402 内及び上に形成される。例えば隔離トレンチ構造又は隔離注入された構造などの隔離構造 410 が、図 1A 及び図 1B を参照して説明したように、基板 402 の或る領域を囲むように形成される。低欠陥層の上の障壁層により基板 402 に二次元電子ガスが形成される。

20

【0023】

第 1 のゲート 412、第 1 のゲート隔離構造 414、第 2 のゲート 424、第 2 のゲート隔離構造 426、及び第 3 のゲート隔離構造 428 が、基板 402 の頂部表面の上に同時に形成される。第 3 のゲート隔離構造 428 は、隔離構造 410 により囲まれる領域にわたって延在し、隔離構造 410 に重なり得る。

30

【0024】

本例において、第 1 のゲート 412 は二つの平行のセグメントを有し、第 1 のゲート隔離構造 414 は、第 1 のゲート 412 セグメントと連続的である三つの弧状セグメントを有し、それらのそれぞれの範囲を示すため図 4 において第 1 の境界線 418 が提供される。二つの第 1 のドレインコンタクト 420 が、二つの第 1 のゲート 412 セグメントの外側に、第 1 のゲート 412 セグメントに平行に、第 1 のゲート 412 セグメントの各側に一つ形成される。第 1 のソースコンタクト 422 が、同じく第 1 のゲート 412 セグメントに平行に、第 1 のゲート 412 セグメント間に形成される。第 1 のゲート 412、第 1 のドレインコンタクト 420、及び第 1 のソースコンタクト 422 は、半導体デバイス 400 の第 1 の GaN FET 436 の一部である。これら三つの第 1 のゲート隔離構造 414 弧状セグメント及び二つの第 1 のゲート 412 平行セグメントは、これら三つの第 1 のゲート隔離構造 414 弧状セグメントのうちの二つを分離する狭いピンチオフ領域を有する、開ループ構成を有する。二次元電子ガスは、場合によってはバイアスを第 1 のゲート隔離構造 414 に印加する際に、この狭いピンチオフ領域からブロックされる。本例において、第 1 のゲート隔離構造 414 は、第 1 のソースコンタクト 422 と連続的である二次元電子ガスを、第 1 のドレインコンタクト 420 と連続的である二次元電子ガスから電気的に隔離する。狭いピンチオフ領域を含むことで、例えば金属ゲートのためのリフト

40

50

オフプロセスを用いて、第1のゲート412及び第1のゲート隔離構造414の製造が促進され得る。

【0025】

第2のゲート424及び第2のゲート隔離構造426は、同様の構成を有し、それらのそれぞれの範囲を示すため図4において第2の境界線430が提供される。第2のソースコンタクト432が、第2のゲート424の平行のセグメント間に形成され、第2のドレインコンタクト434が第2のゲート424の外側に形成される。第2のゲート424、第2のドレインコンタクト434、及び第2のソースコンタクト432は、半導体デバイス400の第2のGaN FET438の一部である。第2のゲート隔離構造426は、第2のソースコンタクト432と連続的である二次元電子ガスを、第2のドレインコンタクト434と連続的である二次元電子ガスから電気的に隔離する。また、第3のゲート隔離構造428は、第1のドレインコンタクト420と連続的である二次元電子ガスを、第2のドレインコンタクト434と連続的である二次元電子ガスから電気的に隔離する。第1のドレインコンタクト420は有利にも、所望とされない漏れ電流を生じさせることなく第2のドレインコンタクト434とは異なる電位にバイアスされ得る。本例の一つのバージョンにおいて、第1のGaN FET436及び第2のGaN FET438はいずれも、デプリーショングードFETであり得る。別のバージョンにおいて、第1のGaN FET436及び第2のGaN FET438はいずれも、エンハンスマントモードFETであり得る。更なるバージョンにおいて、第1のGaN FET436がデプリーショングードFETであり得、第2のGaN FET438がエンハンスマントモードFETであり得る。

【0026】

図5を参照すると、半導体デバイス500が、例えば、図1Aを参照して説明したように、基板502内及び上に形成される。低欠陥層の上の障壁層により基板502に二次元電子ガスが形成される。ゲート512及びゲート隔離構造514が、基板502の頂部表面の上に同時に形成される。本例において、ゲート512は二つの平行のセグメントを有し、ゲート隔離構造514はゲート512セグメントと連続的であるセグメントを有し、それらのそれぞれの範囲を示すため図5において境界線518が提供される。ゲート512及びゲート隔離構造514は、入力/出力(I/O)構造536と少なくとも一つのドレインコンタクト520とを囲む閉ループ構成を形成する。I/O構造536は、例えば、プローブパッド又はボンドパッドであり得、この少なくとも一つのドレインコンタクト520に直接的に電気的接続され得るか、又は過電圧保護回路要素を介してこの少なくとも一つのドレインコンタクト520に電気的に結合され得る。少なくとも一つのソースコンタクト522が、ゲート512及びゲート隔離構造514の閉ループ構成の外側に形成される。ソースコンタクト522は、ドレインコンタクト520とは反対側にゲート512に近接して配置される。ゲート512、ソースコンタクト522、及びドレインコンタクト520は、半導体デバイス500のGaN FET524の一部である。本例において、ゲート隔離構造514は、ドレインコンタクト520と連続的である二次元電子ガスを、ソースコンタクト522と連続的である二次元電子ガスから電気的に隔離する。ゲート512及びゲート隔離構造514の閉ループ構成の内側にI/O構造536を配置することで、有利にも、I/O構造536からの所望とされない漏れ電流なく、ドレインコンタクト520へのバイアス印加が可能となる。

【0027】

図6を参照すると、半導体デバイス600が、例えば、図1Aを参照して説明したように、基板602内及び上に形成される。低欠陥層の上の障壁層により基板602に二次元電子ガスが形成される。第1の境界線618により示される第1のゲート612及び第1のゲート隔離構造614と、第1のソースコンタクト622及び第1のドレインコンタクト620が、図2を参照して説明したように、半導体デバイス600の第1の領域638に形成される。第1のゲート612、第1のソースコンタクト622、及び第1のドレインコンタクト620は、半導体デバイス600の第1のGaN FET654の一部であ

10

20

30

40

50

る。第1の領域638において、第1のゲート隔離構造614は、第1のドレインコンタクト620と連続的である二次元電子ガスを、第1のソースコンタクト622と連続的である二次元電子ガスから電気的に隔離する。

【0028】

半導体デバイス600の第2の領域640において、第2の境界線618により示される第2のゲート624及び第2のゲート隔離構造626と、第2のソースコンタクト632及び第2のドレインコンタクト634が、第1の領域638におけるそれらと同等のものと同様の構成を有する。第2のゲート624、第2のソースコンタクト632、及び第2のドレインコンタクト634は、半導体デバイス600の第2のGaN FET656の一部である。第2のゲート隔離構造626は、第2のソースコンタクト632と連続的である二次元電子ガスを、第2のドレインコンタクト634と連続的である二次元電子ガスから電気的に隔離する。同様に、半導体デバイス600の第3の領域642において、第3の境界線648により示される第3のゲート644及び第3のゲート隔離構造646と、第3のソースコンタクト650及び第3のドレインコンタクト652が、第1の領域638におけるそれらと同等のものと同様の構成を有する。第3のゲート644、第3のソースコンタクト650、及び第3のドレインコンタクト652は、半導体デバイス600の第3のGaN FET658の一部である。第3のゲート隔離構造646は、第3のソースコンタクト650と連続的である二次元電子ガスを、第3のドレインコンタクト652と連続的である二次元電子ガスから電気的に隔離する。

【0029】

第4のゲート隔離構造660が、第1の領域638、第2の領域640、及び第3の領域642を囲み、分離する。第1のドレインコンタクト620、第2のドレインコンタクト634、及び第3のドレインコンタクト652は有利にも、所望とされない漏れ電流を生じさせることなく異なる電位にバイアスされ得る。

【0030】

図7を参照すると、半導体デバイス700が、例えば図1Aを参照して説明したように、基板702内及び上に形成される。低欠陥層の上の障壁層により基板702に二次元電子ガスが形成される。第1のゲート712、及び第1のゲート712と連続的である第1のゲート隔離構造714が、同時に形成される。第1の境界線718が、第1のゲート712及び第1のゲート隔離構造714の範囲を示す。第1のゲート隔離構造714はドレインコンタクト720を囲む。第1のソースコンタクト722が、ドレインコンタクト720とは反対側に第1のゲート712に近接して形成される。第1のゲート712、ドレインコンタクト720、及び第1のソースコンタクト722は、半導体デバイス700の第1のGaN FET734の一部である。第1のゲート隔離構造714は、第1のソースコンタクト722と連続的である二次元電子ガスを、ドレインコンタクト720と連続的である二次元電子ガスから電気的に隔離する。

【0031】

第2のゲート724が、第1のゲート712とは反対側にドレインコンタクト720に近接して形成される。第2のゲート隔離構造726が、第2のゲート724と連続的であり、第2のソースコンタクト732を囲む。第2のゲート724、ドレインコンタクト720、及び第2のソースコンタクト732は、半導体デバイス700の第2のGaN FET736の一部である。第2の境界線730が第2のゲート724及び第2のゲート隔離構造726の範囲を示す。第2のゲート隔離構造726は、第2のソースコンタクト732と連続的である二次元電子ガスが、ドレインコンタクト720と連続的である二次元電子ガスから電気的に隔離されるように、第2のソースコンタクト732を囲む。第1のゲート隔離構造714は、第2のゲート724及び第2のゲート隔離構造726を囲む。第2のソースコンタクトは有利にも、浮遊され得又は第1のソースコンタクト722から異なる電位で動作され得る。第2のソースコンタクト732及び第2のゲート724は、有利にも第1のソースコンタクト722を介する電流を阻害することなくドレインコンタクト720上のドレイン電位を感知する、感知トランジスタの一部であり得る。

10

20

30

40

50

【 0 0 3 2 】

当業者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び多くの他の実施例が可能であることが分かるであろう。

【図 1 A】

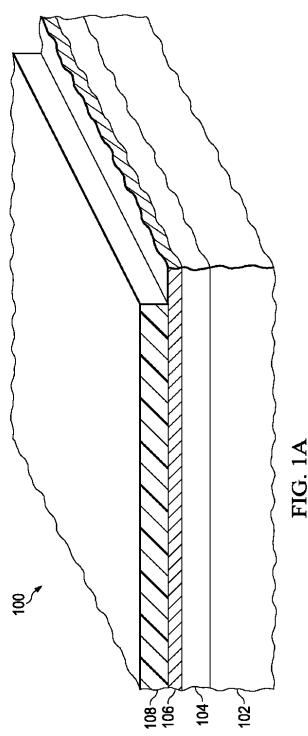


FIG. 1A

【図 1 B】

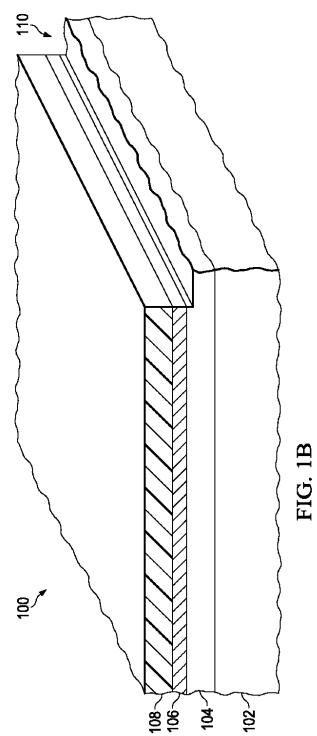


FIG. 1B

【 図 1 C 】

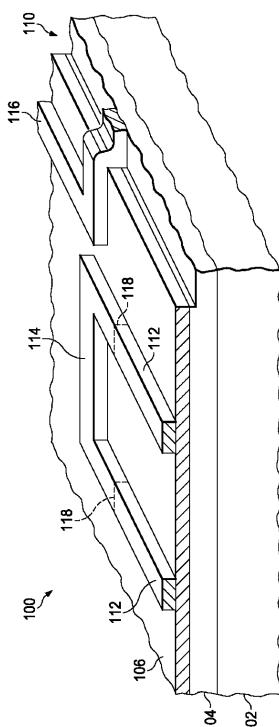


FIG. 1C

【 図 1 D 】

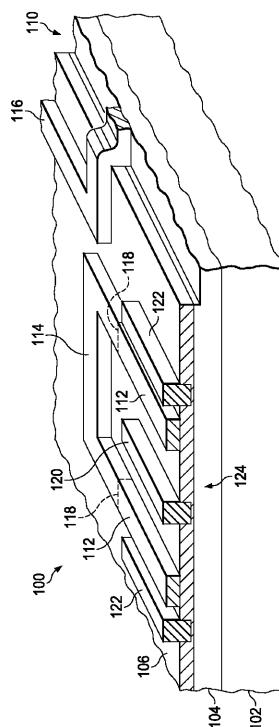


FIG. 1D

【図2】

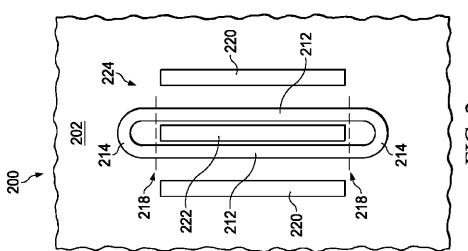


FIG. 2

【 3 】

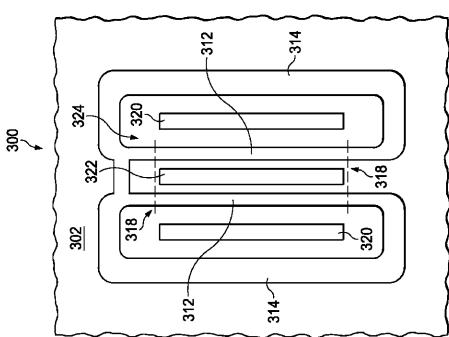


FIG. 3

【図4】

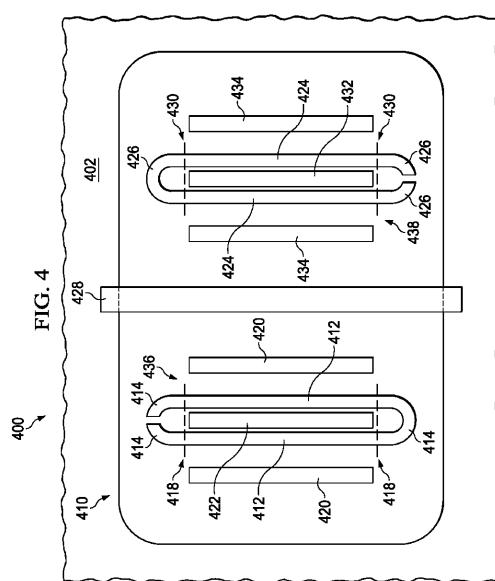
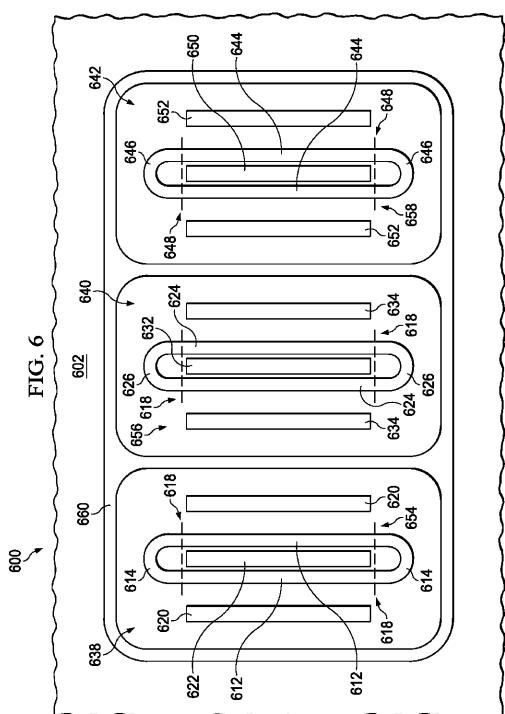
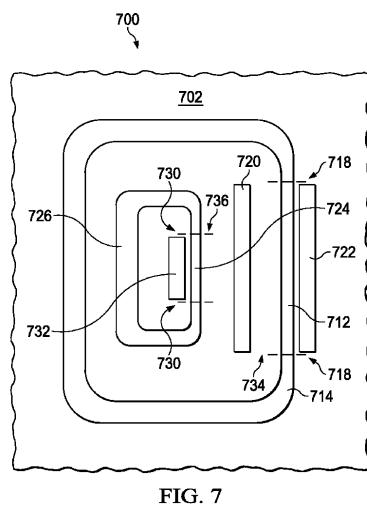


FIG. 4

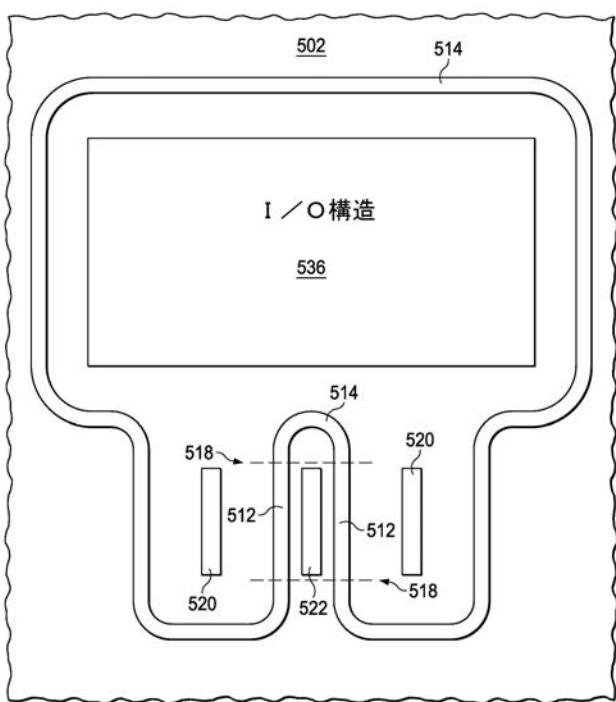
【図 6】



【図 7】



【図 5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2014/036788
A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 29/772 (2006.01)</i> <i>H01L 21/335 (2006.01)</i> According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 21/00, 21/04, 21/18, 21/334, 21/335, 29/00, 29/66, 29/68, 29/772		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PatSearch (RUPTO internal), USPTO, PAJ, Esp@cenet, DWPI, EAPATIS, PATENTSCOPE, Information Retrieval System of FIPS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/0087803 A1 (EPOWERSOFT, INC.) 11.04.2013, fig. 3J, [0003], [0042], [0043], [0044], [0059], claims 11, 22	1, 2, 4, 6, 9-12, 14, 16, 19, 20
A		3, 5, 7, 8, 13, 15, 17, 18
A	US 2012/0193677 A1 (TRANSPHORM INC.) 02.08.2012	1-20
A	US 8389977 B2 (TRANSPHORM INC.) 05.03.2013	1-20
A	US 8384129 B2 (THE UNITED STATES OF AMERICA, AS REPRESENTED BY THE SECRETARY OF THE NAVY) 26.02.2013	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents: "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 19 September 2014 (19.09.2014)	Date of mailing of the international search report 30 September 2014 (30.09.2014)	
Name and mailing address of the ISA/RU: FIPS, Russia, 123995, Moscow, G-59, GSP-5, Berezovskaya nab., 30-1 Facsimile No. +7 (499) 243-33-37	Authorized officer M. Salnikov Telephone No. 499-240-25-91	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,H,R,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 サミール ペンハルカル

アメリカ合衆国 75013 テキサス州 アレン, バーンサイド ドライブ 2032

(72)発明者 ナビーン ティビルネニ

アメリカ合衆国 75023 テキサス州 ブラノ, コーチマン コート 5305

(72)発明者 ジュンウォー ジョー

アメリカ合衆国 75081 テキサス州 リチャードソン, エイピーティ 2361, ブリック ロー 744

F ターム(参考) 4M104 AA04 AA07 FF10 FF11 FF27 GG12

5F102 GJ03 GK04 GL04 GM04 GM08 GQ01 GR04 GR12 GS09