

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5257955号
(P5257955)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.

HO3M 1/18 (2006.01)

F 1

HO3M 1/18

請求項の数 8 (全 24 頁)

(21) 出願番号 特願2010-545045 (P2010-545045)
 (86) (22) 出願日 平成21年1月9日 (2009.1.9)
 (65) 公表番号 特表2011-511564 (P2011-511564A)
 (43) 公表日 平成23年4月7日 (2011.4.7)
 (86) 國際出願番号 PCT/US2009/030517
 (87) 國際公開番号 WO2009/099700
 (87) 國際公開日 平成21年8月13日 (2009.8.13)
 審査請求日 平成24年1月6日 (2012.1.6)
 (31) 優先権主張番号 12/026,205
 (32) 優先日 平成20年2月5日 (2008.2.5)
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 テキサス州 78735
 オースティン ウィリアム キャノン
 ドライブ ウエスト 6501
 (74) 代理人 100142907
 弁理士 本田 淳
 (72) 発明者 レン、ジュシアン
 アメリカ合衆国 78749 テキサス州
 オースティン オリバー ラビング ト
 レイル 6114

前置審査

最終頁に続く

(54) 【発明の名称】可変利得をもつアナログ-デジタル変換器とその方法

(57) 【特許請求の範囲】

【請求項 1】

アナログ - デジタル変換器 (ADC) デバイスにおいて、
 第1のアナログ信号を受信する第1の入力端子と、
 第1の入力端子に結合したアナログ部品であって、
 第1の入力と第1の出力を備える増幅器と、
 増幅器の第1の入力と第1の出力とに結合しており、複数のキャパシタを含む第1の
 キャパシタネットワークと、を備える、アナログ部品と、
 制御論理部と、を備え、制御論理部は、

第1のモードでは、第1のアナログ信号を所定の利得によって増幅して第1の増幅されたアナログ信号を生成する増幅構成に、増幅器および第1のキャパシタネットワークを構成し、

第2のモードでは、第1の増幅されたアナログ信号を用いて一つ又は複数の残留電圧からなる第1の一連の残留電圧を生成するように、増幅器および第1のキャパシタネットワークを構成するように構成されており、

前記第1のキャパシタネットワークは、

第1の入力端子に結合可能かつ電圧基準に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第1のキャパシタと、

第1の入力端子に結合可能かつ増幅器の第1の出力に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第2のキャ

10

20

パシタと、

増幅器の第1の出力に結合可能かつ電圧基準に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第3のキャパシタと、

増幅器の第1の出力に結合可能かつ電圧基準に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第4のキャパシタと、を備えるアナログ - デジタル変換器(ADC)デバイス。

【請求項2】

アナログ - デジタル変換器(ADC)デバイスにおいて、

第1のアナログ信号を受信する第1の入力端子と、

第1の入力端子に結合したアナログ部品であって、

第1の入力と第1の出力とを備える増幅器と、

増幅器の第1の入力と第1の出力とに結合しており、複数のキャパシタを含む第1のキャパシタネットワークと、を備える、アナログ部品と、

制御論理部と、を備え、制御論理部は、

第1のモードでは、第1のアナログ信号を所定の利得によって増幅して第1の増幅されたアナログ信号を生成する増幅構成に、増幅器および第1のキャパシタネットワークを構成し、

第2のモードでは、第1の増幅されたアナログ信号を用いて一つ又は複数の残留電圧からなる第1の一連の残留電圧を生成するように、増幅器および第1のキャパシタネットワークを構成するように構成されており、

第1のキャパシタネットワークは、

第1の入力端子に結合可能かつ電圧基準に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第1のプログラム可能キャパシタと、

第1の入力端子に結合可能かつ増幅器の第1の出力に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第2のプログラム可能キャパシタと、

増幅器の第1の出力に結合可能かつ電圧基準に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第3のキャパシタと、

増幅器の第1の出力に結合可能かつ電圧基準に結合可能な第1の端子と、増幅器の第1の入力に結合可能かつ電圧基準に結合可能な第2の端子とを備える、第4のキャパシタと、を備えるアナログ - デジタル変換器(ADC)デバイス。

【請求項3】

制御論理部は、第1のモードにおいて、

所定の利得に基づいて、第1のプログラム可能キャパシタを第1の静電容量に構成し、第2のプログラム可能キャパシタを第2の静電容量に構成し、

第1のフェーズにて、第1のプログラム可能キャパシタの第1の端子および第2のプログラム可能キャパシタの第1の端子を第1の入力端子に結合するように、かつ、第1のプログラム可能キャパシタの第2の端子および第2のプログラム可能キャパシタの第2の端子を電圧基準に結合するように、キャパシタネットワークを構成し、

第1のフェーズに続く第2のフェーズにて、第1のプログラム可能キャパシタの第1の端子を電圧基準に結合し、第1のプログラム可能キャパシタの第2の端子を増幅器の第1の入力に結合し、第2のプログラム可能キャパシタの第1の端子を増幅器の第1の出力に結合し、第2のプログラム可能キャパシタの第2の端子を増幅器の第1の入力に結合するように、キャパシタネットワークを構成するように構成されている、請求項2に記載のADCデバイス。

【請求項4】

制御論理部は、

10

20

30

40

50

第2のモードにおいて、第1のプログラム可能キャパシタを第3の静電容量に構成し、第2のプログラム可能キャパシタを第3の静電容量に構成するように構成されている、請求項3に記載のA D Cデバイス。

【請求項5】

第2のアナログ信号を受信する第2の入力端子を更に備え、

増幅器は、第1の入力、第2の入力、第1の出力、および第2の出力を備える、差動増幅器を含み、

アナログ部品は、前記増幅器の第2の入力と第2の出力とに結合しており複数のキャパシタを含む第2のキャパシタネットワークを更に備え、

制御論理部は、

10

第1のモードでは、第2のアナログ信号を前記所定の利得によって増幅して第2の増幅されたアナログ信号を生成する増幅構成に、増幅器および第2のキャパシタネットワークを構成し、

第2のモードでは、第2の増幅されたアナログ信号を用いて一つ又は複数の残留電圧からなる第2の一連の残留電圧を生成するように、増幅器および第2のキャパシタネットワークを構成するように構成されている、請求項1又は2に記載のA D Cデバイス。

【請求項6】

アナログ - デジタル変換器（A D C）の第1の入力端子において第1のアナログ信号を受信する工程と、

第1のアナログ信号を第1の利得によって増幅して第1の増幅されたアナログ信号を生成するように、A D Cの増幅器および第1のキャパシタネットワークを構成する工程と、

20

第1の増幅されたアナログ信号に基づいて一つ又は複数の残留電圧からなる第1の一連の残留電圧を生成するように、増幅器および第1のキャパシタネットワークを構成する工程と、

A D Cからの出力のために一つ又は複数の残留電圧からなる第1の一連の残留電圧に基づいてデジタル値を提供する工程と、を備え、

第1のアナログ信号を増幅するように、増幅器および第1のキャパシタネットワークを構成する工程は、

第1の利得に基づいて、第1の静電容量を有するように第1のキャパシタネットワークの第1のプログラム可能キャパシタを構成し、第2の静電容量を有するように第1のキャパシタネットワークの第2のプログラム可能キャパシタを構成する工程と、

30

第1のフェーズにて、

第1のプログラム可能キャパシタの第1の端子および第2のプログラム可能キャパシタの第1の端子を第1の入力端子に結合する工程と、

第1のプログラム可能キャパシタの第2の端子および第2のプログラム可能キャパシタの第2の端子を電圧基準に結合する工程と、第1のフェーズに続く第2のフェーズにて、

第1のプログラム可能キャパシタの第2の端子および第2のプログラム可能キャパシタの第2の端子を増幅器の入力に結合する工程と、

第1のプログラム可能キャパシタの第1の端子を電圧基準に結合する工程と、

40

第2のプログラム可能キャパシタの第1の端子を増幅器の出力に結合する工程と、

第1のキャパシタネットワークにおける第3のキャパシタの第1の端子および第1のキャパシタネットワークにおける第4のキャパシタの第1の端子を増幅器の出力に結合する工程と、

第3のキャパシタの第2の端子および第4のキャパシタの第2の端子を電圧基準に結合する工程と、を含む方法。

【請求項7】

A D Cの第1の入力端子において第2のアナログ信号を受信する工程と、

第2のアナログ信号を第1の利得と異なる第2の利得によって増幅して第2の増幅されたアナログ信号を生成するように、A D Cの増幅器および第1のキャパシタネットワーク

50

を構成する工程と、

第2の増幅されたアナログ信号に基づいて一つ又は複数の残留電圧からなる第2の一連の残留電圧を生成するように、増幅器および第1のキャパシタネットワークを構成する工程と、

A D Cからの出力のために一つ又は複数の残留電圧からなる第2の一連の残留電圧に基づいてデジタル値を提供する工程と、を含む請求項6に記載の方法。

【請求項8】

A D Cの第2の入力端子において第2のアナログ信号を受信する工程と、

第2のアナログ信号を第1の利得によって増幅して第2の増幅されたアナログ信号を生成するように、A D Cの増幅器および第2のキャパシタネットワークを構成する工程と、

10

第2の増幅されたアナログ信号に基づいて一つ又は複数の残留電圧からなる第2の一連の残留電圧を生成するように、増幅器および第2のキャパシタネットワークを構成する工程とを更に含み、

A D Cからの出力のためにデジタル値を提供する工程は、出力のために一つ又は複数の残留電圧からなる第1の一連の残留電圧および一つ又は複数の残留電圧からなる第2の一連の残留電圧に基づいてデジタル値を提供することを含む、請求項7に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、全体的にアナログ - デジタル変換に関しており、特に、冗長符号付きディジット(R S D)ベースのアナログ - デジタル変換に関する。

20

【背景技術】

【0002】

アナログ、デジタルの混合したデバイスは、デバイスのデジタル部品による使用のために、アナログ - デジタル変換器(A D C)を用いて、アナログ信号の電圧を対応するデジタル値に変換する。冗長符号付きディジット(R S D)ベースのA D Cは、一定の種類のシステム、特に電力および空間が貴重なシステムでは、特に有益な場合がしばしばある。R S D A D Cは一般的に、一連の段を介して、アナログ信号を対応するデジタル値に変換する。初期状態において、入力されたアナログ信号の電圧は、二つ以上の基準電圧、例えば、V H , V Lと比較される。これらの比較の結果から、初期段のコードビットが生じる。増幅器と一組のキャパシタとを備えるアナログ回路を用いて残留電圧を決定する。第2の段では、この残留電圧を用いて基準電圧との比較処理を繰り返し、第2の段のコードビットを生成する。この処理、すなわち、前の段の残留電圧から残留電圧を計算し、得られる残留電圧を比較してコード値を生成する処理は、適正な解に達するまで、数多くの段に渡って繰り返され得る。次に、アナログ信号を表すデジタル値を生成するために、各段からのコード値に対しR S Dアルゴリズムが適用される。

30

【発明の概要】

【発明が解決しようとする課題】

【0003】

動作環境によっては、異なるアナログ信号源が、同じR S D A D Cを使用しながらも、異なる電圧レベルで動作する場合がある。例示すると、自動車の環境では、異なるセンサが、同じ制御プロセッサによる処理用のデジタル値への変換のために、異なる電圧レベルのセンサ出力信号を提供する場合がある。適正な変換を保証するために、入力アナログ信号の各々は一般的に、変換前に所定の電圧レベルに増減される必要がある。従来のデバイスでは、この増減は、R S D A D Cの入力より前に、利得回路を介して行われる。この別個の利得回路は、R S D A D Cが設けられる集積回路の寸法および電力消費を増やすだけでなく、R S D A D Cの設計および組立を複雑なものとする。

40

【課題を解決するための手段】

【0004】

したがって、デジタル変換用にアナログ信号を増減させる改善された技術が好ましい。

50

【図面の簡単な説明】

【0005】

【図1】本開示の少なくとも一つの実施形態による、集積された可変利得段を用いる、冗長符号付きディジット（RSD）アナログ - デジタル変換器（ADC）の一例を示す図。

【図2】本開示の少なくとも一つの実施形態による、図1のRSD ADCの動作の一例を示すフローチャート。

【図3】本開示の少なくとも一つの実施形態による、多キャパシタ構成を用いる、図1のRSD ADCのシングルエンド型の実装の一例を示す図。

【図4】本開示の少なくとも一つの実施形態による、入力アナログ信号をサンプリングするための、図3のシングルエンド型のRSD ADCの第1のキャパシタ構成を示す回路図。
10

【図5】本開示の少なくとも一つの実施形態による、図4の入力アナログ信号を増幅し、得られる増幅されたアナログ信号をサンプリングするための、図3のシングルエンド型のRSD ADCの第2のキャパシタ構成を示す回路図。

【図6】本開示の少なくとも一つの実施形態による、図5の増幅されたアナログ信号を増幅し、得られる増幅されたアナログ信号をサンプリングするための、図3のシングルエンド型のRSD ADCの第3のキャパシタ構成を示す回路図。

【図7】本開示の少なくとも一つの実施形態による、図6の増幅されたアナログ信号を増幅し、得られる増幅されたアナログ信号をサンプリングするための、図3のシングルエンド型のRSD ADCの第4のキャパシタ構成を示す回路図。
20

【図8】本開示の少なくとも一つの実施形態による、図3のシングルエンド型のRSD ADCのキャパシタネットワークの実装の一例を示す回路図。

【図9】本開示の少なくとも一つの実施形態による、多キャパシタ構成を用いる、図1のRSD ADCの差動送信方式の実装の一例を示す図。

【図10】本開示の少なくとも一つの実施形態による、入力アナログ信号をサンプリングするための、図9の差動送信方式のRSD ADCの第1のキャパシタ構成を示す回路図。
。

【図11】本開示の少なくとも一つの実施形態による、図10の入力アナログ信号を増幅し、得られる増幅されたアナログ信号をサンプリングするための、図9の差動送信方式のRSD ADCの第2のキャパシタ構成を示す回路図。
30

【図12】本開示の少なくとも一つの実施形態による、図11の増幅されたアナログ信号を増幅し、得られる増幅されたアナログ信号をサンプリングするための、図9の差動送信方式のRSD ADCの第3のキャパシタ構成を示す回路図。

【図13】本開示の少なくとも一つの実施形態による、シングルエンド型の入力アナログ信号をサンプリングするための、図9の差動送信方式のRSD ADCの第4のキャパシタ構成を示す回路図。

【図14】本開示の少なくとも一つの実施形態による、図13のサンプリングされたシングルエンド型の入力アナログ信号を増幅せずに差動信号に変換するための、図9の差動送信方式のRSD ADCの第5のキャパシタ構成を示す回路図。

【図15】本開示の少なくとも一つの実施形態による、図13のサンプリングされたシングルエンド型の入力アナログ信号を増幅とともに差動信号に変換するための、図9の差動送信方式のRSD ADCの第6のキャパシタ構成を示す回路図。
40

【図16】本開示の少なくとも一つの実施形態による、プログラム可能なキャパシタを用いる、図1のRSD ADCのシングルエンド型の実装の一例を示す図。

【図17】本開示の少なくとも一つの実施形態による、図16のシングルエンド型のRSD ADCの動作の一例を示すフローチャート。

【発明を実施するための形態】

【0006】

本開示は、添付の図面を参照することによって、よりよく理解され、その数多くの特徴と利点が当業者に明らかとなる。異なる図面で同じ参照記号を用いる場合、同様の又は同
50

一の項目を意味している。

【0007】

本開示の一つの態様では、冗長符号付きディジット（R S D）アナログ - デジタル変換器（A D C）デバイスは、アナログ信号を受信するための入力端子と、アナログ部品と、制御論理部とを含んでいる。アナログ部品は、入力と出力とを有する増幅器と、増幅器の入力と出力とに結合したキャパシタネットワークとを含んでいる。キャパシタネットワークは複数のキャパシタを備えている。制御論理部は、第1のモードでは、キャパシタネットワークおよび増幅器を、アナログ信号を所定の利得によって増幅し、増幅されたアナログ信号を生成する増幅構成に構成するように構成されている。さらに制御論理部は、第2のモードでは、キャパシタネットワークおよび増幅器を、増幅されたアナログ信号を用いて一つ又は複数の残留電圧からなる一連の残留電圧を生成するR S D構成に構成するよう構成されている。10

【0008】

本開示の別の態様では、方法は、R S D A D Cの入力端子でアナログ信号を受信する工程と、アナログ信号を所定の利得によって増幅し、増幅されたアナログ信号を生成するように、R S D A D Cのキャパシタネットワークと増幅器とを構成する工程とを含んでいる。この方法は、増幅されたアナログ信号に基づいて一連の一つ又は複数の残留電圧を生成するように、キャパシタネットワークと増幅器とを構成する工程を更に含んでいる。この方法は、R S D A D Cからの出力のために一連の一つ又は複数の残留電圧に基づいてデジタル値を提供する工程を更に含んでいる。20

【0009】

図1～17は、入力アナログ信号用の集積された可変利得段を採用する、冗長符号付きディジット（R S D）アナログ - デジタル変換器（A D C）を用いて、アナログ信号を対応するデジタル値に変換する技術の例を示す。R S D A D Cのアナログ部品の増幅器およびキャパシタネットワークは共に、入力アナログ信号を増幅して、R S D変換のための残留電圧を計算するように用いられる。一実施形態では、キャパシタは、入力アナログ信号を所定の電圧レベルに再帰的に増幅するように、キャパシタ構成のシーケンスに編成される。増幅されると、キャパシタは、増幅されたアナログ信号から始まる一連の一つ又は複数のR S D残留電圧を生成するように再構成される。別の実施形態では、調整可能な静電容量を有するプログラム可能なキャパシタが、入力アナログ信号を所定の電圧レベルに増幅するために所定の利得を提供するように、ある静電容量に構成される。次いで、プログラム可能なキャパシタは、増幅されたアナログ信号から始まるR S D残留電圧の計算を行うために、他の静電容量に再構成される。増幅されたアナログ信号を用いる入力アナログ信号の可変利得とR S D残留電圧との両方のために、R S D A D Cのキャパシタおよび増幅器を二重に使用することによって、別個のフロントエンド利得回路を有する従来のR S D A D Cの実装と比べ、R S D A D Cの寸法、複雑さ、および電力消費を減少できる。30

【0010】

ここで用いる“キャパシタ”という用語は、特定の静電容量を提供するように構成されている又は構成できる一つ又は複数の容量性部品を意味する。例示すると、キャパシタは、特定の静電容量を提供するために、特定の静電容量を提供する単一の容量性部品として、又は並列、直列、もしくはその組み合わせで接続した容量性部品のネットワークとして設置できる。キャパシタは、集積されたキャパシタ（例えば、集積回路の一つ又は複数の層に設けられた一つ又は複数の容量性構造）又は個別のキャパシタとして設置できる。更に、本明細書において更に詳細に説明するように、キャパシタは、調整可能な静電容量を有するプログラム可能なキャパシタを含んでよい。その一例は米国特許第5,625,361号明細書に記載されている。その全体を引用により本明細書に援用する。40

【0011】

容易な図解とするために、本明細書に開示の技術は、单一のR S D段がサンプリングおよび増幅のサイクルからなるシーケンスを再帰的に巡るように用いられる、R S Dの実装50

の一例に関連して説明される。ここで、一つのサンプリング段の R S D 段から出力された残留電圧は、次のサンプリング段において次の残留電圧を計算する際に用いられる。サイクル式の單一段 R S D 実装の一例は、米国特許第 6 , 535 , 157 号明細書に記載されている。その全体を引用により本明細書に援用する。他の実施形態では、開示の技術は、二つ以上の R S D 段のシーケンスを有する R S D 実装での使用に適用でき、その場合、一つの R S D 段で出力された残留電圧が次の R S D 段に入力される。多段 R S D 実装の一例は、米国特許第 5 , 664 , 313 号明細書に記載されている。その全体を引用によって本明細書に援用する。

【 0012 】

図 1 は、本開示の少なくとも一つの実施形態による、アナログ - デジタル (A / D) 変換システム 100 の一例を示す。A / D 変換システム 100 は、電圧セレクタ 104 から電圧 V_{IN} を有するアナログ信号を受信するための入力端子と、電圧 V_{IN} を表すデジタル値 ("DATA") を提供する出力とを備える、R S D ADC 102 を含んでいる。R S D ADC 102 は、アナログ部品 106 と、制御論理部 108 と、デジタル変換論理部 110 とを含んでいる。アナログ部品 106 は、増幅器 112 を備えた利得回路と、本明細書に記載の数多くの構成に編成できる複数のキャパシタを備えたキャパシタネットワーク 114 とを含んでいる。利得回路およびキャパシタネットワーク 114 は共に、入力アナログ信号を増幅し、増幅された信号を用いて一連の残留電圧を次に生成するためのものである。

【 0013 】

少なくとも一つの実施形態では、A / D 変換システム 100 は、変換されるアナログ信号が異なる電圧レベルを有する環境において実装される。例示すると、A / D 変換システム 100 は、様々な自動車のセンサからの出力信号を、それらの対応するデジタル値に変換するように、自動車環境に設置できる。したがって、電圧セレクタ 104 は、異なる電圧レベルを有し得る複数のアナログ信号 ($S_1 \sim S_n$) を入力として受信し、R S D ADC 102 への入力のためにそれらのアナログ信号のうちの一つを選択する。アナログ信号が異なる電圧レベルを有する場合にアナログ信号をそれらの対応する値に適正に変換するために、R S D ADC 102 は、入力信号を共通の電圧レベルに増幅し、次に、増幅された信号を対応するデジタル値に変換する。例示すると、三つの異なる電圧レベル、例えば、1 ボルト、2 ボルト、4 ボルトが存在する場合、1 ボルトのレベルのアナログ信号は利得 4 だけ増幅でき、2 ボルトのレベルのアナログ信号は利得 2 だけ増幅できるので、全てのアナログ信号が 4 ボルトのレベルで処理できる。

【 0014 】

この入力信号の初期増幅のために、制御論理部 108 は、増幅器 112 およびキャパシタネットワーク 114 を一つ又は複数のキャパシタ構成のシーケンスに構成して、入力信号の所望の増幅を達成する。制御論理部 108 は、次に、増幅された入力信号から始まる冗長符号付きディジット計算用の R S D 構成のシーケンスに、増幅器 112 およびキャパシタネットワーク 114 を構成する。多キャパシタ構成を用いる、アナログ部品 106 のシングルエンド型実装の一例が、図 3 ~ 8 を参照して以下に説明される。アナログ部品 106 の差動信号方式の実装が、図 9 ~ 12 を参照して以下に説明される。同時の増幅を伴う、または伴わない、シングルエンド型の差動変換のために構成されたアナログ部品 106 の実装の一例が、図 9 および 13 ~ 15 を参照して以下に説明される。アナログ部品 106 のプログラム可能なキャパシタベースの実装が、図 16 および 17 を参照して以下に説明される。

【 0015 】

各 R S D 計算段で、デジタル変換論理部 110 は、得られる電圧 (最初は、増幅されたアナログ信号の電圧、その後は、残留電圧) を比較して、各 R S D 計算段におけるコード値を生成する。デジタル変換論理部 110 は、次いで、R S D 計算段からのコードビット値を整合させ、同期化し、加算して、R S D アルゴリズムに従って出力デジタル値 DATA を生成する。コードビットからデジタル値を生成する処理の一例が、上述の米国特許第

10

20

30

40

50

5, 644, 313号明細書に記載されている。

【0016】

図2は、本開示の少なくとも一つの実施形態による、図1のRSD ADC102による電圧 V_{IN} を有するアナログ信号の変換の一例の方法200を示す。この方法200は、増幅モード（ブロック202）と、それに続くRSD変換モード（ブロック204）とを含んでいる。ブロック202の処理は、ブロック206, 208, 210で表されている。

【0017】

ブロック202にて、入力アナログ信号がRSD ADC102で受信され、制御論理部108は、入力アナログ信号がより高い電圧レベルに増幅されるように構成されるか否かを決定する（例えば、4ボルトのレベルから16ボルトのレベルに）。増幅が必要な場合、制御論理部108は、ブロック206にて入力アナログ信号の電圧 V_{IN} をサンプリングする初期サンプリング構成に、キャパシタネットワーク114を構成する。ブロック208にて、制御論理部108は、ブロック206のサンプリング処理から生じるキャパシタネットワーク114のキャパシタに加わる電圧を用いて電圧 V_{IN} を増幅する増幅構成に、キャパシタネットワーク114を構成する。一実施形態では、増幅構成の利得は、キャパシタの相対静電容量など、様々な特性によって制限されるので、電圧 V_{IN} は、ブロック206, 208の処理における初期の印加の後、十分に増幅されない場合がある。そこで、ブロック206の処理は、電圧 V_{IN} の所望の増幅に達するまで、得られる増幅された電圧に対して1回以上繰り返すことができる。例示すると、入力アナログ信号が4ボルトの電圧レベルを有すると仮定すると、RSD ADC102は16ボルトのレベルで電圧を変換するように構成され、アナログ部品106は反復毎に2X利得を提供するよう構成できる。この場合、電圧 V_{IN} を4ボルトのレベルから16ボルトのレベルまで増幅するには、4Xの利得が必要になるので、増幅処理は、4X利得を得るために2回繰り返される。ブロック206, 208の処理の1回目の通過（パス）の後には、電圧 V_{IN} は $V_{amp_1} = 2 \times V_{IN}$ に増幅される。ブロック206, 208の処理の2回目のパスの後には、増幅された V_{amp_1} が $V_{amp_2} = 2 \times V_{amp_1} = 4 \times V_{IN}$ に増幅される。ブロック210にて十分な利得が得られると、方法200はブロック204に進む。

【0018】

ブロック204にて、制御論理部108はキャパシタネットワーク114を一連のRSD構成に構成し、増幅された電圧は、上述の米国特許第5,644,313号明細書および米国特許第6,535,157号明細書に記載されたものなど、RSD変換処理を用いて、アナログ部品106およびデジタル変換論理部110を介してデジタル値に変換される。得られるデジタル値は、次に、必要に応じて、システムのデジタル部品によって処理される。

【0019】

図3は、本開示の少なくとも一つの実施形態による、RSD ADCのシングルエンド型の実装の一例を示す。図示されたRSD ADC302（図1のRSD ADC102に相当）は、アナログ部品306と、制御論理部308と、デジタル変換論理部310とを含んでいる。アナログ部品306は、増幅器312と、スイッチング回路320を備えたキャパシタネットワーク314と、四つのキャパシタ321, 322, 323, 324（まとめて、キャパシタ321～324）のような複数のキャパシタとを含んでいる。スイッチング回路320は、複数のスイッチ（例えば、トランジスタ又はバスゲート）と、増幅器312の入力端子（例えば、マイナス（-）入力端子）に接続した端子と、増幅器312の出力端子に接続した端子とを含んでいる。スイッチング回路320は、入力アナログ信号（ V_{IN} ）、一つ又は複数の基準電圧（例えば、 V_{REF+} と V_{REF-} ）、および複数のスイッチ制御信号SW1～SWnを受信するための入力を含んでいる。スイッチ制御信号は、本明細書においてより詳細に説明されるように、キャパシタ321～324の様々な構成に影響を与えるようにスイッチに対し送られる。スイッチング回路320

10

20

30

40

50

は、出力電圧を提供する出力を更に備えており、この出力電圧は、R S D A D C 3 0 2 の動作の特定の段に応じて、電圧 V_{I N}、電圧 V_{I N} の増幅されたもの、又は残留電圧 (V_R) のいずれかを含む。

【 0 0 2 0 】

制御論理部 3 0 8 は、一つ又は複数のクロック信号 (C L K) を受信するための入力と、イネーブル (E N) 信号およびスイッチ制御信号 S W 1 ~ S W n を提供する出力とを含んでいる。少なくとも一つの実施形態において、制御論理部 3 0 8 は、スイッチング回路 3 2 0 を介してキャパシタ 3 2 1 ~ 3 2 4 の様々な構成に影響を与えると共に一つ又は複数のクロック信号のフェーズに基づいてデジタル変換論理部 3 1 0 を作動可能または作動不能にするように、スイッチ制御信号 S W 1 ~ S W n および E N 信号を構成する。 10

【 0 0 2 1 】

デジタル変換論理部 3 1 0 は、比較器 3 3 2 , 3 3 4 と R S D 加算器 3 3 6 とを含んでいる。比較器 3 3 2 は、スイッチング回路 3 2 0 から出力電圧を受信するための入力と、第 1 の基準電圧 (V H) を受信するための入力と、出力電圧と第 1 の基準電圧との比較に基づく値を提供する出力とを含んでいる。比較器 3 3 4 は、スイッチング回路 3 2 0 の出力電圧を受信するための入力と、第 2 の基準電圧 (V L) を受信するための入力と、出力電圧と第 2 の基準電圧との比較に基づく値を提供する出力とを含んでいる。R S D 加算器 3 3 6 は、比較器 3 3 2 , 3 3 4 から値を受信するための入力と、入力アナログ信号をデジタル値に変換するために行われる対応する R S D 段中に比較器 3 3 2 , 3 3 4 によって出力される値のシーケンスに対し適用される整合、同期化、および加算の処理に基づいて出力デジタル値 ("D A T A") の対応するビットを提供する複数の出力とを含んでいる。更に、一実施形態では、制御論理部 3 0 8 は、比較器 3 3 2 , 3 3 4 から値を受信すると共に、R S D 変換処理中に V_{R E F +} 又は V_{R E F -} の導入を制御するように、その比較器 3 3 2 , 3 3 4 からの値に基づいて三つの信号 (h, l, m) を生成する。比較器 3 3 2 , 3 3 4 および R S D 加算器 3 3 6 は、制御論理部 3 0 8 から E N 信号を受信するための入力を更に含むことができ、その場合、それらの部品は、E N 信号が作動不能状態にあるとき (例えば、アサート停止) に作動不能になる (例えば、クロックゲート制御されるか、電源から切断される)。 20

【 0 0 2 2 】

少なくとも一つの実施形態では、制御論理部 3 0 8 は、図 3 の状態図 3 4 0 が表す動作を有するハードウェア状態機械を実装する。アイドル状態 3 4 2 にて、制御論理部 3 0 8 は E N 信号を作動不能状態に構成することによって、R S D A D C 3 0 2 の部品をアイドル状態にする。R S D A D C 3 0 2 によって変換される入力アナログ信号の受信に応じて、状態機械は、構成 / サンプリング状態 3 4 4 になる。構成 / サンプリング状態 3 4 4 にて、制御論理部 3 0 8 は最初に、入力アナログ信号を R S D A D C 3 0 2 の用いる変換電圧レベルまで増幅するのに必要な利得を決定し、その決定した利得に基づき、入力アナログ信号を変換電圧レベルまで増幅するのに必要な増幅段の数を決定する。例示すると、入力アナログ信号を変換電圧レベルに変換するために 8 X の利得が必要であり、かつ、各増幅段が 2 X 利得を提供する場合、所望の増幅には三つの増幅段からなるシーケンスが必要となる。 40

【 0 0 2 3 】

構成 / サンプリング状態 3 4 4 にアイドル状態 3 4 2 から最初に進む場合、制御論理部 3 0 8 は、図 4 の段 1 で示す初期構成にキャパシタ 3 2 1 ~ 3 2 4 を編成するように、スイッチ制御信号 S W 1 ~ S W n を構成する (以下に示す)。状態機械は次に増幅状態 3 4 6 に進み、そこで、増幅器 3 1 2 と段 1 のキャパシタ構成とを用いて、入力アナログ信号を増幅し、増幅されたアナログ信号を生成する。この適用の量が十分である場合、状態機械は R S D 変換状態 3 4 8 に進み、そこで、制御論理部 3 0 8 は、R S D 段構成のシーケンスにキャパシタ 3 2 1 ~ 3 2 4 を編成するようにスイッチ制御信号 S W 1 ~ S W n を構成し、デジタル変換論理部 3 1 0 を作動状態にするように、E N 信号を作動状態に構成する。アナログ部品 3 0 6 およびデジタル変換論理部 3 1 0 は、次に、増幅されたアナログ 50

信号の電圧を、増幅されたアナログ信号から決定された一連の残留電圧に基づいて、対応するデジタル値に変換するように動作される。

【0024】

更なる増幅が変換前に必要になる場合、状態機械は構成 / サンプリング状態 344 に再び進む。制御論理部 308 は、図 5 に示す構成にキャパシタ 321 ~ 324 を編成するよう、スイッチ制御信号 SW1 ~ SW5 を構成する。状態機械は次に増幅状態 346 に進み、そこで、増幅器 312 および図 5 のキャパシタ構成を用いて、増幅されたアナログ信号を増幅し、第 2 の増幅されたアナログ信号を生成する。この増幅の量が十分である場合、状態機械は、第 2 の増幅されたアナログ信号を用いて、RSD 変換状態 348 に進む。そうではなく、更なる増幅が必要である場合、RSD 変換状態 348 に進む前に所望の増幅レベルを達成するために、状態 344, 346 にて行われた構成および増幅は 1 回以上繰り返すことができる。10

【0025】

図 4 ~ 7 は、本開示の少なくとも一つの実施形態による、入力信号の特定の増幅を達成するために使用できるキャパシタ構成のシーケンスを示す。簡単な図解とするために、キャパシタ構成のシーケンスは、図 3 の RSD ADC 302 に関連して説明される。図示した構成はスイッチング回路 320 のスイッチの構成から達成されるが、明確にするために、スイッチは図 4 ~ 7 に図示した構成から省略されている。

【0026】

図 4 は、クロック信号 (CLK) の第 1 のサイクルの第 1 のフェーズにおける、キャパシタ 321 (C₁) およびキャパシタ 322 (C₂) からなる初期サンプリング構成 400 を示す。キャパシタ 321 の第 1 の端子およびキャパシタ 322 の第 1 の端子は、電圧 V_{IN} を受信するように入力アナログ電圧に接続している。キャパシタ 321 の第 2 の端子およびキャパシタ 322 の第 2 の端子は電圧基準 V_{AG} に接続しており、ここで、V_{AG} はアナロググラウンド電圧基準を表す。図 4 に示すように、初期サンプリング構成 400 は、キャパシタ 321, 322 の各々に加わる電圧 V_{IN} を生じる。20

【0027】

図 5 は、クロック信号の第 1 のサイクルの第 2 のフェーズにおける、キャパシタ 321 (C₁), キャパシタ 322 (C₂), キャパシタ 323 (C₃), キャパシタ 324 (C₄) からなる増幅構成 500 を示す。キャパシタ 321 の第 1 の端子および第 2 の端子は、それぞれ電圧基準 V_{AG} および増幅器 312 のマイナス入力端子に接続している。キャパシタ 322 の第 1 の端子および第 2 の端子は、それぞれ増幅器 312 の出力端子およびマイナス入力端子に接続している。増幅器 312 のプラス入力端子は電圧基準 V_{AG} に接続している。キャパシタ 323 の第 1 の端子およびキャパシタ 324 の第 1 の端子は増幅器 312 の出力端子に接続し、キャパシタ 323 の第 2 の端子およびキャパシタ 324 の第 2 の端子は電圧基準 V_{AG} に接続している。30

【0028】

増幅構成 500 では、キャパシタ 321, 322 は、キャパシタ 321, 322 の実質的な放電なく、スイッチング回路 320 を介して、図 4 の初期サンプリング構成 400 から再構成される。この構成では、増幅器 312 の出力電圧 (VR₁) が $2 \times V_{IN}$ であることが分かる。更に、この構成では、増幅器 312 の出力がキャパシタ 323, 324 に電荷を生じさせてるので、キャパシタ 323, 324 の第 1 の端子と第 2 の端子との間の電圧差は、VR₁、すなわち、 $2 \times V_{IN}$ と等しい。2X 増幅が十分である場合、アナログ部品 306 は RSD 変換構成に編成され、(キャパシタ 323, 324 の端子間電圧で表される) 2X 増幅されたアナログ信号を用いて変換処理が開始される。40

【0029】

そうでない場合、クロック信号の第 2 のサイクルの第 1 のフェーズにおいて、図 6 の増幅構成 600 を介し、さらなる増幅を行うことができる。増幅構成 600 では、キャパシタ 323 の第 1 の端子および第 2 の端子は、それぞれ電圧基準 V_{AG} および増幅器 312 のマイナス入力端子に接続している。キャパシタ 324 の第 1 の端子および第 2 の端子は50

、それぞれ増幅器 312 の出力端子およびマイナス入力端子に接続している。増幅器 312 のプラス入力端子は電圧基準 V_{AG} に接続している。キャパシタ 321 の第 1 の端子およびキャパシタ 322 の第 1 の端子は増幅器 312 の出力端子に接続し、キャパシタ 321 の第 2 の端子およびキャパシタ 322 の第 2 の端子は電圧基準 V_{AG} に接続している。従って、増幅構成 500 と増幅構成 600との間では、キャパシタ 321 およびキャパシタ 323 の場所が有効に入れ替わっており、キャパシタ 322 およびキャパシタ 324 の場所が有効に入れ替わっていることが分かる。

【0030】

増幅構成 600 では、キャパシタ 323, 324 は、キャパシタ 323, 324 の実質的な放電なく、スイッチング回路 320 を介して、図 5 の増幅構成 500 から再構成される。この構成では、増幅器 312 の出力電圧 (VR_2) が $4 \times V_{IN}$ (すなわち、 $2 \times 2 \times V_{IN}$) であることが分かる。更に、この構成では、増幅器 312 の出力がキャパシタ 321, 322 に電荷を生じさせてるので、キャパシタ 321, 322 の第 1 の端子と第 2 の端子との間の電圧差は、 VR_2 、すなわち、 $4 \times V_{IN}$ に等しい。 $4 \times$ 増幅が十分である場合、制御論理部 308 はアナログ部品 306 を RSD 段に構成し、(キャパシタ 321, 322 の端子間に存在する) 増幅器 312 の出力電圧 VR_2 を用いて RSD 変換処理が開始される。

【0031】

そうでない場合、クロック信号の第 2 のサイクルの第 2 のフェーズにおいて、図 7 の増幅構成 700 を介し、更なる増幅を行うことができる。増幅構成 700 のキャパシタ接続は増幅構成 500 のキャパシタ接続と同じであることが、図 5 と 6 の比較から分かる。しかし、増幅器構成 700 では、キャパシタ 321, 322 は、キャパシタ 321, 322 の実質的な放電なく、スイッチング回路 320 を介して図 6 の増幅構成 600 から再構成されるという違いがある。従って、増幅構成 600 と増幅構成 700 との間では、キャパシタ 321 およびキャパシタ 323 の場所が入れ替わっており、キャパシタ 322 およびキャパシタ 324 の場所が入れ替わっていることが分かる。この構成では、増幅器 312 の出力電圧 (VR_3) が $8 \times V_{IN}$ (すなわち、 $2 \times 4 \times V_{IN}$) であることが分かる。更に、増幅器 312 の出力がキャパシタ 323, 324 に電荷を生じさせてので、キャパシタ 323, 324 の第 1 の端子と第 2 の端子との間の電圧差は、 VR_3 、すなわち、 $8 \times V_{IN}$ と等しい。 $8 \times$ 増幅が十分である場合、制御論理部 308 はアナログ部品 306 を RSD 段に構成し、(キャパシタ 321, 322 の端子間に存在する) 増幅器 312 の出力電圧 VR_3 を用いて RSD 変換処理が開始される。

【0032】

$8 \times$ より大きい(且つ 2 の累乗である) 増幅が必要な場合、所望の増幅に達するまで、増幅構成 600 と増幅構成 700 との間で交互に交替する構成のシーケンスを実行することができる。

【0033】

図 4 ~ 7 に示すように、キャパシタ 321 ~ 324 は、二つの対、すなわち、キャパシタ 321, 322 を一方の対、キャパシタ 323, 324 を別の対として編成されている。各増幅バスでは、第 1 の対のキャパシタが増幅構成に編成され、第 2 の対がサンプリング構成に編成される。その次の増幅バスでは、第 2 の対が(その蓄積された電荷の実質的な放電なく) 増幅構成に再編成され、第 1 の対がサンプリング構成に再編成される。それに続く増幅バスでは、第 1 の対が(その蓄積された電荷の実質的な放電なく) 増幅構成に再び編成され、第 2 の対がサンプリング構成に再編成される。以降も同様に増幅が反復される。従って、四つのキャパシタ 321 ~ 324 が増幅段間で切り替えられる増幅反復のシーケンスを用いると、集積回路における実装に相当な空間を要する、大きなキャパシタネットワーク又は複雑な増幅回路を必要とすることなく、また、過剰な電力を無駄に消費することなく、2 の累乗となる任意の様々な利得を実装できることが分かる。

【0034】

図 8 には、本開示の少なくとも一つの実施形態による、図 3 の RSD ADC 302 の

10

20

30

40

50

実装の一例を示す。スイッチング回路320は、トランジスタやパスゲートなどとして実装可能な、一組のスイッチ801～809として設けられる。

【0035】

スイッチ801は、入力アナログ信号(V_{IN})を受信する第1の端子と、第2の端子とを含み、スイッチ制御信号SW5によって制御される。スイッチ802は、スイッチ801の第2の端子に接続した第1の端子と、増幅器312の出力に接続した第2の端子とを含み、スイッチ制御信号SW4によって制御される。スイッチ803は、スイッチ801の第2の端子に接続した第1の端子と、比較器332の入力に接続した第2の端子とを含み、スイッチ制御信号SW3によって制御される。スイッチ804は、増幅器312の出力に接続した第1の端子と、キャパシタ322の第1の端子に接続した第2の端子とを含み、スイッチ制御信号SW2によって制御される。スイッチ805は、スイッチ801の第2の端子に接続した第1の端子と、キャパシタ322の第1の端子に接続した第2の端子とを含み、スイッチ制御信号SW1によって制御される。スイッチ806は、スイッチ801の第2の端子に接続した第1の端子と、キャパシタ321の第1の端子に接続した第2の端子とを含み、スイッチ制御信号SW1によって制御される。スイッチ807は、電圧 V_{REF+} を受信する第1の端子と、キャパシタ321の第1の端子に接続した第2の端子とを含み、スイッチ制御信号h1によって制御される。スイッチ808は、電圧 V_{REF-} を受信する第1の端子と、キャパシタ321の第1の端子に接続した第2の端子とを含み、スイッチ制御信号11によって制御される。スイッチ809は、キャパシタ321の第1の端子に接続した第1の端子と、電圧基準 V_{AG} に接続した第2の端子とを含み、スイッチ制御信号m1によって制御される。スイッチ810は、キャパシタ321の第2の端子およびキャパシタ322の第2の端子に接続した第1の端子と、増幅器312のマイナス入力に接続した第2の端子とを含み、スイッチ制御信号SW2によって制御される。スイッチ811は、キャパシタ321, 322の第2の端子に接続した第1の端子と、電圧基準 V_{AG} に接続した第2の端子とを含み、スイッチ制御信号SW1によって制御される。スイッチ812は、増幅器312の出力に接続した第1の端子と、キャパシタ324の第1の端子に接続した第2の端子とを含み、スイッチ制御信号SW2によって制御される。スイッチ813は、増幅器312の出力に接続した第1の端子と、キャパシタ323の第1の端子に接続した第2の端子とを含み、スイッチ制御信号SW2によって制御される。スイッチ814は、キャパシタ324の第1の端子に接続した第1の端子と接続した第2の端子とを含み、スイッチ制御信号SW1によって制御される。スイッチ815は、電圧 V_{REF+} を受信する第1の端子と、キャパシタ323の第1の端子に接続した第2の端子とを含み、スイッチ制御信号h2によって制御される。スイッチ816は、電圧 V_{REF-} を受信する第1の端子と、キャパシタ323の第1の端子に接続した第2の端子とを含み、スイッチ制御信号12によって制御される。スイッチ817は、キャパシタ323の第1の端子に接続した第1の端子と、電圧基準 V_{AG} に接続した第2の端子とを含み、スイッチ制御信号m2によって制御される。スイッチ818は、キャパシタ323の第2の端子およびキャパシタ324の第2の端子に接続した第1の端子と、増幅器312のマイナス入力に接続した第2の端子とを含み、スイッチ制御信号SW1によって制御される。スイッチ819は、キャパシタ323, 324の第2の端子に接続した第1の端子と、電圧基準 V_{AG} に接続した第2の端子とを含み、スイッチ信号SW2によって制御される。

【0036】

図示した例では、制御論理部308は、クロック信号(CLK)を受信するための入力と、比較器332の出力に結合した入力と、比較器334の出力に結合した入力とを含むと共に、クロック信号および比較器332, 334の出力した値に基づいてスイッチ制御信号SW1～SW5, h1, h2, 11, 12, m1, m2を提供する出力を含んでいる。

【0037】

下記のテーブル1は、図4の初期サンプリング構成400と図5, 6, 7の増幅構成5

10

20

30

40

50

00, 600, 700とを編成するために制御論理部308が設定するスイッチ制御信号の様々な状態を示す。テーブル1では、“0”, “1”の値は対応するスイッチをそれぞれ“開”（すなわち、非導通）状態、“閉”（すなわち、導通）状態にそれぞれ設定し、“X”は“管理せず”的状態であると仮定する。

テーブル1：変換前の増幅のためのスイッチ制御信号の設定

【0038】

【表1】

構成	400 (図4)	500 (図5)	600 (図6)
CLK	サイクル1, フェーズ1	サイクル1, フェーズ2	サイクル2, フェーズ1
SW1	1	0	1
SW2	0	1	0
SW3	0	0	0
SW4	0	X	1
SW5	1	0	0
h1	0	0	0
l1	0	0	0
m1	0	1	0
h2	X	0	0
l2	X	0	0
m2	X	0	1

【0039】

テーブル1によって示すように、制御論理部308では、CLK信号（図3）のクロックサイクルのフェーズに基づいて異なる構成を実装できる。更に、テーブル1によって示すように、スイッチ制御信号SW1およびスイッチ制御信号SW2は、相補信号として設けることができる。

【0040】

下記のテーブル2は、増幅された入力信号の変換用のRSD構成を編成するために制御論理部308が設定するスイッチ制御信号の様々な状態を示す。テーブル2では、サンプリング構成400、増幅構成500、増幅構成600のシーケンスを介して達成された4X増幅が所望の利得であるため、RSD構成は増幅構成600から開始されると仮定する。更に、テーブル2では最初の四つのRSDサイクルのみを示すが、RSDサイクルの総数は特定の実装の解に応じてよいことが分かる。テーブル2では、“0”, “1”の値は対応するスイッチをそれぞれ“開”（すなわち、非導通）状態、“閉”（すなわち、導通）状態にそれぞれ設定し、“X”は“管理なし”的状態であり、スイッチ制御信号h1, l1, m1, h2, l2, m2の“D”は、対応する信号の状態がVH, VLと比較して解析される残留電圧の電圧に依存することを示す（すなわち、比較器332, 334の出

10

20

30

40

50

力した値に依存して残留電圧をオフセットする ($V_R \pm V_{REF}$))。

テーブル2：RSD変換のためのスイッチ制御信号の設定

【0041】

【表2】

CLK	サイクル2, フェーズ2	サイクル3, フェーズ1	サイクル3, フェーズ2	サイクル4, フェーズ1
SW1	0	1	0	1
SW2	1	0	1	0
SW3	1	1	1	1
SW4	1	1	1	1
SW5	0	0	0	0
h1	D	0	D	0
l1	D	0	D	0
m1	D	0	D	0
h2	0	D	0	D
l2	0	D	0	D
m2	0	D	0	D

10

20

30

【0042】

図9は、本開示の少なくとも一つの実施形態による、RSD ADCの差動送信方式の実装の一例を示す。図示したRSD ADC 902(図1のRSD ADC 102に相当)は、アナログ部品906と、制御論理部908と、デジタル変換論理部(図示せず)とを含んでいる。アナログ部品906は、差動増幅器912と、キャパシタネットワーク914とを含み、キャパシタネットワーク914は、スイッチング回路920と、四つのキャパシタ921, 922, 923, 924(まとめて、キャパシタ921~924)のような複数のキャパシタとを備える。スイッチング回路920は、複数のスイッチと、差動増幅器912の入力端子(例えば、マイナス(-)入力端子)に接続した端子と、差動増幅器912のプラス(+)出力端子に接続した端子とを含んでいる。スイッチング回路920は、差動入力アナログ信号の一方の成分(例えば、 V_{IN+})と、一つ又は複数の基準電圧(例えば、 V_{REF+} , V_{REF-})と、複数のスイッチ制御信号SW1~SWnとを受信するための入力を更に含んでいる。スイッチ制御信号SW1~SWnは、キャパシタ921~924の様々な構成に影響を与えるようにスイッチに対し送られる。スイッチング回路920は、差動出力信号の一つの成分をデジタル変換論理部(図示せず)に提供する出力を更に備え、ここで、第1の成分は、RSD ADC 902の動作の特定の段に応じて、成分 V_{IN+} 、成分 V_{IN+} の増幅されたもの、又は差動残留電圧の成分(例えば、 V_R+)のいずれかを含む。

40

【0043】

アナログ部品906は、差動入力アナログ信号の第2の成分(例えば、 V_{IN-})のた

50

めのキャパシタネットワーク 915 を更に含んでいる。キャパシタネットワーク 915 は、スイッチング回路 919 (スイッチング回路 920 に相当) と、四つのキャパシタ 925, 926, 927, 928 (まとめて、キャパシタ 925~928) のような複数のキャパシタとを備えている。スイッチング回路 919 は、複数のスイッチと、差動増幅器 912 の他方の入力端子 (例えば、プラス (+) 入力端子) に接続した端子と、差動増幅器 912 のマイナス (-) 出力端子に接続した端子とを含んでいる。スイッチング回路 919 は、差動入力アナログ信号の他方の成分 (例えば、 V_{IN-}) と、一つ又は複数の基準電圧 (例えば、 V_{REF+} , V_{REF-}) と、複数のスイッチ制御信号 $SWN + 1 \sim SWm$ とを受信するための入力を更に含んでいる。スイッチ制御信号は、キャパシタ 925~928 の様々な構成に影響を与えるように、スイッチング回路 919 のスイッチに対し送られる。スイッチング回路 919 は、差動出力信号の第2の成分を提供する出力を更に備え、ここで、第2の成分は、RSD ADC 902 の動作の特定の段に応じて、成分 V_{IN+} 、成分 V_{IN-} の増幅されたもの、又は差動残留電圧の成分 (例えば、 V_R-) のいずれかを含む。キャパシタネットワーク 914, 915 は、各々、シングルエンド型の実装について上述した図 8 の例と同様な方式で実装できる。
10

【0044】

制御論理部 908 は、一つ又は複数のクロック信号 (CLK) を受信するための入力と、イネーブル (EN) 信号およびスイッチ制御信号 $SW1 \sim SWm$ を提供する出力とを含んでいる。少なくとも一つの実施形態において、制御論理部 908 は、スイッチング回路 919, 920 を介してキャパシタ 921~928 の様々な構成に影響を与えると共に一つ又は複数のクロック信号のフェーズに基づいてデジタル変換論理部を作動可能又は作動不能にするように、スイッチ制御信号および EN 信号を構成する。
20

【0045】

少なくとも一つの実施形態では、図 9 の差動送信方式の実装は、シングルエンド型の入力アナログ信号に使用できる。この例で、シングルエンド型の入力アナログ信号 V_{IN} が第1の成分 V_{IN+} として提供され、電圧基準 V_{AG} が第2の成分 V_{IN-} として供給される。従って、RSD ADC 902 は、増幅および変換の前に、シングルエンド型の入力アナログ信号を差動信号に変換する、更なる特徴を有する。

【0046】

少なくとも一つの実施形態では、制御論理部 908 は、上述の図 3 の状態図 340 のものと同様な動作を有するハードウェア状態機械を実装する。図 3 のシングルエンド型の実装の制御論理部 308 の場合のように、差動信号方式の実装の制御論理部 908 は、入力アナログ信号 (入力における真の差動信号か、差動信号に変換されたシングルエンド型の信号のいずれか) を漸増させるための一つ又は複数の増幅パスを得るように、キャパシタ 921~928 を様々な構成に編成する。
30

【0047】

図 10~12 は、本開示の少なくとも一つの実施形態による、差動入力信号の特定の増幅を達成するために利用できるキャパシタ構成のシーケンスを示す。簡単な図解のために、キャパシタ構成のシーケンスは、図 9 の RSD ADC 902 に関連して説明される。図示した構成はスイッチング回路 920 およびスイッチング回路 919 のスイッチの構成を介して達成されるが、明確にするために、スイッチは図 10~12 に図示した構成から省略されている。
40

【0048】

図 10 は、クロック信号の第1のサイクルの第1のフェーズにおける、キャパシタ 921, 922, 925, 926 (C_1, C_2, C_5, C_6) からなる初期サンプリング構成 1000 を示す。キャパシタ 921 の第1の端子およびキャパシタ 922 の第1の端子は、電圧 V_{IN+} を受信するように入力アナログ電圧の第1の成分に接続している。キャパシタ 921 の第2の端子およびキャパシタ 922 の第2の端子は電圧基準 V_{AG} に接続している。同様に、キャパシタ 925 の第1の端子およびキャパシタ 926 の第1の端子は、電圧 V_{IN-} を受信するように入力アナログ電圧の第2の成分に接続し、キャパシタ 921, 922, 925, 926 は、初期サンプリング構成 1000 から省略される。
50

25の第2の端子およびキャパシタ926の第2の端子は、電圧基準 V_{AG} に接続している。図10によって示すように、初期サンプリング構成1000は、キャパシタ921, 922の各々に加わる電圧 V_{IN+} と、キャパシタ925, 926の各々に加わる電圧 V_{IN-} とを生じる。

【0049】

図11は、クロック信号の第1のサイクルの第2のフェーズにおける、キャパシタ921～928からなる増幅構成1100を示す。キャパシタ921の第1の端子および第2の端子は、それぞれ電圧基準 V_{AG} および差動増幅器912のマイナス入力端子に接続している。キャパシタ922の第1の端子および第2の端子は、それぞれ差動増幅器912のプラス出力端子およびマイナス入力端子に接続している。キャパシタ925の第1の端子および第2の端子は、それぞれ電圧基準 V_{AG} および差動増幅器912のプラス入力端子に接続している。キャパシタ926の第1の端子および第2の端子は、それぞれ差動増幅器912のマイナス出力端子およびプラス入力端子に接続している。キャパシタ923の第1の端子およびキャパシタ924の第1の端子は差動増幅器912のプラス出力端子に接続し、キャパシタ923の第2の端子およびキャパシタ924の第2の端子は電圧基準 V_{AG} に接続している。キャパシタ927の第1の端子およびキャパシタ928の第1の端子は差動増幅器912のマイナス出力端子に接続し、キャパシタ927の第2の端子およびキャパシタ928の第2の端子は電圧基準 V_{AG} に接続している。

【0050】

増幅構成1100では、キャパシタ921, 922は、キャパシタ921, 922を放電することなく、スイッチング回路920を介して図10の初期サンプリング構成1000から再構成される。同様に、キャパシタ925, 926は、キャパシタ925, 926を放電することなく、スイッチング回路919を介して図10の初期サンプリング構成1000から再構成される。この構成では、差動増幅器の出力電圧($VR_{1+} - VR_{1-}$)は $2 \times (V_{IN+} - V_{IN-})$ であることが分かる。

【0051】

更に、増幅構成1100では、差動増幅器912のプラス出力端子がキャパシタ923, 924に電荷を生じさせてるので、キャパシタ923, 924の第1の端子と第2の端子との間の電圧差は、 VR_{1+} 、すなわち、 $2 \times V_{IN+}$ に等しくなる。差動増幅器912のマイナス出力端子がキャパシタ927, 928に電荷を生じさせてるので、キャパシタ927, 928の第1の端子と第2の端子との間の電圧差は、 VR_{1-} 、すなわち、 $2 \times V_{IN-}$ に等しくなる。 $2X$ 増幅が十分である場合、アナログ部品906がRSD変換構成に編成され、(キャパシタ323, 324およびキャパシタ327, 328の端子間電圧で表される) $2X$ 増幅されたアナログ信号を用いて変換処理が開始される。

【0052】

そうでない場合、クロック信号の第2のサイクルの第1のフェーズにおいて、図12の増幅構成1200を介し、さらなる増幅を行うことができる。増幅構成1200では、キャパシタ923の第1の端子および第2の端子は、それぞれ電圧基準 V_{AG} および差動増幅器912のマイナス入力端子に接続している。同様に、キャパシタ927の第1の端子および第2の端子は、それぞれ電圧基準 V_{AG} および差動増幅器912のプラス入力端子に接続している。キャパシタ924の第1の端子および第2の端子は、それぞれ差動増幅器912のプラス出力端子およびマイナス入力端子に接続している。キャパシタ928の第1の端子および第2の端子は、それぞれ差動増幅器912のマイナス出力端子およびプラス入力端子に接続している。キャパシタ921の第1の端子およびキャパシタ922の第1の端子は差動増幅器912のプラス出力端子に接続し、キャパシタ921の第2の端子およびキャパシタ922の第2の端子は電圧基準 V_{AG} に接続している。キャパシタ925の第1の端子およびキャパシタ926の第1の端子は差動増幅器912のマイナス出力端子に接続し、キャパシタ925の第2の端子およびキャパシタ926の第2の端子は電圧基準 V_{AG} に接続している。従って、増幅構成1100と増幅構成1200の間では、キャパシタ921およびキャパシタ923の場所が入れ替わっており、キャパシタ92

10

20

30

40

50

2 およびキャパシタ 924 の場所が入れ替わっており、キャパシタ 925 およびキャパシタ 927 の場所が入れ替わっており、キャパシタ 926 およびキャパシタ 928 の場所が入れ替わっていることが分かる。

【0053】

増幅構成 1200 では、キャパシタ 923, 924, 927, 928 は、キャパシタ 923, 924, 927, 928 を放電することなく、スイッチング回路 919 およびスイッチング回路 920 を介して図 11 の増幅構成 1100 から再構成される。この構成では、差動増幅器 912 の出力電圧 ($V_{R+2} - V_{R-2}$) は $4 \times (V_{IN+} - V_{IN-})$ 、すなわち、 $2 \times 2 \times (V_{IN+} - V_{IN-})$ であることが分かる。

【0054】

更に、差動増幅器 912 のプラス出力がキャパシタ 921, 922 に電荷を生じさせてるので、キャパシタ 921, 922 の第 1 の端子と第 2 の端子との間の電圧差は、 V_{R+2} 、すなわち、 $4 \times V_{IN+}$ と等しくなる。差動増幅器 912 のマイナス出力がキャパシタ 925, 926 に電荷を生じさせてるので、キャパシタ 925, 926 の第 1 の端子と第 2 の端子との間の電圧差は、 V_{R-2} 、すなわち、 $4 \times V_{IN-}$ と等しくなる。 $4 \times$ 増幅が十分である場合、 $4 \times$ 増幅されたアナログ信号を用いて変換処理が開始される。そうではなく、 $4 \times$ より大きい(且つ 2 の累乗である) 増幅が必要な場合、所望の増幅に達成するまで、増幅構成 1100 と増幅構成 1200 との間で交互に交替する構成のシーケンスを実行することができる。

【0055】

図 13 ~ 15 は、本明細書に記載の技術による、デジタル変換用にシングルエンド型の入力信号を差動信号に変換するキャパシタ構成のシーケンスの例を示す。図 13, 14 の組み合わせは、シングルエンド型の入力信号を増幅せずに差動信号に変換するキャパシタ構成のシーケンスを示す。図 13, 15 の組み合わせは、シングルエンド型の入力信号を差動信号に変換するとともに、得られる差動信号において $2 \times$ 利得を得るキャパシタ構成のシーケンスを示す。簡単な説明とするために、キャパシタ構成のシーケンスは、図 9 の RSD ADC 902 に関連して説明される。図示した構成はスイッチング回路 920 およびスイッチング回路 919 のスイッチからなる構成から達成されるが、明確にするために、スイッチは図 13 ~ 15 に図示した構成から省略されている。

【0056】

図 13 は、クロック信号の第 1 のサイクルの第 1 のフェーズにおける、キャパシタ 921, 925 からなる初期サンプリング構成 1300 を示す。キャパシタ 921 の第 1 の端子はシングルエンド型の入力信号のアナログ電圧 V_{IN} を受信するように接続し、キャパシタ 925 の第 1 の端子は電圧基準 V_{AG} に接続している。キャパシタ 921 の第 2 の端子およびキャパシタ 925 の第 2 の端子は、電圧基準 V_{AG} に接続している。更に、キャパシタ 922, 926 は、キャパシタ 925 と同じ方式で構成されている。したがって、初期サンプリング構成 1300 は、キャパシタ 921 に加わる電圧 V_x (ここで、 $V_x = V_{IN} - V_{AG}$) と、キャパシタ 922, 925, 926 に加わる約 0 V の電圧とを生じる。

【0057】

図 14 は、クロック信号の第 1 のサイクルの第 2 のフェーズにおける、キャパシタ 921 ~ 928 からなる差動信号変換構成 1400 に対する増幅されないシングルエンド型の信号を示す。キャパシタ 921 の第 1 の端子および第 2 の端子は、それぞれ電圧基準 V_{AG} および差動増幅器 912 のマイナス入力端子に接続している。キャパシタ 922 の第 1 の端子および第 2 の端子は、それぞれ差動増幅器 912 のプラス出力端子およびマイナス入力端子に接続している。キャパシタ 925 の第 1 の端子および第 2 の端子は、それぞれ電圧基準 V_{AG} および差動増幅器 912 のプラス入力端子に接続している。キャパシタ 926 の第 1 の端子および第 2 の端子は、それぞれ差動増幅器 912 のマイナス出力端子およびプラス入力端子に接続している。キャパシタ 923 の第 1 の端子およびキャパシタ 924 の第 1 の端子は差動増幅器 912 のプラス出力端子に接続し、キャパシタ 923 の第

10

20

30

40

50

2の端子およびキャパシタ924の第2の端子は電圧基準 V_{AG} に接続している。キャパシタ927の第1の端子およびキャパシタ928の第1の端子は差動増幅器912のマイナス出力端子に接続し、キャパシタ927の第2の端子およびキャパシタ928の第2の端子は電圧基準 V_{AG} に接続している。

【0058】

この構成では、差動増幅器912の出力電圧が V_x であるため、電圧 V_{IN} を有するシングルエンド型の出力信号が信号成分間に電圧差 V_x を有する差動信号に変換されることが分かる。得られる差動信号は、次いで、キャパシタ923, 924, 927, 928によってサンプリングされ、上述のように増幅およびデジタル変換処理される。

【0059】

図15は、クロック信号の第1のサイクルの第2のフェーズにおける、キャパシタ921～928からなる、代替のシングルエンド型の差動変換構成1500を示しており、ここで、得られる信号はシングルエンド型から差動信号に変換されると共に、2Xの利得だけ増幅されている。図15の構成1500は、キャパシタ925の第1の端子が(図14の構成1400におけるように電圧基準 V_{AG} に接続しているのではなく)シングルエンド型の入力信号の電圧 V_{IN} を受信するように接続していることを除き、図14の構成1400と同じである。この構成では、差動増幅器912の出力電圧は $2 \times V_x$ であるため、電圧 V_{IN} を有するシングルエンド型の入力信号が信号成分間に電圧差 $2 \times V_x$ を有する差動信号に変換および増幅されることが分かる。得られる差動信号は、次いで、キャパシタ923, 924, 927, 928によってサンプリングされ、上述のようにサンプリングキャパシタを介して増幅およびデジタル変換処理される。

【0060】

図16は、本開示の少なくとも一つの実施形態による、RSD ADCの実装の別の例を示す。上述の実施形態では、スイッチング回路は、所望の電圧レベルまで入力アナログ信号を反復的に増幅するように、多増幅バス用の様々なキャパシタ構成を編成するために用いられている。図16に示すRSD ADC1602は、キャパシタ1621, 1622に代えて、プログラム可能なキャパシタ1621, 1622を用いることと、制御論理部1608が、プログラム可能なキャパシタ1621, 1622の静電容量をそれぞれ調整する静電容量調整信号CAP1, CAP2も提供するように構成されることとを除き、図8に示したRSD ADC302とほぼ同様である。一実施形態では、プログラム可能なキャパシタ1621, 1622は、プログラム可能キャパシタのネットワークとして構成され、その例は上述の米国特許第5,625,361号明細書に記載されている。図16はシングルエンド型の実装を示しているが、図9に示したのと同様に、プログラム可能キャパシタベースのRSD ADCは差動送信方式の実装として実装できる。

【0061】

図17は、本開示の少なくとも一つの実施形態による、図16のRSD ADC1602の動作の方法1700の一例を示す。少なくとも一つの実施形態では、方法1700は、少なくとも部分的には制御論理部1608の状態機械として実装される。

【0062】

ロック1702にて、制御論理部1608は、増幅器312を含む増幅器構成に構成されると入力アナログ信号の所望の増幅を提供するように、プログラム可能キャパシタ1621, 1622の静電容量を構成する。プログラム可能なキャパシタ1621がプログラム可能な静電容量C1を有し、プログラム可能なキャパシタ1622がプログラム可能な静電容量C2を有すると仮定すると、この構成の増幅器312の出力電圧(VR)は、次式と等しくなる。

【0063】

10

20

30

40

【数1】

$$VR = \left(1 + \frac{C2}{C1}\right) \times V_{IN}$$

【0064】

従って、増幅器312とプログラム可能なキャパシタ1621, 1622とからなる増幅構成の利得(Gain)は、次式で表される。

【0065】

【数2】

$$Gain = \left(1 + \frac{C2}{C1}\right)$$

【0066】

特定の利得を得るために、制御論理部1608は、特別の利得に対応する静電容量C2対静電容量C1の比を得るように、信号CAP1, CAP2を介して静電容量C1, C2を調整できる。例えば、2X利得を得るために、制御論理部308は、プログラム可能なキャパシタ1621, 1622が実質的に同様の静電容量を有する(すなわち、静電容量C2対静電容量C1の比が1:1であり、2の利得を生じる)ように、ブロック1702にてプログラム可能なキャパシタ1621, 1622をプログラムできる。同様に、3Xの利得を得るために、プログラム可能なキャパシタ1622の静電容量C1は、プログラム可能なキャパシタ1621の静電容量C2の1/2に設定できる(すなわち、静電容量C2対静電容量C1の比が2:1になり、3の利得を生じる)。更に、4Xの利得を得るために、プログラム可能なキャパシタ1622の静電容量C1は、プログラム可能なキャパシタ1621の静電容量C2の1/3に設定できる(すなわち、静電容量C2対静電容量C1の比が3:1になり、4の利得を生じる)。静電容量の所望の比は、RSD変換段中に用いられる静電容量に静電容量C1を維持しつつ静電容量C2を増加させることにより、RSD変換段中に用いられる静電容量に静電容量C2を維持しつつ静電容量C1を減少させることにより、又は静電容量C1を減少させつつ静電容量C2を増加させることにより、得ることができる。

【0067】

プログラム可能キャパシタ1621, 1622を所望の静電容量にプログラムした後、プログラム可能キャパシタ1621, 1622は、図4の初期サンプリング構成400に相当する初期サンプリング構成に構成される。この構成において、入力アナログ信号は、入力アナログ信号の電圧 V_{IN} と等しい電圧差をそれらのキャパシタの端子間に生じるよう、プログラム可能キャパシタ1621, 1622に対し印加される。

【0068】

プログラム可能キャパシタ1621, 1622を用いて入力アナログ信号をサンプリングした後、ブロック1704にて、プログラム可能キャパシタ1621, 1622およびキャパシタ1623, 1624は、入力アナログ信号を増幅し、増幅されたアナログ信号を生成するように、図5の増幅構成500に相当する増幅器構成に構成される。上述のように、得られる増幅された信号の利得は、 $1 + (C2 / C1)$ とほぼ等しくなる。

【0069】

ブロック1706にて、スイッチ801～819は、増幅されたアナログ信号をデジタル信号に変換するために、プログラム可能キャパシタ1621, 1622およびキャパシタ1623, 1624を従来のRSDアナログ段に再構成するように切り替えられる。この再構成には、例えば、実質的に等しい静電容量を有するように、プログラム可能キャパ

10

20

30

40

50

シタ 1621, 1622を再プログラムすることによって、変換処理中に 2^X の標準利得を有するようにRSDアノログ段を構成することが含まれてよい。

【0070】

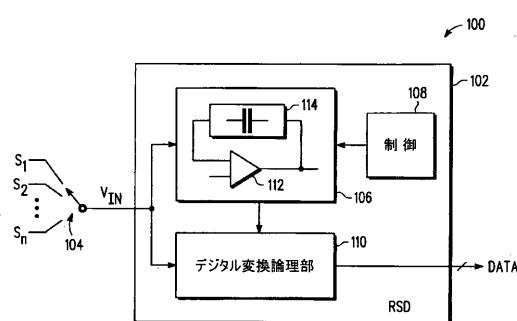
本明細書において用いた用語“別の”は、少なくとも第2の又はそれ以上の、と定義される。本明細書において用いた用語“備える”、“有する”、又は、その任意の変形は、含む、と定義される。本明細書において光電気技術に関連して用いた用語“結合した”は、接続した、と定義されるが、必ずしも直接的でも、機械的でもない。

【0071】

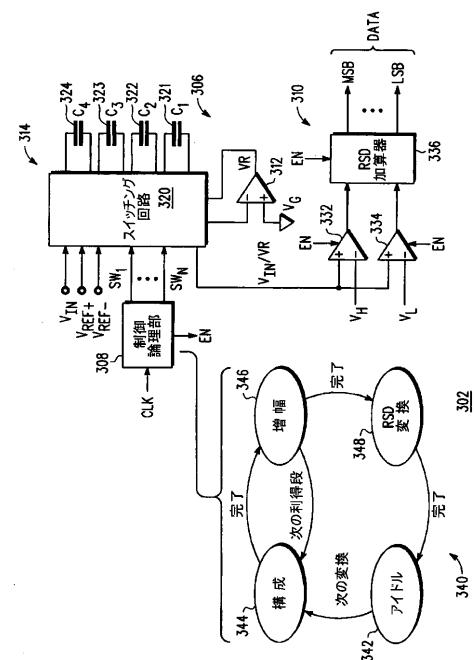
本開示の他の実施形態、使用、および利点は、本明細書の詳細な説明および実施例を考慮すると、当業者には明らかである。明細書および図面は例示として考慮されるものに過ぎず、したがって、本開示の範囲は、添付の特許請求の範囲およびその均等によってのみ限定されることを意図するものである。

10

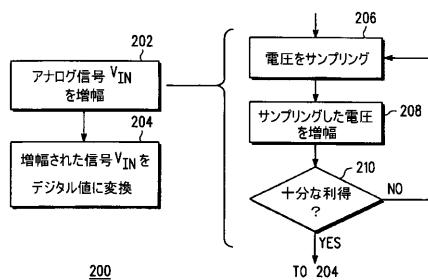
【図1】



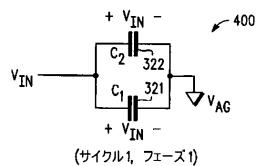
【図3】



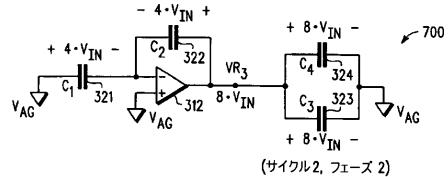
【図2】



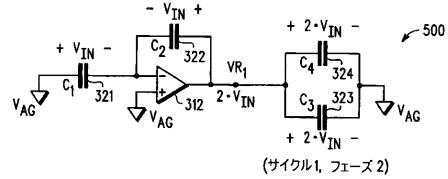
【図4】



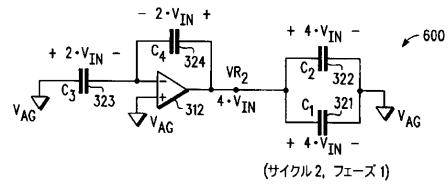
【図7】



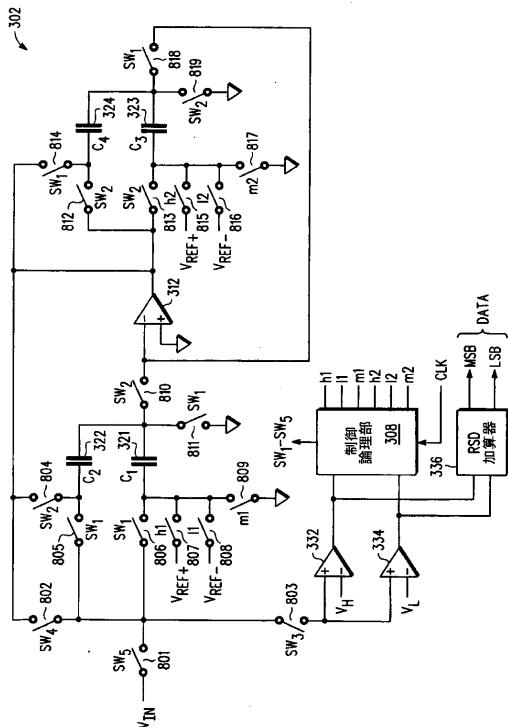
【図5】



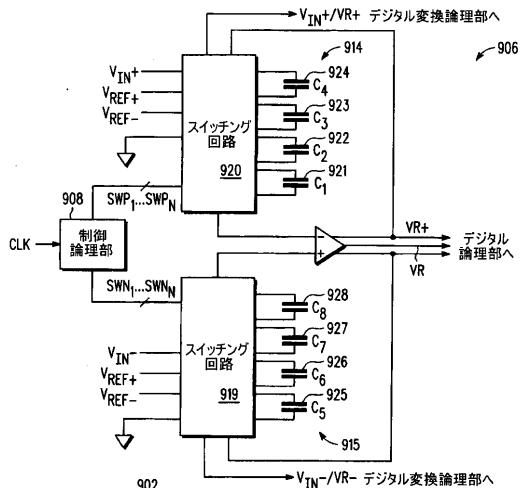
【図6】



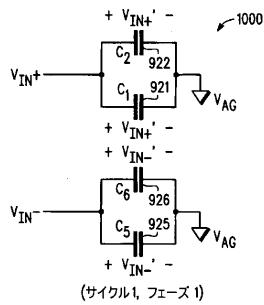
【図8】



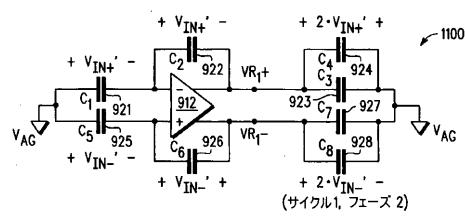
【図9】



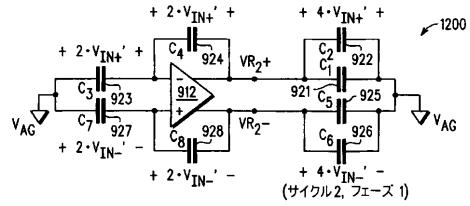
【図10】



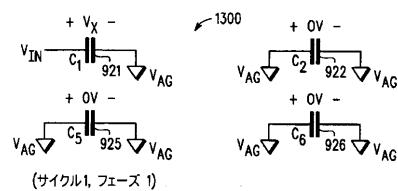
【図11】



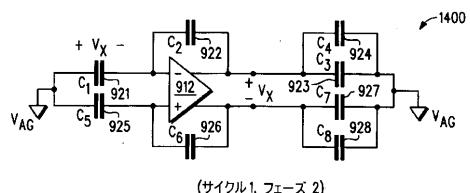
【図12】



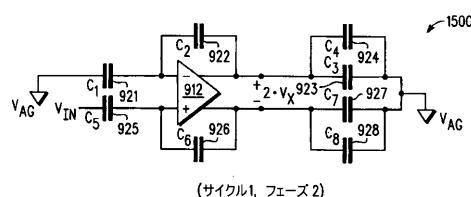
【図13】



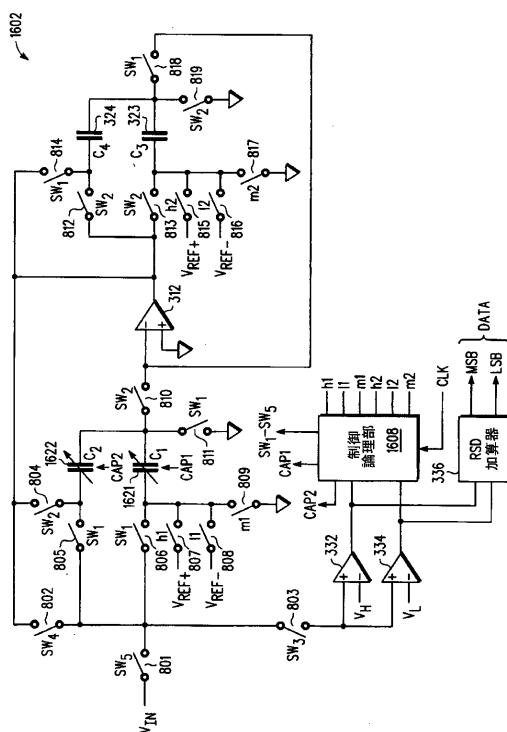
【図14】



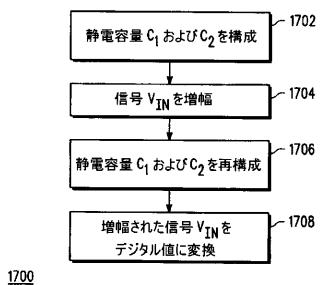
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 ガラード、マイク アール .

イギリス国 C M I 4 H F エセックス チェルムスフォード ブルームフィールド 208

(72)発明者 ジョーンズ、ザ サード ロバート エス .

アメリカ合衆国 78749 テキサス州 オースティン ロック キャッスル コープ 920

0

(72)発明者 ギャリティ、ダグラス エイ .

アメリカ合衆国 85233 アリゾナ州 ギルバート ラレド アベニュー 920

審査官 柳下 勝幸

(56)参考文献 特開2008-104142(JP,A)

特表2007-500473(JP,A)

特表2005-526420(JP,A)

特開平11-122197(JP,A)

特開2008-028820(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00 - 1/88