



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G11C 5/14 (2006.01)

H02M 3/07 (2006.01)

(11) 공개번호

10-2007-0019234

(43) 공개일자

2007년02월15일

(21) 출원번호 10-2005-0073986

(22) 출원일자 2005년08월11일

심사청구일자 2005년08월11일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김수원
서울 서초구 반포동 1278번지 반포아파트 87동 302호
김형주
서울 성북구 종암동 28-36 104호

(74) 대리인 현중철

전체 청구항 수 : 총 4 항

(54) 디스 전하 펌프를 이용한 고전압 생성 방법 및 그 장치

(57) 요약

본 발명은 디스 전하 펌프를 이용한 고전압 생성 방법 및 그 장치에 관한 것이다.

본 발명에 따른 디스 전하 펌프를 이용한 고전압 생성방법은 (a) 전원전압을 입력받아 이를 바탕으로 상기 전원전압과 같거나 작은 전압을 갖는 클럭신호 및 반전클럭신호를 생성시키는 단계, (b) 상기 클럭신호 및 반전클럭신호를 이용하여 상기 클럭신호보다 2배의 전압진폭을 갖는 제2 클럭신호를 생성시키는 단계 및 (c) 상기 제2 클럭신호를 디스전하 펌프에 입력시켜 고전압 출력을 얻는 단계를 포함하는 것을 특징으로 한다.

본 발명에 따르면 종래의 디스 전하 펌프의 출력 전압은 전계효과 트랜지스터의 몸체 효과에 의한 펌핑 이득의 감소로 인해 펌핑 단이 증가해도 선형적으로 증가하지 않고, 출력 전압이 포화되는 문제점을 해결할 수 있는 효과가 있다.

대표도

도 4

특허청구의 범위

청구항 1.

- (a) 전원전압을 입력받아 이를 바탕으로 상기 전원전압과 같거나 작은 전압을 갖는 클럭신호 및 반전클럭신호를 생성시키는 단계;
- (b) 상기 클럭신호 및 반전클럭신호를 이용하여 상기 클럭신호보다 2배의 전압진폭을 갖는 제2 클럭신호를 생성시키는 단계; 및
- (c) 상기 제2 클럭신호를 디스전하 펌프에 입력시켜 고전압 출력을 얻는 단계를 포함하는 것을 특징으로 하는 디스 전하 펌프를 이용한 고전압 생성 방법.

청구항 2.

제 1 항에 있어서, 상기 (b) 단계는

출력신호의 일부를 입력단으로 궤환시키는 부트스트랩 구조를 갖는 소정의 증폭회로에 상기 클럭신호 및 반전클럭신호를 입력시켜 상기 제2 클럭신호를 생성시키는 것을 특징으로 하는 디스 전하 펌프를 이용한 고전압 생성 방법.

청구항 3.

전원전압을 입력받아 이를 바탕으로 상기 전원전압과 같거나 작은 전압을 갖는 클럭신호 및 반전클럭신호를 생성시키는 링오실레이터 및 클럭드라이버 부;

상기 링오실레이터 및 클럭드라이버부로부터 상기 클럭신호 및 반전클럭신호를 제공받아, 이를 이용하여 상기 클럭신호보다 2배의 전압진폭을 갖는 제2 클럭신호를 생성시키는 고전압 클럭생성기; 및

상기 고전압 클럭생성기로부터 상기 제2 클럭신호를 제공받아 이를 기초로 고전압 신호를 출력하는 디스전하 펌프를 포함하는 것을 특징으로 하는 디스 전하 펌프를 이용한 고전압 생성 장치.

청구항 4.

제 3 항에 있어서, 상기 고전압 클럭생성기는

출력신호의 일부를 입력단으로 궤환시키는 부트스트랩 구조를 갖는 소정의 증폭회로에 상기 클럭신호 및 반전클럭신호를 입력시켜 증폭시키는 증폭부; 및

상기 증폭부로부터 증폭된 신호를 제공받고, 상기 클럭신호의 주기에 따라 상기 증폭된 신호를 하이 및 로우 상태를 갖는 상기 제2 클럭신호를 생성시켜 출력시키는 출력부를 포함하는 것을 특징으로 하는 디스 전하 펌프를 이용한 고전압 생성 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스 전하 펌프를 이용한 고전압 생성 방법 및 그 장치에 관한 것이다.

최근 플래시 메모리 시장은 디지털 기기의 수요 증가에 따라 급속하게 커지고 있다. 플래시 메모리는 휴대폰, PDA, 랩탑, 디지털 카메라, 캠코더, USB 드라이버, MP3 플레이어 등 휴대형 디지털 기기의 저장 장치로 광범위하게 사용되고 있다. 플래시 메모리는 이처럼 대부분 휴대형 전자 기기에 사용되기 때문에 전력 소모가 가장 중요한 쟁점이다. 따라서, 저전력, 저전압 회로 설계 기술이 요구되며, 소자의 크기가 점점 작아짐에 따라 소자의 신뢰성을 확보하고 전력 소모를 줄이기 위해 플래시 메모리의 전원 전압으로 1.5V 이하가 사용되는 것이 바람직하다.

그런데, 일반적으로 플래시 메모리의 프로그램(PROGRAM) 동작과 삭제(ERASE) 동작을 위해서는 전원 전압보다 훨씬 높은 전압(거의 18V)이 필요하다. 이 전압을 만들기 위해 디슨 전하 펌프를 바탕으로 하는 전하 펌핑 회로가 많이 쓰이는데 그 이유는 집적 시스템의 다른 부분과 함께 동일한 칩 위에 구현이 가능하고, 구조 측면에서 간단하며, 펌프 커패시터의 값에 따른 영향을 덜 받는다는 장점이 있기 때문이다.

그러나, 이러한 형태의 전하 펌핑 회로는 전원 전압이 낮아질수록 출력 전압도 낮아지는 단점이 있다. 플래시 메모리의 동작에 필요한 높은 전압은 산화물 터널 효과와 같은 물리적 작용 때문에 필요하므로, 이 전압은 전원 전압이 낮아져도 변하지 않는다. 게다가, 전계효과 트랜지스터의 문턱 전압과 전하 펌핑 회로의 에너지 손실을 유발하는 백 바이어스 특성은 전원 전압이 점점 낮아져도 변하지 않는다. 따라서, 전원 전압이 낮아지면 전하 펌핑 회로의 효율이 떨어지고, 그것은 저전력 동작을 더욱 어렵게 만드는 요인이 된다.

지금까지 디슨 전하 펌프에 기반한 많은 개선된 형태의 전하 펌핑 회로들이 최근까지 보고되어 왔으나, 그 대부분은 문턱 전압 증가에 따른 출력 전압 제한 문제를 해결하는데 초점을 두었을 뿐 디슨 전하 펌프의 출력 값을 직접적으로 올릴 수 있는 유용한 방법이나 수단은 아직 제공된 바가 없어 문제이다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 디슨 전하 펌프를 이용한 고전압 생성방법 및 그 장치를 제공하는데 있다. 특히 종래의 클럭신호에 비하여 고전압의 클럭신호를 생성시키고 이를 디슨 전하 펌프에 입력시킴으로써 고전압을 생성시키는 방법 및 그 장치를 제공하는데 있다.

발명의 구성

상기 문제점을 해결하기 위한 본 발명에 따른 디슨 전하 펌프를 이용한 고전압 생성방법은 (a) 전원전압을 입력받아 이를 바탕으로 상기 전원전압과 같거나 작은 전압을 갖는 클럭신호 및 반전클럭신호를 생성시키는 단계, (b) 상기 클럭신호 및 반전클럭신호를 이용하여 상기 클럭신호보다 2배의 전압진폭을 갖는 제2 클럭신호를 생성시키는 단계 및 (c) 상기 제2 클럭신호를 디슨전하 펌프에 입력시켜 고전압 출력을 얻는 단계를 포함하는 것을 특징으로 한다.

또한 상기 디슨 전하 펌프를 이용한 고전압 생성방법의 상기 (b) 단계는 출력신호의 일부를 입력단으로 궤환시키는 부트스트랩 구조를 갖는 소정의 증폭회로에 상기 클럭신호 및 반전클럭신호를 입력시켜 상기 제2 클럭신호를 생성시키는 것을 특징으로 할 수 있다.

상기 문제점을 해결하기 위한 본 발명에 따른 디슨 전하 펌프를 이용한 고전압 생성장치는 전원전압을 입력받아 이를 바탕으로 상기 전원전압과 같거나 작은 전압을 갖는 클럭신호 및 반전클럭신호를 생성시키는 링오실레이터 및 클럭드라이버부, 상기 링오실레이터 및 클럭드라이버부로부터 상기 클럭신호 및 반전클럭신호를 제공받아, 이를 이용하여 상기 클럭신호보다 2배의 전압진폭을 갖는 제2 클럭신호를 생성시키는 고전압 클럭생성기 및 상기 고전압 클럭생성기로부터 상기 제2 클럭신호를 제공받아 이를 기초로 고전압 신호를 출력하는 디슨전하 펌프를 포함하는 것을 특징으로 한다.

또한 상기 디슨 전하 펌프를 이용한 고전압 생성장치의 상기 고전압 클럭생성기는 출력신호의 일부를 입력단으로 궤환시키는 부트스트랩 구조를 갖는 소정의 증폭회로에 상기 클럭신호 및 반전클럭신호를 입력시켜 증폭시키는 증폭부 및 상기 증폭부로부터 증폭된 신호를 제공받고, 상기 클럭신호의 주기에 따라 상기 증폭된 신호를 하이 및 로우 상태를 갖는 상기 제2 클럭신호를 생성시켜 출력시키는 출력부를 포함하는 것을 특징으로 할 수 있다.

이하에서는 도면을 참조하여 본 발명의 원리 및 바람직한 실시예를 상세히 설명한다.

도 1은 일반적인 4단의 디슨 전하 펌프의 회로도, 도 1의 디슨 전하 펌프는 다이오드 형태의 전계효과 트랜지스터와 펌핑 커패시터로 구성되어 있다. 이 회로에서 다이오드 연결된 전계효과 트랜지스터는 다이오드 역할을 하기 때문에 전하는

오직 한쪽 방향으로만 전달된다. 반대의 위상과 같은 진폭, V_{CK} (클럭신호의 전압으로 일반적으로는 전원 전압과 같다.)를 갖는 두 입력 클럭은 다이오드 형태의 전계효과 트랜지스터 체인을 따라 선택된 노드에 용량성으로 연결된다. 펌핑 커패시터가 클럭의 반 주기 동안 충·방전되는 동안 전하 펌프는 다이오드 형태의 전계효과 트랜지스터 체인을 따라 전하의 펌핑 패킷으로 동작한다. 다이오드 형태의 체인의 전압은 각 펌핑 주기마다 지워지지 않기 때문에 평균 노드 전위는 다이오드 형태의 체인을 따라 입력에서 출력으로 갈수록 점차 증가하게 된다.

경계 조건을 무시하면, 각 노드의 전압 변동, ΔV 는 같고 수학식 1과 같이 표현된다.

$$\Delta V = \left(\frac{C}{C + C_s} \right) \cdot V_{CK} - \frac{I_o}{(C + C_s) \cdot f}$$

이 수학식 1에서 C 는 펌핑 커패시터의 값, C_s 는 전계효과 트랜지스터의 기생 커패시터의 값, I_o 는 출력 전류, 그리고 f 는 입력 클럭의 주파수를 나타낸다. 전하 펌프가 동작하기 위한 필요 조건은 다음 수학식 2와 같이 ΔV 가 전계효과 트랜지스터의 문턱 전압보다 클 때이고, 각 펌핑 단의 전압 펌핑 이득은 다음 수학식 3과 같이 ΔV 와 각 단의 전계효과 트랜지스터의 문턱 전압의 차로 정의된다.

$$\Delta V > V_{TH}(M)$$

$$A_v(M) = \Delta V - V_{TH}(M)$$

위 수학식 2와 3에서 $V_{TH}(M)$ 와 $A_v(M)$ 은 각각 M번째 단의 문턱 전압과 전압 펌핑 이득을 나타낸다. N단에 대해, 전체 전압 이득은 식 4와 같이 표현된다.

$$A_v = A_v(1) \cdot A_v(2) \cdots A_v(N) - V_{TH}(N+1)$$

수학식 4에서 $V_{TH}(N+1)$ 은 출력 쪽의 클럭 급등을 방지하기 위한 추가적인 다이오드 형태의 전계효과 트랜지스터의 문턱 전압이다. 몸체 효과를 무시하면, 수학식 4는 다음 수학식 5와 같이 근사화할 수 있다.

$$A_v \approx N \cdot \left[\left(\frac{C}{C + C_s} \right) \cdot V_{CK} - V_{TH} - \frac{I_o}{(C + C_s) \cdot f} \right] - V_{TH}$$

전체 전압 이득은 입출력 전압의 차와 같으므로, 수학식 5는 다음 수학식 6과 같이 표현할 수 있다.

$$V_{OUT} = V_{IN} + N \cdot \left[\left(\frac{C}{C + C_s} \right) \cdot V_{CK} - V_{TH} \right] - V_{TH} - \frac{N \cdot I_o}{(C + C_s) \cdot f}$$

수학식 6은 다음 수학식 7과 같이 표현할 수 있다. 여기서 V_{IN} 은 입력전압 값이다.

$$V_{OUT} = V_O - I_o \cdot R_s$$

수학식 7에서

$$V_O = V_{IN} + N \cdot \left[\left(\frac{C}{C + C_s} \right) \cdot V_{CK} - V_{TH} \right] - V_{TH}$$

이고

$$R_s = \frac{N}{(C + C_s) \cdot f}$$

이다.

V_0 와 R_s 는 각각 전하 펌프의 개방회로 출력 전압과 출력 직렬 저항을 나타내므로, 수학적 7은 도 2와 같이 전하 펌프 출력의 간단한 등가 회로 나타낼 수 있다.

전원 전압이 낮아짐에 따라 V_{CK} 또한 낮아진다. 따라서 수학적 1에서 ΔV 는 감소하고 수학적 3에서 각 펌핑 단의 전압 펌핑 이득 또한 감소할 것이다. 게다가 ΔV 의 감소에 따라 ΔV 와 전계효과 트랜지스터의 문턱 전압의 차가 줄어들게 되면, 몸체 효과는 전하 펌프의 전압 펌핑 이득과 출력 전압을 제한하게 된다. 특히, 출력과 가까운 노드에서의 문턱 전압의 상승은 전압 펌핑 이득을 매우 감소시키게 된다.

결국 출력 전압은 문턱 전압이 ΔV 와 같을 때 최대 값을 갖고, 펌핑 단을 늘려도 더 이상 증가하지 않게 된다. 이를 통해 몸체 효과에 의한 문턱 전압의 증가는 디스 전하 펌프 회로의 성능을 제한하는 가장 중요한 요소의 하나라는 것을 알 수 있다. 게다가 이 문제는 전원 전압이 낮아질수록 더욱 심각해질 것이다. 따라서, 낮은 전원 전압에서 플래시 메모리의 프로그램(PROGRAM) 동작과 삭제(ERASE) 동작에 필요한 높은 전압을 만들기가 어렵고, 실제로 매우 낮은 전원 전압(1.5V 이하)에서는 펌핑 단의 수가 아무리 많아도 필요한 전압을 생성하는 것이 불가능하다.

위에서 언급한 것처럼, 각 노드의 전압 변동 ΔV 는 수학적 1과 같이 표현된다. 수학적 1에서 ΔV 를 결정하는 가장 결정적인 변수는 입력 클럭의 진폭 V_{CK} 이다. 따라서 만약 전원 전압보다 높은 전압 진폭을 갖는 입력 클럭을 인가하면 ΔV 와 전압 펌핑 이득이 증가하게 되는 것이다.

도 3은 종래의 디스 전하 펌프를 적용시킨 고전압 생성장치의 블록구성도이다. 종래의 디스 전하 펌프를 이용한 고전압 생성장치는 링 발진기(301), 클럭 드라이버(302), 디스 전하 펌프(303)로 구성되는 전하 펌핑 회로이다. 이 회로에서 링 발진기(301)는 전하 펌핑 회로에 인가되는 입력 클럭을 만들어낸다. 일반적으로 링 발진기의 출력 클럭의 전압 진폭은 전원 전압과 같다. 여기서 링 발진기(301), 클럭 드라이버(302), 디스 전하 펌프(303)는 해당기술 분야의 당업자에게 이미 널리 알려진 공지의 기술이므로 이에 대한 상세한 설명은 생략토록 한다.

도 4는 본 발명에 따라 디스 전하 펌프를 이용한 고전압 생성장치의 바람직한 실시예의 블록구성도이다. 본 발명에 따른 디스 전하 펌프(404)를 이용한 고전압 생성장치는 고전압 클럭 생성기(HV Clock Generator)(403)를 도 3의 종래의 디스 전하 펌프(303)를 이용한 고전압 생성장치에 추가한 것과 같다. 링 발진기(Ring Oscillator)(401)의 출력 클럭은 고전압 클럭 생성기(403)를 통과하여 고전압 클럭으로 바뀌게 되고, 디스 전하 펌프(404)의 입력 클럭으로 인가된다. 여기서 참조번호 401, 402, 404는 도 3의 참조번호 301, 302, 303과 동일하다.

도 5는 본 발명에 따른 디스 전하 펌프를 이용한 고전압 생성방법의 바람직한 실시예의 순서도이다. 본 발명에 따른 디스 전하 펌프를 이용한 고전압 생성방법은 먼저 전원전압을 입력받아 위 전원전압과 같거나 작은 전압을 갖는 클럭신호 및 반전 클럭신호를 생성(501)시키고, 그 후 모스(MOS FET)가 교차연결된 부트스트랩 구조(출력신호 중 일부를 전단의 입력단에 레환시켜 주는 구조)를 갖는 고전압 클럭 생성기를 이용하여 상기 클럭신호와 반전클럭신호의 전압보다 2배의 전압을 갖는 제2클럭신호를 생성(502)시키고, 그 후 제2 클럭신호를 디스 전하 펌프에 입력시켜 상기 디스 전하 펌프로부터 고전압 출력을 얻는다(503).

도 6은 도 4의 고전압 클럭생성기(403)의 바람직한 실시예의 회로도이다.

본 발명에 따른 고전압 클럭생성기(403)는 증폭부(601) 및 출력부(602)를 포함한다.

증폭부(601)는 클럭신호 및 반전클럭신호를 클럭드라이버(402)로부터 제공받아 이를 기초로 증폭하는 기능을 수행한다. 상기 증폭부(601)는 제1 및 제2 엔형 모스(MN1, MN2), 제1 및 제2 커패시터(C1, C2)를 구비하며, 그 회로구성은 다음과 같다.

전원전압 V_{DD} 는 제1 및 제2 엔형 모스(MN1, MN2)의 드레인단자에 연결되어 있다. 그리고 위 제1 및 제2 엔형 모스(MN1, MN2)의 소스단자는 상대방의 게이트 단자에 교차하여 연결되어 있으면서, 위 제1 엔형 모스(MN1)의 소스단자는 제1 커패시터에 그리고 제2 엔형 모스(MN2)의 소스단자는 제2 커패시터와 각각 연결되어 있다.

클럭드라이버(402)로부터 클럭신호 **CK**가 입력되는 단자는 제1 커패시터의 양 단자 중 제1 엔형 모스(MN1)의 소스단자가 연결된 반대편의 단자에 연결되어 있다.

클럭드라이버(402)로부터 반전클럭신호 $\overline{\text{CK}}$ 가 입력되는 단자는 제2 커패시터(C2)의 양 단자 중 제2 엔형 모스(MN2)의 소스단자가 연결된 반대편의 단자에 연결되어 있다.

출력부(602)는 상기 증폭부(601)로부터 증폭된 신호를 제공받아, 이를 클럭신호 **CK**의 주기에 따라 하이와 로우 상태를 갖는 고전압 클럭신호 $\overline{\text{CK}}$ 를 출력시키는 기능을 수행한다. 상기 출력부(602)는 제3 엔형 모스(MN3), 피형 모스(MP1)를 구비하며, 그 회로구성은 다음과 같다.

피형 모스(MP3)의 드레인단자는 증폭부(601)의 제2 엔형 모스(MN2)의 소스단자와 연결되어 있으며, 클럭드라이버(402)로부터 클럭신호 **CK**가 입력되는 단자는 피형 모스(MP1)의 게이트 단자 및 제3 엔형 모스(MN3)의 게이트 단자에 연결되어 있다. 한편 피형 모스(MP1)의 소스단자는 제3 엔형 모스(MN3)의 소스 단자에 연결되어 있으면서 고전압 클럭신호 $\overline{\text{CK}}$ 를 출력하는 출력단자이다.

본 발명에 따른 고전압 발생 회로의 동작 특성을 검증하기 위해 HSPICE를 이용한 모의 실험을 하였다. 모의 실험에는 표준 1-poly 5-metal CMOS 0.18um 공정을 이용하였고, 도 7의 도표에 설계 변수가 요약되어 있다.

도 8은 도 7의 조건에 따라 본 발명에 따른 고전압 클럭 생성기의 출력전압의 진폭을 나타낸 그래프로, 고전압 클럭 생성기의 모의 실험 결과이다. 도 8은 입력 클럭에 대한 출력 클럭의 전압 진폭을 보여주는데, 출력 특성은 선형적이고 전압 이득은 1.34에서 1.68의 분포를 갖는다. 특히, 전압 이득은 낮은 전원 전압에서 더욱 높다. 따라서, 본 발명은 낮은 전원 전압에서 동작하는 디스 전하 펌프에 적용하기 더욱 적합하다는 것을 알 수 있다.

도 9는 20단을 갖는 디스 전하 펌프를 적용시킨 경우 본 발명에 따른 고전압 생성장치와 종래의 고전압 생성장치의 출력전압을 비교한 그래프로, 기존의 디스 전하 펌프와 본 발명에 따른 디스 전하 펌프의 모의 실험 결과이다. 도 9를 참조하여 보면 전원 전압이 1V에서 2V로 변할 때 출력 전압이 선형적으로 증가함을 알 수 있다. 그러나, 본 발명에 따른 디스 전하 펌프는 고전압 입력 클럭 때문에 기존의 디스 전하 펌프보다 훨씬 높은 전압을 만들어냄을 알 수 있다.

앞에서 언급한 것처럼, 디스 전하 펌프의 출력 전압은 전계효과 트랜지스터의 몸체 효과에 의한 펌핑 이득의 감소로 인해 펌핑 단이 증가해도 선형적으로 증가하지 않는다. 즉, 출력 전압은 펌핑 단의 증가에도 불구하고 포화될 것이다.

도 10은 전원전압이 1.5V 이하인 경우 본 발명에 따른 고전압 생성장치와 종래의 고전압 생성장치의 출력전압을 비교한 그래프로, 디스 전하 펌프의 펌핑단의 수에 따른 출력 전압의 변화를 보여준다. 모의 실험 결과 본 발명에 따른 디스 전하 펌프는 기존의 것에 비해 비교적 넓은 선형 구간을 갖는다. 따라서, 본 발명에 따른 디스 전하 펌프의 출력 전압의 최대 값은 기존의 디스 전하 펌프에 비해 훨씬 높을 것이다.

도 11은 본 발명에 따른 고전압 생성장치와 종래의 고전압 생성장치의 성능을 비교한 도표로, 본 발명에 따른 회로를 사용하면 적은 면적으로 높은 전력 효율을 얻을 수 있다.

발명의 효과

본 발명에 따르면 종래의 디스 전하 펌프의 출력 전압은 전계효과 트랜지스터의 몸체 효과에 의한 펌핑 이득의 감소로 인해 펌핑 단이 증가해도 선형적으로 증가하지 않고 출력 전압이 포화되는 문제점을 해결할 수 있는 효과가 있다.

즉, 본 발명에 따르면 기존의 클럭 대신 승압된 클럭을 이용하여 높은 전압 펌핑 이득과 높은 출력 전압을 얻을 수 있으며, 이에 대한 HSPICE 모의 실험 결과는 제안한 방법을 적용하면 몸체 효과에 의한 출력 전압의 제한 문제를 극복하고 기존의 디스 전하 펌프보다 훨씬 높은 출력 전압을 만들어 낼 수 있음을 보여준다.

또한 본 발명에 따르면 거의 모든 형태의 디스 전하 펌프에 적용할 수 있는 장점을 갖는다. 따라서, 본 발명은 저전압 플래시 메모리용 고전압 발생 회로를 만들기 위한 중요한 기술적 바탕이 될 것으로 기대된다.

도면의 간단한 설명

도 1은 일반적인 덤스 전하 펌프의 회로도이다.

도 2는 일반적인 덤스 전하 펌프 회로의 등가 변환 방법이다.

도 3은 종래의 덤스 전하 펌프를 적용시킨 고전압 생성장치의 블록구성도이다.

도 4는 본 발명에 따른 덤스 전하 펌프를 이용한 고전압 생성장치의 바람직한 실시예의 블록구성도이다.

도 5는 본 발명에 따른 덤스 전하 펌프를 이용한 고전압 생성방법의 바람직한 실시예의 순서도이다.

도 6은 도 4의 고전압 클럭생성기의 바람직한 실시예의 회로도이다.

도 7은 본 발명에 따른 고전압 생성장치의 성능을 시험한 조건을 나타낸 도표이다.

도 8은 도 7의 조건에 따라 본 발명에 따른 고전압 생성장치의 출력전압의 진폭을 나타낸 그래프이다.

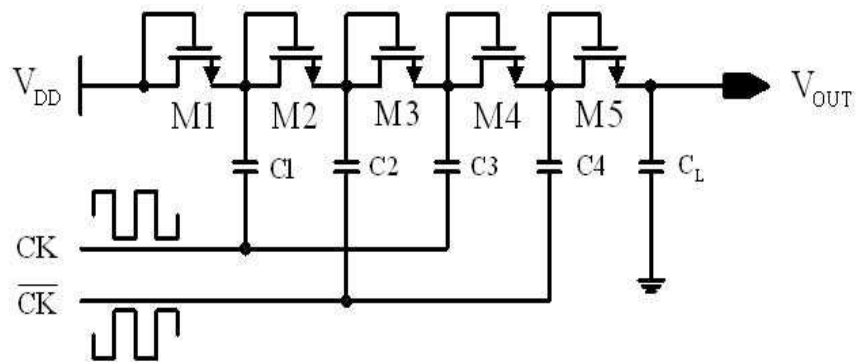
도 9는 20단을 갖는 덤스 전하 펌프를 적용시킨 경우 본 발명에 따른 고전압 생성장치와 종래의 고전압 생성장치의 출력전압을 비교한 그래프이다.

도 10은 전원전압이 1.5V 이하인 경우 본 발명에 따른 고전압 생성장치와 종래의 고전압 생성장치의 출력전압을 비교한 그래프이다.

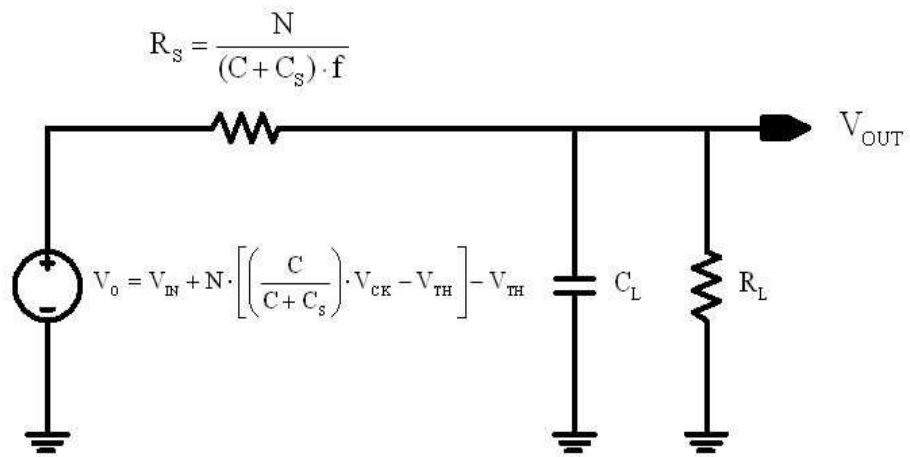
도 11은 본 발명에 따른 고전압 생성장치와 종래의 고전압 생성장치의 성능을 비교한 도표이다.

도면

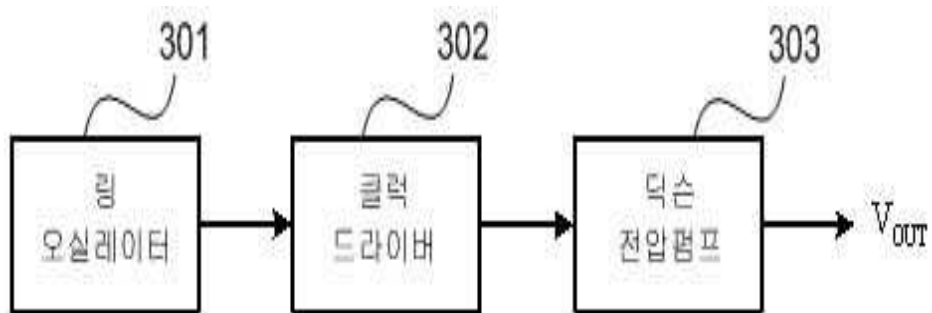
도면1



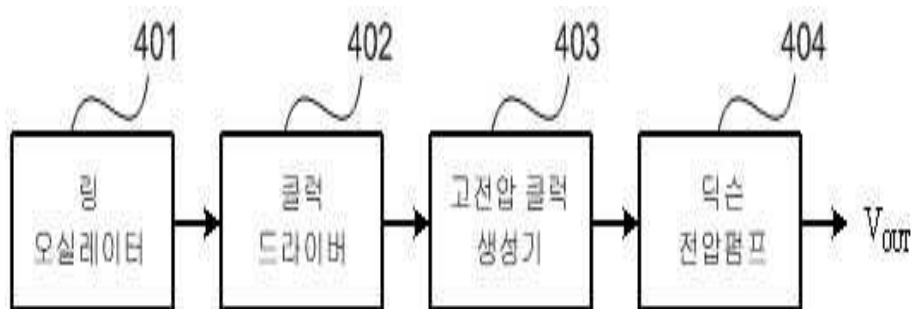
도면2



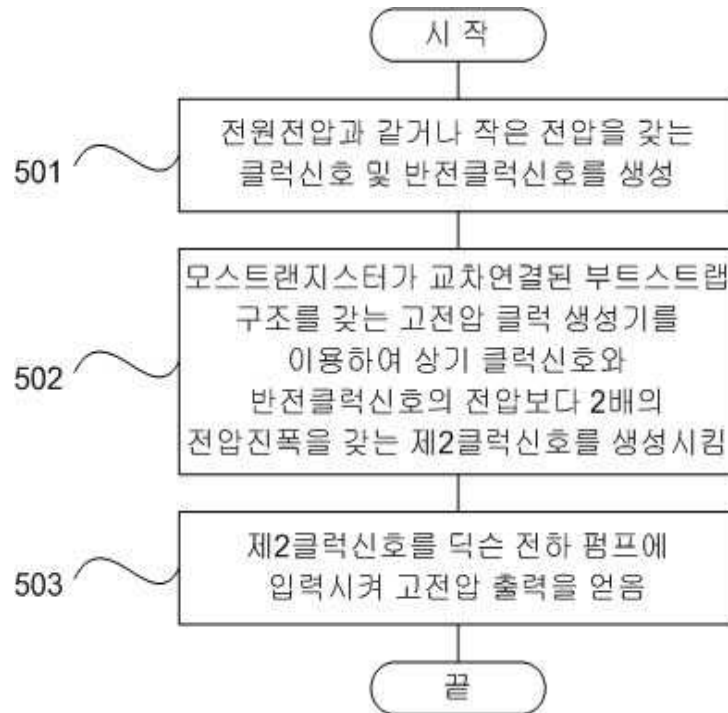
도면3



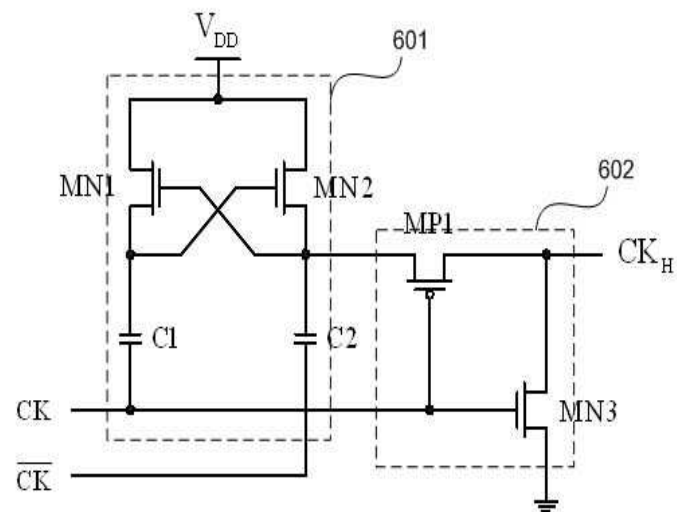
도면4



도면5



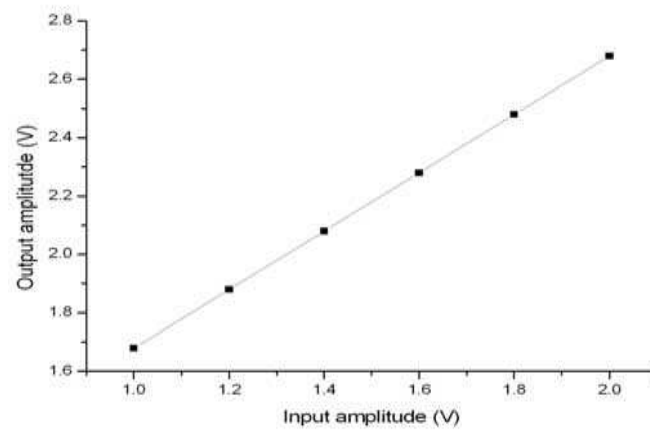
도면6



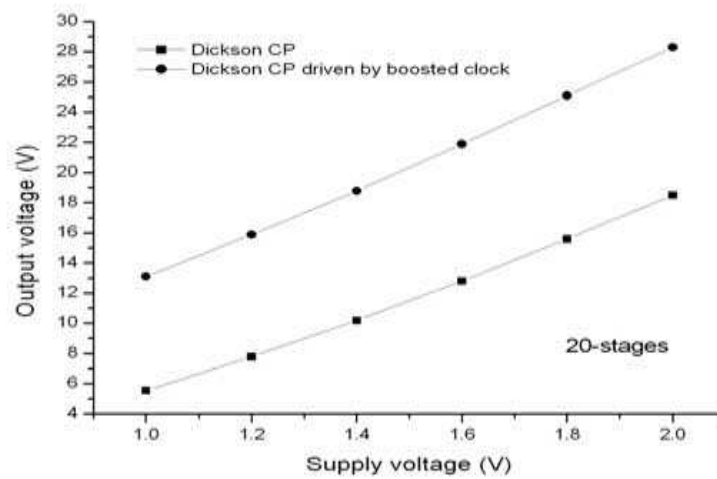
도면7

Parameter	Value
Process	1P 5M CMOS 0.18um process
Supply voltage, V_{DD}	1.8 V
Frequency, f	100 MHz
Threshold voltage, V_{TH}	0.47 V
Pumping capacitance, C_p	1 pF
Load capacitance, C_L	10 pF

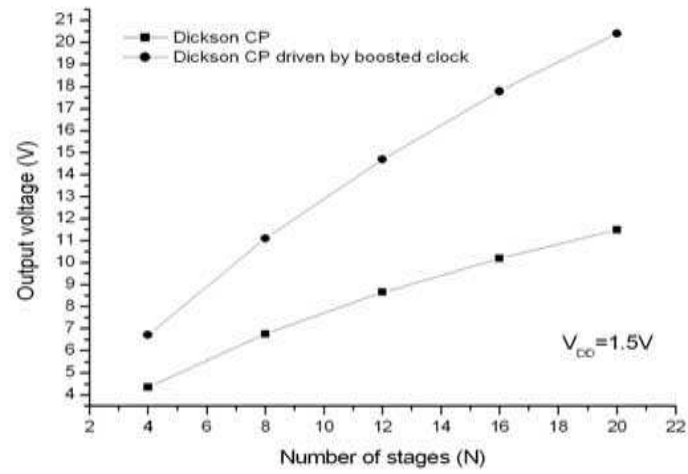
도면8



도면9



도면10



도면11

	Conventional	Proposed
Output voltage (V)	10.2	11.1
N (number of stages)	16	8
Number of capacitors	16	12
Number of transistors	17	17
Ideal Power efficiency (%)	40.0	82.2