

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 12 月 8 日(08.12.2011)

PCT

(10) 国際公開番号
WO 2011/152307 A1

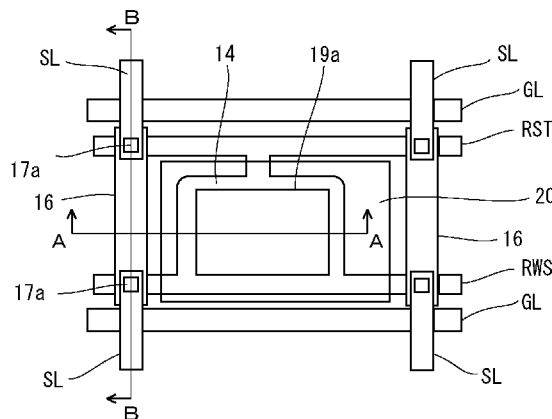
- (51) 国際特許分類:
G09F 9/30 (2006.01) G06F 3/041 (2006.01)
G02F 1/1333 (2006.01) G06F 3/042 (2006.01)
G02F 1/136 (2006.01) G09F 9/00 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2011/062204
- (22) 国際出願日: 2011 年 5 月 27 日(27.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-124913 2010 年 5 月 31 日(31.05.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 川崎 達也
(KAWASAKI Tatsuya). 相地 広西 (AICHI Hi-
roshi).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et
al.); 〒5300004 大阪府大阪市北区堂島浜 1 丁目
4 番 1 6 号 アクア堂島西館 インテリクス
国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: DISPLAY DEVICE EQUIPPED WITH TOUCH SENSOR

(54) 発明の名称: タッチセンサ付き表示装置

[図3]



(57) **Abstract:** Disclosed is a display device which comprises a photo detection element (D1) which is arranged in a pixel region (1), an opening (a through-hole) (19a) which is formed in an insulating film (19) that is placed above the photo detection element (D1), and a transparent electrode (20) which is formed in the opening (19a), wherein leakage failure rarely occurs between the transparent electrode (20) and other wiring line (SL). Specifically disclosed is a display device comprising an active matrix substrate (100) in which a first wiring line (SL) and a second wiring line (GL) are formed in a matrix shape, and a photo detection element (D1) which is arranged in a pixel region (1) in the active matrix substrate (100). The display device comprises a first insulating film (17) which is formed between the first wiring line (SL) and the second wiring line (GL), a second insulating film (19) which is formed on an upper layer of the first insulating film (17), and a transparent electrode (20) which is so formed as to enter a through-hole (19a) that is formed in the second insulating film (19) and above the photo detection element (D1). The first wiring line (SL) has a discontinuous section at a part adjacent to the photo detection element, and both ends of the discontinuous section are electrically connected to each other through a support wiring line (16) which is arranged in the same layer in which the second wiring line (GL) is arranged.

(57) 要約:

[続葉有]

WO 2011/152307 A1



MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

画素領域 (1) 内に設けられた光検出素子 (D 1) と、光検出素子 (D 1) の上方の絶縁膜 (1 9) に形成された開口部 (貫通孔) (1 9 a) と、当該開口部 (1 9 a) 内に形成された透明電極 (2 0) とを有し、この透明電極 (2 0) と他の配線 (S L) との間でリーク不良が生じにくい表示装置を提供する。第 1 の配線 (S L) と第 2 の配線 (G L) とがマトリクス状に形成されたアクティブマトリクス基板 (1 0 0) と、前記アクティブマトリクス基板 (1 0 0) の画素領域 (1) に設けられた光検出素子 (D 1) とを備えた表示装置は、第 1 の配線 (S L) と第 2 の配線 (G L) との間に形成された第 1 の絶縁膜 (1 7) と、第 1 の絶縁膜 (1 7) の上層に設けられた第 2 の絶縁膜 (1 9) と、前記光検出素子 (D 1) の上方において、前記第 2 の絶縁膜 (1 9) に形成された貫通孔 (1 9 a) 内に入り込むよう形成された透明電極 (2 0) とを備える。前記第 1 の配線 (S L) が、光検出素子に隣接する箇所に不連続部分を有し、当該不連続部分の両端が、第 2 の配線 (G L) と同層に設けられた補助配線 (1 6) によって電氣的に接続される。

明 細 書

発明の名称： タッチセンサ付き表示装置

技術分野

[0001] 本発明は、光検出素子を画素内に有する表示装置に関する。

背景技術

[0002] 従来、例えばフォトダイオード等の光検出素子を画素内に備えたことにより、ディスプレイに近接した物体の画像を取り込むことが可能な、画像取り込み機能付の表示装置が提案されている。このような画像取り込み機能付き表示装置は、双方向通信用表示装置や、タッチパネル機能付き表示装置としての利用が想定されている。

[0003] 従来の画像取り込み機能付き表示装置では、アクティブマトリクス基板において、信号線および走査線、TFT（Thin Film Transistor）、画素電極等の周知の構成要素を半導体プロセスによって形成する際に、同時に、フォトダイオードを画素内に作り込む。このような従来の画像取り込み機能付き表示装置は、例えば特開2009-135185号公報等の開示されている。

[0004] 前記特許文献に開示された表示装置は、いわゆるPIN型薄膜ダイオード構造の光センサ素子を備えている。図12は、前記特許文献に開示された光センサ素子の構成を示す断面図である。図12に示すように、前記特許文献に開示された従来の光センサ素子Sにおいては、基板91上に、例えばアルミニウムのような光反射性材料からなる第1制御電極G1が配線され、これを覆う状態でゲート絶縁膜95が設けられている。ゲート絶縁膜95上には、第1制御電極G1を跨ぐ状態でポリシリコンや酸化物半導体などからなる半導体層97がパターン形成されている。半導体層97には、受光部（i型領域）97iを挟む状態で、p型領域97pとn型領域97nとが設けられている。

[0005] さらに、半導体層97を覆う状態で光透過性材料からなる層間絶縁膜99

が設けられ、層間絶縁膜 99 上には、接続孔を介して p 型領域 97 p や n 型領域 97 n に接続された各配線 101 が設けられている。また、これらの配線 101 を覆う状態で、層間絶縁膜 99 上には光透過性材料からなる平坦化絶縁膜 103 が設けられている。平坦化絶縁膜 103 には、受光部 97 i 上を広く開口して層間絶縁膜 99 を底面とした開口窓 103 a が設けられている。

[0006] 平坦化絶縁膜 103 上には、第 2 制御電極 G2 が設けられている。第 2 制御電極 G2 は、開口窓 103 a の底部において、層間絶縁膜 99 を介して受光部 97 i に対向配置されている。これにより、半導体層 97 の両側面には、ゲート絶縁膜 95 および層間絶縁膜 99 のそれぞれを介して、i 型領域 97 i を挟む状態で第 1 制御電極 G1 および第 2 制御電極 G2 が配置された状態となっている。これらの第 1 制御電極 G1 および第 2 制御電極 G2 は、電氣的に独立して配線されている。

[0007] 上記従来の構成においては、第 1 制御電極 G1 および第 2 制御電極 G2 に異なる電位を与えることにより、i 型領域での受光によって発生した正孔－電子対を、i 型領域の膜厚方向に分離させることができる。これにより、i 型領域内の膜厚方向に正孔と電子とを分離させた状態で、正孔をアノード（p 型領域）方向に、電子をカソード（n 型領域）方向に移動させることができる。このため、受光によって発生した電子／正孔対が、i 型領域内を移動する際に再結合する確率が小さくなり、電流の取出効率が向上する。

[0008] しかし、上記の特開 2009-135185 号公報に開示された従来の構成においては、図 12 に表れているように、p 型領域 97 p および n 型領域 97 n にそれぞれ接続されている配線 101 p, 101 n と、開口窓 103 a の底部に位置する第 2 制御電極 G2 とが、同じ層にかつ隣接して存在する。このため、製造工程における配線不良や異物混入等が原因となって、配線 101 p, 101 n と第 2 制御電極 G2 との間でリーク不良が発生する可能性がある。

発明の開示

- [0009] 本発明は、上記の課題を鑑み、光検出素子を画素内に有する表示装置であって、特に、光検出素子の上方の絶縁膜に形成された開口部と、当該開口部に形成された透明電極とを有する構成において、この透明電極と他の配線との間でリーク不良が生じにくい構成を実現することを目的とする。
- [0010] 上記の目的を達成するために、ここに開示された表示装置は、第1の配線と第2の配線とがマトリクス状に形成されたアクティブマトリクス基板と、前記アクティブマトリクス基板の画素領域に設けられた光検出素子と、前記第1の配線と第2の配線との間に形成された第1の絶縁膜と、前記第1の絶縁膜の上層に設けられた第2の絶縁膜と、前記光検出素子の上方において、前記第2の絶縁膜に形成された貫通孔内に入り込むよう形成された透明電極とを備え、前記第1の配線が、前記光検出素子に隣接する箇所に不連続部分を有し、当該不連続部分の両端が、前記第2の配線と同層に設けられた補助配線によって電氣的に接続された構成である。
- [0011] 上記の構成によれば、光検出素子を画素領域内に備えた表示装置であって、光検出素子の上方の絶縁膜に形成された開口部（貫通孔）と、当該開口部に形成された透明電極とを有し、この透明電極と他の配線との間でリーク不良が生じにくい表示装置を提供できる。

図面の簡単な説明

- [0012] [図1] 図1は、本発明の一実施形態にかかる表示装置の概略構成を示すブロック図である。
- [図2] 図2は、本発明の一実施形態にかかる表示装置における一画素の構成を示す等価回路図である。
- [図3] 図3は、本実施形態にかかる表示装置における光センサ部分の概略構成を示す平面図である。
- [図4] 図4は、図3に示したA-A線における断面図である。
- [図5] 図5は、図3に示したB-B線における断面図である。
- [図6] 図6は、本実施形態にかかる表示装置における光センサ部分の概略構成を示す平面図である。

[図7] 図7は、図6に示したA-A線における断面図である。

[図8] 図8は、本実施形態にかかる表示装置における光センサ部分の概略構成を示す平面図である。

[図9] 図9は、図8に示したA-A線における断面図である。

[図10] 図10は、図8に示したB-B線における断面図である。

[図11] 図11は、図8に示したC-C線における断面図である。

[図12] 図12は、従来の光センサ素子の構成を示す断面図である。

発明を実施するための形態

[0013] 本発明の一実施形態にかかる表示装置は、第1の配線と第2の配線とがマトリクス状に形成されたアクティブマトリクス基板と、前記アクティブマトリクス基板の画素領域に設けられた光検出素子と、前記第1の配線と第2の配線との間に形成された第1の絶縁膜と、前記第1の絶縁膜の上層に設けられた第2の絶縁膜と、前記光検出素子の上方において、前記第2の絶縁膜に形成された貫通孔内に入り込むよう形成された透明電極とを備え、前記第1の配線が、前記光検出素子に隣接する箇所に不連続部分を有し、当該不連続部分の両端が、前記第2の配線の他方と同層に設けられた補助配線によって電氣的に接続されている構成である。

[0014] この構成によれば、光検出素子の構成部材と第1の配線とが同層にある場合、光検出素子に隣接する箇所に第1の配線の不連続部分を形成することにより、当該構成部材と第1の配線との間のリーク不良を回避することができる。また、この不連続部分の両端は、第2の配線の他方と同層に設けられた補助配線によって電氣的に接続されるので、第1の配線の導通を維持することができる。

[0015] 上記の構成において、例えば、前記第1の配線がソース配線であり、前記第2の配線がゲート配線であることが好ましい。あるいは、前記第1の配線がゲート配線であり、前記第2の配線がソース配線である構成としても良い。

[0016] あるいは、前記第1の配線が、前記光検出素子へ信号を供給するセンサ駆

動配線であり、前記第 2 の配線がソース配線である構成としても良い。前記センサ駆動配線は、例えば、前記光検出素子へリセット信号を供給するリセット配線、前記光検出素子へ読み出し信号を供給する読み出し配線、または、前記光検出素子へ定電位信号を供給する電源配線である。

[0017] また、前記補助配線の幅が前記第 1 の配線の幅よりも大きいことが好ましい。不連続箇所における配線抵抗を小さくすることができるからである。

[0018] また、本実施形態にかかる表示装置は、例えば、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた液晶表示装置とすることができる。

[実施の形態]

[0019] 以下、本発明のより詳細な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表示装置に適用可能である。なお、本発明にかかる表示装置は、画像取り込み機能を有することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置等としての利用が想定される。

[0020] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したものではない。

[0021] [第 1 の実施形態]

最初に、図 1 および図 2 を参照しながら、本発明の第 1 の実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板の構成について説明する。

[0022] 図1は、本発明の一実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板100の概略構成を示すブロック図である。図1に示すように、アクティブマトリクス基板100は、ガラス基板上に、画素領域1、ディスプレイゲートドライバ2、ディスプレイソースドライバ3、センサカラム（column）ドライバ4、センサロウ（row）ドライバ5、バッファアンプ6、FPCコネクタ7を少なくとも備えている。また、画素領域1内の光検出素子（後述）で取り込まれた画像信号を処理するための信号処理回路8が、前記FPCコネクタ7とFPC9とを介して、アクティブマトリクス基板100に接続されている。

[0023] なお、アクティブマトリクス基板100上の上記の構成部材は、半導体プロセスによってガラス基板上にモノリシックに形成することも可能である。あるいは、上記の構成部材のうちのアンプやドライバ類を、例えばCOG（Chip On Glass）技術等によってガラス基板上に実装した構成としても良い。あるいは、図1においてアクティブマトリクス基板100上に示した上記の構成部材の少なくとも一部が、FPC9上に実装されることも考えられる。アクティブマトリクス基板100は、全面に対向電極が形成された対向基板（図示せず）と貼り合わされ、その間隙に液晶材料が封入される。

[0024] 画素領域1は、画像を表示するために、複数の画素が形成された領域である。本実施形態では、画素領域1における各画素内には、画像を取り込むための光センサが設けられている。図2は、アクティブマトリクス基板100の画素領域1における画素と光センサとの配置を示す等価回路図である。図2の例では、1つの画素が、R（赤）、G（緑）、B（青）の3色の絵素（「サブ画素」とも呼ばれる）によって形成され、この3絵素で構成される1つの画素内に、1つの光センサが設けられている。画素領域1は、M行×N列のマトリクス状に配置された画素と、同じくM行×N列のマトリクス状に配置された光センサとを有する。なお、上述のとおり、絵素数は、 $M \times 3N$ である。

- [0025] このため、図2に示すように、画素領域1は、画素用の配線として、マトリクス状に配置されたゲート線GLおよびソース線COLを有している。ゲート線GLは、ディスプレイゲートドライバ2に接続されている。ソース線COLは、ディスプレイソースドライバ3に接続されている。なお、ゲート線GLは、画素領域1内にM行設けられている。以下、個々のゲート線GLを区別して説明する必要がある場合は、 GL_i ($i = 1 \sim M$) のように表記する。一方、ソース線COLは、上述のとおり、1つの画素内の3絵素にそれぞれ画像データを供給するために、1画素につき3本ずつ設けられている。ソース線COLを個々に区別して説明する必要がある場合は、 COL_{rj} , COL_{gj} , COL_{bj} ($j = 1 \sim N$) のように表記する。
- [0026] ゲート線GLとソース線COLとの交点には、画素用のスイッチング素子として、薄膜トランジスタ(TFT)M1が設けられている。なお、図2では、赤色、緑色、青色のそれぞれの絵素に設けられている薄膜トランジスタM1を、 $M1_r$, $M1_g$, $M1_b$ と表記している。薄膜トランジスタM1のゲート電極はゲート線GLへ、ソース電極はソース線COLへ、ドレイン電極は図示しない画素電極へ、それぞれ接続されている。これにより、図2に示すように、薄膜トランジスタM1のドレイン電極と対向電極(VCOM)との間に液晶容量LCが形成される。また、ドレイン電極とTFTCOMとの間に補助容量LSが形成されている。
- [0027] 図2において、1本のゲート線 GL_i と1本のソース線 COL_{rj} との交点に接続された薄膜トランジスタ $M1_r$ によって駆動される絵素は、この絵素に対応するように赤色のカラーフィルタが設けられ、ソース線 COL_{rj} を介してディスプレイソースドライバ3から赤色の画像データが供給されることにより、赤色の絵素として機能する。また、ゲート線 GL_i とソース線 COL_{gj} との交点に接続された薄膜トランジスタ $M1_g$ によって駆動される絵素は、この絵素に対応するように緑色のカラーフィルタが設けられ、ソース線 COL_{gj} を介してディスプレイソースドライバ3から緑色の画像データが供給されることにより、緑色の絵素として機能する。さらに、ゲート

線 GL_i とソース線 COL_bj との交点に接続された薄膜トランジスタ $M1b$ によって駆動される絵素は、この絵素に対応するように青色のカラーフィルタが設けられ、ソース線 COL_bj を介してディスプレイソースドライバ3から青色の画像データが供給されることにより、青色の絵素として機能する。

[0028] なお、図2の例では、光センサは、画素領域1において、1画素（3絵素）に1つの割合で設けられている。ただし、画素と光センサの配置割合は、この例のみに限定されず、任意である。例えば、1絵素につき1つの光センサが配置されていても良いし、複数画素に対して1つの光センサが配置された構成であっても良い。

[0029] 光センサは、図2に示すように、光検出素子としてのフォトダイオード $D1$ 、コンデンサ $C1$ 、トランジスタ $M2$ から構成される。図2の例では、ソース線 COL_r が、センサカラムドライバ4から定電圧 V_{DD} を光センサへ供給するための配線 VDD を兼ねている。また、ソース線 COL_g が、センサ出力用の配線 OUT を兼ねている。

[0030] フォトダイオード $D1$ のアノードには、リセット信号を供給するための配線 RST が接続されている。フォトダイオード $D1$ のカソードには、コンデンサ $C1$ の電極の一方と、トランジスタ $M2$ のゲートが接続されている。トランジスタ $M2$ のドレインは配線 VDD に接続され、ソースは配線 OUT に接続されている。図2において、フォトダイオード $D1$ のカソードと、コンデンサ $C1$ の電極の一方と、トランジスタ $M2$ のゲートとの接続点を INT と表記した。コンデンサ $C1$ の電極の他方は、読み出し信号を供給するための配線 RWS に接続されている。配線 RST 、 RWS は、センサロウドライバ5に接続されている。これらの配線 RST 、 RWS は1行毎に設けられているので、以降、各配線を区別する必要がある場合は、 RST_i 、 RWS_i （ $i = 1 \sim M$ ）のように表記する。

[0031] センサロウドライバ5は、所定の時間間隔 t_{row} で、図2に示した配線 RST_i と RWS_i との組を順次選択していく。これにより、画素領域1におい

て信号電荷を読み出すべき光センサの行（row）が順次選択される。

[0032] なお、図2に示すように、配線OUTの端部には、絶縁ゲート型電界効果トランジスタM3のドレインが接続されている。また、このトランジスタM3のドレインには、出力配線SOUTが接続され、トランジスタM3のドレインの電位 V_{SOUT} が、光センサからの出力信号としてセンサカラムドライバ4へ出力される。トランジスタM3のソースは、配線VSSに接続されている。トランジスタM3のゲートは、参照電圧配線VBを介して、参照電圧電源（図示せず）に接続されている。

[0033] なお、図1においては、センサカラムドライバ4がディスプレイソースドライバ3とは別個に設けられた構成を例示したが、ディスプレイソースドライバ3がセンサカラムドライバ4の機能を兼ねる構成としても良い。

[0034] 次に、本実施形態の光センサの構成について説明する。図3は、本実施形態にかかる表示装置における光センサ部分の概略構成を示す平面図である。図4は、図3に示したA-A線における断面図である。図5は、図3に示したB-B線における断面図である。

[0035] 図3および図4に示すように、本実施形態にかかる光センサは、ガラス基板11の表面に、遮光膜12を備えている。遮光膜12は、例えばモリブデン薄膜等で形成され、バックライトからの直接光がフォトダイオードD1の受光部に入射することを防止する。ガラス基板11および遮光膜12の上層には、ベースコート絶縁膜13が形成されている。ベースコート絶縁膜13の材料としては、例えば、SiNOまたはSiO₂等を用いることができる。

[0036] ベースコート絶縁膜13の上層に、フォトダイオードD1を構成する半導体層14が島状に形成される。半導体層14は、例えば、連続粒界結晶シリコン（CGS）、低温ポリシリコン（LPS）、または、アモルファスシリコン（a-Si）等で形成することができるが、これらに限らず、その他の半導体材料を用いても良い。半導体層14は、ここでは図示を省略しているが、イオンドーピングにより、p層、i層、n層が面方向に順に形成されている。これにより、本実施形態のフォトダイオードD1は、いわゆるラテラ

ル構造のPIN型フォトダイオードとして構成されている。また、ベースコート絶縁膜13の上層に、配線RST、RWSが形成されている。

[0037] 半導体層14の上層には、ゲート絶縁膜15が形成されている。ゲート絶縁膜15としては、例えば、SiO₂膜またはSiN膜を用いることができる。ゲート絶縁膜15は、SiO₂膜とSiN膜との二層構造であっても良い。

[0038] ゲート絶縁膜15の上層であって、半導体層14および後に説明する透明電極20と基板法線方向において重ならない箇所に、ソース補助配線16が形成されている。ソース補助配線16は、ゲート線GLおよび図3および図4には表れていないTFEのゲート電極と同じ材料により、ゲート線GLおよびゲート電極と同層に形成される。すなわち、ゲート線GLおよびゲート電極並びにソース補助配線16は、材料となる金属膜を成膜後にパターンエッチングすることによって、同時に形成される。ゲート線GLおよびゲート電極並びにソース補助配線16は、例えば、タングステン(W)と窒化タンタル(TaN)の二層構造とすることが好ましい。ゲート線GLおよびゲート電極並びにソース補助配線16の他の例としては、例えば、モリブデンタングステン合金(MoW)、チタニウムとアルミニウムの二層構造などが挙げられる。

[0039] ソース補助配線16およびゲート絶縁膜15の上層には、バッファ膜17(第1絶縁膜)が設けられている。バッファ膜17は、SiO₂膜とSiN膜との二層構造、または、二層のSiO₂膜の間にSiN膜を挟んだ三層構造とすることが好ましい。バッファ膜17は、SiO₂膜またはSiN膜の単層構造としても良い。

[0040] バッファ膜17の上層には、ソース線SLが形成されている。ソース線SLの具体例としては、これらにのみ限定されないが、例えば、二層のチタニウムの間にアルミニウムを挟んだ三層構造、チタニウムとアルミニウムとの二層構造、二層の窒化チタン(TiN)の間にアルミニウムを挟んだ三層構造、二層のモリブデンの間にアルミナオジウム合金(Al-Nd)を挟んだ三層構造、または、二層のモリブデンの間にアルミニウムを挟んだ三層構造

、等が挙げられる。

[0041] なお、図3および図5に示されているように、ソース線S_Lは、フォトダイオードD₁に隣接する箇所において不連続となっており、ソース線S_Lの不連続箇所を、ソース補助配線16が代替している。ソース線S_Lとソース補助配線16とは、バッファ膜17を挟んで異なる層にそれぞれ形成されている。したがって、ソース線S_Lの延伸方向におけるソース補助配線16の両端は、バッファ膜17を貫通するコンタクトホール17aを介して、ソース線S_Lに接続されている。

[0042] バッファ膜17およびソース線S_Lの上層には、後述の透明電極20とソース線S_Lとを絶縁するために、層間絶縁膜19（第2絶縁膜）が設けられている。層間絶縁膜19は、例えばアクリル系樹脂等によって形成されている。なお、層間絶縁膜19の一部には、これを貫通するコンタクトホール19aが設けられている。

[0043] 層間絶縁膜19の表面には透明電極20が設けられている。透明電極20の材料としては、例えばインジウム錫酸化物（ITO）からなる透明電極膜や、酸化インジウムおよび酸化亜鉛からなる透明電極膜等を用いることができる。

[0044] 透明電極20は、フォトダイオードD₁の特性と信頼性を高めるために、半導体層14のi層上に設けられる。フォトダイオードD₁の感度を高めるために、コンタクトホール19aの底面積は広く確保されることが好ましい。ただし、前述の従来の構成と異なり、本実施形態の構成では、フォトダイオードD₁に隣接する箇所においてソース線S_Lが不連続となっており、ソース線S_Lの不連続箇所を、ソース補助配線16が代替している。つまり、コンタクトホール19aの底面と同じ層（すなわちバッファ膜17の表面）において、フォトダイオードD₁に隣接する箇所には、ソース線S_Lが存在しない。したがって、従来の構成とは異なり、コンタクトホール19aの底面に配置されている透明電極20がソース線S_Lとの間でリーク不良を生じるという事態は回避される。

[0045] [第 2 の実施形態]

本発明の第 2 の実施形態について以下に説明する。なお、第 1 の実施形態で説明した構成と同様の構成については、同じ参照符号を付記し、詳細な説明は省略する。

[0046] 図 6 は、本実施形態にかかる表示装置における光センサ部分の概略構成を示す平面図である。図 7 は、図 6 に示した A-A 線における断面図である。

[0047] 本実施形態にかかる構成は、ソース補助配線 16 の幅が、ソース線 S L よりも広く形成されている点において、第 1 の実施形態と異なっている。このように、ソース補助配線 16 の幅を広く形成することにより、コンタクトホール 19 a の底面に配置されている透明電極 20 がソース線 S L との間でリーク不良を生じるという事態を回避できると共に、ソース補助配線 16 の配線抵抗を低減させることができるという利点もある。なお、本実施形態にかかるソース補助配線 16 の幅は、ソース線 S L の材料とソース補助配線 16 の材料との抵抗比の差異や、ソース補助配線 16 の長さ等に応じて適宜に決定すれば良い。

[0048] [第 3 の実施形態]

本発明の第 3 の実施形態について以下に説明する。なお、第 1 の実施形態で説明した構成と同様の構成については、同じ参照符号を付記し、詳細な説明は省略する。

[0049] 図 8 は、本実施形態にかかる表示装置における光センサ部分の概略構成を示す平面図である。図 9 は、図 8 に示した A-A 線における断面図である。図 10 は、図 8 に示した B-B 線における断面図である。図 11 は、図 8 に示した C-C 線における断面図である。

[0050] 図 8 ～図 11 に示すように、本実施形態にかかる構成は、フォトダイオード D 1 に隣接する箇所において、ソース線 S L だけでなくゲート線 G L も不連続部分を有する。ソース線 S L の不連続箇所は、第 1 の実施形態と同様に、ゲート線 G L と同層に設けられたソース補助配線 16 が代替している。一方、ゲート線 G L の不連続箇所は、ソース線 S L と同じ材料によってソース

線S Lと同層に形成されたゲート補助配線26によって代替されている。ソース線S Lおよびゲート補助配線26は、材料となる金属膜を成膜後にパターンエッチングすることによって、同時に形成することができる。

[0051] ゲート線G Lとゲート補助配線26とは、バッファ膜17を挟んで異なる層にそれぞれ形成されている。したがって、ゲート線G Lの延伸方向におけるゲート補助配線26の両端は、バッファ膜17を貫通するコンタクトホール17bを介して、ゲート線G Lに接続されている。

[0052] このように、本実施形態の構成においては、第1の実施形態と同様に、コンタクトホール19aの底面と同じ層（すなわちバッファ膜17の表面）において、光センサに隣接する箇所には、ソース線S Lが存在しない。したがって、従来の構成とは異なり、コンタクトホール19aの底面に配置されている透明電極20がソース線S Lとの間でリーク不良を生じるという事態は回避される。また、光センサに隣接する箇所において、ゲート線G Lも不連続とすることにより、半導体層14とゲート線G L間でのリーク不良を回避することができる。

[0053] なお、この実施形態においては、フォトダイオードD1に隣接する箇所のゲート線G Lが不連続である例を示したが、ゲート線G Lよりも、図2に示したリセット配線RSTや読み出し配線RWSの方がフォトダイオードD1に近接している場合は、リセット配線RSTや読み出し配線RWSを不連続とし、その不連続箇所を、ソース線S Lと同層に設けられたゲート補助配線26によって接続する構成とすることが好ましい。また、リセット配線RSTや読み出し配線RWSの他にも、定電位を供給するための各種の電源配線がフォトダイオードD1に隣接している場合は、その電源配線においてフォトダイオードD1に隣接する箇所を不連続とし、その不連続箇所の両端をゲート補助配線26によって接続する構成とすることが好ましい。

[0054] また、本実施形態の構成において、第2の実施形態と同様に、ソース補助配線16の幅をソース線S Lよりも太くすることが好ましい。また、ゲート補助配線26の幅を、不連続箇所を有する配線（ゲート線G L、リセット配

線 R S T、または読み出し配線 RWS) よりも太くすることも、同様に好ましい。

産業上の利用可能性

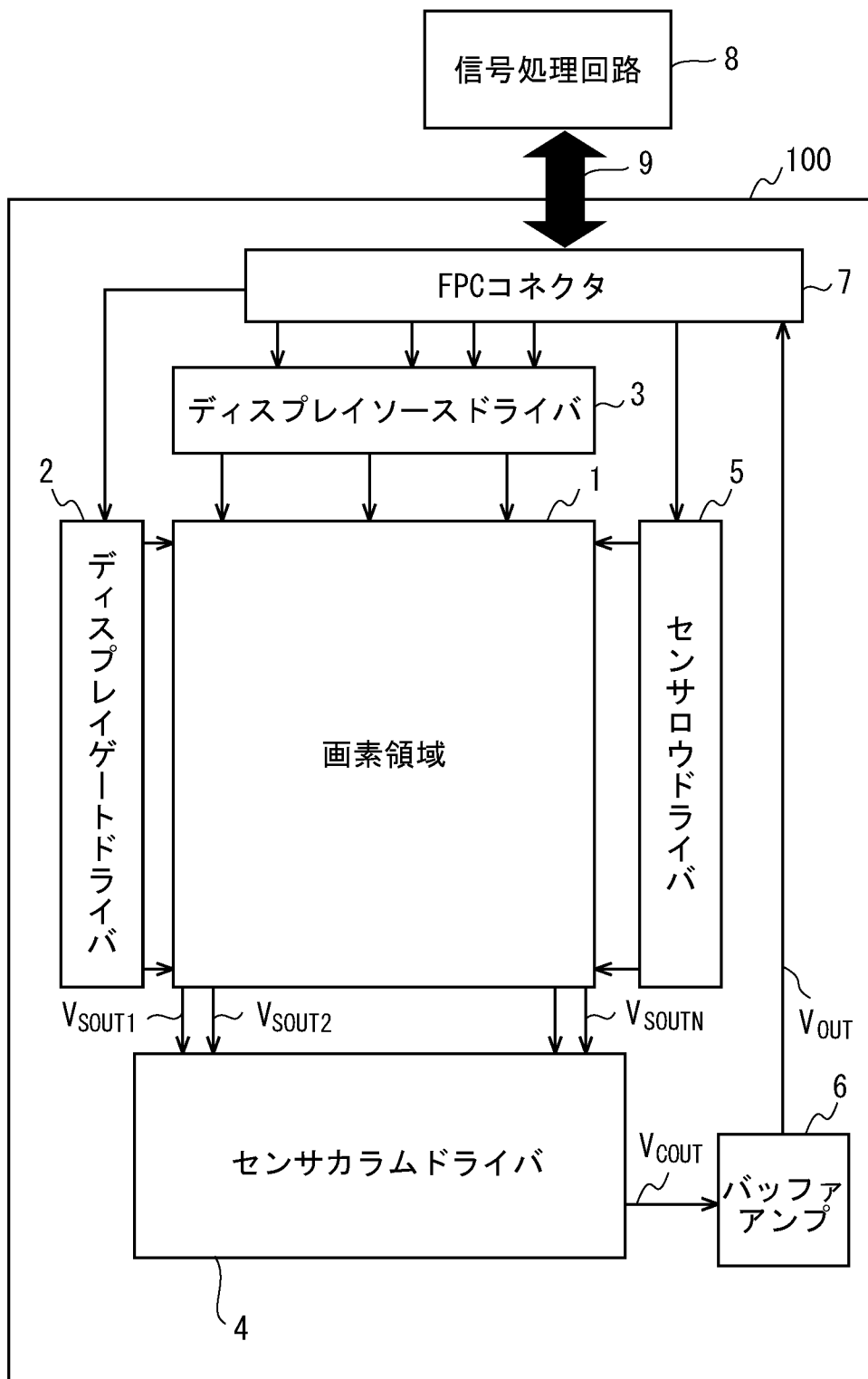
[0055] 本発明は、光センサを画素内に有する画像取り込み機能付きの表示装置として、産業上の利用が可能である。

請求の範囲

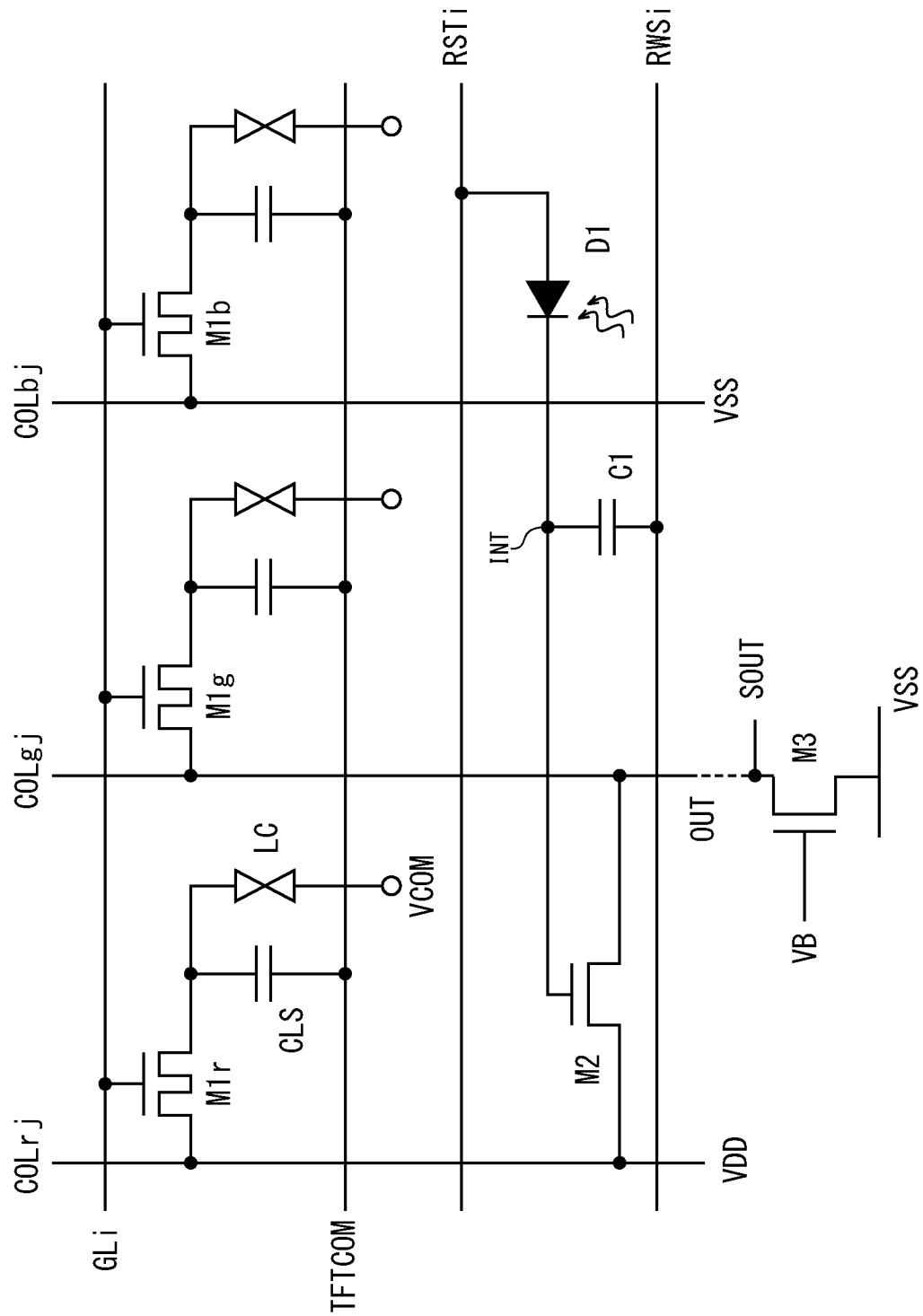
- [請求項1] 第1の配線と第2の配線とがマトリクス状に形成されたアクティブマトリクス基板と、
前記アクティブマトリクス基板の画素領域に設けられた光検出素子と、
前記第1の配線と第2の配線との間に形成された第1の絶縁膜と、
前記第1の絶縁膜の上層に設けられた第2の絶縁膜と、
前記光検出素子の上方において、前記第2の絶縁膜に形成された貫通孔内に入り込むよう形成された透明電極とを備え、
前記第1の配線が、前記光検出素子に隣接する箇所に不連続部分を有し、当該不連続部分の両端が、前記第2の配線と同層に設けられた補助配線によって電氣的に接続されている、表示装置。
- [請求項2] 前記第1の配線がソース配線であり、
前記第2の配線がゲート配線である、請求項1に記載の表示装置。
- [請求項3] 前記第1の配線がゲート配線であり、
前記第2の配線がソース配線である、請求項1に記載の表示装置。
- [請求項4] 前記第1の配線が、前記光検出素子へ信号を供給するセンサ駆動配線であり、
前記第2の配線がソース配線である、請求項1に記載の表示装置。
- [請求項5] 前記センサ駆動配線が、前記光検出素子へリセット信号を供給するリセット配線である、請求項4に記載の表示装置。
- [請求項6] 前記センサ駆動配線が、前記光検出素子へ読み出し信号を供給する読み出し配線である、請求項4に記載の表示装置。
- [請求項7] 前記センサ駆動配線が、前記光検出素子へ定電位信号を供給する電源配線である、請求項4に記載の表示装置。
- [請求項8] 前記補助配線の幅が前記第1の配線の幅よりも大きい、請求項1～7のいずれか一項に記載の表示装置。
- [請求項9] 前記アクティブマトリクス基板に対向する対向基板と、

前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた、請求項 1 ～ 8 のいずれか一項に記載の表示装置。

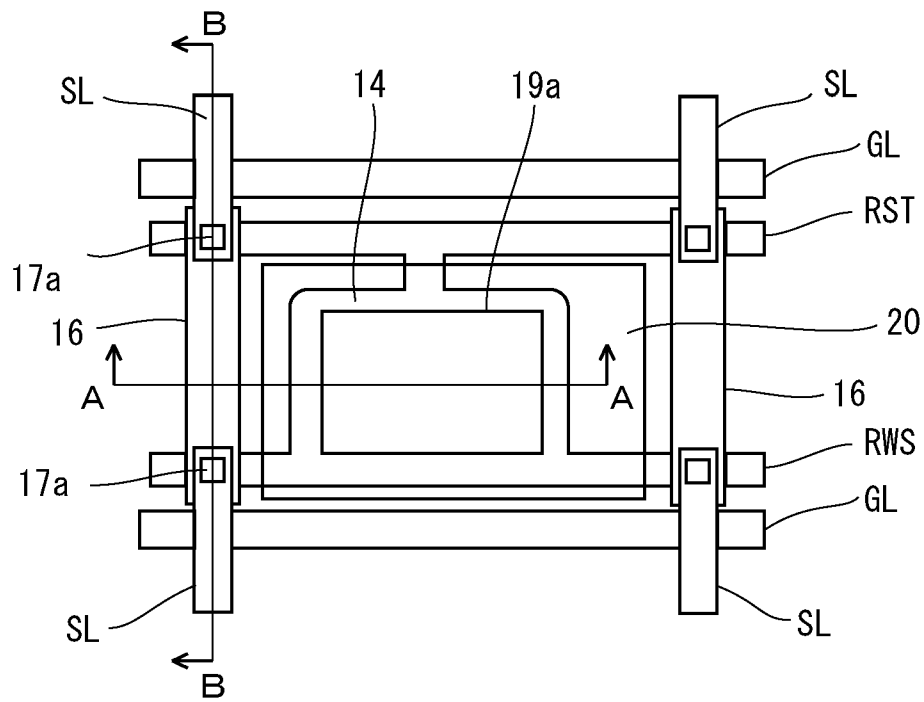
[図1]



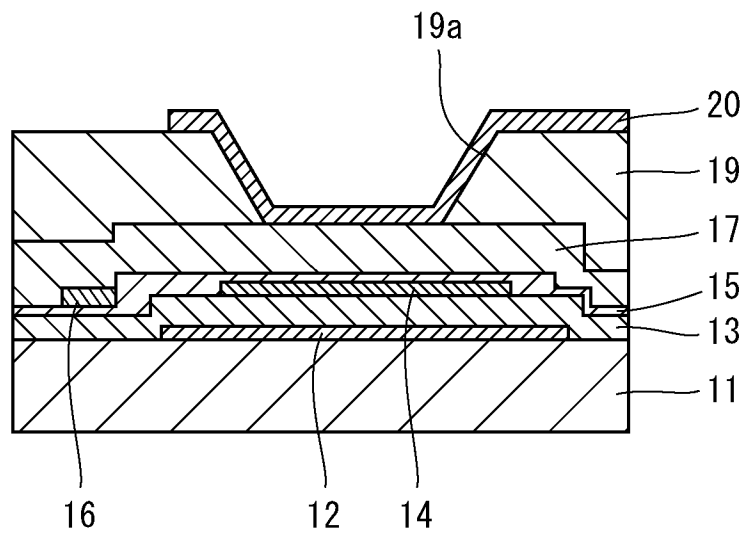
[図2]



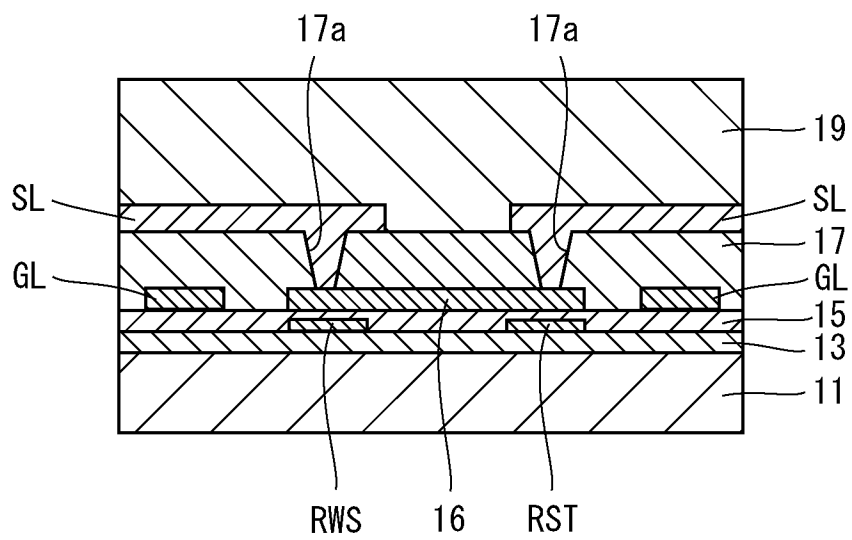
[図3]



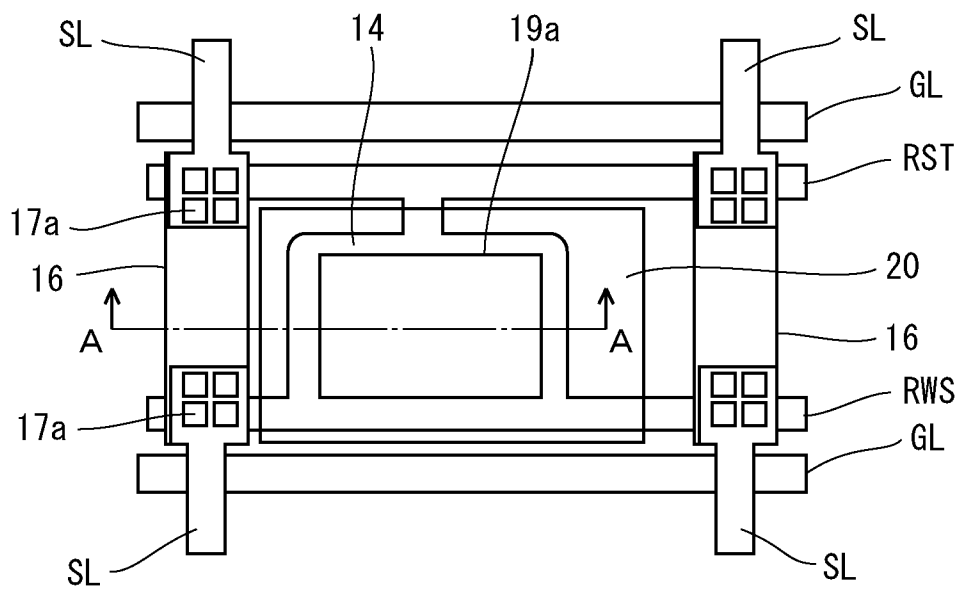
[図4]



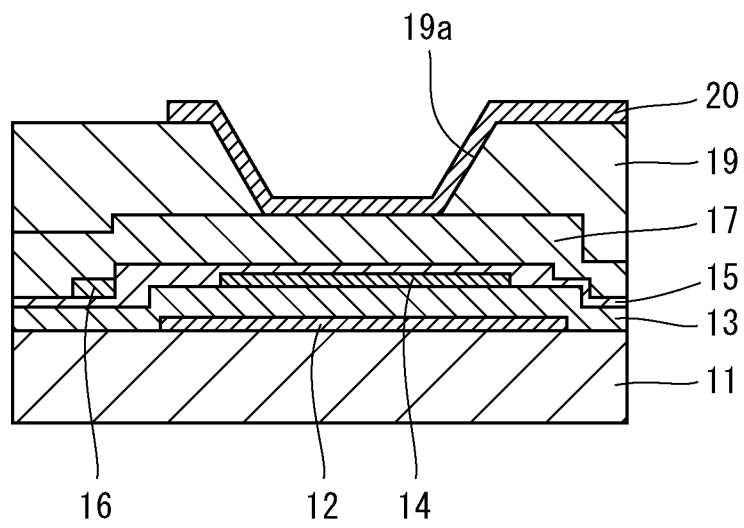
[図5]



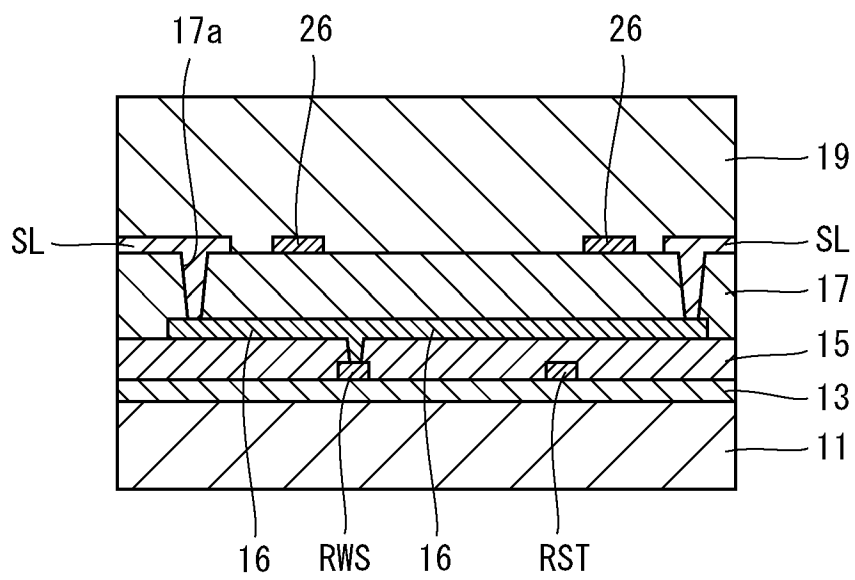
[図6]



[図9]



[図10]



A cross-sectional view of a semiconductor device. The device consists of a substrate with multiple layers: a bottom layer (11), followed by layers 13, 15, and a gate layer (GL). Above the GL layer is a layer (17) containing a central structure (26) and side walls (17b). The topmost layer is labeled 19. The central structure (26) is flanked by side walls (17b). Below the GL layer, there are two contact regions (16) that appear to be connected to the central structure (26) through the GL layer.

[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062204

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1333(2006.01)i, G02F1/136(2006.01)i, G02F1/1368(2006.01)i, G06F3/041(2006.01)i, G06F3/042(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1333, G02F1/136, G02F1/1368, G06F3/041, G06F3/042, G09F9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-39333 A (Sharp Corp.), 13 February 1998 (13.02.1998), paragraphs [0041] to [0042], [0067] & US 6191832 B1	1-9
A	JP 4-203970 A (Matsushita Electric Industrial Co., Ltd.), 24 July 1992 (24.07.1992), entire text (Family: none)	1-9
A	JP 2009-135185 A (Sony Corp.), 18 June 2009 (18.06.2009), entire text (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 July, 2011 (06.07.11)

Date of mailing of the international search report
19 July, 2011 (19.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09F9/30(2006.01)i, G02F1/1333(2006.01)i, G02F1/136(2006.01)i, G02F1/1368(2006.01)i,
G06F3/041(2006.01)i, G06F3/042(2006.01)i, G09F9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09F9/30, G02F1/1333, G02F1/136, G02F1/1368, G06F3/041, G06F3/042, G09F9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-39333 A (シャープ株式会社) 1998.02.13, [0041] - [0042], [0067] & US 6191832 B1	1 - 9
A	JP 4-203970 A (松下電器産業株式会社) 1992.07.24, 全文 (ファミリーなし)	1 - 9
A	JP 2009-135185 A (ソニー株式会社) 2009.06.18, 全文 (ファミリーなし)	1 - 9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 7 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

渡邊 吉喜

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 I

3 4 0 6