



등록특허 10-2229728



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월22일
(11) 등록번호 10-2229728
(24) 등록일자 2021년03월15일

(51) 국제특허분류(Int. Cl.) *H01L 29/786* (2006.01) *H01L 21/318* (2006.01)

(21) 출원번호 10-2014-0048512

(22) 출원일자 2014년04월23일
심사청구일자 2019년04월23일

(65) 공개번호 10-2014-0128243

(43) 공개일자 2014년11월05일

(30) 우선권주장
JP-P-2013-094550 2013년04월26일 일본(JP)

(56) 선행기술조사문현
JP2012064929 A*
JP2012199527 A
JP2013038402 A
US20130020569 A1

*는 심사관에 의하여 인용된 문현

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
노다 코세이
일본 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
토리우미 사토시
일본 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
타네무라 카즈키
일본 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
장후

전체 청구항 수 : 총 16 항

심사관 : 임창연

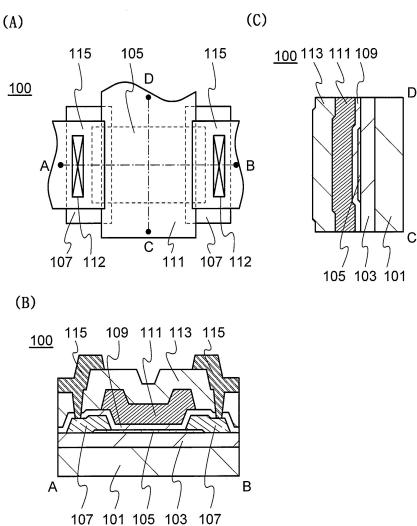
(54) 발명의 명칭 반도체 장치 및 그 제작 방법

(57) 요약

본 발명은 산화물 반도체를 사용한 반도체 장치에서 전기 특성을 향상시킨다. 또한, 전기 특성의 변동이 적고 신뢰성이 높은 반도체 장치를 제작한다.

하지 절연막으로서 기능하는 산화 질화 절연막과, 상기 산화 질화 절연막에 접촉하여 제공되는 트랜지스터이고, 상기 트랜지스터는 하지 절연막으로서 기능하는 산화 질화 절연막과 접촉하는 산화물 반도체막을 갖는다. 또한 가열 처리에 의하여 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $5 \times 10^{15} / \text{cm}^2$ 이상 $5 \times 10^{16} / \text{cm}^2$ 이하, 또는 $5 \times 10^{15} / \text{cm}^2$ 이상 $3 \times 10^{16} / \text{cm}^2$ 이하다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치에 있어서,

산화 질화 절연막과;

상기 산화 질화 절연막 위에서, 상기 산화 질화 절연막에 접촉하는 산화물 반도체막과;

상기 산화물 반도체막에 접촉하는 한 쌍의 전극과;

상기 산화물 반도체막에 접촉하는 게이트 절연막과;

상기 산화물 반도체막과 중첩되는 게이트 전극을 포함하고,

가열 처리에 의하여 상기 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $5 \times 10^{15} / \text{cm}^2$ 이상 $5 \times 10^{16} / \text{cm}^2$ 이하이고,

상기 질량 전하비가 30인 가스는 일산화 질소이고 상기 질량 전하비가 32인 가스는 산소인, 반도체 장치.

청구항 2

반도체 장치에 있어서,

산화 질화 절연막과;

상기 산화 질화 절연막 위에서, 상기 산화 질화 절연막에 접촉하는 산화물 반도체막과;

상기 산화물 반도체막에 접촉하는 한 쌍의 전극과;

상기 산화물 반도체막에 접촉하는 게이트 절연막과;

상기 산화물 반도체막과 중첩되는 게이트 전극을 포함하고,

가열 처리에 의하여 상기 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $1 \times 10^{20} / \text{cm}^2$ 이상 $1 \times 10^{21} / \text{cm}^2$ 이하이고,

상기 질량 전하비가 30인 가스는 일산화 질소이고 상기 질량 전하비가 32인 가스는 산소인, 반도체 장치.

청구항 3

삭제

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 산화 질화 절연막은 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 산화 질화 절연막은 질소보다 많은 산소를 포함하는, 반도체 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 산화 질화 절연막의 두께는 100nm 이상 3000nm 이하인, 반도체 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 가열 처리에 의하여 상기 산화 질화 절연막으로부터 방출되는, 상기 질량 전하비가 32인 상기 가스의 상기 방출량의 2배에 상기 질량 전하비가 30인 상기 가스의 상기 방출량을 더한 상기 합은 승온 이탈 가스 분광법에 의해 측정되는, 반도체 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체막의 두께는 3nm 이상 200nm 이하인, 반도체 장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 게이트 절연막의 두께는 5nm 이상 400nm 이하인, 반도체 장치.

청구항 10

반도체 장치의 제작 방법에 있어서,

산화 질화 절연막을 형성하는 단계와;

상기 산화 질화 절연막 위에서, 상기 산화 질화 절연막에 접촉하는 산화물 반도체막을 형성하는 단계와;

상기 산화물 반도체막을 형성한 후에 가열 처리를 수행하는 단계와;

상기 산화물 반도체막에 접촉하는 한 쌍의 전극을 형성하는 단계와;

상기 산화물 반도체막에 접촉하는 게이트 절연막을 형성하는 단계와;

상기 산화물 반도체막과 중첩되는 게이트 전극을 형성하는 단계를 포함하고,

상기 가열 처리에 의하여 상기 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $5 \times 10^{15} / \text{cm}^3$ 이상 $5 \times 10^{16} / \text{cm}^3$ 이하이고,

상기 질량 전하비가 30인 가스는 일산화 질소이고 상기 질량 전하비가 32인 가스는 산소인, 반도체 장치의 제작 방법.

청구항 11

반도체 장치의 제작 방법에 있어서,

산화 질화 절연막을 형성하는 단계와;

상기 산화 질화 절연막 위에서, 상기 산화 질화 절연막에 접촉하는 산화물 반도체막을 형성하는 단계와;

상기 산화물 반도체막을 형성한 후에 가열 처리를 수행하는 단계와;

상기 산화물 반도체막에 접촉하는 한 쌍의 전극을 형성하는 단계와;

상기 산화물 반도체막에 접촉하는 게이트 절연막을 형성하는 단계와;

상기 산화물 반도체막과 중첩되는 게이트 전극을 형성하는 단계를 포함하고,

상기 가열 처리에 의하여 상기 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $1 \times 10^{20} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 이하이고,

상기 질량 전하비가 30인 가스는 일산화 질소이고 상기 질량 전하비가 32인 가스는 산소인, 반도체 장치의 제작 방법.

청구항 12

삭제

청구항 13

제 10 항 또는 제 11 항에 있어서,

상기 산화 질화 절연막은 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는, 반도체 장치의 제작 방법.

청구항 14

제 10 항 또는 제 11 항에 있어서,

상기 산화 질화 절연막은 질소보다 많은 산소를 포함하는, 반도체 장치의 제작 방법.

청구항 15

제 10 항 또는 제 11 항에 있어서,

상기 산화 질화 절연막의 두께는 100nm 이상 3000nm 이하인, 반도체 장치의 제작 방법.

청구항 16

제 10 항 또는 제 11 항에 있어서,

상기 가열 처리에 의하여 상기 산화 질화 절연막으로부터 방출되는, 상기 질량 전하비가 32인 상기 가스의 상기 방출량의 2배에 상기 질량 전하비가 30인 상기 가스의 상기 방출량을 더한 상기 합은 승온 이탈 가스 분광법에 의해 측정되는, 반도체 장치의 제작 방법.

청구항 17

제 10 항 또는 제 11 항에 있어서,

상기 가열 처리를 수행하는 단계에서, 상기 산화물 반도체 막으로 산소를 공급하는 것을 수행하는, 반도체 장치의 제작 방법.

청구항 18

제 10 항 또는 제 11 항에 있어서,

상기 산화 질화 절연막은 일산화 이질소 또는 이산화 질소를 사용하여 형성되는, 반도체 장치의 제작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전계 효과 트랜지스터를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치나 발광 표시 장치로 대표되는 플랫 패널 디스플레이의 대부분에 사용되고 있는 트랜지스터는 유리 기판 위에 형성된 비정질(amorphous) 실리콘, 단결정 실리콘, 또는 다결정 실리콘 등의 실리콘 반도체로 구성되어 있다. 또한, 상기 실리콘 반도체를 사용한 트랜지스터는 집적 회로(IC) 등에도 사용되고 있다.

[0003] 근년에 들어, 실리콘 반도체 대신에, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목을 받고 있다. 또한, 본 명세서 중에서는 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 부르기로 한다.

[0004] 예를 들어, 산화물 반도체로서 산화 아연, 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 제작하고, 상기 트

랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 개시(開示)되어 있다(특허 문현 1 및 특허 문현 2 참조).

[0005] 또한, 산화물 반도체막에서 불순물이 되는 물 또는 수소를 저감하기 위하여 가열 처리를 수행하여 산화물 반도체막에 포함되는 수분을 저감하는 것이 개시되어 있다(특허 문현 3 참조).

[0006] 또한, 산화물 반도체막에 포함되는 결함 중 하나로서 산소 결손이 있다. 산화물 반도체막 중의 산소 결손에 기인하여 캐리어인 전자가 생긴다. 이로써 산소 결손이 포함되는 산화물 반도체를 사용한 트랜지스터는, 문턱 전압이 마이너스로 변동되는 것으로 대표되는 전기 특성의 변동 문제를 갖는다. 또한, 산화물 반도체막에 산소 결손이 포함되면, 문턱 전압의 변동량 증대로 대표되는, 트랜지스터의 전기 특성의 시간에 따른 변화나 스트레스 시험(예를 들어, 바이어스 온도 스트레스 시험, BT(Bias-Temperature) 스트레스 시험이라고도 함)에 의한 트랜지스터의 전기 특성의 변화로 인하여 신뢰성이 낮게 된다는 문제가 있다.

[0007] 그래서, 산화물 반도체막에 접촉하는 절연막으로서, 가열에 의하여 산소가 방출되는 절연막을 스퍼터링법을 사용하여 형성하고, 가열 처리를 수행함으로써 상기 절연막으로부터 산화물 반도체막으로 산소를 공급하여 산화물 반도체막 중의 산소 결손을 보전하는 것이 개시되어 있다(특허 문현 4 참조).

선행기술문현

특허문현

[0008] (특허문현 0001) 일본국 특개2007-123861호 공보

(특허문현 0002) 일본국 특개2007-96055호 공보

(특허문현 0003) 일본국 특개2011-029630호 공보

(특허문현 0004) 일본국 특개2012-009836호 공보

발명의 내용

해결하려는 과제

[0009] 하지만, 스퍼터링법은 택트 타임이 길고, 형성된 막면 내의 막 두께 분포에 편차가 있고 파티클(particle)이 쉽게 발생되기 때문에 생산성 및 수율 저하의 원인이 된다. 또한, 하층에 배선 등이 제공되고 피형성면이 요철 형상을 갖는 경우, 스퍼터링법으로 형성되는 절연막은 피복성이 낮기 때문에 하층에 제공되는 배선과 절연막 위에 나중에 형성되는 배선 사이의 단락이 쉽게 생겨 수율 저하의 원인이 된다.

[0010] 그러므로, 가열에 의하여 산소가 방출되는 절연막을 CVD(Chemical Vapor Deposition)법을 사용하여 형성하는 것이 바람직한 한편으로, CVD법은 활성종의 화학 반응에 의하여 막을 퇴적시키는 방법이기 때문에 가열에 의하여 산소가 방출될 수 있는 절연막을 형성하기 어렵다.

[0011] 또한, 저온 CVD법을 사용함으로써 미반응 산소를 막에 혼입할 수 있어, 결과적으로 가열에 의하여 산소가 방출될 수 있는 절연막을 형성할 수 있는 한편으로, 절연막에 결함이 많이 포함된다. 이로써, 저온 CVD법을 사용하여 형성된, 산소가 방출되는 절연막을 하지 절연막으로서 사용한 트랜지스터는 소스 전극과 드레인 전극 사이를 흐르는 전자가 하지 절연막에 포함되는 결함에 포획되어 트랜지스터의 온 전류가 작게 된다는 문제가 있다. 또한, 스트레스 시험에서, 하지 절연막에 포함되는 결함에 전자가 포획되어 문턱 전압의 변동량이 증가되어 신뢰성이 낮게 된다는 문제가 있다.

[0012] 그래서, 본 발명의 일 형태는, 산화물 반도체를 사용한 반도체 장치에서, 전기 특성을 향상시키는 것을 과제 중 하나로 한다. 또한, 전기 특성의 변동이 적고 신뢰성이 높은 반도체 장치를 제작하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0013] 본 발명의 일 형태는 하지 절연막으로서 기능하는 산화 질화 절연막과, 상기 산화 질화 절연막에 접촉하여 제공되는 트랜지스터이고, 상기 트랜지스터는 하지 절연막으로서 기능하는 산화 질화 절연막과 접촉하는 산화물 반

도체막을 갖는다. 또한 가열 처리에 의하여 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $5 \times 10^{15} / \text{cm}^2$ 이상 $5 \times 10^{16} / \text{cm}^2$ 이하, 또는 $5 \times 10^{15} / \text{cm}^2$ 이상 $3 \times 10^{16} / \text{cm}^2$ 이하다.

[0014] 또한, 본 발명의 일 형태는 하지 절연막으로서 기능하는 산화 질화 절연막과, 상기 산화 질화 절연막에 접촉하여 제공되는 트랜지스터이고, 상기 트랜지스터는 하지 절연막으로서 기능하는 산화 질화 절연막과 접촉하는 산화물 반도체막을 갖는다. 또한 가열 처리에 의하여 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $1 \times 10^{20} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 이하, 또는 $1 \times 10^{20} / \text{cm}^3$ 이상 $5 \times 10^{20} / \text{cm}^3$ 이하다.

[0015] 또한, 질량 전하비가 30인 가스의 대표적인 예로서 일산화 질소가 있고, 질량 전하비가 32인 가스의 대표적인 예로서 산소가 있다. 또한, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방출량에 상당한다.

[0016] CVD법의 원료 가스에 포함되는 산화성 가스로서 일산화 이질소 또는 이산화 질소를 사용함으로써 퇴적되는 막에는 산소와 함께 질소가 포함된다. 또한, 가열에 의하여 일산화 질소로 대표되는 질량 전하비가 30인 가스가 방출된다. 산화물 반도체막을 갖는 트랜지스터에서 산화물 반도체막이 접촉하는 산화 질화 절연막으로서 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 제공함으로써 산화 질화 절연막으로부터 산화물 반도체막으로 산소가 공급되어 산화 질화 절연막과 산화물 반도체막의 계면 준위를 저감하면서 산화물 반도체막에 포함되는 산소 결손을 저감할 수 있다. 이 결과, 트랜지스터의 동작 등에 기인하여 생길 수 있는 전하 등이 산화 질화 절연막과 산화물 반도체막의 계면에 포획되는 것을 억제할 수 있고, 온 전류가 크고 전기 특성의 변동이 적은 트랜지스터를 얻을 수 있다.

[0017] 또한, 본 발명의 일 형태는 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 사용한 CVD법에 의하여 기판 위에 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 형성하고, 상기 산화 질화 절연막을 하지 절연막으로 하고 하지 절연막 위에 산화물 반도체막을 갖는 트랜지스터를 제작하는 것을 특징으로 한다.

[0018] 실리콘을 포함하는 퇴적성 가스에 대한 산화성 가스의 유량비가 50보다 크고 10000 이하, 또는 200 이상 1500 이하인 원료 가스를 처리실에 도입하고 처리실 내의 압력을 100Pa 이상 1500Pa 이하, 또는 200Pa 이상 1000Pa 이하로 하고, 처리실 내에 설치되는 전극에 고주파 전력을 공급하는 CVD법에 의하여 기판 위에 상기 하지 절연막을 형성한다.

[0019] 또한, 기판을 200°C 이상 450°C 미만으로 유지하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 가스로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는 일산화 이질소, 이산화 질소 등이 있다. 또한, 처리실 내에 설치되는 전극에 0.2W/cm^2 이상 5.0W/cm^2 이하, 또는 1.8W/cm^2 이상 3.7W/cm^2 이하의 고주파 전력을 공급하는 것이 바람직하다.

[0020] 상기 압력이 설정된 처리실에서 상기 파워 밀도의 고주파 전력이 공급됨으로써 플라즈마 중에서 원료 가스의 분해 효율이 높게 된다. 또한, 산화성 가스로서 일산화 이질소, 이산화 질소 등의 질소 산화물을 사용하면 실리콘을 포함하는 퇴적성 가스의 산화 반응이 촉진된다. 또한, 실리콘을 포함하는 퇴적성 가스에 대한 산화성 가스의 유량비를 높게 설정함으로써 산소 라디칼이 증가되어 원료 가스의 산화가 진행된다. 이 결과, 하지 절연막 중에 포함되는 산소량을 화학 양론적 조성을 만족시키는 산소보다 많게 할 수 있다. 또한, 기판 온도를 상술한 온도 범위로 함으로써 하지 절연막에 포함되는 물의 양을 저감할 수 있다.

발명의 효과

[0021] 하지 절연막으로서 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 CVD법을 사용하여 형성하고, 상기 하지 절연막 위에 산화물 반도체막을 갖는 트랜지스터를 제작함으로써 트랜지스터의 온 전류를 높게 할 수 있고 반도체 장치의 전기 특성을 향상시킬 수 있다. 또한, 반도체 장치의 시간에 따른 변화나 스트레스 시험에 의한 반도체 장치의 전기 특성의 변동을 저감하고 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0022]

- 도 1은 트랜지스터의 일 형태를 설명하기 위한 상면도 및 단면도.
 도 2는 트랜지스터의 제작 방법의 일 형태를 설명하기 위한 단면도.
 도 3은 트랜지스터의 일 형태를 설명하기 위한 상면도 및 단면도.
 도 4는 트랜지스터의 제작 방법의 일 형태를 설명하기 위한 단면도.
 도 5는 트랜지스터의 일 형태를 설명하기 위한 단면도.
 도 6은 트랜지스터의 일 형태를 설명하기 위한 단면도.
 도 7은 트랜지스터의 일 형태를 설명하기 위한 단면도.
 도 8은 반도체 장치의 일 형태를 설명하기 위한 단면도.
 도 9는 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 단면도.
 도 10은 nc-OS막을 설명하기 위한 도면.
 도 11은 반도체 장치의 일 형태를 도시한 회로도.
 도 12는 반도체 장치의 일 형태를 도시한 블록도.
 도 13은 반도체 장치의 일 형태를 도시한 블록도.
 도 14는 반도체 장치의 일 형태를 도시한 블록도.
 도 15는 트랜지스터의 전기 특성을 설명하기 위한 도면.
 도 16은 트랜지스터의 전기 특성을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0023]

본 발명의 실시형태에 대하여 도면을 사용하여 이하에 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은, 당업자라면 쉽게 이해된다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되지 않는다. 또한, 이하에 설명하는 실시형태 및 실시예에서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호 또는 동일한 해석 패턴을 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0024]

또한, 본 명세서에서 설명하는 각 도면에서 각 구성의 크기, 막 두께, 또는 영역은 명료화를 위하여 과장되는 경우가 있다. 따라서 반드시 그 스케일에 한정되지 않는다.

[0025]

또한, 본 명세서에서 사용하는 "제 1", "제 2", "제 3" 등의 용어는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정하는 것이 아니다. 그러므로, 예를 들어, "제 1"이라는 용어를 "제 2" 또는 "제 3" 등과 적절히 바꿔서 설명할 수 있다.

[0026]

"소스"나 "드레인"의 기능은 회로 동작에서 전류의 방향이 변화하는 경우 등에는 서로 바뀔 수도 있다. 그러므로 본 명세서에서는 "소스"나 "드레인"이라는 용어는 서로 바꿔서 사용할 수 있는 것으로 한다.

[0027]

(실시형태 1)

[0028]

본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법 및 상기 제작 방법에 의하여 제작되는 반도체 장치에 대하여 도면을 사용하여 설명한다.

[0029]

<반도체 장치의 구조>

[0030]

도 1에 트랜지스터(100)의 상면도 및 단면도를 도시하였다. 도 1의 (A)는 트랜지스터(100)의 상면도이며, 도 1의 (B)는 도 1의 (A)를 일점 쇄선 A-B를 따라 자른 단면도이며, 도 1의 (C)는 도 1의 (A)를 일점 쇄선 C-D를 따라 자른 단면도다. 또한, 도 1의 (A)에서는 명료화를 위하여 기판(101), 하지 절연막(103), 게이트 절연막(109), 절연막(113) 등을 생략하였다.

[0031]

도 1에 도시된 트랜지스터(100)는 기판(101) 위에 제공된 하지 절연막(103) 위의 산화물 반도체막(105)과, 산화물 반도체막(105)에 접촉하는 한 쌍의 전극(107)과, 하지 절연막(103), 산화물 반도체막(105), 및 한 쌍의 전극(107)에 접촉하는 게이트 절연막(109)과, 게이트 절연막(109)을 개재(介在)하여 산화물 반도체막(105)과 중첩되

는 게이트 전극(111)을 갖는다. 또한, 게이트 절연막(109) 및 게이트 전극(111)을 덮는 절연막(113)을 갖는다. 또한, 게이트 절연막(109) 및 절연막(113)의 개구부(112)에서 한 쌍의 전극(107)과 접촉하는 배선(115)을 가져도 좋다.

[0032] 본 실시형태에 기재된 트랜지스터(100)는 한 쌍의 전극(107) 및 게이트 전극(111)이 게이트 절연막(109)을 개재하여 중첩된다. 그러므로 산화물 반도체막(105)에서 게이트 절연막(109)을 개재하여 게이트 전극(111)과 대향하는 영역이 채널 영역으로서 기능하고, 한 쌍의 전극(107)과 접촉하는 영역이 저저항 영역으로서 기능한다. 즉 채널 영역과 저저항 영역이 접촉한다. 채널 영역과 저저항 영역 사이에 저항이 되는 영역이 없기 때문에 온전류를 증대할 수 있음과 함께 전계 효과 이동도를 높일 수 있다.

[0033] 본 실시형태에 기재된 트랜지스터(100)는 하지 절연막(103)으로서 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 사용한다. 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막은 가열에 의하여 산소의 일부가 방출되기 때문에 산화물 반도체막으로 상기 산소를 이동시킬 수 있다.

[0034] 가열 처리에 의하여, 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막으로부터 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합은, 대표적으로는 $5 \times 10^{15}/\text{cm}^2$ 이상 $5 \times 10^{16}/\text{cm}^2$ 이하, 또는 $5 \times 10^{15}/\text{cm}^2$ 이상 $3 \times 10^{16}/\text{cm}^2$ 이하다. 또는 가열 처리에 의하여 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $1 \times 10^{20}/\text{cm}^3$ 이상 $1 \times 10^{21}/\text{cm}^3$ 이하, 또는 $1 \times 10^{20}/\text{cm}^3$ 이상 $5 \times 10^{20}/\text{cm}^3$ 이하다.

[0035] 또한, 질량 전하비가 30인 가스의 대표적인 예로서 일산화 질소가 있고, 질량 전하비가 32인 가스의 대표적인 예로서 산소가 있다. 즉 가열 처리에 의하여 방출되는 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방출량이 $5 \times 10^{15}/\text{cm}^2$ 이상 $5 \times 10^{16}/\text{cm}^2$ 이하, 또는 $5 \times 10^{15}/\text{cm}^2$ 이상 $3 \times 10^{16}/\text{cm}^2$ 이하다. 또는, 가열 처리에 의하여 방출되는 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방출량이 $1 \times 10^{20}/\text{cm}^3$ 이상 $1 \times 10^{21}/\text{cm}^3$ 이하, 또는 $1 \times 10^{20}/\text{cm}^3$ 이상 $5 \times 10^{20}/\text{cm}^3$ 이하다.

[0036] 또한, 하지 절연막(103)의 대표적인 예로서는 산화 질화 실리콘막이 있다. 또한, 본 명세서에서 산화 질화 실리콘막이란 그 조성으로서 질소보다 산소를 많이 포함하는 막을 가리키고, 질화 산화 실리콘막이란 그 조성으로서 산소보다 질소를 많이 포함하는 막을 가리킨다.

[0037] 하지 절연막(103)의 두께는 50nm 이상 또는 100nm 이상 3000nm 이하, 또는 200nm 이상 1000nm 이하로 한다. 하지 절연막(103)을 두껍게 함으로써 하지 절연막(103)의 산소 방출량을 증가시킬 수 있음과 함께, 하지 절연막(103)과 나중에 형성되는 산화물 반도체막과의 계면에서의 계면 준위 밀도 및 산화물 반도체막에 포함되는 산소 결손을 저감할 수 있다.

[0038] 가열 처리에 의한 가스의 방출량을 측정하는 방법의 일례로서 승온 이탈 가스 분광법(TDS: Thermal Desorption Spectroscopy)이 있다. 여기서 TDS 분석에서 산소 원자로 환산하여 산소의 방출량을 측정하는 방법에 대하여 이하에서 설명한다.

[0039] TDS 분석으로 측정하였을 때의 가스의 방출량은 분석에 의하여 얻어지는 스펙트럼의 적분값에 비례한다. 그러므로 표준 시료의 기준값에 대한 절연막의 스펙트럼의 적분값의 비에 의하여 가스의 방출량을 산출할 수 있다. 표준 시료의 기준값이란 소정의 원자를 포함한 시료의 스펙트럼의 적분값에 대한 원자의 밀도 비율을 가리킨다.

[0040] 예를 들어, 표준 시료인 소정의 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS 분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막의 산소 분자의 방출량(N_{O_2})은 수학식 1로 산출할 수 있다. 여기서, TDS 분석으로 얻어지는 질량 전하비가 32로 검출되는 스펙트럼 모두가 산소 분자에서 유래한다고 가정한다. CH_3OH 의 질량 전하비는 32이지만 존재할 가능성이 낮은 것으로 하여 여기서는 고려하지 않는다. 또한, 산소 원자의 동위체인 질량수가 17인 산소 원자 및 질량수가 18인 산소 원자를 포함한 산소 분자에 대해서도 자연계에서 존재할 비율이 매우 미량이기 때문에 고려하지 않는다.

$$N_{\text{O}_2} = N_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \alpha \quad (\text{수학식 1})$$

[0041] N_{H_2} 는 표준 시료로부터 방출된 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석으로 측정하였을

때의 스펙트럼의 적분값이다. 여기서, 표준 시료의 기준값을 N_{H2}/S_{H2} 로 한다. S_{O2} 는 절연막을 TDS 분석으로 측정하였을 때의 스펙트럼의 적분값이다. a 는 TDS 분석에서의 스펙트럼 강도에 영향을 미치는 계수다. 또한, TDS 분석에서 예를 들어, 산소 분자에 대하여 설명하면 시료로부터 방출된 산소 분자는 그 일부가 분석 중에 해리하고 질량수가 16인 산소 원자로서 검출된다. 검출된 산소 분자의 방출량에 대하여 산소 분자의 해리에 의하여 검출되는 산소 원자의 방출량의 비율은 거의 일정한 값이 된다. 상기 비율을 패턴 계수라고 한다. 예를 들어, 산소 분자의 패턴 계수를 100으로 한 경우, 산소 원자의 패턴 계수는 11.4다. 또한, 분석함으로써 방출된 산소 분자 및 산소 원자에 대한 산소 분자의 비율을 프래그멘테이션 계수라고 한다. 예를 들어, 산소 분자의 프래그멘테이션 계수는 0.898이다. 수학식 1 중 a 는 프래그멘테이션 계수의 역수를 포함한다. 즉, 수학식 1을 사용하여 얻어지는 산소 분자의 방출량은 산소 분자 및 산소 원자에 해리한 산소 분자를 포함하는 방출량이다. 또한, 수학식 1의 자세한 내용은 일본국 특개평6-275697호 공보를 참조하기 바란다. 또한, 상기 절연막의 산소 방출량은 송은 이탈 분석 장치 EMD-WA1000S/W(전자과학주식회사(ESCO, Ltd.) 제조)를 사용하고, 표준 시료로서 $9.62 \times 10^{16} \text{ atoms/cm}^2$ 의 수소 원자를 포함한 실리콘 웨이퍼를 사용하여 측정한다.

[0043] 또한, TDS 분석에서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 a 는 산소 분자의 이온화율을 포함하기 때문에 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량에 대해서도 어렵잖을 수 있다.

[0044] 또한, N_{O2} 는 산소 분자의 방출량이다. 절연막에 있어서는, 산소 원자로 환산하였을 때의 산소의 방출량은 산소 분자의 방출량의 2배가 된다.

[0045] 또한, 상술한 수학식 1에서 절연막의 일산화 질소의 방출량을 TDS 분석으로 측정하였을 때의 스펙트럼의 적분값을 S_{O2} 로 대입함으로써 일산화 질소의 방출량을 산출할 수 있다.

[0046] 하지 절연막(103)으로부터 산화물 반도체막(105)으로 산소가 공급됨으로써 산화물 반도체막(105)에 포함되는 산소 결손량을 저감할 수 있다. 산화물 반도체막에 산소 결손이 포함되면 산소 결손에 기인하여 캐리어인 전자가 생겨 산화물 반도체막이 저저항화되어 트랜지스터의 문턱 전압이 마이너스 방향으로 변동된다. 하지만, 본 실시형태에 기재된 트랜지스터에 포함되는 산화물 반도체막은 산소 결손이 저감되기 때문에 트랜지스터의 문턱 전압의 변동을 저감할 수 있다. 또한, 하지 절연막(103)과 산화물 반도체막(105)의 계면 준위를 저감할 수 있기 때문에 트랜지스터의 동작 등에 기인하여 생길 수 있는 전하 등이 상술한 하지 절연막(103)과 산화물 반도체막(105)의 계면에 포획되는 것을 억제할 수 있고 온 전류가 크고 전기 특성의 변동이 적은 트랜지스터를 얻을 수 있다.

[0047] 이하에 트랜지스터(100)의 다른 구성에 대하여 자세히 설명한다.

[0048] 기판(101)은 재질 등에 큰 제한은 없지만, 적어도 나중에 수행되는 가열 처리에 견딜 수 있을 정도의 내열성을 가져야 한다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(101)으로서 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어지는 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어지는 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하고, 이러한 기판 위에 반도체 소자가 제공된 것을 기판(101)으로서 사용하여도 좋다.

[0049] 또한, 기판(101)으로서, 가요성 기판을 사용하고, 가요성 기판 위에 직접, 하지 절연막(103) 및 트랜지스터(100)를 형성하여도 좋다. 또는, 기판(101)과 하지 절연막(103) 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 반도체 장치의 일부 또는 모두를 완성시킨 후, 기판(101)으로부터 분리하고 다른 기판으로 전재(轉載)하기 위하여 사용할 수 있다. 이 때, 트랜지스터(100)는 내열성이 떨어지는 기판이나 가요성 기판에도 전재할 수 있다.

[0050] 산화물 반도체막(105)은, 대표적으로는, In-Ga 산화물막, In-Zn 산화물막, In-M-Zn 산화물막(M은 Ga, Y, Zr, La, Cs, 또는 Nd)이 있다. 또한, 산화물 반도체막(105)은 $InMO_3(ZnO)_m$ (M은 Ga, Y, Zr, La, Cs, 또는 Nd, m 은 자연수)으로 나타내어지는 동족 화합물을 사용하여 형성된다.

[0051] 산화물 반도체막(105)이 In-M-Zn 산화물막(M은 Ga, Y, Zr, La, Cs, 또는 Nd)인 경우, In-M-Zn 산화물막을 형성하기 위하여 사용되는 타깃에서 금속 원소의 원자수비를 $In:M:Zn=x_1:y_1:z_1$ 로 하면 x_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이고, z_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하인 것이 좋다. 또한, z_1/y_1 을 1 이상 6 이하로 함으로써 산화물 반도체막(105)으로서 CAAC-OS(C-Axis Aligned Crystalline Oxide

Semiconductor)막이 형성되기 쉬워진다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 In:M:Zn=1:1:1, In:M:Zn=3:1:2, In:M:Zn=1:1:1.2 등이 있다. 또한, 형성되는 산화물 반도체막(105)의 원자수비는 각각, 상술한 타깃에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 오차 변동을 포함한다.

[0052] 또한 산화물 반도체막(105)이 In-M-Zn 산화물막인 경우, In과 M의 원자수비율은 In과 M의 합을 100atomic%로 하였을 때 In이 25atomic% 이상 M이 75atomic% 미만, 또는 In이 34atomic% 이상 M이 66atomic% 미만으로 한다.

[0053] 산화물 반도체막(105)의 에너지 캡은 2eV 이상, 또는 2.5eV 이상, 또는 3eV 이상이다. 이와 같이, 에너지 캡이 넓은 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

[0054] 산화물 반도체막(105)의 두께는 3nm 이상 200nm 이하, 또는 3nm 이상 100nm 이하, 또는 3nm 이상 50nm 이하로 한다.

[0055] 또한, 산화물 반도체막(105)으로서 불순물 농도가 낮고, 결함 준위 밀도가 낮은 산화물 반도체막을 사용함으로써, 더욱 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있어 바람직하다. 여기서는 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 '고순도 진성' 또는 '실질적으로 고순도 진성'이라고 부른다.

[0056] 고순도 진성인 산화물 반도체 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있는 경우가 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)을 가지기 어렵다.

[0057] 또한, 고순도 진성인 산화물 반도체막 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮게 되는 경우가 있다.

[0058] 또한, 고순도 진성인 산화물 반도체막 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 전류가 현저히 낮고, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고, 채널 길이(L)가 $10 \mu\text{m}$ 의 소자인 경우에도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V~10V의 범위에서, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다.

[0059] 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 트랩 준위에 포함된 전하는 소실할 때까지 걸리는 시간이 길고, 마치 고정 전하와 같이 행동하는 경우가 있다. 따라서, 트랩 준위 밀도가 높은 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다. 불순물로서는 수소, 질소, 알칼리 금속, 또는 알칼리 토금속 등이 있다.

[0060] 또한, 산화물 반도체막(105)으로서 나중에 기재하는 CAAC-OS막과 같은 구조를 갖는 산화물 반도체막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0061] 산화물 반도체막에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 됨과 함께, 산소가 이탈된 격자(또는 산소가 이탈된 부분)에 산소 결손을 형성한다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성될 수 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다.

[0062] 이 때문에, 산화물 반도체막(105)은 수소가 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체막(105)에서, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 수소 농도를, $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 또는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

[0063] 산화물 반도체막(105)에서, 제 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체막(105)에서 산소 결손이 증가되어, n형화된다. 그러므로 산화물 반도체막(105)에서의 실리콘 농도나 탄소 농도, 또는 하지 절연막(103)과 산화물 반도체막(105)의 계면 근방의 실리콘 농도나 탄소 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

[0064] 또한, 산화물 반도체막(105)에서, 이차 이온 질량 분석법에 의하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를, $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성하는 경우가 있어 트랜지스터의 오프 전류가 증대될 수 있다. 그러므로, 산화

물 반도체막(105)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감시키는 것이 바람직하다.

[0065] 또한, 산화물 반도체막(105)에 질소가 포함되면, 캐리어인 전자가 생겨 캐리어 밀도가 증가되어 n형화되기 쉽다. 따라서, 질소가 포함되어 있는 산화물 반도체막을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 이 산화물 반도체막에서, 질소는 가능한 한 저감되어 있는 것이 바람직하고, 예를 들어, 이차 이온 질량 분석법에 의하여 얻어지는 질소 농도는 5×10^{18} atoms/cm³ 이하로 하는 것이 바람직하다.

[0066] 또한, 산화물 반도체막(105)은 예를 들어, 비단결정 구조라도 좋다. 비단결정 구조는 예를 들어, 나중에 기재하는 CAAC-OS, 다결정 구조, 나중에 기재하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에서 비정질 구조는 결함 준위 밀도가 가장 높고 나중에 기재하는 CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0067] 또한, 산화물 반도체막(105)이 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, 나중에 기재하는 CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상을 갖는 혼합막이라도 좋다. 혼합막은 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, 나중에 기재하는 CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역을 포함하는 단층 구조의 경우가 있다. 또한, 혼합막은, 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, 나중에 기재하는 CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역을 포함하는 적층 구조의 경우가 있다.

[0068] 한 쌍의 전극(107)은 도전 재료로서 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 루테늄, 탄탈, 또는 텅스텐으로 이루어지는 단체 금속, 또는 이들을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막과 이 티타늄막 또는 질화 티타늄막 위에 겹쳐서 알루미늄막 또는 구리막을 적층하고 이들 위에 티타늄막 또는 질화 티타늄막을 더 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막과 이 몰리브덴막 또는 질화 몰리브덴막 위에 겹쳐서 알루미늄막 또는 구리막을 적층하고 이들 위에 몰리브덴막 또는 질화 몰리브덴막을 더 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 포함한 투명 도전 재료를 사용하여도 좋다.

[0069] 한 쌍의 전극(107)에서, 단부를 테이퍼 형상 또는 계단 형상으로 함으로써 게이트 절연막(109)의 피복성이 높게 되기 때문에 바람직하다.

[0070] 게이트 절연막(109)은 예를 들어, 두께 5nm 이상 400nm 이하, 또는 10nm 이상 300nm 이하, 또는 20nm 이상 100nm 이하의 산화 실리콘막, 산화 질화 실리콘막 등을 사용할 수 있다.

[0071] 또한, 게이트 절연막(109)으로서 하지 절연막(103)과 같이 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 사용하여도 좋다. 게이트 절연막(109)으로서 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 사용하면 가열 처리함으로써 게이트 절연막(109)으로부터 산화물 반도체막(105)으로 산소가 공급되기 때문에 게이트 절연막(109)과 산화물 반도체막(105)의 계면 준위를 저감할 수 있다. 또한, 산화물 반도체막(105)에 포함되는 산소 결손량을 저감할 수 있다. 또한, 물이 포함되는 양이 저감되고 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막은 수소의 공급원이 되는 물을 적게 포함하기 때문에 게이트 절연막(109)으로부터 산화물 반도체막(105)으로 물이 이동하므로 산화물 반도체막(105)에서의 캐리어의 발생을 억제할 수 있고 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0072] 게이트 전극(111)은 알루미늄, 크로뮴, 구리, 탄탈, 티타늄, 몰리브덴, 루테늄, 텅스텐 중으로부터 선택된 금속 원소 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나의 금속 원소 또는 양쪽 금속 원소를 사용하여도 좋다. 또한, 게이트 전극(111)은 단층 구조로 하여도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과 이 티타늄막 위에 알루미늄막을 적층하고, 이들 위에 티타늄막을 더 형성하는 3층 구조 등이 있다. 또한, 알루미늄에 티타늄, 탄탈, 텅스텐, 몰리브덴, 크로뮴, 네오디뮴, 스칸듐 중에서 선택된 원소의 막, 또는 복수를 조합한 합금막, 또는 질화막을 사용하여도 좋다.

[0073] 또한, 게이트 전극(111)은 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 아연

산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상술한 금속 원소의 적층 구조로 할 수도 있다.

[0074] 절연막(113)은 두께가 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하의 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 질화 알루미늄막 등을 사용하면 좋고 적층 또는 단층으로 제공한다.

[0075] 또한, 절연막(113)으로서 하지 절연막(103)과 같이 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막과, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막으로 이루어진 적층 구조로 하여도 좋다. 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막으로서는 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 질화 실리콘 등을 사용하여 형성된 막이 있다. 이 결과, 가열 처리에서 게이트 절연막(109) 및/또는 하지 절연막(103)을 개재하여 산소가 산화물 반도체막(105)으로 공급되기 때문에 하지 절연막(103) 및/또는 게이트 절연막(109)과 산화물 반도체막(105)의 계면 준위를 저감할 수 있다. 또한, 산화물 반도체막(105)에 포함되는 산소 결손량을 저감할 수 있다.

[0076] 배선(115)은 한 쌍의 전극(107)에 대한 기재에서 열거한 재료를 적절히 사용할 수 있다.

[0077] <반도체 특성의 변형 예 1>

[0078] 여기서는 도 1에 도시된 트랜지스터와 비교하여 산화물 반도체막과, 한 쌍의 전극이 갖는 구조가 상이한 트랜지스터에 대하여 설명한다. 도 1의 (B)에 도시된 트랜지스터에서 산화물 반도체막(105)과 게이트 절연막(109) 사이에 한 쌍의 전극(107)을 제공하였지만 하지 절연막(103)과 산화물 반도체막(105) 사이에 한 쌍의 전극(107)을 제공하여도 좋다. 이 경우, 산화물 반도체막(105)의 스텝 커버리지를 높이기 위하여 한 쌍의 전극의 두께를 얇게 하는 것이 바람직하다.

[0079] 상술한 구성을 갖는 트랜지스터는 한 쌍의 전극을 형성한 후에 산화물 반도체막(105) 및 게이트 절연막(109)을 형성한다. 이로써 산화물 반도체막(105)이 에칭 가스에 노출되지 않으며 산화물 반도체막(105) 위에 게이트 절연막(109)을 형성할 수 있으므로 산화물 반도체막(105)에 대한 에칭 대미지를 없앨 수 있고 트랜지스터의 전기 특성을 향상시킬 수 있다.

[0080] <반도체 장치의 제작 방법>

[0081] 다음에, 도 1의 (B)에 도시된 트랜지스터의 제작 방법에 대하여, 도 2를 사용하여 설명한다.

[0082] 도 2의 (A)에 도시된 바와 같이 기판(101) 위에 하지 절연막(103)을 형성한다. 다음에 하지 절연막(103) 위에 산화물 반도체막(105)을 형성한다.

[0083] 하지 절연막(103)으로서 산화 질화 실리콘막을 형성하는 경우, 원료 가스로서는 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는 일산화 이질소, 이산화 질소 등이 있다.

[0084] 대표적인 하지 절연막(103)의 형성 조건으로서는 이하와 같은 조건이 있다. 실리콘을 포함하는 퇴적성 가스에 대한 산화성 가스의 유량비가 50보다 크고 10000 이하, 또는 200 이상 1500 이하인 원료 가스를 플라즈마 CVD 장치의 진공 배기된 처리실 내로 도입하고 처리실 내의 압력을 100Pa 이상 1500Pa 이하, 또는 200Pa 이상 1000Pa 이하로 하고, 처리실 내에 설치되는 전극에 고주파 전력을 공급하는 조건으로 산화 질화 실리콘막을 형성한다. 또한, 처리실 내에 설치되는 전극 위의 기판 온도를 200°C 이상 450°C 미만, 또는 200°C 이상 350°C 이하로 하는 것이 바람직하다. 또한, 처리실 내에 설치되는 전극에 $0.2W/cm^2$ 이상 $5.0W/cm^2$ 이하, 또는 $1.8W/cm^2$ 이상 $3.7W/cm^2$ 이하의 고주파 전력을 공급하는 것이 바람직하다. 처리실 내에 설치되는 전극이 평행 평판형인 경우, 기판과 대향하는 전극에 상기 전력을 공급한다. 또한, 기판이 탑재되는 전극에 전력을 공급하여도 좋다.

[0085] 하지 절연막(103)의 성막 조건으로서 상기 압력이 설정된 처리실에서 상기 파워 밀도의 고주파 전력이 공급됨으로써 플라즈마 중에서 원료 가스의 분해 효율이 높게 된다. 또한, 실리콘을 포함하는 퇴적성 가스에 대한 산화성 가스의 유량비를 높게 설정함으로써 산소 라디칼이 증가되어 원료 가스의 산화가 진행되기 때문에 하지 절연막(103) 중에 포함되는 산소량이 화학 양로적 조성보다 많게 된다. 또한, 산화성 가스로서 산소를 사용하는 경우에 비하여 일산화 이질소, 이산화 질소 등의 질소 산화물을 사용하면 실리콘을 포함하는 퇴적성 가스의 산화

반응이 촉진되어 하지 절연막(103) 중에 포함되는 산소량이 화학 양로적 조성보다 더 많게 된다. 또한, 산화성 가스로서 산소를 사용하면, 파티클이 발생하여, 수율이 저하되지만, 산화성 가스로서 일산화 이질소, 이산화 질소 등의 질소 산화물을 사용함으로써, 파티클의 발생을 억제할 수 있다. 한편, 산화성 가스로서 일산화 이질소, 이산화 질소 등의 질소 산화물을 사용함으로써, 산화 절연막에 질소가 포함된 산화 질화 절연막이 하지 절연막(103)이 된다. 또한, 상기 질소는 가열 처리함으로써 일산화 질소가 되어 방출된다. 그러므로 TDS 분석에 의하여 NO가 검출되면 산화성 가스로서 일산화 이질소 또는 이산화 질소를 사용한 것을 알 수 있다. 또한, 기관 온도를 상술한 온도 범위로 함으로써 하지 절연막(103)에 포함되는 물의 양을 저감할 수 있다. 이 결과, 하지 절연막(103)으로서 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 형성할 수 있다.

[0086] 또한, 본 실시형태에서 형성되는 하지 절연막(103)은 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하기 때문에 절연막을 형성하는 공정 외에 별도의 산소를 첨가하는 공정을 수행할 필요가 없다. 즉 본 실시 형태에 의하여 적은 공정수로 산화물 반도체막(105)과 산화물 반도체막(105)의 계면에서의 결합, 및 산화물 반도체막에 포함되는 산소 결손을 저감할 수 있는 하지 절연막을 형성할 수 있다.

[0087] 여기서는 처리실 내에 유량 2sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로서 공급하고 처리실 내의 압력을 700Pa로 제어하고 평행 평판 전극 중 한쪽에 60MHz의 고주파 전원으로 250W의 전력을 공급하고 두께 300nm의 산화 질화 실리콘막을 하지 절연막(103)으로서 형성한다.

[0088] 산화물 반도체막(105)은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법 등에 의하여 형성할 수 있다.

[0089] 스퍼터링법을 사용하여 산화물 반도체막(105)을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 사용할 수 있다.

[0090] 스퍼터링 가스는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 또한 희가스 및 산소의 혼합 가스의 경우 희가스에 대한 산소의 가스 비율을 높게 하는 것이 바람직하다.

[0091] 또한, 타깃은 형성하는 산화물 반도체막(105)의 조성에 맞추어, 적절히 선택하면 좋다.

[0092] 또한, 산화물 반도체막(105)으로서 인쇄법을 사용하여 형성함으로써 소자 분리된 산화물 반도체막(105)을 직접 형성할 수 있다.

[0093] 여기서는, 금속 원소의 원자수비가 In:Ga:Zn=1:1:1인 타깃을 사용한 스퍼터링법에 의하여, 두께 15nm의 산화물 반도체막을 형성한 후, 이 산화물 반도체막 위에 마스크를 형성하고, 산화물 반도체막의 일부를 선택적으로 에칭함으로써 산화물 반도체막(105)을 형성한다.

[0094] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 이 가열 처리를 수행함으로써, 하지 절연막(103)에 포함되는 산소의 일부를, 하지 절연막(103)과 산화물 반도체막(105)의 계면 균방, 및 산화물 반도체막(105)으로 이동시킬 수 있다. 이 결과, 하지 절연막(103)과 산화물 반도체막(105)의 계면 균방에서의 계면 준위를 저감할 수 있음과 함께 산화물 반도체막에 포함되는 산소 결손을 저감할 수 있다. 또한, 산화물 반도체막(105)을 가열하면서 하지 절연막(103) 위에 제공함으로써 하지 절연막(103)으로부터 산화물 반도체막(105)으로 산소를 이동시킬 수 있는 경우에는 상기 가열 처리를 생략할 수 있다. 또한, 상기 가열 처리를 나중에 수행되는 가열 처리와 겹침으로써 공정수를 삼감할 수 있다.

[0095] 제 1 가열 처리의 온도는 대표적으로는 150°C 이상 기관의 변형점 미만, 또는 250°C 이상 450°C 이하, 또는 300°C 이상 450°C 이하로 한다.

[0096] 가열 처리는 헬륨, 네온, 아르곤, 크세논, 크립톤 등의 희가스, 또는 질소를 포함하는 불활성 가스 분위기에서 수행된다. 또는, 불활성 가스 분위기에서 가열한 후, 산소 분위기에서 가열하여도 좋다. 또한, 상기 불활성 가스 분위기 및 산소 분위기에 수소, 물 등이 포함되지 않는 것이 바람직하다. 처리 시간은 3분~24시간으로 한다.

[0097] 여기서는 질소를 포함하는 분위기에서 450°C로 1시간 가열 처리를 수행한 후에 질소 및 산소 분위기에서 450°C로 1시간 가열 처리를 수행한다.

[0098] 또한, 상기 가열 처리는 상기 공정에서 수행하지 않고 나중의 공정에서 수행하여도 좋다. 즉 나중의 공정에서

수행되는 다른 가열 공정에 의하여 하지 절연막(103)에 포함되는 산소의 일부를 산화물 반도체막(105)으로 이동 시켜도 좋다. 이 결과 가열 공정수를 삭감할 수 있다.

[0099] 다음에 도 2의 (B)에 도시된 바와 같이, 한 쌍의 전극(107)을 형성한다.

[0100] 한 쌍의 전극(107)을 형성하는 방법을 이하에 기재한다. 먼저, 스팍터링법, CVD법, 증착법 등으로 한 쌍의 전극(107)이 되는 도전막을 형성한다. 다음에 한 쌍의 전극(107)이 되는 도전막 위에 포토리소그래피 공정으로 마스크를 형성한다. 다음에, 이 마스크를 사용하여 한 쌍의 전극(107)이 되는 도전막을 에칭하여, 한 쌍의 전극(107)을 형성한다. 이 후, 마스크를 제거한다.

[0101] 여기서는 두께 100nm의 텅스텐막을 스팍터링법에 의하여 적층한다. 다음에 텅스텐막 위에 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 텅스텐막을 드라이 에칭하여 한 쌍의 전극(107)을 형성한다.

[0102] 또한, 한 쌍의 전극(107)을 형성한 후, 에칭 잔사(殘渣)를 제거하기 위하여, 세정 처리를 수행하는 것이 바람직하다. 이 세정 처리를 수행함으로써, 한 쌍의 전극(107)의 단력을 억제할 수 있다. TMAH(Tetramethylammonium Hydroxide) 용액 등의 알칼리성 용액, 희불산, 옥살산, 인산 등의 산성 용액을 사용하여 상기 세정 처리를 수행할 수 있다.

[0103] 또한, 인쇄법 또는 잉크젯법에 의하여 한 쌍의 전극(107)을 형성하여도 좋다.

[0104] 다음에 도 2의 (C)에 도시된 바와 같이, 게이트 절연막(109)을 형성한 후, 게이트 절연막(109) 위에 게이트 전극(111)을 형성한다.

[0105] 게이트 절연막(109)은 CVD법, 증착법 등을 사용하여 형성한다.

[0106] 게이트 절연막(109)으로서 산화 실리콘막 또는 산화 질화 실리콘막을 형성하는 경우, 원료 가스로서는 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다.

[0107] 또한, 게이트 절연막(109)으로서 산화 갈륨막을 형성하는 경우, MOCVD(Metal Organic Chemical Vapor Deposition)법을 사용하여 형성할 수 있다.

[0108] 또한, CVD법을 사용하여 게이트 절연막(109)으로서 산화 절연막을 형성한 후, 상기 산화 절연막을 산소 플라즈마에 노출하여 산화 절연막의 결함을 저감함과 함께 밀도를 높일 수 있다. 또한, 산소 플라즈마는 고주파 또는 마이크로파의 전자 에너지를 이용하여 발생시킬 수 있다. 산소 플라즈마 처리된 산화 절연막을 게이트 절연막(109)으로서 사용함으로써 트랜지스터의 누설 전류를 저감할 수 있다.

[0109] 여기서는 플라즈마 CVD법에 의하여 두께 20nm의 산화 질화 실리콘막을 사용하여 게이트 절연막(109)을 형성한다.

[0110] 게이트 전극(111)의 형성 방법을 이하에 기재한다. 먼저, 스팍터링법, CVD법, 증착법 등으로 게이트 전극(111)이 되는 도전막을 형성하고 나서 게이트 전극(111)이 되는 도전막 위에 포토리소그래피 공정으로 마스크를 형성한다. 다음에, 이 마스크를 사용하여 게이트 전극(111)이 되는 도전막의 일부를 에칭하여, 게이트 전극(111)을 형성한다. 이 후, 마스크를 제거한다.

[0111] 또한, 게이트 전극(111)은 상술한 형성 방법 대신에 전해 도금법, 인쇄법, 잉크젯법 등을 사용하여 형성하여도 좋다.

[0112] 여기서는 두께 30nm의 질화 티타늄막 및 두께 135nm의 텅스텐막을 스팍터링법에 의하여 순차적으로 형성한다. 다음에 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 질화 티타늄막 및 텅스텐막을 드라이 에칭하여 게이트 전극(111)을 형성한다.

[0113] 다음에 도 2의 (D)에 도시된 바와 같이, 게이트 절연막(109) 및 게이트 전극(111) 위에 절연막(113)을 형성한 후, 한 쌍의 전극(107)에 접속되는 배선(115)을 형성한다.

[0114] 절연막(113)이 되는 절연막을 형성하고 제 2 가열 처리를 수행한 후, 상기 절연막에 개구부를 형성함으로써 절연막(113)을 형성한다. 절연막(113)이 되는 절연막은 CVD법 또는 스팍터링법을 사용하여 형성한다. 또한, 절연막(113)이 되는 절연막으로서 하지 절연막(103)과 같은 조건을 사용하여 화학 양론적 조성을 만족시키는 산소 보다 많은 산소를 포함하는 산화 질화 절연막을 형성하여도 좋다.

[0115] 여기서는 스팍터링법에 의하여 두께 70nm의 산화 알루미늄막을 형성하고, CVD법에 의하여 두께 300nm의 산화 질

화 실리콘막을 형성하고 나서 개구부를 형성하여 절연막(113)을 형성한다.

[0116] 제 2 가열 처리의 온도는 대표적으로는 150°C 이상 기판의 변형점 미만, 또는 250°C 이상 450°C 이하, 또는 300°C 이상 450°C 이하로 한다.

[0117] 제 2 가열 처리는 전기로, RTA(Rapid Thermal Annealing) 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써 단시간에 한하여 기판의 변형점 이상의 온도로 가열 처리를 수행할 수 있다. 그러므로 하지 절연막(103)으로부터 산화물 반도체막(105)으로의 산소 확산 시간을 단축할 수 있다.

[0118] 제 2 가열 처리는 질소, 산소, 초전조 공기(물 함유량이 20ppm 이하, 또는 1ppm 이하, 또는 10ppb 이하의 공기) 또는 희가스(아르곤, 헬륨 등) 분위기하에서 수행하면 좋다.

[0119] 여기서는, 산소 분위기에서, 400°C로, 1시간 가열 처리를 수행한다.

[0120] 배선(115)은 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한 후, 상기 도전막 위에 마스크를 형성하고 도전막을 에칭하여 형성한다. 도전막 위에 형성하는 마스크는 인쇄법, 잉크젯법, 포토리소그래피법을 적절히 사용하여 형성할 수 있다. 이 후, 마스크를 제거한다. 또한, 배선(115)을 듀얼 다마신법(dual damascene method)을 사용하여 형성하여도 좋다.

[0121] 여기서는 두께 50nm의 티타늄막, 두께 200nm의 알루미늄막, 및 두께 50nm의 티타늄막으로 이루어지는 적층막을 스퍼터링법에 의하여 형성한다. 다음에 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 적층막을 드라이 에칭하여 배선(115)을 형성한다.

[0122] 상술한 공정을 거쳐 온 전류가 높고 전기 특성이 향상된 트랜지스터를 제작할 수 있다. 또한, 전기 특성의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0123] 또한, 본 실시형태에 기재된 구성 및 방법 등을 다른 실시형태 및 실시예에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0124] (실시형태 2)

[0125] 본 실시형태에서는 실시형태 1과 상이한 구조를 갖는 트랜지스터 및 그 제작 방법에 대하여 도 3~도 5를 사용하여 설명한다.

[0126] 도 3은 트랜지스터(110)의 상면도 및 단면도다. 도 3의 (A)는 트랜지스터(110)의 상면도이며 도 3의 (B)는 도 3의 (A)를 일점 쇄선 A-B를 따라 자른 단면도이며, 도 3의 (C)는 도 3의 (A)를 일점 쇄선 C-D를 따라 자른 단면도다. 또한, 도 3의 (A)에서는 명료화를 위하여 기판(101), 산화물 반도체막(105a), 산화물 반도체막(105c), 게이트 절연막(109a), 절연막(118), 절연막(119) 등을 생략하였다.

[0127] 도 3에 도시된 트랜지스터(110)는 기판(101) 위에 제공된 하지 절연막(117) 위의 산화물 반도체막(105a)과, 산화물 반도체막(105a) 위에 제공된 산화물 반도체막(105b)과, 산화물 반도체막(105b)에 접촉하는 한 쌍의 전극(116)과, 하지 절연막(103), 산화물 반도체막(105b), 및 한 쌍의 전극(116)에 접촉하는 산화물 반도체막(105c)과, 산화물 반도체막(105c)에 접촉하는 게이트 절연막(109a)과, 게이트 절연막(109a)을 개재하여 산화물 반도체막(105c)과 중첩되는 게이트 전극(111)을 갖는다. 또한, 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)을 다층막(106)이라고 한다. 또한, 게이트 절연막(109a), 게이트 전극(111), 및 한 쌍의 전극(116)을 덮는 절연막(118)과, 절연막(118)을 덮는 절연막(119)을 가져도 좋다. 또한, 절연막(118) 및 절연막(119)의 개구부(114)에서 한 쌍의 전극(116)에 접촉하는 배선(115)을 가져도 좋다.

[0128] 하지 절연막(117)은 실시형태 1에 기재된 하지 절연막(103)과 마찬가지로 과잉 산소를 포함하는 산화 절연막을 사용하여 형성할 수 있다. 가열 처리에 의하여 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합은, 대표적으로는 $5 \times 10^{15}/\text{cm}^2$ 이상 $5 \times 10^{16}/\text{cm}^2$ 이하, 또는 $5 \times 10^{15}/\text{cm}^2$ 이상 $3 \times 10^{16}/\text{cm}^2$ 이하다. 또는 가열 처리에 의하여 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $1 \times 10^{20}/\text{cm}^3$ 이상 $1 \times 10^{21}/\text{cm}^3$ 이하, 또는 $1 \times 10^{20}/\text{cm}^3$ 이상 $5 \times 10^{20}/\text{cm}^3$ 이하다.

[0129] 또한, 질량 전하비가 30인 가스의 대표적인 예로서 일산화 질소가 있고, 질량 전하비가 32인 가스의 대표적인 예로서 산소가 있다. 즉 가열 처리에 의하여 방출되는 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방

출량이 $5 \times 10^{15} / \text{cm}^2$ 이상 $5 \times 10^{16} / \text{cm}^2$ 이하, 또는 $5 \times 10^{15} / \text{cm}^2$ 이상 $3 \times 10^{16} / \text{cm}^2$ 이하다. 또는, 가열 처리에 의하여 방출되는 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방출량이 $1 \times 10^{20} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 이하, 또는 $1 \times 10^{20} / \text{cm}^3$ 이상 $5 \times 10^{20} / \text{cm}^3$ 이하다.

[0130] 또한, 본 실시형태에 기재된 하지 절연막(117)은 다층막(106)을 에칭할 때에 일부가 에칭되고 다층막(106)과 중첩되는 영역에서 볼록부를 갖는다.

[0131] 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)에는 대표적으로는 In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M은 Ti, Ga, Y, Zr, La, Cs, Nd, 또는 Hf)을 사용하여 형성되고 산화물 반도체막(105a) 및 산화물 반도체막(105c)은 산화물 반도체막(105b)을 구성하는 원소 중 1종 이상을 사용하여 형성된다. 그러므로 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c) 각각 계면에서 계면 산란이 일어나기 어렵다. 따라서 상기 계면에서는 캐리어의 움직임이 저해되지 않기 때문에 트랜지스터의 전계 효과 이동도가 높게 된다.

[0132] 산화물 반도체막(105a) 및 산화물 반도체막(105c)은 산화물 반도체막(105b)보다 전도대 하단의 에너지가 진공준위에 가깝고 대표적으로는 산화물 반도체막(105a) 및 산화물 반도체막(105c)의 전도대 하단의 에너지와 산화물 반도체막(105b)의 전도대 하단의 에너지 차이가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이며, 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하다. 즉 산화물 반도체막(105a) 및 산화물 반도체막(105c)의 전자 친화력과 산화물 반도체막(105b)의 전자 친화력의 차이가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이며, 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하다.

[0133] 산화물 반도체막(105a) 및 산화물 반도체막(105c)으로서 Ga, Y, Zr, La, Cs, 또는 Nd을 In보다 높은 원자수비로 포함함으로써 이하와 같은 효과를 갖는 경우가 있다. (1) 산화물 반도체막(105a) 및 산화물 반도체막(105c)의 에너지 캡을 크게 한다. (2) 산화물 반도체막(105a) 및 산화물 반도체막(105c)의 전자 친화력을 작게 한다. (3) 외부로부터의 불순물 확산을 저감한다. (4) 산화물 반도체막(105b)과 비교하여 절연성이 높게 된다. (5) Ga, Y, Zr, La, Cs, 또는 Nd은 산소와의 결합력이 강한 금속 원소이기 때문에 Ga, Y, Zr, La, Cs, 또는 Nd을 In보다 높은 원자수비로 가짐으로써 산소 결손이 생기기 어렵게 된다.

[0134] 산화물 반도체막(105b)이 In-M-Zn 산화물막(M은 Ga, Y, Zr, La, Cs, 또는 Nd)인 경우, 산화물 반도체막(105b)을 형성하기 위하여 사용하는 타깃에서 금속 원소의 원자수비를 $\text{In:}M:\text{Zn}=x_1:y_1:z_1$ 로 하면 x_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이고, z_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하인 것이 좋다. 또한 z_1/y_1 을 1 이상 6 이하로 함으로써 산화물 반도체막(105b)으로서 나중에 기재하는 CAAC-OS막이 형성되기 쉽게 된다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 $\text{In:}M:\text{Zn}=1:1:1$, $\text{In:}M:\text{Zn}=1:1:1.2$, $\text{In:}M:\text{Zn}=3:1:2$ 등이 있다.

[0135] 산화물 반도체막(105a) 및 산화물 반도체막(105c)이 In-M-Zn 산화물막(M은 Ga, Y, Zr, La, Cs, 또는 Nd)인 경우, 산화물 반도체막(105a) 및 산화물 반도체막(105c)을 형성하기 위하여 사용하는 타깃에서 금속 원소의 원자수비를 $\text{In:}M:\text{Zn}=x_2:y_2:z_2$ 로 하면 $x_2/y_2 < x_1/y_1$ 이고, z_2/y_2 는 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하인 것이 좋다. 또한 z_2/y_2 를 1 이상 6 이하로 함으로써 산화물 반도체막(105a) 및 산화물 반도체막(105c)으로서 나중에 기재하는 CAAC-OS막이 형성되기 쉽게 된다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 $\text{In:}M:\text{Zn}=1:3:2$, $\text{In:}M:\text{Zn}=1:3:4$, $\text{In:}M:\text{Zn}=1:6:4$ 등이 있다.

[0136] 또한, 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)으로서 상술한 타깃을 사용하여 형성한 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)에 포함되는 M/In, Zn/In의 원자수비는 타깃에 포함되는 원자수비보다 작게 된다. 또한, In-Ga-Zn 산화물막에서 M에 대한 Zn의 원자수비(Zn/M)가 0.5 이상이 된다. 이와 같은 막은 나중에 기재하는 CAAC-OS막이 된다.

[0137] 산화물 반도체막(105b)이 In-M-Zn 산화물막인 경우, In과 M의 원자수비율은 In과 M의 합을 100atomic%로 하였을 때 In이 25atomic% 이상 M이 75atomic% 미만, 또는 In이 34atomic% 이상 M이 66atomic% 미만으로 한다.

[0138] 산화물 반도체막(105a) 및 산화물 반도체막(105c)이 In-M-Zn 산화물막인 경우 In과 M의 원자수비율은 In과 M의 합을 100atomic%로 하였을 때 In이 50atomic% 미만 M이 50atomic% 이상, 또는 In이 25atomic% 미만 M이 75atomic% 이상으로 한다.

- [0139] 또한, 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)이 In-M-Zn 산화물막(M은 Ti, Ga, Y, Zr, La, Cs, Nd 또는 Hf)인 경우, 산화물 반도체막(105b)에 비하여 산화물 반도체막(105a) 및 산화물 반도체막(105c)에 포함되는 M(Ga, Y, Zr, La, Cs, 또는 Nd)의 원자수비가 크고 대포적으로는 산화물 반도체막(105b)에 포함되는 상기 원자에 비하여 1.5배 이상, 또는 2배 이상, 또는 3배 이상 높은 원자수비다.
- [0140] 또한, 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)이 In-M-Zn 산화물막(M은 Ga, Y, Zr, La, Cs, 또는 Nd)인 경우, 산화물 반도체막(105a) 및 산화물 반도체막(105c)을 In:M:Zn=x₁:y₁:z₁[원자수비], 산화물 반도체막(105b)을 In:M:Zn=x₂:y₂:z₂[원자수비]로 하면 y₁/x₁은 y₂/x₂보다 크고 또는 y₁/x₁이 y₂/x₂보다 1.5배 이상 크다. 또는 y₁/x₁이 y₂/x₂보다 2배 이상 크고, 또는 y₁/x₁이 y₂/x₂보다 3배 이상 크다. 이 때, 산화물 반도체막(105b)에서 y₂가 x₂ 이상이면, 상기 산화물 반도체막(105b)을 사용한 트랜지스터에 안정된 전기 특성을 부여할 수 있기 때문에 바람직하다.
- [0141] 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)으로서 실시형태 1에 기재된 산화물 반도체막(105)과 같은 형성 공정을 적절히 사용할 수 있다.
- [0142] 나중에 게이트 절연막(109a)을 형성할 때에 산화물 반도체막(105c)은 산화물 반도체막(105b)으로의 대미지를 완화하는 막으로서도 기능한다. 이 결과 산화물 반도체막(105b)에 포함되는 산소 결손량을 저감할 수 있다. 또한, 산화물 반도체막(105c)을 형성함으로써 상기 산화물 반도체막(105b) 위에 형성되는 절연막, 예를 들어, 산화물 절연막의 구성 원소가 상기 산화물 반도체막(105b)에 혼입되는 것을 억제 할 수도 있다.
- [0143] 산화물 반도체막(105b)의 두께는 3nm 이상 200nm 이하, 또는 3nm 이상 100nm 이하, 또는 3nm 이상 50nm 이하로 한다.
- [0144] 산화물 반도체막(105a) 및 산화물 반도체막(105c)의 두께는 0.3nm 이상 200nm 이하, 또는 3nm 이상 100nm 이하, 또는 3nm 이상 50nm 이하로 한다.
- [0145] 또한, 산화물 반도체막(105a)의 두께는 산화물 반도체막(105b)보다 두꺼운 것이 바람직하다. 또한, 산화물 반도체막(105c)의 두께는 산화물 반도체막(105b)보다 얇은 것이 바람직하다.
- [0146] 산화물 반도체막(105a)의 두께가 지나치게 얇으면 산화물 반도체막(105a)과 산화물 반도체막(105b)의 계면에서 전자가 포획되어 트랜지스터의 온 전류가 저하된다. 한편 산화물 반도체막(105a)의 두께가 지나치게 두꺼우면 하지 절연막(117)으로부터 산화물 반도체막(105b)으로 이동하는 산소량이 저감되어 산화물 반도체막(105b)의 산소 결손량 및 수소량을 저감하기 어렵게 된다. 이로써 산화물 반도체막(105a)의 두께를 산화물 반도체막(105b)의 두께보다 두껍고 20nm 이상 200nm 이하로 하는 것이 바람직하다.
- [0147] 산화물 반도체막(105c)에 많은 전자가 유기되면 산화물 반도체막(105c)은 게이트 전극의 전계를 차폐하여 산화물 반도체막(105b)에 인가되는 전계가 약해진다. 이로써 트랜지스터의 온 전류가 저하되기 때문에 산화물 반도체막(105c)의 두께를 산화물 반도체막(105b)보다 얇고 0.3nm 이상 10nm 이하로 하는 것이 바람직하다.
- [0148] 또한, 산화물 반도체막(105a) 및 산화물 반도체막(105c)은 산화물 반도체막(105b)과 마찬가지로 적절히 단결정 구조, 비단결정 구조로 할 수 있다. 비단결정 구조는, 예를 들어, 나중에 기재하는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 나중에 기재하는 미결정 구조, 또는 비정질 구조를 포함한다.
- [0149] 또한, 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)은 각각 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, 나중에 기재하는 CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상을 갖는 혼합막을 구성하여도 좋다. 혼합막은 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, 나중에 기재하는 CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역을 갖는 단층 구조의 경우가 있다. 또한, 혼합막은, 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, 나중에 기재하는 CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 층을 갖는 적층 구조를 갖는 경우가 있다. 또한, 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c)의 차례로 미결정 구조 및 나중에 기재하는 CAAC-OS의 적층 구조를 가져도 좋다. 또는, 산화물 반도체막(105a)이 미결정 구조 및 나중에 기재하는 CAAC-OS의 적층 구조이며 산화물 반도체막(105b) 및 산화물 반도체막(105c)이 나중에 기재하는 CAAC-OS막이라도 좋다.
- [0150] 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c) 모두가 나중에 기재하는 CAAC-OS막

이라면 산화물 반도체막(105a), 산화물 반도체막(105b), 및 산화물 반도체막(105c) 각각 계면에서의 결정성을 높일 수 있어 바람직하다.

[0151] 또한, 다층막(106)에서, 게이트 전극(111)과 중첩되고 한 쌍의 전극(116) 사이에 끼워지는 영역을 채널 형성 영역이라고 한다. 또한, 채널 형성 영역에서 캐리어가 주로 흐르는 영역을 채널 영역이라고 한다. 여기서는 한 쌍의 전극(116) 사이에 제공되는 산화물 반도체막(105b)이 채널 영역이다. 또한, 한 쌍의 전극(116) 사이의 거리를 채널 길이라고 한다.

[0152] 여기서는 산화물 반도체막(105b)과 게이트 절연막(109a) 사이에 산화물 반도체막(105c)이 제공된다. 그러므로, 산화물 반도체막(105c)과 게이트 절연막(109a) 사이에 불순물 및 결함으로 인한 트랩 준위가 형성되더라도 상기 트랩 준위와 산화물 반도체막(105b) 사이에 거리가 있다. 이 결과, 산화물 반도체막(105b)을 흐르는 전자가 트랩 준위에 포획되기 어렵고, 트랜지스터의 온 전류를 증대시키는 것이 가능함과 함께, 전계 효과 이동도를 높일 수 있다. 또한, 트랩 준위에 전자가 포획되면, 이 전자가 마이너스의 고정 전하가 된다. 이 결과, 트랜지스터의 문턱 전압이 변동된다. 그러나, 산화물 반도체막(105b)과 트랩 준위 사이에 거리가 있기 때문에, 트랩 준위에서의 전자의 포획을 저감하는 것이 가능하고, 문턱 전압의 변동을 저감할 수 있다.

[0153] 또한, 산화물 반도체막(105c)은 외부로부터 불순물이 확산되는 것을 저감할 수 있기 때문에, 외부로부터 산화물 반도체막(105b)으로 이동하는 불순물량을 저감할 수 있다. 또한, 산화물 반도체막(105c)은 산소 결손을 형성하기 어렵다. 이로써, 산화물 반도체막(105b)에서의 불순물 농도 및 산소 결손량을 저감할 수 있다.

[0154] 또한, 적어도 산화물 반도체막(105a) 및 산화물 반도체막(105b)은 각 막을 단순히 적층하는 것이 아니라 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 막 사이에서 연속적으로 변화되는 구조를 말함)이 형성되도록 제작한다. 즉, 각 막의 계면에서 트랩 중심이나 재결합 중심과 같은 결함 준위를 형성하는 불순물이 존재하지 않는 적층 구조로 한다. 가령, 적층된 산화물 반도체막(105a)과 산화물 반도체막(105b) 사이에 불순물이 혼재되면 에너지 밴드의 연속성이 없어져 계면에서 캐리어가 포획되거나 또는 재결합하여 소멸된다.

[0155] 연속 접합을 형성하기 위해서는 로드록(load lock)실을 구비한 멀티 챔버 방식의 성막 장치를 사용하여 각 막을 대기에 노출시키지 않고 연속적으로 적층할 필요가 있다.

[0156] 본 실시형태에 기재된 트랜지스터는 산화물 반도체막(105b)과 게이트 절연막(109a) 사이에 산화물 반도체막(105c)이 제공되기 때문에 산화물 반도체막(105b)에서의 실리콘 농도나 탄소 농도, 또는 산화물 반도체막(105b)과 산화물 반도체막(105a)의 계면 근방 및 산화물 반도체막(105b)과 산화물 반도체막(105c)의 계면 근방에서의 실리콘 농도나 탄소 농도를 저감할 수 있다.

[0157] 이와 같은 구조를 갖는 트랜지스터(110)는 산화물 반도체막(105b)을 포함하는 다층막(106)에서 결함이 매우 적기 때문에, 트랜지스터의 전기 특성을 향상시킬 수 있고, 대표적으로는, 온 전류의 증대 및 전계 효과 이동도의 향상이 가능하다. 또한, 스트레스 시험의 일례인 BT 스트레스 시험 및 광 BT 스트레스 시험에서의 문턱 전압의 변동량이 적고 신뢰성이 높다.

[0158] 게이트 절연막(109a)은, 실시형태 1에 기재된 트랜지스터(100)의 게이트 절연막(109)에 사용한 재료를 적절히 사용할 수 있다. 또한, 본 실시형태에서는 게이트 절연막(109a)의 단부의 위치와 게이트 전극(111)의 단부의 위치는 대략 일치한다.

[0159] 본 실시형태에 기재되는 트랜지스터(110)에서는, 산화물 반도체막(105c)의 단부와 게이트 절연막(109a)의 단부가 게이트 전극(111)의 단부와 대략 일치한다.

[0160] 트랜지스터(110)에서는, 게이트 전극(111)을 형성할 때의 애칭 잔사(殘渣)를 산화물 반도체막(105c) 및 게이트 절연막(109a)을 형성할 때에 제거할 수 있기 때문에 게이트 전극(111)과 배선(115) 사이에 생기는 누설 전류를 저감할 수 있다.

[0161] 한 쌍의 전극(116)은 실시형태 1에 기재된 한 쌍의 전극(107)과 같은 재료를 적절히 사용할 수 있다. 또한, 본 실시형태에 기재된 한 쌍의 전극(116)은 실시형태 1에 기재된 한 쌍의 전극(107)과 비교하여 전극끼리가 대향하는 간격이 좁다.

[0162] 절연막(118) 및 절연막(119)은 각각 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 질화 알루미늄막 등을 사용하면 좋고 적층 또는 단층으로 제공한다. 또한, 절연막(118) 및 절연막(119)의 두께를 합치면 30nm 이상 500nm 이하, 또는 100nm

이상 400nm 이하로 하는 것이 바람직하다.

[0163] 다음에, 반도체 장치의 제작 방법에 대하여, 도 4 및 도 5를 사용하여 설명한다.

[0164] 도 4의 (A)에 도시된 바와 같이, 기판(101) 위에 하지 절연막(103)을 형성하고 하지 절연막(103) 위에 산화물 반도체막(104a) 및 산화물 반도체막(104b)을 형성한다.

[0165] 여기서는 기판(101)으로서 실리콘 웨이퍼를 사용한다.

[0166] 실시형태 1과 마찬가지로 하지 절연막(103)에 포함되는 산소량이 화학 양론적 조성을 만족시키는 산소보다 많은 산화 질화 절연막을 형성한다.

[0167] 여기서는 하지 절연막(103)으로서 실시형태 1과 마찬가지로 CVD법으로 두께 300nm의 산화 질화 실리콘막을 형성한다.

[0168] 산화물 반도체막(104a) 및 산화물 반도체막(104b)은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법 등을 사용하여 형성할 수 있다.

[0169] 여기서는 금속 원소의 원자수비가 $In:Ga:Zn=1:3:4$ 인 타깃을 사용한 스퍼터링법에 의하여 산화물 반도체막(104a)으로서 두께 20nm의 In-Ga-Zn 산화물막을 형성한다. 또한, 금속 원소의 원자수비가 $In:Ga:Zn=1:1:1.2$ 인 타깃을 사용한 스퍼터링법에 의하여 산화물 반도체막(104b)으로서 두께 15nm의 In-Ga-Zn 산화물막을 형성한다.

[0170] 다음에 제 1 가열 처리를 수행하여 하지 절연막(103)으로부터 산화물 반도체막(104a) 및 산화물 반도체막(104b)으로 산소를 이동시키는 것이 바람직하다. 또한, 산화물 반도체막(104a) 및 산화물 반도체막(104b)에 포함되는 불순물을 제거하는 것이 바람직하다.

[0171] 제 1 가열 처리는 실시형태 1에 기재된 제 1 가열 처리와 같은 조건을 적절히 사용하여 수행할 수 있다.

[0172] 상술한 가열 처리를 함으로써 하지 절연막(103)에 포함되는 산소의 일부를 산화물 반도체막(104a) 및 산화물 반도체막(104b)으로 이동시켜 산화물 반도체막(104a) 및 산화물 반도체막(104b)의 산소 결손량을 저감시킨다. 또한, 상술한 가열 처리에 의하여 하지 절연막(103)에 포함되는 산소량이 저감된다.

[0173] 여기서는 질소를 포함하는 분위기에서 450°C로 1시간 가열 처리를 수행한 후에 질소 및 산소 분위기에서 450°C로 1시간 가열 처리를 수행한다.

[0174] 상술한 공정을 거침으로써 산화물 반도체막(104a) 및 산화물 반도체막(104b)의 산소 결손, 및 하지 절연막(103)과 산화물 반도체막(104a)의 계면 준위를 저감할 수 있다.

[0175] 또한, 상기 가열 처리는 상기 공정에서 수행하지 않고 나중의 공정에서 수행하여도 좋다. 즉 나중의 공정에서 수행되는 다른 가열 처리에 의하여 하지 절연막(103)에 포함되는 산소의 일부를 산화물 반도체막(104a) 및 산화물 반도체막(104b)으로 이동시켜도 좋다. 이 결과 가열 공정수를 삭감할 수 있다.

[0176] 다음에 산화물 반도체막(104b) 위에 포토리소그래피 공정으로 마스크를 형성한 후, 상기 마스크를 사용하여 산화물 반도체막(104a) 및 산화물 반도체막(104b) 각각의 일부를 에칭함으로써 도 4의 (B)에 도시된 바와 같이, 산화물 반도체막(105a) 및 산화물 반도체막(105b)을 형성한다. 그 후, 마스크를 제거한다. 또한, 상기 에칭 공정에서 하지 절연막(103)의 일부가 에칭되는 경우가 있다. 여기서는 일부가 에칭된 하지 절연막(103)을 하지 절연막(117)이라고 나타낸다.

[0177] 다음에 도 4의 (C)에 도시된 바와 같이, 산화물 반도체막(105b) 위에 한 쌍의 전극(116)을 형성한다. 다음에 산화물 반도체막(105b) 및 한 쌍의 전극(116) 위에 산화물 반도체막(104c)을 형성하고, 산화물 반도체막(104c) 위에 게이트 절연막(108)을 형성한다.

[0178] 한 쌍의 전극(116)은 실시형태 1에 기재된 한 쌍의 전극(107)과 마찬가지로 형성할 수 있다.

[0179] 또한, 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우, 적어도 한 쌍의 전극(107)이 되는 도전막을 분단하는 영역은 전자 빔 노광 등 세선(fine line) 가공에 적합한 방법을 사용하여 레지스트 마스크를 가공하고, 에칭 공정에 의하여 상기 영역을 에칭하면 좋다. 또한, 상기 레지스트 마스크로서는 포지티브형 레지스트를 사용하면 노광 영역을 최소한으로 할 수 있어 스루풋(throughput)을 향상시킬 수 있다. 이와 같은 방법을 사용하면, 채널 길이를 100nm 이하, 또는 30nm 이하로 하는 트랜지스터를 형성할 수 있다. 또는, 괴상이 매우 짧은 광(예를 들어, 극단 자외광(EUV: Extreme Ultra-Violet))이나 X선 등을 사용한 노광 기술에 의하여 미세한 가공을 수

행하여도 좋다.

[0180] 여기서는 두께 100nm의 텅스텐막을 스퍼터링법에 의하여 적층한다. 다음에 텅스텐막 위에 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 텅스텐막을 드라이 에칭하여 한 쌍의 전극(116)을 형성한다.

[0181] 또한, 실시형태 1과 마찬가지로 한 쌍의 전극(116)을 형성한 후, 에칭 잔사를 제거하기 위하여, 세정 처리를 수행하는 것이 바람직하다.

[0182] 다음에 도 4의 (D)에 도시된 바와 같이, 산화물 반도체막(105b) 및 한 쌍의 전극(116) 위에 산화물 반도체막(104c)을 형성하고, 산화물 반도체막(104c) 위에 게이트 절연막(108)을 형성한다.

[0183] 산화물 반도체막(104c)은 산화물 반도체막(105a)과 마찬가지로 형성할 수 있다. 또한, 게이트 절연막(108)은 실시형태 1에 기재된 게이트 절연막(109)과 마찬가지로 형성할 수 있다.

[0184] 여기서는 원자수비가 In:Ga:Zn=1:3:4인 타깃을 사용한 스퍼터링법에 의하여 산화물 반도체막(104c)으로서 두께 5nm의 In-Ga-Zn 산화물막을 형성한다. 또한, 게이트 절연막(108)으로서는 플라즈마 CVD법에 의하여 두께 20nm의 산화 질화 실리콘막을 형성한다.

[0185] 다음에 도 5의 (A)에 도시된 바와 같이, 게이트 절연막(108) 위에 있고 산화물 반도체막(105b)과 중첩되는 영역에 실시형태 1과 마찬가지로 게이트 전극(111)을 형성한다.

[0186] 여기서는 두께 30nm의 질화 티타늄막 및 두께 135nm의 텅스텐막을 스퍼터링법에 의하여 순차적으로 형성한다. 다음에 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 질화 티타늄막 및 텅스텐막을 드라이 에칭하여 게이트 전극(111)을 형성한다.

[0187] 다음에 도 5의 (B)에 도시된 바와 같이, 게이트 전극(111)을 마스크로 하여 산화물 반도체막(104c) 및 게이트 절연막(108)을 에칭하여 산화물 반도체막(105c) 및 게이트 절연막(109a)을 형성한다. 그러므로 포토마스크 개수를 증가시키지 않고 산화물 반도체막(105c) 및 게이트 절연막(109a)을 형성할 수 있다. 또한, 산화물 반도체막(105c) 및 게이트 절연막(109a)의 단부는 게이트 전극(111)의 단부와 대략 일치한다.

[0188] 또한, 트랜지스터(110)에서는, 게이트 전극(111)을 형성할 때의 에칭 잔사를 산화물 반도체막(105c) 및 게이트 절연막(109a)을 형성할 때에 제거할 수 있기 때문에 게이트 전극(111)과 나중에 형성되는 배선(115) 사이에 생기는 누설 전류를 저감할 수 있다.

[0189] 다음에 도 5의 (C)에 도시된 바와 같이, 한 쌍의 전극(116) 및 게이트 전극(111) 위에 절연막(118) 및 절연막(119)을 순차적으로 적층하여 형성한다. 다음에 제 2 가열 처리를 수행한다. 다음에 절연막(118) 및 절연막(119)에 개구부를 형성한 후, 배선(115)을 형성한다.

[0190] 절연막(118) 및 절연막(119)은 스퍼터링법, CVD법 등을 적절히 사용할 수 있다. 절연막(118)으로서 산소의 블로킹막을 사용함으로써 나중에 수행하는 가열 처리에서 다층막(106)으로부터 산소가 이탈되는 것을 저감할 수 있기 때문에 트랜지스터의 전기 특성 편차를 저감하면서 문턱 전압의 변동을 억제할 수 있다.

[0191] 제 2 가열 처리는 실시형태 1에 기재된 제 2 가열 처리와 같은 조건을 적절히 사용하여 수행할 수 있다.

[0192] 여기서는 절연막(118)으로서 스퍼터링법에 의하여 두께 70nm의 산화 알루미늄막을 형성하고 절연막(119)으로서 CVD법에 의하여 두께 300nm의 산화 질화 실리콘막을 형성한다. 또한, 산소 분위기에서, 450°C로, 1시간 가열 처리를 수행한다. 이 후 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 드라이 에칭법에 의하여 절연막(118) 및 절연막(119)의 일부를 에칭하여 개구부를 형성한다.

[0193] 배선(115)은 한 쌍의 전극(116)과 마찬가지로 형성할 수 있다. 또는 다마신(damascene)법에 의하여 형성할 수 있다.

[0194] 여기서는 두께 50nm의 티타늄막, 두께 200nm의 알루미늄막, 및 두께 50nm의 티타늄막을 스퍼터링법에 의하여 순차적으로 형성한다. 다음에 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 티타늄막, 알루미늄막, 및 티타늄막을 드라이 에칭하여 배선(115)을 형성한다.

[0195] 상술한 공정을 거쳐 트랜지스터(110)를 제작할 수 있다.

[0196] 원자수비가 In:Ga:Zn=1:3:4인 타깃을 사용한 스퍼터링법에 의하여 산화물 반도체막(105a)을 형성하고, 원자수비가 In:Ga:Zn=1:1:1 또는 In:Ga:Zn=3:1:2인 타깃을 사용한 스퍼터링법에 의하여 산화물 반도체막(105b)을 형성하고, 원자수비가 In:Ga:Zn=1:3:4인 타깃을 사용한 스퍼터링법에 의하여 산화물 반도체막(105c)을 형성함으로써

산화물 반도체막(105a)의 전도대 하단 및 산화물 반도체막(105c)의 전도대 하단에 비하여 산화물 반도체막(105b)의 전도대 하단이 진공 준위로부터 가장 멀어지는 우물형 구조가 됨과 함께 캐리어 패스가 되는 산화물 반도체막(105b)의 실리콘 농도나 탄소 농도 등을 저감할 수 있기 때문에 트랜지스터의 전계 효과 이동도를 높일 수 있음과 함께 트랜지스터의 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 문턱 전압의 변동량을 저감 할 수 있다.

[0197] 또한, 하지 절연막(103), 산화물 반도체막(105b), 및 한 쌍의 전극(107) 위에 산화물 반도체막(105c)이 되는 산화물 반도체막, 게이트 절연막(109a)이 되는 절연막, 및 게이트 전극(111)이 되는 도전막을 형성한 후, 도전막 위에 포토리소그래피 공정으로 마스크를 형성하고 상기 마스크를 사용하여 산화물 반도체막, 절연막, 및 도전막을 에칭함으로써 산화물 반도체막(105c), 게이트 절연막(109a), 및 게이트 전극(111)을 동시에 형성할 수 있다.

[0198] 상술한 공정을 거쳐, 산화물 반도체막을 갖는 다층막의 국제 준위(局在 準位) 밀도가 낮고 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있다. 또한, 시간에 따른 변화나 스트레스 시험에 의한 전기 특성의 변동이 적고 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0199] 또한, 본 실시형태에 기재된 구성 및 방법 등을 다른 실시형태 및 그 변형에, 및 실시예에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0200] (실시형태 3)

[0201] 본 실시형태에서는 실시형태 1~실시형태 3과 상이한 구조를 갖는 트랜지스터에 대하여, 도 6을 사용하여 설명한다. 본 실시형태에 기재된 트랜지스터는 산화물 반도체막을 끼워서 대향하는 복수의 게이트 전극을 갖는 것을 특징으로 한다. 또한, 본 실시형태에서는 실시형태 1에 기재된 트랜지스터를 사용하여 설명하지만 다른 실시형태와 적절히 조합할 수 있다.

[0202] 도 6에 도시된 트랜지스터(130)는 기판(101) 위에 제공되는 게이트 전극(231)과, 게이트 전극(231)을 덮는 절연막(233)을 갖는다. 또한, 절연막(233) 위에 형성되는 산화물 반도체막(105)과 산화물 반도체막(105)에 접촉하는 한 쌍의 전극(107)과, 절연막(233), 산화물 반도체막(105), 및 한 쌍의 전극(107)에 접촉하는 게이트 절연막(109)과, 게이트 절연막(109)을 개재하여 산화물 반도체막(105)과 중첩되는 게이트 전극(111)을 갖는다. 또한, 게이트 절연막(109) 및 게이트 전극(111)을 덮는 절연막(113)을 갖는다. 또한, 게이트 절연막(109) 및 절연막(113)의 개구부에서 한 쌍의 전극(107)과 접촉하는 배선(115)을 가져도 좋다.

[0203] 게이트 전극(231)은, 실시형태 1에 기재된 게이트 전극(111)과 마찬가지로 형성할 수 있다. 또한, 게이트 전극(231)은 나중에 형성되는 절연막(233)의 피복성을 높이기 위하여 측면이 테이퍼 형상을 갖는 것이 바람직하고 기판(101)과 게이트 전극(231)의 측면이 이루는 각도가 20° 이상 70° 이하, 또는 30° 이상 60° 이하로 한다.

[0204] 절연막(233)은, 실시형태 1에 기재된 하지 절연막(103)과 마찬가지로 형성할 수 있다. 가열 처리에 의하여 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합은, 대표적으로는 $5 \times 10^{15} / \text{cm}^2$ 이상 $5 \times 10^{16} / \text{cm}^2$ 이하, 또는 $5 \times 10^{15} / \text{cm}^2$ 이상 $3 \times 10^{16} / \text{cm}^2$ 이하의 산화 절연막을 들 수 있다. 또는 가열 처리에 의하여 방출되는, 질량 전하비가 32인 가스의 방출량의 2배에 질량 전하비가 30인 가스의 방출량을 더한 합이 $1 \times 10^{20} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 이하, 또는 $1 \times 10^{20} / \text{cm}^3$ 이상 $5 \times 10^{20} / \text{cm}^3$ 이하의 산화 절연막을 들 수 있다.

[0205] 또한, 질량 전하비가 30인 가스의 대표적인 예로서 일산화 질소가 있고, 질량 전하비가 32인 가스의 대표적인 예로서 산소가 있다. 즉 가열 처리에 의하여 방출되는, 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방출량이 $5 \times 10^{15} / \text{cm}^2$ 이상 $5 \times 10^{16} / \text{cm}^2$ 이하, 또는 $5 \times 10^{15} / \text{cm}^2$ 이상 $3 \times 10^{16} / \text{cm}^2$ 이하다. 또는, 가열 처리에 의하여 방출되는 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방출량이 $1 \times 10^{20} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 이하, 또는 $1 \times 10^{20} / \text{cm}^3$ 이상 $5 \times 10^{20} / \text{cm}^3$ 이하다.

[0206] 또한, 나중에 절연막(233) 위에 산화물 반도체막(105)을 형성하기 때문에 절연막(233)의 표면은 평탄한 것이 바람직하다. 그러므로 나중에 절연막(233)이 되는 절연막을 기판(101) 및 게이트 전극(231) 위에 형성한 후, 상기 절연막을 CMP 처리 등에 의하여 평탄화 처리하여 표면의 요철이 적은 절연막(233)을 형성한다.

[0207] 본 실시형태에 기재되는 트랜지스터(130)는 산화물 반도체막(105)을 끼워서 대향하는 게이트 전극(231) 및 게이

트 전극(111)을 갖는다. 게이트 전극(231)과 게이트 전극(111)에 서로 다른 전위를 인가함으로써 트랜지스터(130)의 문턱 전압을 제어할 수 있다. 또는 게이트 전극(231) 및 게이트 전극(111)에 같은 전위를 인가하여도 좋다. 또는 게이트 전극(231)의 전위를 정(定)전위로 하여도 좋고, 또한 접지 전위로 하여도 좋다.

[0208] 상술한 공정을 거쳐 산화물 반도체막이 형성되는 하지 절연막으로서 실시형태 1에 기재된 바와 같은 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 형성하고, 상기 하지 절연막 위에 산화물 반도체막이 제공된 트랜지스터를 제작함으로써 온 전류가 높고 전기 특성이 향상된 트랜지스터를 제작할 수 있다. 또한, 시간에 따른 변화나 스트레스 시험에 의한 전기 특성의 변동이 적고 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0209] 또한, 본 실시형태에 기재된 트랜지스터는 산화물 반도체막을 끼워서 2개의 게이트 전극이 대향하기 때문에 트랜지스터의 전기 특성을 쉽게 제어할 수 있다.

[0210] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태 및 실시예에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0211] (실시형태 4)

[0212] 본 실시형태에서는 실시형태 1~실시형태 3에 적용할 수 있는 하지 절연막(103), 하지 절연막(117), 절연막(113), 및 절연막(233)에 대하여 도 7을 사용하여 설명한다. 본 실시형태에서는 실시형태 1에 기재된 트랜지스터(100)를 사용하여 설명하지만 다른 실시형태에 기재된 트랜지스터의 하지 절연막(103), 하지 절연막(117), 절연막(113), 및 절연막(233)에 적절히 적용할 수 있다.

[0213] 본 실시형태에 기재된 트랜지스터(150)에서는 도 7에 도시된 바와 같이, 기판(101) 및 산화물 반도체막(105) 사이에, 성막 온도가 상이한 조건으로 형성된 절연막을 복수로 사용하여 하지 절연막이 형성되는 점이 실시형태 1~실시형태 3에 기재된 트랜지스터와 상이하다.

[0214] 하지 절연막의 성막 조건에서 성막 온도가 낮을수록(대표적으로는 300°C 이하라면) 가열에 의한 산소의 방출량이 많아진다. 하지만 상기 온도로 성막한 하지 절연막에는 결함이 포함되어 트랜지스터의 신뢰성이 저하되는 원인이 된다. 한편, 하지 절연막의 성막 조건에서 성막 온도가 높을수록(대표적으로는 350°C 이상이라면) 성막한 하지 절연막에 포함되는 결함량이 적어지고 트랜지스터의 신뢰성을 높일 수 있다. 하지만 상기 온도로 성막한 하지 절연막은 가열에 의한 산소의 방출량이 적다. 이로써 상기 하지 절연막에 접촉하는 산화물 반도체막을 갖는 트랜지스터에서, 채널 길이가 짧은 경우(대표적으로는 1 μm 이하의 경우)에는 가열 처리에 의하여 하지 절연막으로부터 산화물 반도체막으로 이동하는 산소량이 적고 산화물 반도체막에 산소 결손이 많이 포함된다. 이 결과 문턱 전압이 마이너스가 된다.

[0215] 그래서 하지 절연막(153)으로서 절연막(153a) 및 절연막(153b)으로 이루어지는 적층막을 형성함으로써, 더구나 절연막(153a) 및 절연막(153b)을 상이한 성막 온도를 사용하여 형성함으로써 결함량 및 산소 방출량을 제어한 하지 절연막(153)을 형성할 수 있다.

[0216] 또한, 하지 절연막(153) 위에 형성되는 산화물 반도체막(105)에서 산화물 반도체막(105)에 포함되는 금속 원소의 원자수비에 따라 산소 결손량이 상이하다. 예를 들어, 산화물 반도체막(105)으로서 In-Ga-Zn 산화물막을 사용한 경우, Ga의 금속 원자수비가 적을수록 산화물 반도체막(105)에서의 산소 결손량이 증가된다. 대표적으로는 In:Ga:Zn=1:1:1의 타깃을 사용하여 성막한 산화물 반도체막에 비하여 In:Ga:Zn=3:1:2의 타깃을 사용하여 성막한 산화물 반도체막의 산소 결손량이 많다. In:Ga:Zn=1:1:1의 타깃을 사용하여 성막한 산화물 반도체막을 갖는 트랜지스터에 비하여 In:Ga:Zn=3:1:2의 타깃을 사용하여 성막한 산화물 반도체막을 갖는 트랜지스터의 문턱 전압은 마이너스로 변동되기 더 쉽기 때문에 가열에 의한 산소 방출량이 많은 절연막을 사용하여 하지 절연막(153)을 형성하는 것이 바람직하다.

[0217] 그래서 산화물 반도체막(105)에 포함되는 금속 원소의 원자수비에 따라 절연막(153a) 및 절연막(153b)의 두께 및 성막 온도를 제어함으로써 산화물 반도체막(105)의 산소 결손을 저감할 수 있고 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0218] (실시형태 5)

[0219] 본 실시형태에서는 하부에 제 1 반도체 재료를 사용한 트랜지스터를 갖고, 상부에 제 2 반도체 재료를 사용한 트랜지스터를 갖는 반도체 장치이고, 제 1 반도체 재료를 사용한 트랜지스터에 반도체 기판을 사용한 구조 및 그 제작 방법에 대하여 도 8 및 도 9를 사용하여 설명한다. 제 1 반도체 재료를 사용한 트랜지스터에 사용되는

반도체 기판으로서는 실리콘이나 탄소화 실리콘 등으로 이루어지는 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어지는 화합물 반도체 기판, SOI 기판 등을 사용할 수 있고, 여기서는 반도체 기판으로서 단결정 실리콘 웨이퍼를 사용한다. 제 2 반도체 재료를 사용한 트랜지스터로서는 실시형태 1~실시형태 6에 기재된 산화물 반도체를 사용한 트랜지스터를 사용한다.

[0220] 먼저, 반도체 장치의 구조에 대하여 도 8을 사용하여 설명한다.

[0221] 반도체 기판(301)을 사용하여 형성되는 트랜지스터(305)는 n채널형 트랜지스터(NMOSFET)이고, 트랜지스터(306)는 p채널형 트랜지스터(PMOSFET)다. 트랜지스터(305) 및 트랜지스터(306)는 STI(Shallow Trench Isolation)(303)에 의하여 다른 소자와 절연 분리된다. STI(303)를 사용함으로써 LOCOS에 의한 소자 분리법으로 발생하는 소자 분리부의 베즈 비크(bird's beak)를 억제할 수 있고, 소자 분리부의 축소 등이 가능하게 된다. 한편, 구조의 미세화 또는 소형화가 요구되지 않는 반도체 장치에서는 STI(303)를 반드시 형성할 필요는 없고, LOCOS 등의 소자 분리 수단을 사용할 수도 있다.

[0222] 트랜지스터(305)는, 반도체 기판(301) 중에 제공된 채널 영역(307)과, 채널 영역(307)을 끼우도록 제공된 불순물 영역(309)(소스 영역 및 드레인 영역이라고도 함)과, 채널 영역(307) 위에 제공된 게이트 절연막(311)과, 채널 영역과 중첩되도록 게이트 절연막(311) 위에 제공된 게이트 전극(313)을 갖는다. 게이트 전극(313)은 단층 또는 적층으로 할 수 있다. 또한, 게이트 전극(313)을, 가공 정밀도를 높이기 위한 제 1 재료로 이루어지는 제 1 도전막과, 저저항화를 위한 제 2 재료로 이루어지는 제 2 도전막이 적층된 구조로 하여도 좋다.

[0223] 또한, 불순물 영역(309)과 채널 영역(307) 사이에는, 불순물 영역(309)과 상이한 불순물 영역(315)이 제공된다. 상기 불순물 영역(315)은 도입된 불순물 농도에 따라 LDD 영역이나 익스텐션 영역(extension region)으로서 채널 영역 근방의 전계 분포를 제어하는 기능을 갖는다. 게이트 전극(313)의 측벽에는 사이드 월(317)을 갖는다. 사이드 월(317)을 사용함으로써 불순물 영역(315)을 형성할 수 있다.

[0224] 트랜지스터(306)는, n월 영역(304) 중에 제공된 채널 영역(308)과, 채널 영역(308)을 끼우도록 제공된 불순물 영역(310)(소스 영역 및 드레인 영역이라고도 함)과, 채널 영역(308) 위에 제공된 게이트 절연막(312)과, 채널 영역과 중첩되도록 게이트 절연막(312) 위에 제공된 게이트 전극(314)을 갖는다. 게이트 전극(314)은 단층 또는 적층으로 할 수 있다.

[0225] 또한, 불순물 영역(310)과 채널 영역(308) 사이에는, 불순물 영역(310)과 상이한 불순물 영역(316)이 제공된다. 상기 불순물 영역(316)은 도입된 불순물 농도에 따라 LDD 영역이나 익스텐션 영역으로서 채널 영역 근방의 전계 분포를 제어하는 기능을 갖는다. 게이트 전극(314)의 측벽에는 사이드 월(318)을 갖는다. 사이드 월(318)을 사용함으로써 불순물 영역(310)을 형성할 수 있다.

[0226] 트랜지스터(305) 및 트랜지스터(306) 위에는 절연막(321) 및 절연막(323)이 제공된다. 또한, 절연막(321) 및 절연막(323)에는 개구부가 제공되고, 상기 개구부에 불순물 영역(309) 및 불순물 영역(310)에 접속되는 콘택트 플러그(325)가 제공된다. 콘택트 플러그(325)는 트랜지스터(305) 및 트랜지스터(306)의 소스 전극이나 드레인 전극으로서도 기능한다. 또한, 콘택트 플러그(325)는 절연막(323) 위에 있고 절연막(327)에 매립된 배선(329)과 접속된다.

[0227] 절연막(321)을 보호막으로서 기능시켜, 외부로부터 채널 영역으로 불순물이 침입하는 것을 막을 수 있다. 또한, 채널 영역에 단결정 실리콘을 사용한 경우에, 절연막(321)을 CVD법에 의하여 절화 실리콘 등의 재료를 사용하여 형성함으로써 가열 처리에 의하여 수소화시킬 수 있다. 또한, 절연막(321)에 인장 응력 또는 압축 응력을 갖는 절연막을 사용함으로써 채널 영역을 구성하는 반도체 재료를 변형시킬 수 있다. n채널형 트랜지스터의 경우에는, 채널 영역이 되는 실리콘 재료에 인장 응력을 부가하고, p채널형 트랜지스터의 경우에는, 채널 영역이 되는 실리콘 재료에 압축 응력을 부가함으로써 각 트랜지스터의 이동도를 향상시킬 수 있다.

[0228] 절연막(321) 및 절연막(323)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), 탄소가 첨가된 산화 실리콘(SiOC), 불소가 첨가된 산화 실리콘(SiOF), $Si(O\text{C}_2\text{H}_5)_4$ 를 원료로 한 산화 실리콘인 TEOS(Tetraethyl Orthosilicate), HSQ(Hydrogen Silsesquioxane), MSQ(Methyl Silsesquioxane), OSG(Organo Silicate Glass), 유기 폴리머계 재료 등의 절연체를 사용할 수 있다. 특히 반도체 장치의 미세화를 진행시키는 경우에는 배선 사이의 기생 용량이 현저하게 되고 신호 지연이 증대되기 때문에 산화 실리콘의 비유전율($k=4.0\sim4.5$)이 지나치게 높고 k 가 3.0 이하의 재료를 사용하는 것이 바람직하다. 또한, 상기 절연막에 개구부를 제공하고 상기 개구부에 도전막을 매립시킨 후에 CMP 처리를 수행하여 콘택트 플러그를 형성하기 위하여 절연막에는 기계적 강도가 요구된다. 이 기계적 강도가

확보될 수 있는 한 이들을 다공질(porous)화시켜 저유전율화를 수행할 수 있다.

[0229] 콘택트 플러그(325)는 도전 재료로서 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 자르코늄, 몰리브덴, 은, 탄탈, 또는 텅스텐으로 이루어지는 단체 금속, 또는 이들을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막과 이 티타늄막 또는 질화 티타늄막 위에 겹쳐서 알루미늄막 또는 구리막을 적층하고 이를 위에 티타늄막 또는 질화 티타늄막과 이 티타늄막 또는 질화 티타늄막을 더 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막과 이 몰리브덴막 또는 질화 몰리브덴막 위에 겹쳐서 알루미늄막 또는 구리막을 적층하고 이를 위에 몰리브덴막 또는 질화 몰리브덴막을 더 형성하는 3층 구조 등이 있다.

[0230] 배선(329)은 예를 들어 구리, 알루미늄 등 저저항 도전성 재료를 사용하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선(329)을 전파하는 신호의 배선 지연을 저감할 수 있다. 배선(329)에 구리를 사용하는 경우에는 반도체 기판(301)의 채널 영역으로 구리가 확산되는 것을 막기 위하여 절연막(323)과 배선(329) 사이에 배리어막을 형성하는 것이 바람직하다. 배리어막으로서, 예를 들어, 질화 탄탈, 질화 탄탈과 탄탈의 적층, 질화 티타늄, 질화 티타늄과 티타늄의 적층 등으로 이루어진 막을 사용할 수 있지만 배선 재료의 확산 방지 기능, 및 배선 재료나 하지막 등과의 밀착성이 확보될 정도이기만 하면 이를 재료로 이루어지는 막에 한정되지 않는다.

[0231] 절연막(327) 및 배선(329) 위에는 절연막(331) 및 배리어막(332)이 적층되고, 배리어막(332) 위에 절연막(333)이 형성되고 절연막(333)에 배선(335a), 배선(335b), 및 배선(335c)이 매립된다.

[0232] 배선(335a) 및 배선(335b)에는 절연막(331) 및 배리어막(332)에 매립된 콘택트 플러그(도시되지 않았음)를 통하여 배선(329) 중 어느 것과 접속된다.

[0233] 배리어막(332)은 수소, 물, 및 산소에 대한 블로킹 효과를 갖는 절연막으로 형성하는 것이 바람직하고, 대표적으로는 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 질화 실리콘 등을 사용하여 형성할 수 있다.

[0234] 또한, 여기서는 절연막(331) 위에 배리어막(332)을 형성하였지만 트랜지스터(305) 및 트랜지스터(306)와 절연막(343) 사이에 있으면 아무데나 제공하여도 좋다.

[0235] 절연막(333), 배선(335a), 배선(335b), 및 배선(335c) 위에는 절연막(343)이 제공된다. 또한, 절연막(343)에는 개구부가 제공되고, 상기 개구부에, 배선(335a)에 접속되는 콘택트 플러그(345a) 및 배선(335b)에 접속되는 콘택트 플러그(345b)가 제공된다.

[0236] 절연막(343), 콘택트 플러그(345a), 및 콘택트 플러그(345b) 위에 트랜지스터(349)가 제공된다. 트랜지스터(349)는 실시형태 1~실시형태 6에 기재된 바와 같은 트랜지스터를 적절히 사용할 수 있다. 여기서는 트랜지스터(349)는 산화물 반도체막(351)과, 산화물 반도체막(351)에 접촉하는 한 쌍의 전극(전극(353) 및 전극(355))과, 산화물 반도체막(351) 및 한 쌍의 전극(전극(353) 및 전극(355))을 덮는 게이트 절연막(357)과, 게이트 절연막(357)을 개재하여 산화물 반도체막(351)과 중첩되는 게이트 전극(359)을 갖는다.

[0237] 또한, 트랜지스터(349) 위에는 절연막(365)이 적층된다. 또한, 절연막(365) 위에 절연막(367)을 가져도 좋다.

[0238] 절연막(343)은 실시형태 1에 기재된 하지 절연막(103)과 마찬가지로 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 질화 절연막을 사용할 수 있다.

[0239] 콘택트 플러그(345a) 및 콘택트 플러그(345b)는 콘택트 플러그(325)와 같은 재료 및 형성 방법을 적절히 사용할 수 있다. 또한, 트랜지스터(349)의 전극(353) 및 배선(335a)은 콘택트 플러그(345a)를 통하여 접속되고, 전극(355) 및 배선(335b)은 콘택트 플러그(345b)를 통하여 접속된다.

[0240] 절연막(365)은 실시형태 1에 기재된 절연막(113)과 같은 재료를 적절히 사용할 수 있다.

[0241] 절연막(367)은 절연막(323)의 재료를 적절히 사용할 수 있다.

[0242] 본 실시형태에 기재된 반도체 장치는 제 1 반도체 재료를 사용한 트랜지스터(305) 및 트랜지스터(306)와, 제 2 반도체 재료를 사용한 트랜지스터(349)가 적층되고, 제 2 반도체 재료를 사용한 트랜지스터(349)는 실시형태 1에 기재된 하지 절연막(103)과 같은 조건을 사용하여 형성하는 절연막(343)과 접촉한다. 이로써 가열 처리를 수행함으로써 절연막(343)으로부터 산화물 반도체막(351)으로 산소가 공급되기 때문에 절연막(343)과 산화물 반

도체막(351)의 계면 준위를 저감할 수 있다. 또한, 산화물 반도체막(351)에 포함되는 산소 결손량을 저감할 수 있다. 또한, 절연막(343)은 수소의 공급원이 되는 물을 적게 포함하기 때문에 절연막(343)으로부터 산화물 반도체막(351)으로 물이 이동하여 산화물 반도체막(351)에서 캐리어가 발생하는 것을 억제할 수 있고 트랜지스터의 전기 특성이 변동되는 것을 저감할 수 있다.

[0243] 다음에 도 8에 도시된 반도체 장치의 제작 방법에 대하여 도 9를 사용하여 설명한다.

[0244] 도 9의 (A)에 도시된 바와 같이, 공지의 MOS 트랜지스터를 제작하는 방법을 사용하여 반도체 기판(301)에 트랜지스터(305) 및 트랜지스터(306)를 형성한다.

[0245] 다음에 스퍼터링법 또는 CVD법에 의하여 트랜지스터(305) 및 트랜지스터(306) 위에 절연막(321)이 되는 절연막을 형성하고, 절연막(321)이 되는 절연막 위에 스퍼터링법, CVD법, 스픈코팅법(Spin On Glass: SOG라고도 함)을 포함하는 도포법 등에 의하여 절연막(323)이 되는 절연막을 형성한다. 또한, 절연막(323)이 되는 절연막은 CMP 법 등의 평탄화 처리 등에 의하여 표면이 평탄한 것이 바람직하다.

[0246] 다음에 절연막(321)이 되는 절연막, 및 절연막(323)이 되는 절연막에 개구부를 형성하고 불순물 영역(309) 및 불순물 영역(310)의 일부를 노출시킴과 함께 절연막(321) 및 절연막(323)을 형성한 후에 상기 개구부를 충전하도록 콘택트 플러그(325)를 형성한다. 스퍼터링법, CVD법, 전해 도금법 등에 의하여 도전막을 형성한 후, CMP 법, 에칭법 등에 의하여 평탄화 처리를 수행하고 도전막 표면의 필요 없는 부분을 제거하여 콘택트 플러그(325)를 형성할 수 있다.

[0247] 다음에 절연막(323) 위에 절연막(327) 및 배선(329)을 형성한다.

[0248] 절연막(327)을 형성하는 방법에 대하여 이하에 기재한다. 절연막(321) 또는 절연막(323)의 재료를 적절히 사용하여 스퍼터링법, CVD법, 스픈코팅법을 포함하는 도포법 등에 의하여 절연막(327)이 되는 절연막을 형성한다. 다음에 절연막(327)이 되는 절연막의 일부를 제거하여 콘택트 플러그(325)의 일부를 노출하는 개구부를 형성함과 함께 절연막(327)을 형성한다.

[0249] 콘택트 플러그(325) 및 절연막(327) 위에 스퍼터링법, CVD법, 전해 도금법 등에 의하여 도전막을 형성한 후, CMP법, 에칭법 등에 의하여 평탄화 처리를 수행하여 도전막을 분리함으로써 배선(329)을 형성할 수 있다.

[0250] 또한, 듀얼 다마신법을 사용하여 콘택트 플러그(325) 및 배선(329)을 동시에 형성하여도 좋다.

[0251] 다음에 절연막(327) 및 배선(329) 위에 절연막(331)을 형성하고 절연막(331) 위에 배리어막(332)을 형성한다. 또한 도시되지 않았지만, 절연막(331) 및 배리어막(332)에는 각각 개구부가 제공되고 상기 개구부를 충전하는 콘택트 플러그를 형성한다.

[0252] 절연막(331)은 절연막(323)과 같은 형성 방법을 사용하여 형성할 수 있다.

[0253] 배리어막(332)은 스퍼터링법 또는 CVD법에 의하여 형성할 수 있다.

[0254] 다음에 배리어막(332) 위에 절연막(333)과 배선(335a), 배선(335b), 및 배선(335c)을 형성한다. 절연막(333)과 배선(335a), 배선(335b), 및 배선(335c)은 각각 절연막(327) 및 배선(329)과 마찬가지로 형성할 수 있다.

[0255] 절연막(333)과 배선(335a), 배선(335b), 및 배선(335c) 위에 절연막(342)을 형성한다. 절연막(342)은 실시형태 1에 기재된 하지 절연막(103)과 같은 조건을 사용하여 형성한다. 또한, 본 실시형태에서 형성하는 절연막(342)은 물을 적게 포함하기 때문에 산화물 반도체막을 형성하기 전에 절연막(342)으로부터 물을 방출시키기 위한 가열 처리를 수행하지 않게 된다. 또한, 화학 양론적 조성을 만족시키는 산소보다 많은 산소를 포함하기 때문에 절연막을 형성하는 공정에 더하여 산소를 첨가하는 공정을 별도 수행할 필요가 없다. 즉 본 실시형태에 의하여 적은 공정수로 산화물 반도체막(351)의 계면에서의 결함, 및 산화물 반도체막에 포함되는 산소 결손을 저감할 수 있는 절연막(342)을 형성할 수 있다.

[0256] 다음에 절연막(342)의 일부를 제거하여 개구부를 형성함으로써 절연막(343)을 형성한다. 다음에 개구부를 충전하는 콘택트 플러그(345a) 및 콘택트 플러그(345b)를 형성한다(도 9의 (B) 참조).

[0257] 콘택트 플러그(345a) 및 콘택트 플러그(345b)는 콘택트 플러그(325)와 마찬가지로 형성할 수 있다.

[0258] 다음에 절연막(343), 콘택트 플러그(345a), 및 콘택트 플러그(345b) 위에 트랜지스터(349)를 형성한다. 트랜지스터(349)는 실시형태 1~실시형태 6 중 어느 것에 기재된 제작 방법을 적절히 사용하여 형성할 수 있다.

- [0259] 트랜지스터(349) 위에 절연막(365)을 형성하고, 절연막(365) 위에 절연막(367)을 형성한다(도 9의 (C) 참조).
- [0260] 절연막(365)은 스퍼터링법 또는 CVD법을 사용하여 형성할 수 있다. 절연막(367)은 도포법이나 인쇄법 등을 사용하여 형성할 수 있다.
- [0261] 상술한 바와 같이, 반도체 장치의 하부에 제공된, 제 1 반도체 재료를 사용한 트랜지스터(305) 또는 트랜지스터(306)는 복수의 콘택트 플러그 및 복수의 배선을 통하여 상부에 제공된 제 2 반도체 재료를 사용한 트랜지스터(349)와 전기적으로 접속된다. 반도체 장치를 상술한 바와 같은 구성으로 함으로써 고속 동작 성능을 갖는 제 1 반도체 재료를 사용한 트랜지스터와 오프 전류가 매우 작은 제 2 반도체 재료를 사용한 트랜지스터를 조합하여 저소비 전력화가 가능한, 고속으로 동작하는 논리 회로를 갖는 반도체 장치(예를 들어, 기억 장치, 중앙 연산 처리 장치(CPU) 등)를 제작할 수 있다.
- [0262] 이와 같은 반도체 장치는 상술한 구성에 한정되지 않고 발명의 취지를 벗어나지 않는 범위에서 임의로 변경할 수 있다. 예를 들어, 제 1 반도체 재료를 사용한 트랜지스터와 제 2 반도체 재료를 사용한 트랜지스터 사이의 배선층이 2층인 경우를 설명하였지만, 이를 1층, 또는 3층 이상으로 할 수도 있고 또한, 배선을 사용하지 않고 콘택트 플러그만으로 양쪽 트랜지스터를 직접 접속할 수도 있다. 이와 같은 경우, 예를 들어, 실리콘 관통 전극(Through Silicon Via: TSV) 기술을 사용할 수도 있다. 또한, 구리 등의 재료를 절연막 중에 매립시켜서 배선을 형성하는 경우에 대하여 설명하였지만 예를 들어, 배리어막, 배선 재료층, 및 배리어막의 3층 구조로 하여 포토리소그래피 공정에 의하여 배선 패턴으로 가공한 것을 사용하여도 좋다.
- [0263] 특히, 제 1 반도체 재료를 사용한 트랜지스터(305) 및 트랜지스터(306)와 제 2 반도체 재료를 사용한 트랜지스터(349) 사이의 계층에 구리 배선을 형성하는 경우에는 제 2 반도체 재료를 사용한 트랜지스터(349)의 제작 공정에서의 가열 처리의 영향을 충분히 고려할 필요가 있다. 바꿔 말하면 제 2 반도체 재료를 사용한 트랜지스터(349)의 제작 공정에서의 가열 처리의 온도를 배선 재료의 성질에 맞도록 유의할 필요가 있다. 예를 들어, 트랜지스터(349)의 구성 부재에 대하여 고온으로 가열 처리를 수행한 경우, 구리 배선에서는 열 응력이 발생하고 이것으로 인한 스트레스 마이그레이션 등의 문제가 생기기 때문이다.
- [0264] 본 실시형태에 기재된 트랜지스터(349)에 포함되는 산화물 반도체막(351)은 하지 절연막인 절연막(343)으로부터 산소가 공급되고 절연막(343)과 산화물 반도체막(351)의 계면 준위, 및 산화물 반도체막(351)의 산소 결손량을 저감할 수 있다. 이 결과, 온 전류가 크고 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있다. 또한, 절연막(343)은 수소의 공급원이 되는 물을 적게 포함하기 때문에 절연막(343)으로부터 산화물 반도체막(351)으로 물이 이동하여 산화물 반도체막(351)에서의 캐리어의 발생을 억제할 수 있고, 전기 특성의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.
- [0265] 또한, 본 실시형태에 기재된 구성 및 방법 등을 다른 실시형태 및 실시예에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.
- [0266] (실시형태 6)
- [0267] 본 실시형태에서는 실시형태 1~실시형태 5에 기재된 트랜지스터에서, 산화물 반도체막(105), 산화물 반도체막(105a), 산화물 반도체막(105b), 산화물 반도체막(105c), 및 산화물 반도체막(351)에 사용할 수 있는 구조를 갖는 산화물 반도체막에 대하여 설명한다.
- [0268] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다. 여기서는 CAAC-OS막 및 미결정 산화물 반도체막에 대하여 설명한다.
- [0269] 먼저, CAAC-OS막에 대하여 설명한다.
- [0270] CAAC-OS막은 결정부를 복수로 갖는 산화물 반도체막의 하나다. 또한, CAAC-OS막에 포함되는 결정부는 c축 배향성을 갖는다. 평면 TEM상에서 CAAC-OS막에 포함되는 결정부의 면적이 2500nm^2 이상 또는 $5\mu\text{m}^2$ 이상, 또는 $1000\mu\text{m}^2$ 이상이다. 또한, 단면 TEM상에서 상기 결정부를 50% 이상 또는 80% 이상, 또는 95% 이상 가짐으로써 단결정에 가까운 물성을 갖는 박막이 된다.
- [0271] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)으로 관찰하면 결정부끼리의 명확한 경계, 즉 결정 입계(그레이인 바운더리라고도 함)가 확인되기 어렵다. 그러므로, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

- [0272] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다. 또한, 본 명세서에서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0273] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0274] 또한, CAAC-OS막에 대하여 전자빔 회절을 수행하면 배향성을 나타내는 스풋(회절)이 관측된다.
- [0275] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0276] CAAC-OS막을 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석하면 CAAC-OS막을 out-of-plane법에 의하여 해석한 경우에 회절각(2θ)이 31° 근방일 때 피크가 나타날 수 있다. 이 피크는 In-Ga-Zn 산화물의 결정의 (00x)면(x는 정수)에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향되어 있는 것을 확인할 수 있다.
- [0277] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 In-Ga-Zn 산화물의 결정의 (110)면에 귀속된다. In-Ga-Zn 산화물의 단결정 산화물 반도체막의 경우, 2θ 를 56° 근방에 고정하고 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0278] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들 사이에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된, 층상으로 배열된 금속 원자의 각 층은 결정의 a-b면에 평행한 면이다.
- [0279] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정부의 c축은, CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우에는 결정부의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.
- [0280] 또한, CAAC-OS막 중의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.
- [0281] 또한, CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방일 때에 나타나는 피크에 더하여, 2θ 가 36° 근방일 때에 피크가 나타날 수도 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정부가 포함되는 것을 뜻한다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0282] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 천이 금속 원소 등의 산화물 반도체막의 주성분 외의 원소다. 특히 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0283] 또한 CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 중의 산소 결손은 캐리어 트랩이 되거나 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0284] 불순물 농도가 낮고 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성

이라고 말한다. 고순도 진성인 산화물 반도체막 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)을 갖게 되기 어렵다. 또한, 고순도 진성인 산화물 반도체막 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 될 수 있다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출할 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0285] 또한 CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0286] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0287] 미결정 산화물 반도체막을 TEM에 의하여 관찰하면 결정부를 명확히 확인하기 어려운 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 TEM에 의하여 관찰하면 결정 입계를 명확히 확인하기 어려운 경우가 있다.

[0288] nc-OS막은 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보일 수 없다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 nc-OS막에 대하여 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 구조 해석하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 직경이 큰(예를 들어, 50nm 이상) 전자빔을 사용하는 전자빔 회절(제한 시야 전자빔 회절이라고도 함)에 의하여 nc-OS막을 관찰하면, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, 결정부와 직경이 가깝거나 결정부보다 직경이 작은(예를 들어, 1nm 이상 30nm 이하) 전자빔을 사용하는 전자빔 회절(나노 전자빔 회절이라고도 함)에 의하여 nc-OS막을 관찰하면, 스포트이 관측된다. 또한, 나노 전자빔 회절에 의하여 nc-OS막을 관찰하면, 휘도가 높은 원형(환형)의 영역이 관측될 수 있다. 또한, 나노 전자빔 회절에 의하여 nc-OS막을 관찰하면, 환형 영역 내에 복수의 스포트이 관측될 수 있다.

[0289] 도 10은 nc-OS막을 갖는 시료에 대하여, 측정 개소를 바꾸어 나노 전자빔 회절을 수행한 예를 나타낸 것이다. 여기서는 시료를, nc-OS막의 피형성면에 수직인 방향으로 절단하여, 두께가 10nm 이하가 되도록 박편화한다. 또한, 여기서는, 직경이 1nm인 전자빔을 시료의 절단면에 수직인 방향으로부터 입사시킨다. 도 10을 보면, 나노 전자빔 회절에 의하여 nc-OS막을 갖는 시료를 관찰하면, 결정면을 나타내는 회절 패턴이 보이지만, 특정 방향의 결정면에 대한 배향성은 보이지 않는다.

[0290] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮게 된다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0291] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종 이상을 갖는 적층막이라도 좋다.

[0292] (실시형태 7)

[0293] 상술한 실시형태에서 기재한 반도체 장치의 일례로서는 중앙 연산 처리 장치, 마이크로프로세서, 마이크로컴퓨터, 기억 장치, 이미지 센서, 전기 광학 장치, 발광 표시 장치 등이 있다. 또한, 상기 반도체 장치를 다양한 전자 기기에 적용할 수 있다. 전자 기기로서는 예를 들어, 표시 장치, 조명 장치, 퍼스널 컴퓨터, 워드 프로세서, 화상 재생 장치, 포터블 CD 플레이어, 라디오, 테이프 레코더, 헤드폰 스테레오, 스테레오, 시계, 무선 전화 핸드셋, 트랜시버, 휴대 전화, 스마트폰, 전자 서적, 자동차 전화, 휴대형 게임기, 계산기, 휴대 정보 단말, 전자 수첩, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 온수기, 선풍기, 헤어드라이어, 에어컨디셔너, 가습기, 제습기, 공기 조절 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 회중 전등, 공구, 연기 감지기, 의료 기기, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템, 전기 자동차, 하이브리드 차, 플러그인 하이브리드 차,

장궤(裝軌) 차량, 원동기가 달린 자전거, 자동 이륜차, 전동 휠체어, 골프용 카트, 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기나 흑성 탐사기, 우주선 등을 들 수 있다. 본 실시형태에서는 상술한 실시 형태에 기재된 반도체 장치를 휴대 전화, 스마트폰, 전자 서적 등의 휴대 기기에 응용한 경우의 예를 도 11~도 14를 사용하여 설명한다.

[0294] 휴대 전화, 스마트폰, 전자 서적 등의 휴대 기기에는, 화상 데이터의 임시 기억 등에 SRAM 또는 DRAM이 사용되어 있다. SRAM 또는 DRAM이 사용되는 이유로서는 플래시 메모리는 응답이 느려, 화상 처리에 적합하지 않기 때문이다. 한편, SRAM 또는 DRAM을 화상 데이터의 임시 기억에 사용한 경우에는 이하에 기재된 바와 같은 특징이 있다.

[0295] 일반적인 SRAM은 도 11의 (A)에 도시된 바와 같이 하나의 메모리 셀이 트랜지스터(801)~트랜지스터(806)의 6개의 트랜지스터로 구성되어 있고, 이것을 X 디코더(807) 및 Y 디코더(808)로 구동시킨다. 트랜지스터(803)와 트랜지스터(805), 및 트랜지스터(804)와 트랜지스터(806)는 인버터를 구성하고, 고속 구동을 가능하게 한다. 그러나, 하나의 메모리 셀이 6개의 트랜지스터로 구성되므로, 셀 면적이 크다는 점이 단점이다. 디자인 룰의 최소 치수를 F로 하였을 때, SRAM의 메모리 셀 면적은 일반적으로 $100F^2 \sim 150F^2$ 이다. 그러므로, SRAM은 비트당 단가가 각종 메모리 중에서 가장 비싸다.

[0296] 한편, DRAM은 도 11의 (B)에 도시된 바와 같이, 메모리 셀이 트랜지스터(811) 및 유지 용량(812)에 의하여 구성되고, 이것을 X 디코더(813) 및 Y 디코더(814)로 구동시킨다. 셀 하나가 트랜지스터와 용량을 하나씩 갖는 구성이기 때문에 면적이 작다. DRAM의 메모리 셀 면적은 일반적으로 $10F^2$ 이하다. 다만, DRAM은 항상 리프레시 동작할 필요가 있어 재기록을 수행하지 않는 동안에도 전력이 소비된다.

[0297] 하지만 트랜지스터(811)에 상술한 실시형태에서 설명한 오프 전류가 낮은 트랜지스터를 사용함으로써 유지 용량(812)의 전하를 오랫동안 유지할 수 있고 리프레시 동작을 빈번하게 할 필요가 없다. 따라서 소비 전력을 저감할 수 있다.

[0298] 도 12는 휴대 기기의 블록도를 도시한 것이다. 도 12에 도시된 휴대 기기는 RF 회로(901), 아날로그 베이스밴드 회로(902), 디지털 베이스밴드 회로(903), 배터리(904), 전원 회로(905), 애플리케이션 프로세서(906), 플래시 메모리(910), 디스플레이 컨트롤러(911), 메모리 회로(912), 디스플레이(913), 터치 센서(919), 음성 회로(917), 키보드(918) 등으로 구성되어 있다. 디스플레이(913)는 표시부(914), 소스 드라이버(915), 및 게이트 드라이버(916)로 구성된다. 애플리케이션 프로세서(906)는 중앙 연산 처리 장치(CPU)(907), DSP(908), 인터페이스(IF)(909)를 갖는다. 일반적으로 메모리 회로(912)는 SRAM 또는 DRAM으로 구성되어 있지만, 이 부분에 상술한 실시형태에서 설명한 반도체 장치를 채용함으로써, 정보의 기록 및 판독이 고속으로 수행되고, 오랫동안 기억을 유지할 수 있고, 소비 전력을 충분히 저감시킬 수 있다. 또한, CPU(907)에 포함되는 데이터나 명령을 기억하기 위한 주기억 장치, 및 고속으로 데이터를 기록 및 판독할 수 있는 레지스터, 캐시 등의 완충 기억 장치에 상술한 실시형태에서 설명한 반도체 장치를 사용함으로써 CPU의 소비 전력을 충분히 저감할 수 있다.

[0299] 도 13은 디스플레이의 메모리 회로(950)에 상술한 실시형태에서 설명한 반도체 장치를 사용한 예를 도시한 것이다. 도 13에 도시된 메모리 회로(950)는 메모리(952), 메모리(953), 스위치(954), 스위치(955), 및 메모리 컨트롤러(951)로 구성되어 있다. 또한, 메모리 회로는 신호선으로부터 입력된 화상 데이터(입력 화상 데이터)나, 메모리(952), 및 메모리(953)에 기억된 데이터(기억 화상 데이터)를 판독 및 제어하는 디스플레이 컨트롤러(956)와, 디스플레이 컨트롤러(956)로부터의 신호에 의하여 표시가 수행되는 디스플레이(957)가 접속되어 있다.

[0300] 먼저, 어느 화상 데이터가 애플리케이션 프로세서(도시되지 않았음)에 의하여 형성된다(입력 화상 데이터 A). 입력 화상 데이터 A는 스위치(954)를 통하여 메모리(952)에 기억된다. 그리고 메모리(952)에 기억된 화상 데이터(기억 화상 데이터 A)는, 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 전송되어 표시가 수행된다.

[0301] 입력 화상 데이터 A가 변경되지 않은 경우, 기억 화상 데이터 A는 일반적으로 30Hz~60Hz 정도의 주기로 메모리(952)로부터 스위치(955)를 통하여, 디스플레이 컨트롤러(956)에 의하여 판독된다.

[0302] 다음에, 예를 들어, 사용자가 화면을 재기록할 조작을 하였을 때(즉, 입력 화상 데이터 A가 변경되는 경우), 애플리케이션 프로세서는 새로운 화상 데이터(입력 화상 데이터 B)를 형성한다. 입력 화상 데이터 B는 스위치(954)를 통하여 메모리(953)에 기억된다. 이 동안에도 기억 화상 데이터 A는 메모리(952)로부터 스위치(955)를 통하여 정기적으로 판독된다. 메모리(953)에 새로운 화상 데이터(기억 화상 데이터 B)가 기억되고 나면, 디스

플레이(957)의 다음 프레임으로부터 기억 화상 데이터 B는 판독되고, 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 기억 화상 데이터 B가 전송되어 표시가 수행된다. 상기 판독 동작은 이 다음에 새로운 화상 데이터가 메모리(952)에 기억될 때까지 계속된다.

[0303] 이와 같이 메모리(952) 및 메모리(953)는 화상 데이터의 기록과 판독을 번갈아 수행함에 의하여, 디스플레이(957)를 표시시킨다. 또한, 메모리(952) 및 메모리(953)는 각각 다른 메모리에 한정되지 않고, 하나의 메모리 를 분할하여 사용하여도 좋다. 상술한 실시형태에서 설명한 반도체 장치를 메모리(952) 및 메모리(953)에 채용 함으로써, 정보의 기록 및 판독이 고속으로 수행되고, 오랫동안 기억 내용을 유지할 수 있고, 소비 전력을 충분 히 저감시킬 수 있다.

[0304] 도 14는 전자 서적의 블록도를 도시한 것이다. 도 14에 도시된 전자 서적은 배터리(1001), 전원 회로(1002), 마이크로프로세서(1003), 플래시 메모리(1004), 음성 회로(1005), 키보드(1006), 메모리 회로(1007), 터치 패널 (1008), 디스플레이(1009), 및 디스플레이 컨트롤러(1010)로 구성된다.

[0305] 여기서, 도 14의 메모리 회로(1007)에 상술한 실시형태에서 설명한 반도체 장치를 사용할 수 있다. 메모리 회로(1007)는 서적의 내용을 임시적으로 유지하는 기능을 갖는다. 예를 들어, 사용자가 하이라이트 기능을 사용 하는 경우 등이 있다. 사용자가 전자 서적을 읽고 있을 때, 특정 부분에 마킹하고 싶은 경우가 있다. 이 마킹 기능을 하이라이트 기능이라고 하며, 표시된 색을 바꾸거나, 언더라인을 긋거나, 문자를 굵게 하거나, 문자의 서체를 바꾸거나 하는 등으로 주위와의 차이를 나타내는 것이다. 사용자가 지정한 부분의 정보를 기억하고, 유지하는 기능이다. 이 정보를 오랫동안 저장하는 경우에는 플래시 메모리(1004)에 복사하여도 좋다. 이와 같은 경우에도 상술한 실시형태에서 설명한 반도체 장치를 채용함으로써 정보의 기록 및 판독이 고속으로 수행되고, 오랫동안 기억 내용을 유지할 수 있고, 소비 전력을 충분히 저감시킬 수 있다.

[0306] 상술한 바와 같이, 본 실시형태에 기재된 휴대 기기에는 상술한 실시형태에 따른 반도체 장치가 탑재되어 있다. 이로써 정보의 기록 및 판독이 고속으로 수행되고, 오랫동안 기억 내용을 유지할 수 있고, 소비 전력이 저감된 휴대 기기를 구현할 수 있다.

[0307] 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0308] (실시예 1)

[0309] 본 실시예에서는 본 발명의 일 형태에 따른 하지 절연막에 적용할 수 있는, CVD법에 의하여 형성된 산화 질화 실리콘막을 평가한 결과에 대하여 설명한다. 자세하게는 가열에 의한 산소 분자의 방출량 및 일산화 질소의 방 출량을 평가한 결과에 대하여 설명한다.

[0310] 먼저, 평가한 시료의 제작 방법을 설명한다. 제작된 시료는 시료 1~시료 4다.

[0311] 실리콘 웨이퍼 위에 실시형태 1에 기재된 하지 절연막(103)을 형성하는 조건 또는 비교 조건을 사용하여 플라즈 마 CVD법에 의하여 두께 100nm의 산화 질화 실리콘막을 형성하고 시료 1~시료 4를 제작하였다.

[0312] 시료 1에서, 형성한 산화 질화 실리콘막의 성막 조건을 이하에 기재한다. 실리콘 웨이퍼를 플라즈마 CVD장치의 처리실 내에 설치하고 처리실 내에 유량 2sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로서 공급하고 처리실 내의 압력을 700Pa로 제어하고 평행 평판 전극의 한쪽에 60MHz의 고주파 전원으로 250W의 전력을 공급하고, 평행 평판 전극의 다른 쪽(기판 측)에는 전력을 공급하지 않게 하여 산화 질화 실리콘막을 형성하였다. 또한, 실레인에 대한 일산화 이질소의 유량비는 2000이다. 또한, 기판 온도는 350°C로 하였다. 또한, 상기 플라즈마 CVD장치는 면적이 405cm²인 평행 평판 전극을 사용하였으므로 전극에 공급하는 전력의 전력 밀도는 0.62W/cm²다.

[0313] 시료 2는 시료 1에서 사용한 성막 조건에서 기판 온도를 400°C로 하여 산화 질화 실리콘막을 형성하였다.

[0314] 시료 3은, CVD법에 의하여, 가열에 의한 산소 방출이 없는 산화 질화 실리콘막을 형성한 후, 상기 산화 질화 실리콘막에 산소를 도핑하여 가열에 의하여 산소가 방출되는 산화 질화 실리콘막을 형성하였다. 또한, 산화 질화 실리콘막의 막 두께를 300nm로 하였다.

[0315] 여기서는 실리콘 웨이퍼를 플라즈마 CVD장치의 처리실 내에 설치하고 처리실 내에 유량 2.3sccm의 실레인 및 유량 800sccm의 일산화 이질소를 원료 가스로서 공급하고 처리실 내의 압력을 40Pa로 제어하고 평행 평판 전극의 한쪽에 27.12MHz의 고주파 전원으로 50W의 전력을 공급하고, 평행 평판 전극의 다른 쪽(기판 측)에는 전력을 공

급하지 않게 하여 산화 질화 실리콘막을 형성하였다. 또한, 실레인에 대한 일산화 이질소의 유량비는 348이다. 또한, 기판 온도는 400°C로 하였다. 또한, 상기 플라즈마 CVD장치는 면적이 615cm²인 평행 평판 전극을 사용하였으므로 전극에 공급하는 전력의 전력 밀도는 0.08W/cm²다. 다음에 진공 분위기에서 450°C로 1시간 가열 처리를 수행한 후, 도즈량을 2×10^{16} ions/cm²로서 산소 이온을 산화 질화 실리콘막에 도핑하여, 가열에 의하여 산소가 방출되는 산화 질화 실리콘막을 형성하였다.

[0316] 시료 4에서, 형성한 산화 질화 실리콘막의 성막 조건을 이하에 기재한다. 실리콘 웨이퍼를 플라즈마 CVD장치의 처리실 내에 설치하고 처리실 내에 유량 2sccm의 실레인 및 유량 3000sccm의 아르곤 및 유량 1000sccm의 일산화 이질소를 원료 가스로서 공급하고 처리실 내의 압력을 700Pa로 제어하고 평행 평판 전극의 한쪽에 60MHz의 고주파 전원으로 250W의 전력을 공급하고, 평행 평판 전극의 다른 쪽(기판 측)에는 전력을 공급하지 않게 하여 산화 질화 실리콘막을 형성하였다. 또한, 실레인에 대한 일산화 이질소의 유량비는 500이다. 또한, 기판 온도는 350°C로 하였다. 또한, 상기 플라즈마 CVD장치는 면적이 405cm²인 평행 평판 전극을 사용하였으므로 전극에 공급하는 전력의 전력 밀도는 0.62W/cm²다. 또한, 시료 4의 성막 조건에서 원료 가스에 더하여 아르곤이 포함된다. 아르곤이 포함됨으로써 플라즈마에 의한 원료 가스의 분해가 촉진된다. 이 결과 실리콘과 산소의 결합 비율이 증가되고 가열에 의하여 이탈되는 산소량이 저감된다.

[0317] 다음에 시료 1~시료 4에 대하여 TDS 분석을 수행하였다. 여기서는 흑색석영으로 형성되는 스테이지에 시료 1~시료 4를 설치하고 스테이지의 온도를 50°C로부터 950°C가 될 때까지(각 시료의 기판 온도는 46°C로부터 530°C가 될 때까지) 가열하여 TDS 분석을 수행하였다. 외부로 방출되는 산소 분자의 방출량과 산소 분자 및 일산화 질소에서 유래하는 산소 원자의 방출량(즉, 산소 분자의 방출량의 2배에 일산화 질소의 방출량을 더한 합)을 표 1에 나타낸다. 또한, 각 가스의 방출량은 TDS 분석 결과를 나타내는 곡선에서의 피크의 적분값으로부터 정량된다.

표 1

		시료 1	시료 2	시료 3	시료 4
O ₂ 방출량	(개/cm ³)	1.8E+20	1.1E+20	5.7E+20	2.4E+19
O ₂ 및 NO에서 유래하는 산소 원자의 방출량 (O ₂ 방출량×2+NO방출량)	(개/cm ³)	4.4E+20	2.8E+20	6.0E+20	6.1E+19
O ₂ 및 NO에서 유래하는 산소 원자의 방출량 (O ₂ 방출량×2+NO방출량)	(개/cm ²)	1.3E+16	8.3E+15	1.8E+16	1.8E+15

[0318]

표 1을 보면, 시료 1~시료 3에서는 산소 분자와 일산화 질소에서 유래하는 산소 원자의 방출량은 $5 \times 10^{15}/\text{cm}^2$ 이상 $5 \times 10^{16}/\text{cm}^2$ 이하인 것을 알 수 있었다. 또한, 산화 질화 실리콘막의 막 두께는 100nm이기 때문에 산소 분자와 일산화 질소에서 유래하는 산소 원자의 방출량은 $1 \times 10^{20}/\text{cm}^3$ 이상 $1 \times 10^{21}/\text{cm}^3$ 이하인 것을 알 수 있었다.

[0320]

다음에 시료 1~시료 4에서 형성한 산화 질화 실리콘막을 산화물 반도체막을 갖는 트랜지스터의 하지 절연막으로서 사용하였을 때의 트랜지스터의 전기 특성에 대하여 설명한다.

[0321]

먼저, 트랜지스터의 제작 공정에 대하여 설명한다. 본 실시예에서는 도 4 및 도 5를 참조하여 설명한다.

[0322]

도 4의 (A)에 도시된 바와 같이, 기판(101) 위에 하지 절연막(103)을 형성하였다. 다음에 하지 절연막(103) 위

에 산화물 반도체막(104a) 및 산화물 반도체막(104b)을 형성하였다.

[0323] 기판(101)으로서는, 실리콘 웨이퍼를 사용하였다.

[0324] 염화 수소를 포함하는 산소 분위기에서, 기판(101)을 950°C로 가열하여 기판(101) 표면에 두께 100nm의 염소를 포함하는 산화 실리콘막을 형성하였다. 다음에 염소를 포함하는 산화 실리콘막 위에 두께 300nm의 산화 질화 실리콘막을 CVD법에 의하여 형성하였다. 또한, 시료 1~시료 4 각각의 조건을 사용하여 산화 질화 실리콘막을 형성한 시료를 시료 5~시료 8로 한다. 다음에 산화 질화 실리콘막의 표면을 CMP처리하여 산화 질화 실리콘막 표면을 20nm 정도 연마하였다. 상술한 공정을 거쳐 염소를 포함하는 산화 실리콘막 및 산화 질화 실리콘막이 적층되는 하지 절연막(103)을 형성하였다.

[0325] 산화물 반도체막(104a)으로서 스퍼터링법에 의하여 두께 20nm의 In-Ga-Zn계 산화물막을 형성하였다. 이 때의 스퍼터링 조건으로서는 In:Ga:Zn=1:3:2인 타깃을 사용하여 스퍼터링 가스로서 유량 30sccm의 아르곤 및 유량 15sccm의 산소를 압력 0.4Pa의 처리실에 도입하고 기판 온도를 200°C로 하고 공급 전력을 0.5kW로 하였다.

[0326] 산화물 반도체막(104b)으로서 스퍼터링법에 의하여 두께 15nm의 In-Ga-Zn계 산화물막을 형성하였다. 이 때의 스퍼터링 조건으로서는 In:Ga:Zn=1:1:1인 타깃을 사용하여 스퍼터링 가스로서 유량 30sccm의 아르곤 및 유량 15sccm의 산소를 압력 0.4Pa의 처리실에 도입하고 기판 온도를 300°C로 하고 공급 전력을 0.5kW로 하였다.

[0327] 다음에 가열 처리를 수행하여 하지 절연막(103)으로부터 산소를 In-Ga-Zn계 산화물막으로 이동시켜 산소 결손을 저감시켰다. 이 때의 가열 처리 조건은 450°C의 처리실에서 질소 분위기에서 1시간 가열한 후, 산소 분위기에서 1시간 가열하였다.

[0328] 다음에 산화물 반도체막 위에 포토리소그래피 공정에 의하여 마스크를 형성한 후, 산화물 반도체막을 선택적으로 에칭하여, 도 4의 (B)에 도시된 바와 같이, 산화물 반도체막(105a) 및 산화물 반도체막(105b)(이하 산화물 반도체막(105)이라고 기재함)을 형성하였다. 여기서는, ICP 에칭 장치를 사용하여 에칭을 수행하였다. 에칭 조건으로서, ICP 전극에 450W의 전력을 공급하고, 바이어스 전극에 100W의 전력을 공급하고, 처리실의 압력을 1.9Pa로 하고, 유량 60sccm의 삼염화 붕소 및 유량 20sccm의 염소를 에칭 가스로서 사용하였다. 이 후, 마스크를 제거하였다.

[0329] 다음에 도 4의 (C)에 도시된 바와 같이, 산화물 반도체막(105) 위에 한 쌍의 전극(116)을 형성하였다. 여기서는, 산화물 반도체막(105) 위에 두께 100nm의 텅스텐막을 스퍼터링법에 의하여 형성한 후, 텅스텐막 위에 포토리소그래피 공정에 의하여 마스크를 형성하고, 텅스텐막을 선택적으로 에칭하여, 한 쌍의 전극(116)을 형성하였다. 이 후, 마스크를 제거하였다.

[0330] 또한, 텅스텐막의 성막에 사용한 스퍼터링 조건으로서는, 텅스텐 타깃을 사용하고, 스퍼터링 가스로서 유량 80sccm의 가열한 아르곤을 압력 0.8Pa의 처리실에 도입하고, 기판 온도를 200°C로 하고, 공급 전력을 1kW로 하였다.

[0331] 또한, 텅스텐막을 에칭하는 조건으로서는 ICP 전극에 3000W의 전력을 공급하고, 바이어스 전극에 110W의 전력을 공급하고, 처리실의 압력을 0.67Pa로 하고, 유량 45sccm의 염소, 유량 55sccm의 사염화 탄소, 및 유량 55sccm의 산소를 에칭 가스로서 사용하여 제 1 에칭을 수행하였다. 다음에 바이어스 전극의 전력을 0W로 하고 에칭 가스의 도입 대신에 산소를 처리실에 도입하고 애싱 처리에 의하여 레지스트를 후퇴시킨 후, 제 1 에칭과 같은 조건을 사용하여 제 2 에칭을 수행하였다.

[0332] 다음에 도 4의 (D)에 도시된 바와 같이, 산화물 반도체막(105) 및 한 쌍의 전극(116) 위에 산화물 반도체막(104c) 및 게이트 절연막(108)을 형성하였다.

[0333] 산화물 반도체막(104c)으로서 산화물 반도체막(104a)과 같은 조건을 사용하여 두께 5nm의 In-Ga-Zn계 산화물막을 형성하였다.

[0334] 게이트 절연막(108)으로서 두께 20nm의 산화 질화 실리콘막을 CVD법에 의하여 형성하였다. 이 때의 플라즈마 CVD법의 성막 조건은, 유량 1sccm의 실레인, 유량 800sccm의 일산화 이질소를 원료 가스로서, 압력 40Pa의 처리 실에 도입하고, 60MHz의 고주파 전원의 전력을 150W로 하고, 기판 온도를 350°C로 하고, 전극간 거리를 28mm로 하였다.

[0335] 다음에 도 5의 (A)에 도시된 바와 같이, 게이트 절연막(108) 위에 게이트 전극(111)을 형성하였다.

[0336] 게이트 전극(111)은 게이트 절연막(108) 위에 스퍼터링법에 의하여 두께 30nm의 질화 티타늄막과 두께 135nm의

텅스텐막을 적층하여 형성한 후, 텅스텐막 위에 포토리소그래피 공정에 의하여 마스크를 형성하고 질화 티타늄 막 및 텅스텐막을 선택적으로 에칭하여 형성하였다.

[0337] 또한, 질화 티타늄막의 성막에 사용한 스퍼터링 조건으로서는, 티타늄 타깃을 사용하고, 스퍼터링 가스로서 유량 50sccm의 질소를 압력 0.2Pa의 처리실에 도입하고, 기판 온도를 25°C로 하고, 공급 전력을 12kW로 하였다. 또한, 텅스텐막의 성막에 사용한 스퍼터링 조건으로서는, 텅스텐 타깃을 사용하고, 스퍼터링 가스로서 유량 100sccm의 가열한 아르곤을 압력 2Pa의 처리실에 도입하고, 기판 온도를 200°C로 하고, 공급 전력을 4kW로 하였다.

[0338] 텅스텐막 및 질화 티타늄막을 에칭하는 조건으로서는 ICP 전극에 3000W의 전력을 공급하고, 바이어스 전극에 110W의 전력을 공급하고, 처리실의 압력을 0.67Pa로 하고, 유량 45sccm의 염소, 유량 55sccm의 사불화 탄소, 유량 55sccm의 산소를 에칭 가스로서 사용하여 제 1 에칭을 수행하였다. 다음에 ICP 전극에 2000W의 전력을 공급하고, 바이어스 전극에 50W의 전력을 공급하고, 처리실의 압력을 0.67Pa로 하고, 유량 100sccm의 염소를 에칭 가스로서 제 2 에칭을 수행하였다.

[0339] 다음에 게이트 전극(111)을 마스크로 하여 하지 절연막(117) 및 산화물 반도체막(105a) 근방에 농도 프로파일의 피크가 위치하도록 인을 도핑하였다. 여기서는 도즈량이 1×10^{15} ions/cm²인 인을 하지 절연막(117) 및 산화물 반도체막(105a)에 도핑하였다. 하지 절연막(117)에 인을 도핑하면 하지 절연막(117) 표면 근방에서 산소와 인이 반응한다. 이 결과 얻어지는 반응 생성물은 하지 절연막(117) 표면으로부터 산소가 이탈되는 것을 막을 수 있다. 이로써 하지 절연막(117)에 포함되는 과잉 산소는 인이 도핑되지 않는 영역, 즉 산화물 반도체막(105a)에서 게이트 전극(111)과 중첩되는 영역 근방으로 이동한다. 이 결과, 산화물 반도체막(105a)의 산소 결손을 더 저감시킬 수 있다.

[0340] 다음에 도 5의 (B)에 도시된 바와 같이, 산화물 반도체막(105c) 및 게이트 절연막(109a)을 형성하였다.

[0341] 여기서는 ICP 전극에 450W의 전력을 공급하고 바이어스 전극에 100W의 전력을 공급하고, 처리실의 압력을 1Pa로 하고, 유량 80sccm의 염화 붕소를 에칭 가스로서 사용하여 에칭을 수행하여 산화물 반도체막(105c) 및 게이트 절연막(109a)을 형성하였다.

[0342] 다음에 도 5의 (C)에 도시된 바와 같이 절연막(118), 절연막(119), 및 배선(115)을 형성하였다.

[0343] 여기서는 두께 70nm의 산화 알루미늄막 및 두께 300nm의 산화 질화 실리콘막을 적층하여 나중에 절연막(118) 및 절연막(119)이 되는 절연막을 형성하였다.

[0344] 다음에 400°C의 산소 분위기에서 1시간 가열 처리를 수행하였다.

[0345] 다음에 절연막 위에 포토리소그래피 공정으로 마스크를 형성하고 나서 산화 알루미늄막 및 산화 질화 실리콘막을 선택적으로 에칭하여 개구부를 형성함과 함께 절연막(118) 및 절연막(119)을 형성하였다.

[0346] 배선(115)은 두께 50nm의 티타늄막, 두께 200nm의 알루미늄막 및 두께 50nm의 티타늄막을 순차적으로 적층하여 형성한 후, 포토리소그래피 공정에 의하여 마스크를 형성하고, 상기 마스크를 사용하여 선택적으로 에칭하여 형성하였다. 이 후, 마스크를 제거하였다.

[0347] 또한, 티타늄막의 성막에 사용한 스퍼터링 조건으로서는, 티타늄 타깃을 사용하고, 스퍼터링 가스로서 유량 20sccm의 아르곤을 압력 0.1Pa의 처리실에 도입하고, 기판 온도를 실온으로 하고, 공급 전력을 12kW로 하였다. 또한, 알루미늄막의 성막에 사용한 스퍼터링 조건으로서는, 알루미늄 타깃을 사용하고, 스퍼터링 가스로서 유량 50sccm의 아르곤을 압력 0.4Pa의 처리실에 도입하고, 기판 온도를 실온으로 하고, 공급 전력을 1kW로 하였다.

[0348] 티타늄막, 알루미늄막, 및 티타늄막의 에칭 조건으로서, ICP 전극에 450W의 전력을 공급하고, 바이어스 전극에 100W의 전력을 공급하고, 처리실의 압력을 1.9Pa로 하고, 유량 60sccm의 삼염화 붕소 및 유량 20sccm의 염소를 에칭 가스로서 사용하여 제 1 에칭을 수행하였다. 다음에 ICP 전극에 500W의 전력을 공급하고, 바이어스 전극에 50W의 전력을 공급하고, 처리실의 압력을 2.0Pa로 하고, 유량 80sccm의 사불화 탄소를 에칭 가스로서 사용하여 제 2 에칭을 수행하였다.

[0349] 다음에 절연막(119) 및 배선(115) 위에 조성물을 도포하여 노광한 후, 현상하여 배선(115)을 노출시키고 나서, 가열 처리를 수행하여 폴리이미드로 형성되는 절연막을 형성하였다.

[0350] 상술한 공정을 거쳐 트랜지스터를 제작하였다.

[0351] 다음에 시료 5~시료 8의 전기 특성을 측정하였다. 여기서는 소스-드레인간 전압(이하, 드레인 전압이라고 함)을 0.1V, 3.0V로 하고, 소스-게이트간 전압(이하, 게이트 전압이라고 함)을 -3V로부터 +3V까지 변화시켰을 때의 소스-드레인간 전류(이하, 드레인 전류라고 함)의 변화 특성, 즉, 전류 전압 특성을 측정하였다. 이 때의 전류 전압 특성을 도 15 및 도 16에 나타냈다. 또한, 도 15 및 도 16에서 가로축은 게이트 전압을 나타내고 세로축은 드레인 전류를 나타낸다. 또한, 트랜지스터의 채널 길이를 $0.49\ \mu\text{m}$ 로 하고 채널 폭을 $10\ \mu\text{m}$ 로 하였다.

[0352] 도 15의 (A)에 나타낸 실선은 시료 5의 전류 전압 특성을 나타내고, 도 15의 (B)에 나타낸 실선은 시료 6의 전류 전압 특성을 나타내고, 도 16의 (A)에 나타낸 실선은 시료 7의 전류 전압 특성을 나타내고, 도 16의 (B)에 나타낸 실선은 시료 8의 전류 전압 특성을 나타낸다. 또한, 도 15 및 도 16에 나타낸 과선은 전계 효과 이동도를 나타낸다.

[0353] 또한, 시료 5~시료 8에서, 게이트 전압(V_g)이 3V이고 드레인 전압(V_d)이 3.3V일 때의 온 전류(I_{on})와, 드레인 전압(V_d)이 3.3V일 때의 문턱 전압(V_{th})과, 드레인 전압(V_d)이 0.1V일 때의 전계 효과 이동도(μFE)와, 드레인 전압(V_d)이 0.1V일 때의 서브쓰레홀드 스윙(sub-threshold swing) S_{gap} 을 표 2에 나타낸다.

표 2

		시료 5	시료 6	시료 7	시료 8
I_{on} ($V_d=3.3\text{V}, V_g=3\text{V}$)	[μA]	65.9	73.7	83.8	158.4
μFE ($V_d=0.1\text{V}$)	[cm^2/Vs]	7.9	8.3	9.0	9.4
S_{gap} ($V_d=0.1\text{V}$)	[mV/dec.]	78.2	78.1	74.6	121.47
V_{th} ($V_d=3.3\text{V}$)	[V]	0.8	0.8	0.7	-0.5

[0354]

도 15의 (A), 도 15의 (B), 및 도 16의 (A)로부터 시료 1~시료 3의 산화 질화 실리콘막을 하지 절연막으로서 사용한 트랜지스터의 전류 전압 특성은 스위칭 특성을 갖는 것을 알 수 있다. 한편, 시료 4의 산화 질화 실리콘막을 하지 절연막으로서 사용한 트랜지스터는 스위칭 특성을 갖지 않는 것을 알 수 있다. 상술한 것으로부터, 가열 처리에 의하여 방출되는 산소 분자 및 일산화 질서에서 유래하는 산소 원자의 방출량이 $5 \times 10^{15}/\text{cm}^2$ 이상 $5 \times 10^{16}/\text{cm}^2$ 이하인 산화 질화 실리콘막을 산화물 반도체막을 갖는 트랜지스터의 하지 절연막으로서 사용함으로써 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있는 것을 알 수 있다. 또한, 산화물 반도체막을 갖는 트랜지스터의 하지 절연막으로서 산소 분자와 일산화 질소에서 유래하는 산소 원자의 방출량이 $1 \times 10^{20}/\text{cm}^3$ 이상 $1 \times 10^{21}/\text{cm}^3$ 이하인 산화 질화 실리콘막을 사용함으로써 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있는 것을 알 수 있다.

부호의 설명

[0356]

100: 트랜지스터

101: 기판

103: 하지 절연막

104: 산화물 반도체막

104a: 산화물 반도체막

104b: 산화물 반도체막

104c: 산화물 반도체막

105: 산화물 반도체막

105a: 산화물 반도체막

105b: 산화물 반도체막

105c: 산화물 반도체막

106: 다층막

107: 전극

107c: 전극

108: 게이트 절연막

109: 게이트 절연막

109a: 게이트 절연막

110: 트랜지스터

111: 게이트 전극

112: 개구부

113: 절연막

114: 개구부

115: 배선

116: 전극

117: 하지 절연막

118: 절연막

119: 절연막

130: 트랜지스터

150: 트랜지스터

153: 하지 절연막

153a: 절연막

153b: 절연막

191: 기판

231: 게이트 전극

233: 절연막

301: 반도체 기판

303: STI

304: n웰 영역

305: 트랜지스터

306: 트랜지스터

307: 채널 영역

308: 채널 영역

309: 불순물 영역

310: 불순물 영역

311: 게이트 절연막

312: 게이트 절연막

313: 게이트 전극

314: 게이트 전극

315: 불순물 영역

316: 불순물 영역

317: 사이드 월

318: 사이드 월

321: 절연막

323: 절연막

325: 콘택트 플러그

327: 절연막

329: 배선

331: 절연막

332: 배리어막

333: 절연막

335a: 배선

335b: 배선

335c: 배선

342: 절연막

343: 절연막

345a: 콘택트 플러그

345b: 콘택트 플러그

349: 트랜지스터

351: 산화물 반도체막

353: 전극

355: 전극

357: 게이트 절연막

359: 게이트 전극

365: 절연막

367: 절연막

801: 트랜지스터

802: 트랜지스터

803: 트랜지스터

804: 트랜지스터

- 805: 트랜지스터
806: 트랜지스터
807: X 디코더
808: Y 디코더
811: 트랜지스터
812: 유지 용량
813: X 디코더
814: Y 디코더
901: RF 회로
902: 아날로그 베이스밴드 회로
903: 디지털 베이스밴드 회로
904: 배터리
905: 전원 회로
906: 애플리케이션 프로세서
907: CPU
908: DSP
910: 플래시 메모리
911: 디스플레이 컨트롤러
912: 메모리 회로
913: 디스플레이
914: 표시부
915: 소스 드라이버
916: 게이트 드라이버
917: 음성 회로
918: 키보드
919: 터치 센서
950: 메모리 회로
951: 메모리 컨트롤러
952: 메모리
953: 메모리
954: 스위치
955: 스위치
956: 디스플레이 컨트롤러
957: 디스플레이
1001: 배터리
1002: 전원 회로

1003: 마이크로프로세서

1004: 플래시 메모리

1005: 음성 회로

1006: 키보드

1007: 메모리 회로

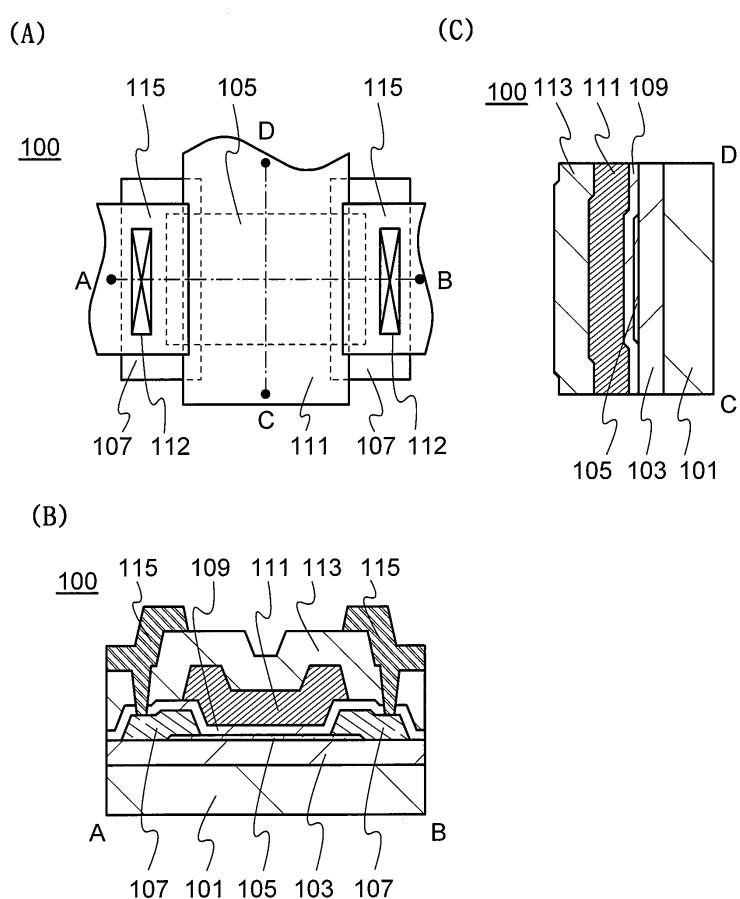
1008: 터치 패널

1009: 디스플레이

1010: 디스플레이 컨트롤러

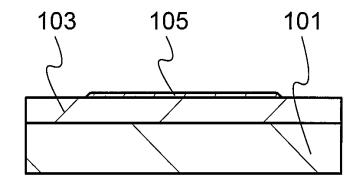
도면

도면1

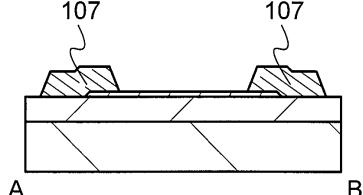


도면2

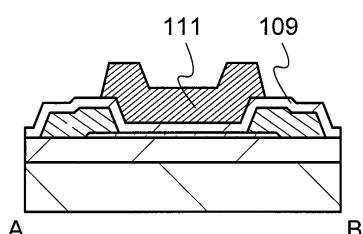
(A)



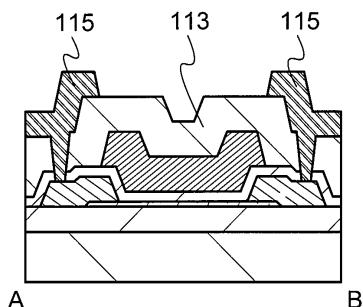
(B)



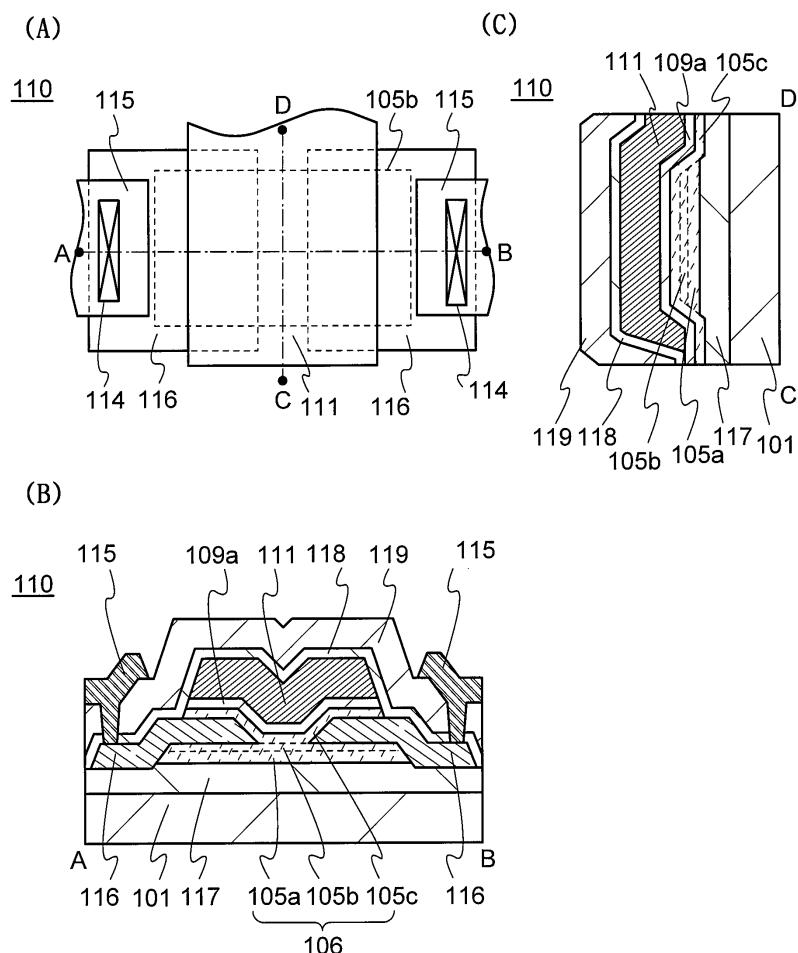
(C)



(D)

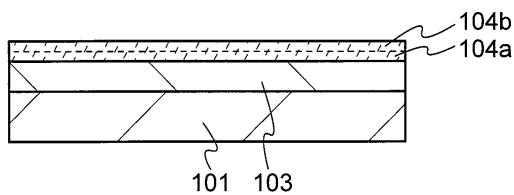


도면3

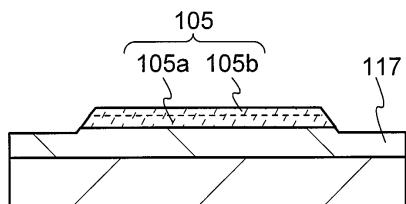


도면4

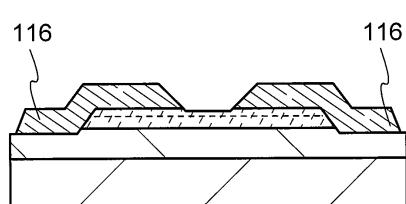
(A)



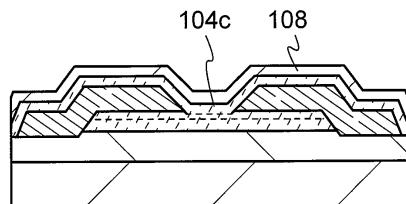
(B)



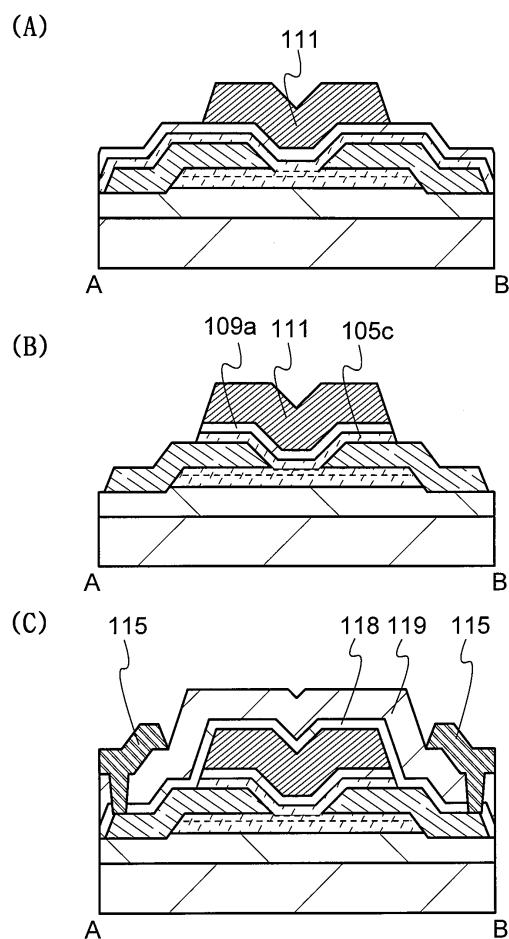
(C)



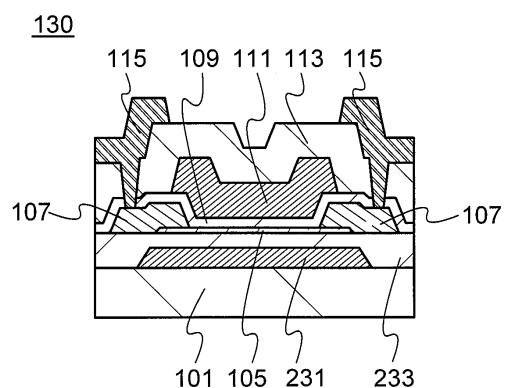
(D)



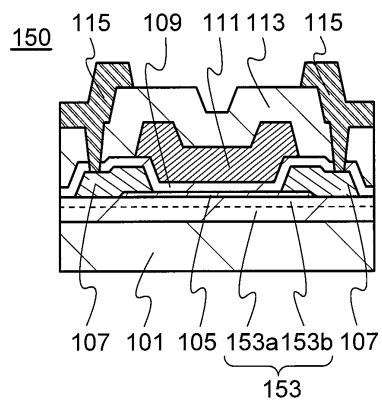
도면5



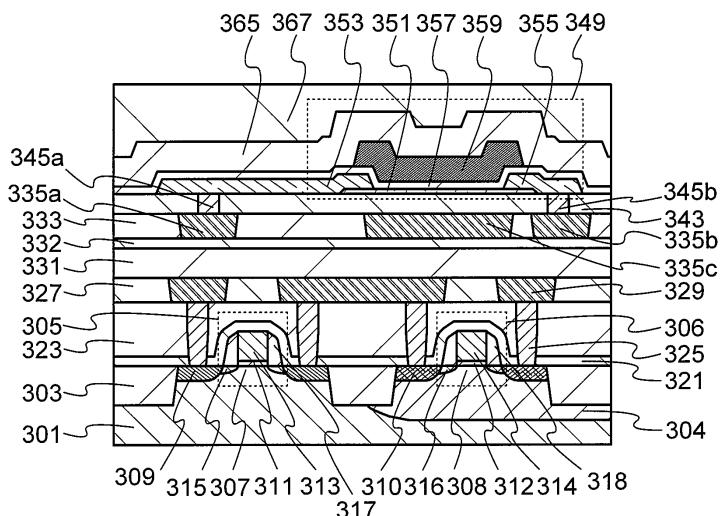
도면6



도면7

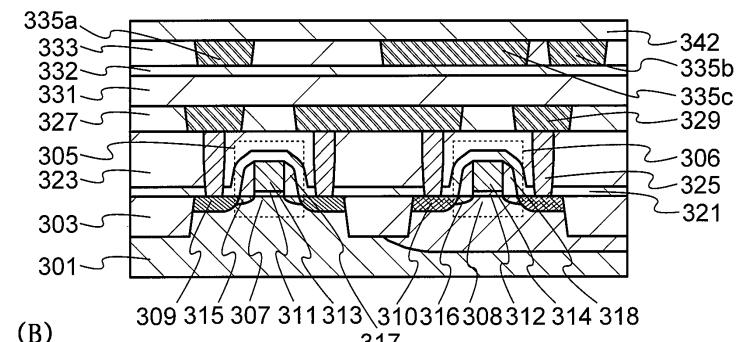


도면8

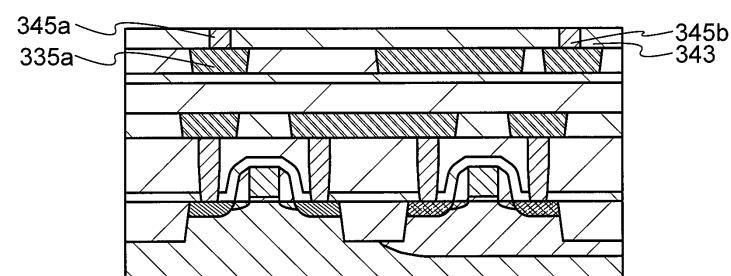


도면9

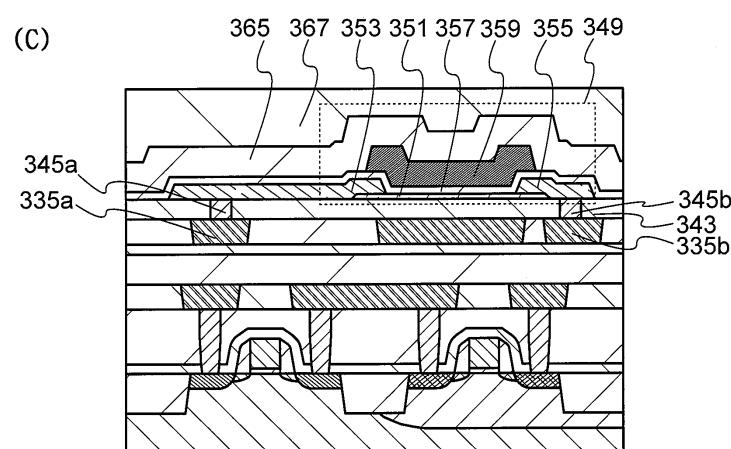
(A)



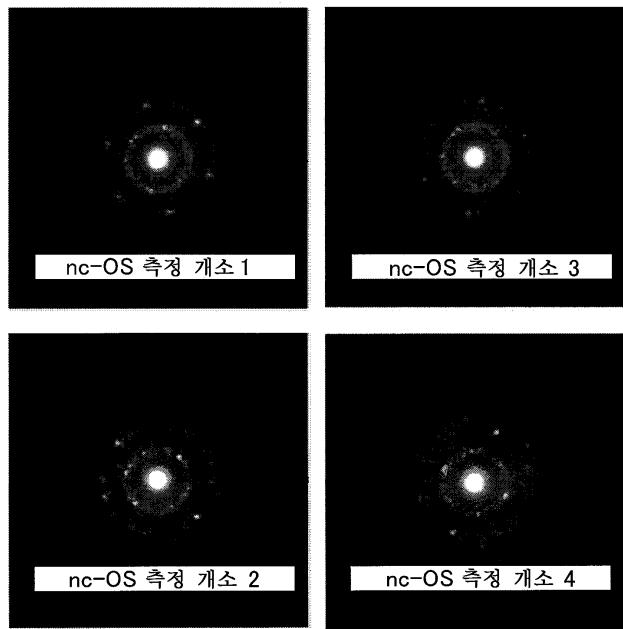
(B)



(C)

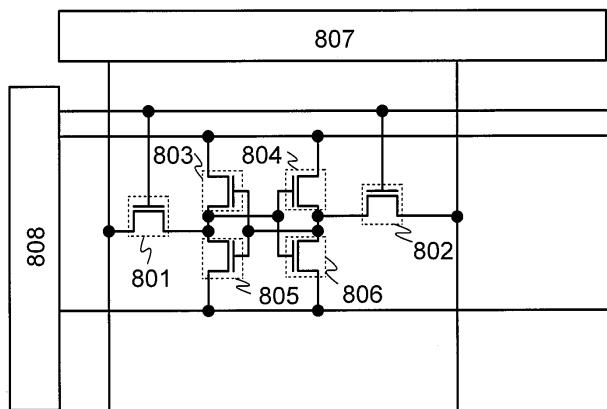


도면10

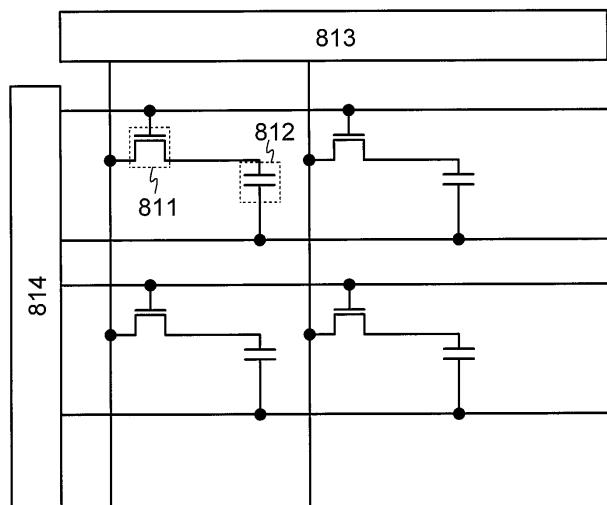


도면11

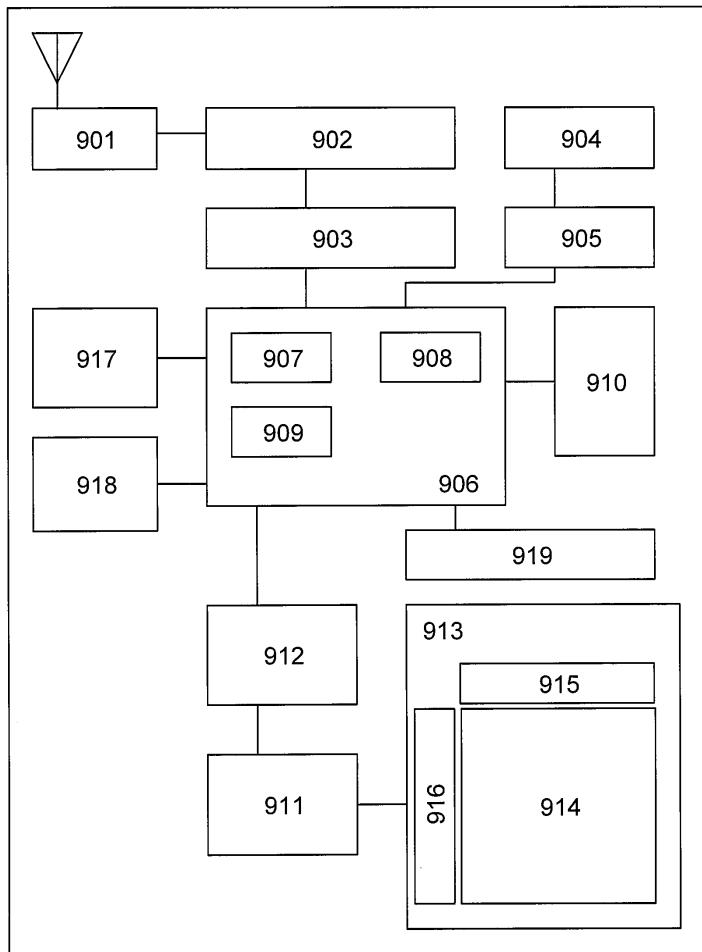
(A)



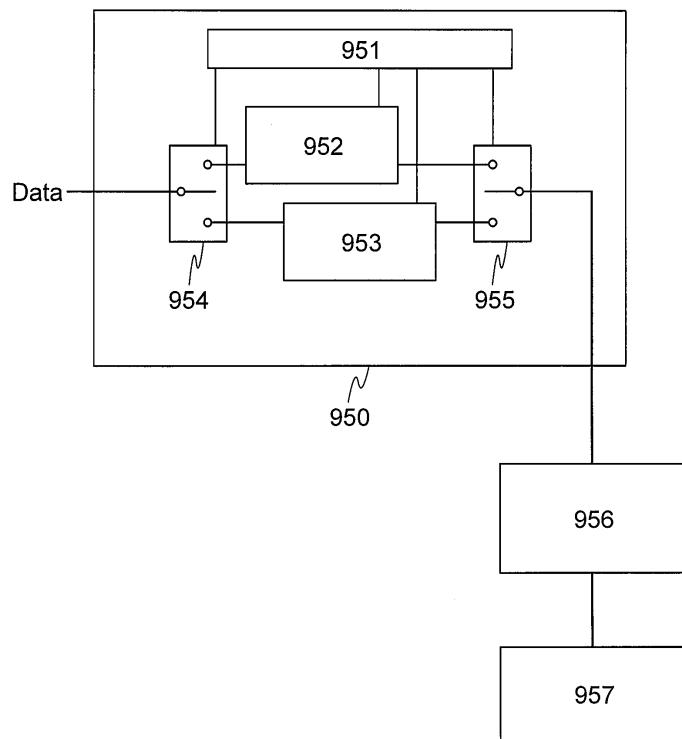
(B)



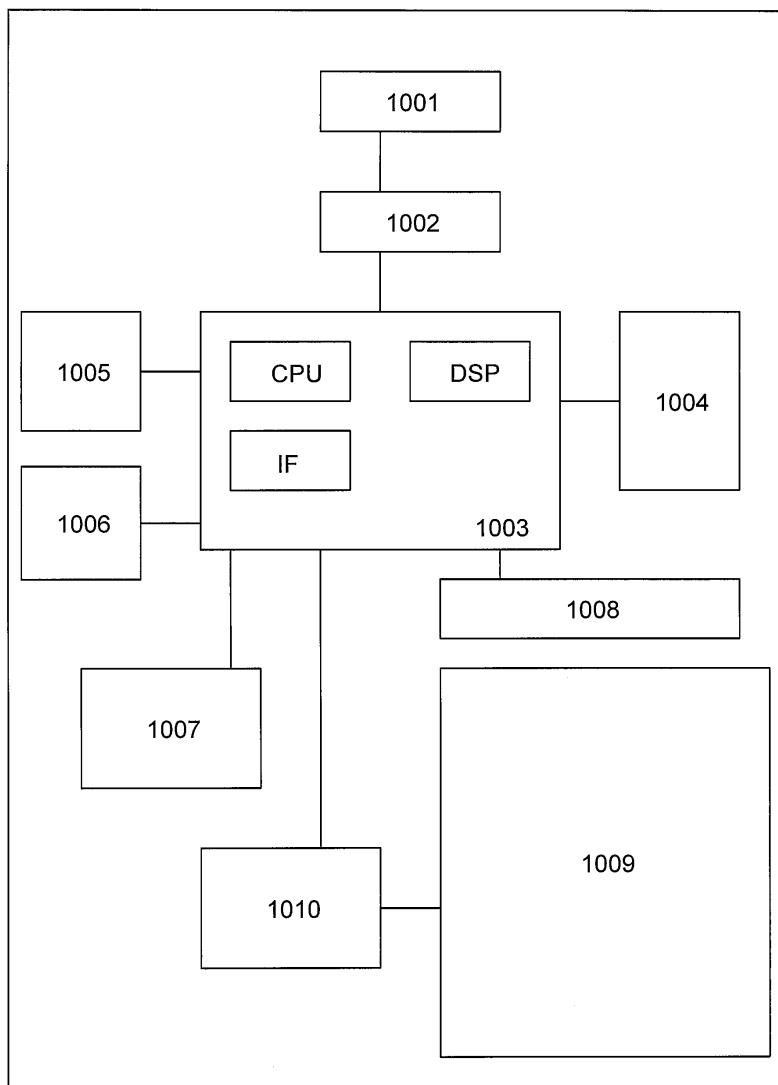
도면12



도면13

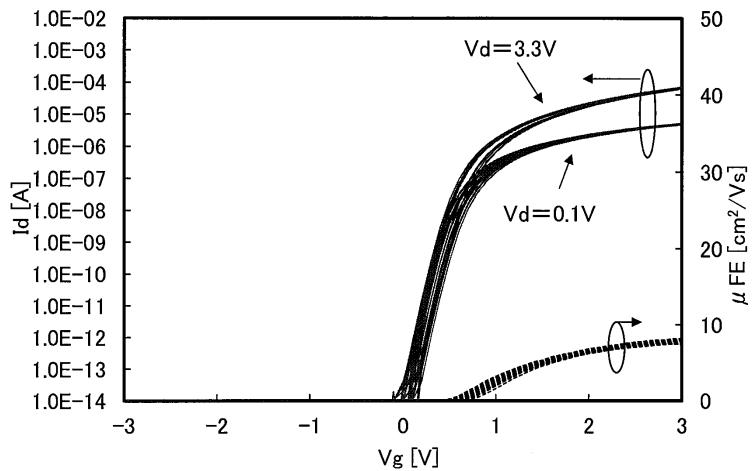


도면14

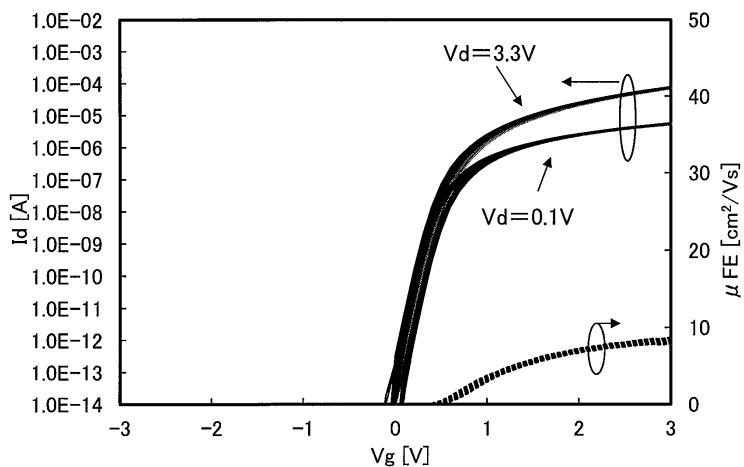


도면 15

(A)

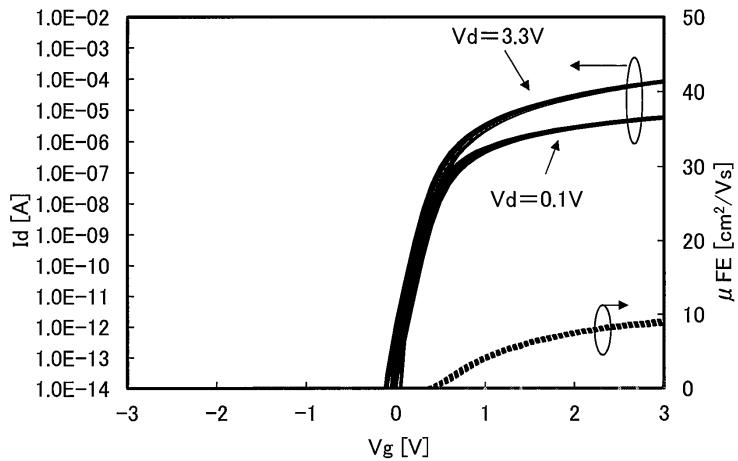


(B)



도면16

(A)



(B)

