



(12) 发明专利

(10) 授权公告号 CN 116057712 B

(45) 授权公告日 2024. 11. 05

(21) 申请号 202080102138.6

(22) 申请日 2020.06.24

(65) 同一申请的已公布的文献号  
申请公布号 CN 116057712 A

(43) 申请公布日 2023.05.02

(85) PCT国际申请进入国家阶段日  
2022.12.16

(86) PCT国际申请的申请数据  
PCT/JP2020/024829 2020.06.24

(87) PCT国际申请的公布数据  
W02021/260851 JA 2021.12.30

(73) 专利权人 三菱电机株式会社  
地址 日本东京

(72) 发明人 樽井阳一郎 藤原伸夫 田中贵规

(74) 专利代理机构 中国贸促会专利商标事务所  
有限公司 11038

专利代理师 李今子

(51) Int.Cl.  
H01L 29/78 (2006.01)

(56) 对比文件  
CN 101399286 A, 2009.04.01  
CN 102074581 A, 2011.05.25

审查员 周天微

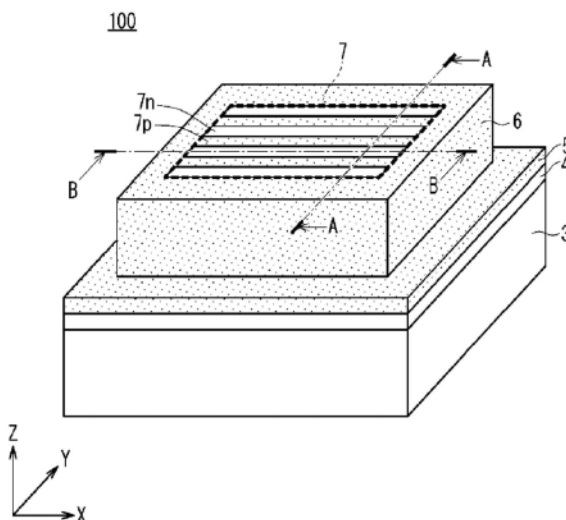
权利要求书4页 说明书25页 附图62页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本公开涉及使用超级结构造的半导体装置, 具备: 第1导电类型的半导体基体; 柱体部, 具有在所述半导体基体上以向所述半导体基体的厚度方向突出的方式设置的第1导电类型的多个第1柱体以及第2导电类型的多个第2柱体; 第1导电类型或者第2导电类型的柱体周边部, 设置于所述柱体部的周围; 以及半导体元件, 将所述柱体部设置为活性区域, 所述多个第1以及第2柱体具有条纹状的俯视时形状, 在与各自的长度方向正交的柱体宽度方向上以并列的方式交替排列。



1. 一种半导体装置,具备:

第1导电类型的半导体基体;

柱体部,具有在所述半导体基体上以向所述半导体基体的厚度方向突出的方式设置的第1导电类型的多个第1柱体以及第2导电类型的多个第2柱体;

第1导电类型或者第2导电类型的柱体周边部,设置于所述柱体部的周围;以及  
半导体元件,将所述柱体部设置为活性区域,

所述多个第1柱体以及所述多个第2柱体具有条纹状的俯视时形状,在与各自的长度方向正交的柱体宽度方向上以并列的方式交替排列,

所述柱体周边部以具有宽度地包围在所述半导体基体上突出的所述柱体部整体并且使所述多个第1柱体以及多个所述第2柱体的上表面露出的方式设置,

关于所述柱体周边部的杂质的浓度与所述柱体周边部的所述宽度之积,在所述柱体周边部的导电类型是第2导电类型的情况下,被设定得大于所述第2柱体的第2导电类型的杂质的浓度与所述第2柱体的宽度之积,在所述柱体周边部的导电类型是第1导电类型的情况下,被设定得大于所述第1柱体的第1导电类型的杂质的浓度与所述第1柱体的宽度之积。

2. 根据权利要求1所述的半导体装置,其中,

所述柱体周边部的导电类型是第2导电类型,

所述柱体周边部的第2导电类型的杂质的浓度和所述第2柱体的第2导电类型的杂质的浓度相同,

所述柱体周边部的所述宽度被设定得大于所述第2柱体的所述宽度。

3. 根据权利要求1所述的半导体装置,其中,

所述柱体周边部的导电类型是第1导电类型,

所述柱体周边部的第1导电类型的杂质的浓度和所述第1柱体的第1导电类型的杂质的浓度相同,

所述柱体周边部的所述宽度被设定得大于所述第1柱体的所述宽度。

4. 一种半导体装置,具备:

第1导电类型的半导体基体;

柱体部,具有在所述半导体基体上以向所述半导体基体的厚度方向突出的方式设置的第1导电类型的多个第1柱体以及第2导电类型的多个第2柱体;

第1导电类型或者第2导电类型的柱体周边部,设置于所述柱体部的周围;以及  
半导体元件,将所述柱体部设置为活性区域,

所述多个第1柱体以及所述多个第2柱体具有条纹状的俯视时形状,在与各自的长度方向正交的宽度方向上以并列的方式交替排列,

所述半导体基体具有:

第1导电类型的半导体基板;以及

第1导电类型的半导体层,设置于所述半导体基板上,

设置于所述柱体周边部之下的所述半导体层的高度低于设置于所述柱体部之下的所述半导体层的高度。

5. 根据权利要求1至4中的任意一项所述的半导体装置,其中,

还具备设置于比所述柱体周边部更靠外侧的所述半导体基体上、具有与所述柱体周边

部相同的导电类型的周边部。

6. 根据权利要求1所述的半导体装置,其中,  
所述半导体基体将碳化硅用作半导体的材料。

7. 一种半导体装置的制造方法,具备:

(a) 通过外延生长,在第1导电类型的半导体基板上形成第1导电类型的第1半导体层的工序;

(b) 对所述第1半导体层进行蚀刻,相互隔开间隔而形成向所述半导体基板的厚度方向突出的多个凸部,并且形成所述多个凸部的周边部的工序;

(c) 通过外延生长,在所述多个凸部之间、所述多个凸部的上部以及所述周边部的上部形成第2导电类型的第2半导体层的工序;

(d) 至少去除所述多个凸部的上部的所述第2半导体层,使所述多个凸部的上表面露出而作为第1导电类型的多个第1柱体,将所述多个凸部之间的所述第2半导体层作为第2导电类型的多个第2柱体,从而形成柱体部,并且将所述周边部的上部的所述第2半导体层作为包围所述柱体部的第2导电类型的柱体周边部的工序;以及

(e) 将所述柱体部作为活性区域形成半导体元件的工序,

所述工序 (b) 具有以使所述多个凸部的各个凸部具有条纹状的俯视时形状,在与各自的长度方向正交的宽度方向上隔开间隔并列的方式蚀刻的工序,

所述多个第1柱体以及所述多个第2柱体具有条纹状的俯视时形状,在与各自的长度方向正交的所述宽度方向上以并列的方式交替排列。

8. 根据权利要求7所述的半导体装置的制造方法,其中,

在所述工序 (c) 中,以具有宽度地包围在所述半导体基板上突出的所述柱体部整体并且使第2导电类型的杂质的浓度与宽度之积大于所述第2柱体的第2导电类型的杂质的浓度与所述第2柱体的宽度之积的方式使所述第2半导体层外延生长。

9. 根据权利要求8所述的半导体装置的制造方法,其中,

在所述工序 (c) 中,以使所述柱体周边部的第2导电类型的杂质的浓度和所述第2柱体的第2导电类型的杂质的浓度相同,使所述柱体周边部的宽度大于所述第2柱体的宽度的方式使所述第2半导体层外延生长。

10. 根据权利要求7所述的半导体装置的制造方法,其中,

在所述工序 (c) 中,以具有宽度地包围在所述半导体基板上突出的所述柱体部整体的方式使所述第2半导体层外延生长,

在所述工序 (c) 与所述工序 (d) 之间,还具备对所述多个凸部的所述周边部的所述第2半导体层进行离子注入的工序,从而所述柱体周边部的第2导电类型的杂质的浓度与宽度之积大于所述第2柱体的第2导电类型的杂质的浓度与所述第2柱体的宽度之积。

11. 根据权利要求7所述的半导体装置的制造方法,其中,

在所述工序 (d) 中,通过整面蚀刻,去除所述多个凸部的上部的所述第2半导体层,并且去除设置于比所述柱体周边部更靠外侧的与所述柱体周边部相同的导电类型的周边部。

12. 根据权利要求7所述的半导体装置的制造方法,其中,

在所述工序 (b) 中,在形成所述多个凸部以及所述多个凸部的所述周边部时,以使所述第1半导体层的所述柱体周边部之下的所述第1半导体层的高度低于所述柱体部之下的所

述第1半导体层的高度的方式对所述第1半导体层进行蚀刻。

13. 根据权利要求7所述的半导体装置的制造方法,其中,所述半导体基板将碳化硅用作半导体材料。

14. 一种半导体装置的制造方法,具备:

(a) 通过外延生长,在第1导电类型的半导体基体上形成第2导电类型的第1半导体层的工序;

(b) 对所述第1半导体层进行蚀刻,相互隔开间隔而形成向所述半导体基体的厚度方向突出的多个凸部,并且使所述多个凸部的周边的所述半导体基体露出而作为周边部的工序;

(c) 通过外延生长,在所述多个凸部之间、所述多个凸部的上部以及所述多个凸部的所述周边部的上部形成第1导电类型的第2半导体层的工序;

(d) 至少去除所述多个凸部的上部的所述第1半导体层,使所述多个凸部的上表面露出而作为第2导电类型的多个第2柱体,将所述多个凸部之间的所述第1半导体层作为第1导电类型的多个第1柱体,从而形成柱体部,并且将所述周边部的上部的所述第1半导体层作为包围所述柱体部的第1导电类型的柱体周边部的工序;以及

(e) 将所述柱体部作为活性区域形成半导体元件的工序,

所述工序 (b) 具有以使所述多个凸部的各个凸部具有条纹状的俯视时形状,在与各自的长度方向正交的宽度方向上隔开间隔并列的方式蚀刻的工序,

所述多个第1柱体以及所述多个第2柱体具有条纹状的俯视时形状,在与各自的长度方向正交的所述宽度方向上以并列的方式交替排列。

15. 根据权利要求14所述的半导体装置的制造方法,其中,

所述半导体基体具有在第1导电类型的半导体基板上通过外延生长形成的第1导电类型的半导体层,

所述第1半导体层形成于所述半导体层上。

16. 根据权利要求14所述的半导体装置的制造方法,其中,

在所述工序 (c) 中,以具有宽度地包围在所述半导体基体上突出的所述柱体部整体并且使第1导电类型的杂质的浓度与宽度之积大于所述第1柱体的第1导电类型的杂质的浓度与所述第1柱体的宽度之积的方式使所述第1半导体层外延生长。

17. 根据权利要求14所述的半导体装置的制造方法,其中,

在所述工序 (c) 中,以具有宽度地包围在所述半导体基体上突出的所述柱体部整体的方式使所述第2半导体层外延生长,

在所述工序 (c) 与所述工序 (d) 之间,还具备对所述多个凸部的所述周边部的所述第1半导体层进行离子注入的工序,从而所述柱体周边部的第1导电类型的杂质的浓度与宽度之积大于所述第1柱体的第1导电类型的杂质的浓度与所述第1柱体的宽度之积。

18. 根据权利要求14所述的半导体装置的制造方法,其中,

在所述工序 (d) 中,通过整面蚀刻,去除所述多个凸部的上部的所述第1半导体层,并且去除设置于比所述柱体周边部更靠外侧的与所述柱体周边部相同的导电类型的周边部。

19. 根据权利要求14所述的半导体装置的制造方法,其中,

在所述工序 (b) 中,在形成所述多个凸部以及所述多个凸部的所述周边部时,以使所述

半导体基体的所述柱体周边部之下的所述半导体基体的高度低于所述柱体部之下的所述半导体基体的高度的方式对所述半导体基体进行蚀刻。

20. 根据权利要求14所述的半导体装置的制造方法, 其中, 所述半导体基体将碳化硅用作半导体材料。

## 半导体装置及其制造方法

### 技术领域

[0001] 本公开涉及半导体装置,特别涉及使用超级结构造的半导体装置。

### 背景技术

[0002] 在功率器件中使用的碳化硅(SiC)相比于硅(Si)耐压更高、且能够低电阻化,SiC-SBD(Schottky Barrier Diode,肖特基势垒二极管)以及SiC-MOSFET(MOS Field Effect Transistor,MOS场效应晶体管)得到产品化。

[0003] 作为单极性器件超过其理论界限、且实现SiC功率器件的进一步的高耐压以及低电阻化的构造可以举出超级结(SJ:Super Junction)构造。SJ构造是指,在半导体层中在与流过主电流的方向正交的方向上交替排列有p型杂质层(p型柱体)和n型杂质层(n型柱体)的构造。

[0004] 在形成SiC功率器件的SJ构造的方法中,有反复离子注入和外延生长的多重外延法、形成沟槽而进行埋入外延的埋入外延法。在3.3kV以上的高耐压器件中,在导通电阻中所占的漂移电阻是支配性的,SJ构造应用的优点大。此外,在3.3kV以上的高耐压器件中,需要形成厚的SJ构造,所以在考虑生产性时,埋入外延法占优势。

[0005] 在通过埋入外延形成SiC功率器件的SJ构造的情况下,如专利文献1的图11所示,在沟槽端部形成空洞。在形成空洞时,碳化硅半导体装置的泄漏电流增加,所以如专利文献1的图22所示形成有划线用沟槽,进而如专利文献1的图24所示形成有沟道阻挡区域。通过经由这样的工序得到的结构,如专利文献1的图31所示降低碳化硅半导体装置的泄漏电流。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:国际公开第2019/160086号

### 发明内容

[0009] 在专利文献1的制造方法中产生形成有空洞的宽度非常宽的无效区域,并且需要用于降低泄漏电流的追加的工序以及结构,存在半导体装置的成本增加的课题。

[0010] 本公开是为了解决如上述的问题而完成的,其目的在于提供降低半导体装置的无效区域而降低泄漏电流的半导体装置。

[0011] 本公开所涉及的半导体装置具备:第1导电类型的半导体基体;柱体部,具有在所述半导体基体上以向所述半导体基体的厚度方向突出的方式设置的第1导电类型的多个第1柱体以及第2导电类型的多个第2柱体;第1导电类型或者第2导电类型的柱体周边部,设置于所述柱体部的周围;以及半导体元件,将所述柱体部设置为活性区域,所述多个第1柱体以及所述多个第2柱体具有条纹状的俯视时形状,在与各自的长度方向正交的柱体宽度方向上以并列的方式交替排列。

[0012] 根据本公开的半导体装置,在通过外延生长形成第1以及第2柱体时难以形成空洞,能够降低半导体装置的无效区域而降低泄漏电流。

**附图说明**

- [0013] 图1是示意地示出实施方式1所涉及的碳化硅半导体装置的柱体部的结构的立体图。
- [0014] 图2是示出实施方式1所涉及的碳化硅半导体装置的柱体部的结构的剖面图。
- [0015] 图3是示出实施方式1所涉及的碳化硅半导体装置的柱体部的结构的剖面图。
- [0016] 图4是示出n型柱体以及p型柱体的大小的图。
- [0017] 图5是示意地示出实施方式1所涉及的碳化硅半导体装置的立体图。
- [0018] 图6是示出MOSFET单元区域的结构图。
- [0019] 图7是示出MOSFET单元区域的结构图。
- [0020] 图8是示出实施方式1的变形例1的碳化硅半导体装置的结构剖面图。
- [0021] 图9是示出实施方式1的变形例2的碳化硅半导体装置的结构剖面图。
- [0022] 图10是示出实施方式1的变形例3的碳化硅半导体装置的结构剖面图。
- [0023] 图11是示出实施方式1的变形例3的碳化硅半导体装置的结构剖面图。
- [0024] 图12是示意地示出实施方式1的变形例3的碳化硅半导体装置中的主电流的流动的图。
- [0025] 图13是示意地示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0026] 图14是示意地示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0027] 图15是示意地示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0028] 图16是示意地示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0029] 图17是示意地示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0030] 图18是示意地示出实施方式2所涉及的碳化硅半导体装置的柱体部的结构的立体图。
- [0031] 图19是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0032] 图20是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0033] 图21是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0034] 图22是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0035] 图23是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0036] 图24是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。

[0037] 图25是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。

[0038] 图26是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的变形例1的剖面图。

[0039] 图27是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的变形例1的剖面图。

[0040] 图28是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的变形例1的剖面图。

[0041] 图29是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的变形例2的剖面图。

[0042] 图30是示出实施方式2所涉及的碳化硅半导体装置的柱体部的制造方法的变形例2的剖面图。

[0043] 图31是示意地示出实施方式2所涉及的碳化硅半导体装置的立体图。

[0044] 图32是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0045] 图33是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0046] 图34是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0047] 图35是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0048] 图36是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0049] 图37是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0050] 图38是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0051] 图39是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

[0052] 图40是示出实施方式2所涉及的碳化硅半导体装置的变形例的结构剖面图。

[0053] 图41是示出实施方式2所涉及的碳化硅半导体装置的变形例的结构剖面图。

[0054] 图42是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例1的剖面图。

[0055] 图43是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例1的剖面图。

[0056] 图44是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例2的剖面图。

[0057] 图45是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例2的剖面图。

[0058] 图46是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例3的剖面图。

[0059] 图47是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例3的剖面图。

[0060] 图48是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例4的剖面图。

[0061] 图49是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例5的剖面图。

- [0062] 图50是示出实施方式2所涉及的碳化硅半导体装置的制造方法的变形例5的剖面图。
- [0063] 图51是说明相邻的2个碳化硅半导体装置的切割工序的剖面图。
- [0064] 图52是说明相邻的2个碳化硅半导体装置的切割工序的剖面图。
- [0065] 图53是示出相邻的2个碳化硅半导体装置的制造方法的剖面图。
- [0066] 图54是示出相邻的2个碳化硅半导体装置的制造方法的剖面图。
- [0067] 图55是示意地示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0068] 图56是示意地示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0069] 图57是示意地示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0070] 图58是示意地示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0071] 图59是示意地示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的立体图。
- [0072] 图60是示意地示出实施方式3所涉及的碳化硅半导体装置的柱体部的结构的立体图。
- [0073] 图61是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0074] 图62是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0075] 图63是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0076] 图64是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0077] 图65是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0078] 图66是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0079] 图67是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0080] 图68是示出实施方式3所涉及的碳化硅半导体装置的柱体部的制造方法的剖面图。
- [0081] 图69是示意地示出实施方式3所涉及的碳化硅半导体装置的立体图。
- [0082] 图70是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。
- [0083] 图71是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。
- [0084] 图72是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。
- [0085] 图73是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。

- [0086] 图74是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。
- [0087] 图75是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。
- [0088] 图76是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。
- [0089] 图77是示出MOSFET单元区域的MOSFET单元的制造工序的剖面图。
- [0090] 图78是示出实施方式3所涉及的碳化硅半导体装置的变形例的结构剖面图。
- [0091] 图79是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例1的剖面图。
- [0092] 图80是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例1的剖面图。
- [0093] 图81是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例2的剖面图。
- [0094] 图82是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例2的剖面图。
- [0095] 图83是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例3的剖面图。
- [0096] 图84是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例3的剖面图。
- [0097] 图85是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例4的剖面图。
- [0098] 图86是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例5的剖面图。
- [0099] 图87是示出实施方式3所涉及的碳化硅半导体装置的制造方法的变形例5的剖面图。
- [0100] 图88是说明相邻的2个碳化硅半导体装置的切割工序的剖面图。
- [0101] 图89是说明相邻的2个碳化硅半导体装置的切割工序的剖面图。
- [0102] 图90是示出相邻的2个碳化硅半导体装置的制造方法的剖面图。
- [0103] 图91是示出相邻的2个碳化硅半导体装置的制造方法的剖面图。
- [0104] 图92是示出实施方式1至3所涉及的碳化硅半导体装置的MOSFET单元区域的结构的一个例子的图。
- [0105] 图93是示出实施方式1至3所涉及的碳化硅半导体装置的MOSFET单元区域的结构的一个例子的图。
- [0106] 图94是示出实施方式1至3所涉及的碳化硅半导体装置的MOSFET单元区域的结构的一个例子的图。
- [0107] 图95是示出实施方式1至3所涉及的碳化硅半导体装置的MOSFET终端区域的结构的一个例子的图。
- [0108] 图96是示出实施方式1至3所涉及的碳化硅半导体装置的MOSFET终端区域的结构的一个例子的图。
- [0109] 图97是示出实施方式1至3所涉及的碳化硅半导体装置中的代替MOSFET单元区域而设置有SBD区域以及SBD终端区域的结构的一个例子的图。

[0110] 图98是示出实施方式1至3所涉及的碳化硅半导体装置中的代替MOSFET单元区域而设置有SBD区域以及SBD终端区域的结构的一个例子的图。

[0111] 图99是示出实施方式1至3所涉及的碳化硅半导体装置中的代替MOSFET单元区域而设置有SBD区域以及SBD终端区域的结构的一个例子的图。

[0112] (符号说明)

[0113] 3:半导体基板;4:n型SiC层;6:p型柱体周边部;7:柱体部;7n:n型柱体;7p:p型柱体;5:p型芯片周边部;60:p型SiC层;70:n型SiC层;71:n型芯片周边部;72:凸部;73:n型柱体周边部。

## 具体实施方式

[0114] <前言>

[0115] 以下说明的各实施方式中的半导体装置是指将经由晶片工艺制造的半导体装置通过切割工序按照芯片单位分离而得到的半导体芯片,芯片周边部是指半导体芯片的外周部。

[0116] 另外,以下,“外侧”是指朝向半导体芯片的外周的方向,“内侧”是指相对“外侧”相反的方向。

[0117] 另外,在以下的记载中,关于杂质的导电类型,一般而言将n型定义为“第1导电类型”,将与n型相反的导电类型的p型定义为“第2导电类型”,但也可以是反过来的定义。另外,n<sup>-</sup>型表示杂质浓度比n型低的浓度,n<sup>+</sup>型表示杂质浓度比n型高的浓度。同样地,p<sup>-</sup>型表示杂质浓度比p型低的浓度,p<sup>+</sup>型表示杂质浓度比p型高的浓度。

[0118] 此外,附图是示意地示出的图,在不同的附图中分别示出的图像的尺寸以及位置的相互关系未必正确地记载,而可适当地变更。另外,在以下的说明中,对同样的构成要素附加相同的符号而图示,它们的名称以及功能也相同。因此,有时省略关于它们的详细的说明。另外,在本说明书中,在称为“~上”以及“将~覆盖”的情况下,不妨碍在构成要素之间存在夹杂物。例如,在记载为“设置于A上的B”或者“A覆盖B”的情况下,既能够意味着在A与B之间设置其他构成要素C、也能够意味着未设置其他构成要素C。另外,在以下的说明中,有时使用“上”、“下”、“侧”、“底”、“表”或者“背”等意味着特定的位置以及方向用语,但这些用语是为了使实施方式的内容易于理解而适当地使用的用语,与实际上实施时的方向无关。

[0119] 另外,“MOS”这样的用语以前用于金属-氧化物-半导体的接合构造,采用Metal-Oxide-Semiconductor的首字母。然而,特别是在具有MOS构造的场效应晶体管(MOSFET)中,根据近年来的集成化、制造工艺的改善等的观点,改善栅极绝缘膜以及栅极电极的材料。

[0120] 例如在MOSFET中,根据主要自匹配地形成源极/漏极的观点,作为栅极电极的材料代替金属而采用多晶硅。另外,根据改善电特性的观点,作为栅极绝缘膜的材料采用高介电常数的材料,但该材料未必限定于氧化物。

[0121] 因此,“MOS”这样的用语未必仅限定于金属-氧化物-半导体的层叠构造而被采用,在本说明书中也未将这样的限定作为前提。即,鉴于技术常识,在此“MOS”具有不仅作为由来于其词源的简称,还广泛包括导电体-绝缘体-半导体的层叠构造的意义。

[0122] <实施方式1>

[0123] <装置结构>

[0124] 图1是示意地示出作为实施方式1所涉及的半导体装置具有SJ构造的碳化硅半导体装置100的柱体部的结构的立体图。碳化硅半导体装置100表示在相对半导体基板的主面垂直的方向上流过主电流的纵型MOSFET,但为便于说明,主电极以及MOSFET的单位单元等省略图示。

[0125] 柱体部7是如图1所示在与各自的长度方向正交的宽度方向上以并列的方式在半导体基板3上交替排列有俯视时形状为条纹状的多个n型柱体7n(第1柱体)和多个p型柱体7p(第2柱体)的区域。它们的排列方向是与碳化硅半导体装置100的主电流流过的方向正交的方向。以包围柱体部7的方式设置有包含p型杂质的p型柱体周边部6,p型柱体周边部6的更外侧成为包含p型杂质的p型芯片周边部5。

[0126] 半导体基板3是n<sup>+</sup>型的SiC基板、且例如是市面销售的4H-SiC的n型基板,在[11-20]方向上具有4度的偏离角(off angle),具有300~400 $\mu\text{m}$ 的厚度,n型杂质的浓度是 $5 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ 。

[0127] 在半导体基板3与p型芯片周边部5之间设置有包含n型杂质的n型SiC层4(第1半导体层),其厚度是0.5~10 $\mu\text{m}$ ,n型杂质的浓度是 $1 \times 10^{14} \sim 5 \times 10^{19} \text{cm}^{-3}$ 。此外,有时将半导体基板3和n型SiC层4合起来称为半导体基体。

[0128] 图2示出沿图1中的A-A线(与Y轴并行的线)的箭头所示方向的剖面图,图3示出沿B-B线(与X轴并行的线)的箭头所示方向的剖面图。如图2以及图3所示n型柱体7n以及p型柱体7p以从n型SiC层4上向高度方向(Z轴方向)突出的方式设置,p型柱体周边部6包围柱体部7,p型芯片周边部5覆盖n型SiC层4的外周上。此外,n型SiC层4的端面在半导体芯片的侧面露出。

[0129] 图4是示出n型柱体7n以及p型柱体7p的大小的图,n型柱体7n的柱体宽度7nW和p型柱体7p的柱体宽度7pW同等,例如,形成为0.5~5 $\mu\text{m}$ 的长度。另外,n型柱体7n的柱体高度7nH和p型柱体7p的柱体宽度7pH同等,例如,形成为5~100 $\mu\text{m}$ 的高度。而且,n型柱体7n的杂质浓度与宽度之积被形成为与p型柱体7p的杂质浓度与宽度之积大致一致,n型杂质以及p型杂质的浓度分别例如是 $5 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 。通过设为这样的结构,在碳化硅半导体装置100为截止的状态下,耗尽层扩展到n型柱体7n以及p型柱体7p的整体。

[0130] 为了缓和与p型柱体7p的接合部中的电场,n型SiC层4的杂质浓度优选与n型柱体7n的杂质浓度相同或者更低,但还能够设为比n型柱体7n的杂质浓度更高浓度。另外,还能够不设置n型SiC层4,而n型柱体7n以及p型柱体7p直接接合到半导体基板3。在n型SiC层4的杂质浓度是比n型柱体7n的杂质浓度更高浓度的情况以及未设置n型SiC层4的情况下,相比于n型SiC层4的杂质浓度与n型柱体7n的杂质浓度相同或者更低的情况,效果更小,但通过设置如图1所示的柱体部7,能够实现比以往的结构更高耐压且更低电阻的碳化硅半导体装置。

[0131] 此外,在图1~图4中,示出了在柱体部7将p型柱体7p设置3个、将n型柱体7n设置4个的结构,但实际上形成与碳化硅半导体装置的大小对应的数量的p型柱体7p以及n型柱体7n。如先前说明,柱体宽度是0.5~5 $\mu\text{m}$ ,设置MOSFET的单位单元的MOSFET单元区域的整体Y方向的宽度例如是1~10mm,所以形成收容于至少MOSFET单元区域的个数的p型柱体7p以及n型柱体7n。

[0132] 另外,如图3以及图4所示,通过使p型柱体周边部6的宽度 $6W$ 比p型柱体7p的宽度 $7pW$ 厚,在p型柱体周边部6和p型柱体7p中杂质浓度相同的情况下,p型柱体周边部6的杂质浓度与宽度之积大于p型柱体7p的杂质浓度与宽度之积。通过设为这样的结构,耗尽层不扩展到p型柱体周边部6的整体,p型柱体周边部6的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。在该情况下,p型柱体周边部6的宽度能够设为p型柱体7p的宽度的1.2倍以上。

[0133] 另外,即使在p型柱体周边部6的宽度 $6W$ 和p型柱体7p的宽度 $7pW$ 相同的情况下,通过使p型柱体周边部6的杂质浓度成为p型柱体7p的杂质浓度的1.2倍以上,耗尽层不扩展到p型柱体周边部6的整体,p型柱体周边部6的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0134] 图5是示意地示出在柱体部7设置有MOSFET的单位单元的情况下的MOSFET单元区域MCR和设置于其外周的MOSFET终端区域MTR的碳化硅半导体装置100的立体图。

[0135] 使用图6以及图7,说明MOSFET单元区域MCR的结构。图6是沿图5中的C-C线(与Y轴并行的线)的箭头所示方向的剖面图,图7示出图6中的区域A的放大图。

[0136] 如图7所示MOSFET在半导体基板3的一方的主面上设置有n型SiC层4,在n型SiC层4上交替设置有多个p型柱体7p以及多个n型柱体7n。而且,从p型柱体7p的上层部到n型柱体7n的上层部,选择性地设置有多个p型的阱区域8,在各个阱区域8以贯通阱区域8的方式设置有p型的接触区域10。

[0137] 而且,在阱区域8的上层部,与接触区域10的两侧面相接地设置有n型的源极区域9。此外,构成为源极区域9的厚度比阱区域8的厚度薄、以使接触区域10的厚度成为与阱区域8的厚度相同的程度或者接触区域10的一方稍微更深的方式设置且接触区域10与p型柱体7p电连接。

[0138] 以跨越相邻的阱区域8的源极区域9上的方式选择性地形成有栅极绝缘膜11,在栅极绝缘膜11上形成有栅极电极12。即,栅极绝缘膜11被设置成在相邻的源极区域9之间从源极区域9的一部分上部从阱区域8上以及n型柱体7n上到达相邻的阱区域8的源极区域9的一部分上部,在栅极绝缘膜11上设置有栅极电极12。

[0139] 而且,以覆盖栅极绝缘膜11以及栅极电极12的方式形成有层间绝缘膜13,以覆盖层间绝缘膜13的方式形成有源极电极14。在层间绝缘膜13,在覆盖栅极电极12的区域以外的区域,设置有在厚度方向上贯通层间绝缘膜13而到达源极区域9的一部分以及接触区域10的全部的表面的接触孔。而且,在接触孔内填充源极电极14,源极电极14与源极区域9以及接触区域10连接。

[0140] 另外,在与设置有源极电极14的一侧相反的一侧的半导体基板3的另一方的主面(背面)上设置有漏极电极15。此外,关于MOSFET单元区域MCR以及MOSFET终端区域MTR的结构的一个例子,在后面进一步说明。

[0141] 如以上说明,通过在半导体基板3上设置交替排列有俯视时形状为条纹状的多个n型柱体7n和多个p型柱体7p的柱体部7,在通过外延生长形成p型柱体7p时不会形成空洞,能够降低无效区域。因此,用于分离空洞的加工变得不需要,能够降低制造成本。

[0142] 另外,在图7中,示出了将MOSFET的单位单元设置2个的结构,但实际上形成与碳化硅半导体装置的大小对应的数量的单位单元。

[0143] <变形例1>

[0144] 图8是示出实施方式1的变形例1的碳化硅半导体装置100A的结构的剖面图、且是与图7对应的剖面图。如图8所示,碳化硅半导体装置100A代替设置n型SiC层4而在阱区域8之间设置有n型SiC层40(第2n型SiC层)。

[0145] <变形例2>

[0146] 图9是示出实施方式1的变形例2的碳化硅半导体装置100B的结构的剖面图、且是与图2对应的剖面图。如图9所示,碳化硅半导体装置100B具有在n型SiC层4上未设置p型芯片周边部5的结构。

[0147] 这样的结构具有在通过埋入外延法形成p型柱体7p的情况下在通过整面蚀刻形成p型柱体7p的情况下易于制作这样的特征。另外,在图9中,n型SiC层4成为均匀的厚度,但能够使去除p型芯片周边部5的区域的n型SiC层4的厚度小于p型柱体周边部6以及p型柱体7p的下部的厚度。

[0148] <变形例3>

[0149] 图10以及图11是示出实施方式1的变形例3的碳化硅半导体装置100C的结构的剖面图、且是分别与图2以及图3对应的剖面图。如图10以及图11所示,在碳化硅半导体装置100B中,n型SiC层4的柱体周边部高度4H2低于柱体部7处的n型SiC层4的高度4H1。

[0150] 图12是用箭头示意地示出采用这样的结构的情况下的MOSFET单元区域MCR中的主电流的流动的图。如图12所示MOSFET单元区域MCR中的主电流在MOSFET单元区域MCR中流过,在芯片周边部中难以流过电流。其原因为,由于n型SiC层4的柱体周边部的厚度变薄而电流路径变窄,主电流向芯片周边部的扩展宽度变窄,相比于扩展到芯片周边部,主电流先到达半导体基板3。此外,高度4H1和高度4H2的比例例如能够设为2对1程度。

[0151] 芯片周边部存在切割时的缺陷等,在流过主电流时容易产生不良现象。通过使n型SiC层4的柱体周边部高度4H2低于柱体部7处的n型SiC层4的柱体高度4H1,难以在芯片周边部中流过主电流,作为主电流在MOSFET中流过大电流的情况下的电流耐量变大。

[0152] 作为半导体使用碳化硅的碳化硅半导体装置相比于作为半导体使用硅的半导体装置,耐压性优良、容许电流密度也高,能够得到耐热性优良且能够高温动作的半导体装置。

[0153] <实施方式2>

[0154] <柱体部的制造方法>

[0155] 接下来,作为实施方式2,说明碳化硅半导体装置200的柱体部的制造方法。首先,在图13所示的工序中,例如准备作为市面销售的4H-SiC的n型基板并且在[11-20]方向上具有4度的偏离角,具有300~400 $\mu\text{m}$ 的厚度,n型杂质的浓度是 $5 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ 的半导体基板3。

[0156] 接下来,在图14所示的工序中,在半导体基板3的一方的主面上,通过外延生长形成包含n型杂质的n型SiC层70(第1半导体层)。n型SiC层70例如能够使厚度成为5~100 $\mu\text{m}$ 、使n型杂质的杂质浓度成为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 。此外,有时将半导体基板3和n型SiC层70合起来称为半导体基体。

[0157] 接下来,在图15所示的工序中,通过干蚀刻对n型SiC层70进行蚀刻,形成n型SiC层70的凸部72和n型SiC层70的n型芯片周边部71。在半导体基板3在[11-20]方向上具有4度的

偏离角的情况下,凸部72形成为俯视时形状呈现在与X轴([11-20]方向)平行的方向上延伸的条纹状,在沿着Y轴([1-100]方向)的方向上隔开间隔而排列多个凸部72。 $n$ 型SiC层70在与[11-20]方向垂直的方向上成为对称的形状,所以在通过外延生长在凸部72之间形成 $p$ 型SiC层时,易于控制 $p$ 型SiC层的形状。此外,凸部72形成为Y轴方向的宽度例如为 $0.5 \sim 5\mu\text{m}$ 的范围、Z轴([0001]方向)方向的高度例如为 $5 \sim 100\mu\text{m}$ 的范围。

[0158] 另一方面,在半导体基板3中使用无偏离角的基板的情况下,条纹状的凸部72能够形成于从[11-20]方向绕[0001]轴旋转90度的方位。即,即使在将图15中的[11-20]轴和[1-100]轴调换后的方位形成凸部72,通过外延生长在凸部72之间形成的 $p$ 型SiC层成为对称的形状,所以易于控制 $p$ 型SiC层的形状。

[0159] 接下来,在图16所示的工序中,通过外延生长以覆盖 $n$ 型SiC层70的 $n$ 型芯片周边部71以及凸部72的方式形成 $p$ 型SiC层60(第2半导体层)。在图16中, $n$ 型SiC层70的凸部72的 $p$ 型SiC层60的表面变得平坦,但也可以具有凹凸。

[0160] 如图15所示,在将 $n$ 型SiC层70的凸部72的周围作为 $n$ 型芯片周边部71下挖的状态下使 $p$ 型SiC层60外延生长,从而不会由于结晶面方位的差异所引起的结晶生长速度的差形成空洞,能够降低无效区域。因此,用于分离空洞的加工变得不需要,能够降低制造成本。

[0161]  $p$ 型SiC层60的 $p$ 型杂质的浓度可以设定成 $n$ 型柱体7n的杂质浓度与宽度之积与 $p$ 型柱体7p的杂质浓度与宽度之积大致一致。

[0162] 接下来,在图17所示的工序中,通过研磨或者干蚀刻去除 $n$ 型SiC层70的凸部72上的 $p$ 型SiC层60,使凸部72的上表面露出,并且在凸部72之间留下 $p$ 型SiC层60。凸部72成为 $n$ 型柱体7n,凸部72之间的 $p$ 型SiC层60成为 $p$ 型柱体7p,而构成柱体部7。另外,以包围柱体部7的方式形成具有预定的宽度的 $p$ 型柱体周边部6。此外,能够将 $n$ 型SiC层70的凸部72的上部去除一部分。另外,能够将 $n$ 型SiC层70的 $n$ 型芯片周边部71上的 $p$ 型芯片周边部5的上部去除一部分。

[0163] 图18示出通过以上的形成的碳化硅半导体装置200的MOSFET单元区域MCR以及MOSFET终端区域MTR形成之前的立体图。如图18所示,在碳化硅半导体装置200中,除了 $n$ 型SiC层70的 $n$ 型芯片周边部71的端面在半导体芯片的侧面露出以外,与图1所示的碳化硅半导体装置100相同。

[0164] 此外,在图14~图18中,示出了在柱体部7将 $p$ 型柱体7p设置3个、将 $n$ 型柱体7n设置4个的结构,但实际上形成与碳化硅半导体装置的大小对应的数量的 $p$ 型柱体7p以及 $n$ 型柱体7n。

[0165] 接下来,使用沿图18中的A-A线(与Y轴并行的线)的箭头所示方向的剖面图以及沿B-B线(与X轴并行的线)的箭头所示方向的剖面图,说明碳化硅半导体装置200的柱体部的制造方法的变形例。

[0166] 首先,图19~图25示出图14~图17所示的工序中的沿A-A线以及B-B线的剖面图。图19是图14所示的工序中的沿A-A线的剖面图。此外,沿B-B线的剖面图与图19相同。图20是图15所示的工序中的沿A-A线的剖面图,图21是沿B-B线的剖面图。图22是图16所示的工序中的沿A-A线的剖面图,图23是沿B-B线的剖面图。图24是图17所示的工序中的沿A-A线的剖面图,图25是沿B-B线的剖面图。

[0167] <柱体部的制造方法的变形例1>

[0168] 对图19所示的结构,如图26所示,能够在半导体基板3的一方的主面上通过外延生长形成包含n型杂质的n型SiC层4,进而在其上通过外延生长形成包含n型杂质的n型SiC层70,而成为2层构造。在该情况下,成为第1层的n型SiC层4例如能够使厚度成为 $0.5 \sim 10\mu\text{m}$ 、使n型杂质的浓度成为 $1 \times 10^{14} \sim 1 \times 10^{19}\text{cm}^{-3}$ ,成为第2层的n型SiC层70例如能够使厚度成为 $5 \sim 100\mu\text{m}$ 、使n型杂质的浓度成为 $1 \times 10^{15} \sim 1 \times 10^{18}\text{cm}^{-3}$ 。此外,n型SiC层4以及n型SiC层70都能够称为第1n型SiC层。

[0169] 通过这样使第1n型SiC层成为2层构造,能够在半导体基板3与外延层之间,缓和由于杂质浓度的差所引起的结晶的晶格常数的差异引起的歪斜。此外,在第1层和第2层中改变厚度以及杂质浓度的原因在于,在第1层和第2层中为了缓和歪斜而所需的厚度以及杂质浓度不同。

[0170] 在使第1n型SiC层成为2层构造的情况下,还能够对图20所示的结构,如图27所示使第1n型SiC层的周边部成为n型SiC层4的仅1层,还能够使仅成为1层的n型SiC层4的厚度变薄。这样,通过使芯片周边部的第1n型SiC层的厚度变薄,如使用图12说明,MOSFET的主电流难以在芯片周边部中流过,作为主电流在MOSFET中流过大电流的情况下的电流耐量变大。

[0171] 另外,还能够如图28所示在第1n型SiC的周边部将第2层的n型SiC层70留下一部分。通过成为这样的结构,柱体的底部与相同的杂质浓度的外延层接触,所以确保接触部分处的电场平衡的设计变得容易,易于保持耐压。

[0172] <柱体部的制造方法的变形例2>

[0173] 如图19所示的结构,在使第1n型SiC层成为单层构造的情况下,如图29所示,在通过干蚀刻对n型SiC层70进行蚀刻时,能够通过过蚀刻将半导体基板3部分性地去除,在半导体基板3形成凹凸。通过成为这样的结构,柱体的底部与高杂质浓度的半导体基板3接触,所以能够降低电阻。

[0174] 另外,如图30所示,在通过干蚀刻对n型SiC层70进行蚀刻时,以使得不发生过蚀刻的方式进行蚀刻,从而能够成为在凸部72之下不残留第1n型SiC、即n型SiC层70的结构。通过成为这样的结构,柱体的底部与高杂质浓度的半导体基板3接触,所以能够降低电阻,并且相比于图29所示的结构,确保电场平衡的设计变得容易。

[0175] <半导体装置的制造方法>

[0176] 图31是示意地示出在柱体部7设置有MOSFET的单位单元的情况下的MOSFET单元区域MCR和设置于其外周的MOSFET终端区域MTR的碳化硅半导体装置200的立体图。

[0177] 使用图32~图35,说明MOSFET单元区域MCR中的MOSFET单元的制造工序。图32是与图24对应的剖面图,图33示出图32中的区域B的放大图。此外,在图33中,关于与使用图7说明的结构相同的结构附加同一符号,省略重复的说明。

[0178] 如图33所示,在半导体基板3的一方的主面上设置有n型SiC层70,在n型SiC层70上交替设置有多p型柱体7p以及多个n型柱体7n。而且,从p型柱体7p的上层部到n型柱体7n的上层部,通过p型杂质的离子注入,选择性地形成多个p型的阱区域8。另外,在各个阱区域8,以贯通阱区域8的方式通过p型杂质的离子注入形成p型的接触区域10。另外,在阱区域8的上层部,以与接触区域10的两侧面相接的方式通过n型杂质的离子注入形成n型的源极区域9。为了复原由于离子注入形成的结晶缺陷,进行活性化退火,使注入的杂质活性化。

[0179] 此外,p型的阱区域8的厚度例如能够成为 $0.2 \sim 1.5\mu\text{m}$ ,p型杂质的浓度例如能够成为 $1 \times 10^{14} \sim 1 \times 10^{19}\text{cm}^{-3}$ ,源极区域9的厚度例如能够成为 $0.1 \sim 0.5\mu\text{m}$ ,n型杂质的浓度例如能够成为 $1 \times 10^{17} \sim 1 \times 10^{21}\text{cm}^{-3}$ ,接触区域10的厚度例如能够成为 $0.2 \sim 1.5\mu\text{m}$ ,p型杂质的浓度例如能够成为 $1 \times 10^{18} \sim 1 \times 10^{21}\text{m}^{-3}$ 。此外,在附图中,阱区域8以及接触区域10的厚度被描绘成相同,但两者不局限于相同的厚度。

[0180] 之后,在图34所示的工序中,在柱体部7上,形成成为栅极绝缘膜11的材料的绝缘膜、例如硅氧化膜111,进而,在硅氧化膜111上,形成成为栅极电极12的导体膜、例如多晶硅膜。而且,对多晶硅膜进行构图,以跨越相邻的源极区域9的端缘部上方的方式形成栅极电极12。之后,以覆盖栅极电极12以及硅氧化膜111的方式,形成成为层间绝缘膜13的材料的绝缘膜、例如硅氧化膜131。

[0181] 之后,在图35所示的工序中,对硅氧化膜111以及131进行构图,形成覆盖栅极绝缘膜11以及栅极电极12的层间绝缘膜13。在该构图中,形成在厚度方向上贯通层间绝缘膜13而到达源极区域9的一部分以及接触区域10的全部的表面的接触孔。之后,以埋入接触孔内并且覆盖层间绝缘膜13上的方式形成导体膜而形成源极电极14,并且在与设置有源极电极14的一侧相反的一侧的半导体基板3的另一方的主面(背面)上形成漏极电极15,从而碳化硅半导体装置200完成。此外,关于MOSFET单元区域MCR以及MOSFET终端区域MTR的制造方法的一个例子,在后面进一步说明。

[0182] 在图35所示的碳化硅半导体装置200中,示出了从p型柱体7p的上层部到n型柱体7n的上层部选择性地设置多个p型的阱区域8,并且在各个阱区域8设置有p型的接触区域10以及n型的源极区域9的结构,但能够成为并非在n型柱体7n以及p型柱体7p的上层部设置p型的阱区域8等,而在n型柱体7n以及p型柱体7p上设置有n型SiC层40(第3半导体层)、在n型SiC层40内设置有p型的阱区域8等的结构。以下,关于其制造工序,作为半导体装置的制造方法的其他例,使用图36~图40进行说明。

[0183] 在使用图17说明的工序之后,在图36所示的工序中,以覆盖从柱体部7上到p型芯片周边部5上的区域的方式,通过外延生长形成n型SiC层40。n型SiC层40既能够形成于半导体芯片整面,也能够仅形成于形成MOSFET单元的MOSFET单元区域,并且还能够在MOSFET单元区域和MOSFET终端区域。

[0184] 图37是示出图36的放大区域的附图,图38示出图37中的区域C的放大图。此外,在图38中,关于与使用图7说明的结构相同的结构附加同一符号,省略重复的说明。

[0185] 如图38所示,在从p型柱体7p的上方到n型柱体7n的上方的n型SiC层40内,通过p型杂质的离子注入,选择性地形成多个p型的阱区域8。另外,在各个阱区域8,以贯通阱区域8的方式,通过p型杂质的离子注入形成p型的接触区域10。另外,在阱区域8的上层部,以与接触区域10的两侧面相接的方式通过n型杂质的离子注入形成n型的源极区域9。为了复原由于离子注入形成的结晶缺陷,进行活性化退火,使注入的杂质活性化。

[0186] 之后,在图39所示的工序中,在n型SiC层40上,形成成为栅极绝缘膜11的材料的绝缘膜、例如硅氧化膜111,进而,在硅氧化膜111上,形成成为栅极电极12的导体膜、例如多晶硅膜。而且,对多晶硅膜进行构图,以跨越相邻的源极区域9的端缘部上方的方式形成栅极电极12。之后,以覆盖栅极电极12以及硅氧化膜111的方式,形成成为层间绝缘膜13的材料的绝缘膜、例如硅氧化膜131。

[0187] 之后,在图40所示的工序中,对硅氧化膜111以及131进行构图,形成覆盖栅极绝缘膜11以及栅极电极12的层间绝缘膜13。在该构图中,形成在厚度方向上贯通层间绝缘膜13而到达源极区域9的一部分以及接触区域10的全部的表面的接触孔。之后,以埋入接触孔内并且覆盖层间绝缘膜13上的方式形成导体膜而形成源极电极14,并且在与设置有源极电极14的一侧相反的一侧的半导体基板3的另一方的主面(背面)上形成漏极电极15,从而碳化硅半导体装置200A完成。

[0188] 此外,在图40所示的碳化硅半导体装置200A中,使p型的阱区域8的厚度和n型SiC层40的厚度同等,但能够如图41所示使p型的阱区域8形成至比n型SiC层40的厚度更深。通过成为这样的结构,p型的阱区域8的角部不接触到高浓度的n型SiC层40,在向MOSFET施加高电压时能够降低p型的阱区域8的角部的电场强度来保持耐压。此外,p型的阱区域8的深度比n型SiC层40的厚度深 $0.1 \sim 1\mu\text{m}$ 程度。

[0189] 即使在以上说明的实施方式2的碳化硅半导体装置200以及200A中,在通过外延生长形成p型柱体7p时不会形成空洞,能够降低无效区域。因此,用于分离空洞的加工变得不需要,能够降低制造成本。

[0190] 另外,在图35以及图40中,示出了将MOSFET的单位单元设置2个的结构,但实际上形成与碳化硅半导体装置的大小对应的数量的单位单元。

[0191] <半导体装置的制造方法的变形例1>

[0192] 使用图42以及图43,说明实施方式2的碳化硅半导体装置的制造方法的变形例1。此外,图42以及图43是分别与图22以及图23对应的图。

[0193] 如使用图15以及图20说明,在形成n型SiC层70的凸部72和n型SiC层70的n型芯片周边部71之后,在通过外延生长以覆盖n型SiC层70的n型芯片周边部71以及凸部72的方式形成p型SiC层60时,如图42以及图43所示,在n型SiC层70的凸部72之间埋入p型SiC层60之后也继续外延生长,从而比p型柱体7p的宽度 $7pW$ 大幅大地形成p型柱体周边部6的宽度 $6W$ 。

[0194] 其结果,在p型柱体周边部6和p型柱体7p中杂质浓度相同的情况下,p型柱体周边部6的杂质浓度与宽度之积大幅大于p型柱体7p的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到p型柱体周边部6的整体,p型柱体周边部6的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0195] <半导体装置的制造方法的变形例2>

[0196] 使用图44以及图45,说明实施方式2的碳化硅半导体装置的制造方法的变形例2。此外,图44以及图45是分别与图22以及图23对应的图。

[0197] 如使用图15以及图20说明,在形成n型SiC层70的凸部72和n型SiC层70的n型芯片周边部71之后,在通过外延生长以覆盖n型SiC层70的n型芯片周边部71以及凸部72的方式形成p型SiC层60时,如图44以及图45所示,以使p型柱体周边部6的p型的杂质浓度高于p型柱体7p的p型的杂质浓度的方式形成。为此,调整p型SiC层60的外延条件,相比于n型SiC层70的凸部72之间,p型柱体周边部6更易于取入p型杂质。

[0198] 即,通过调整外延生长时的原料气体比、温度、压力,基于结晶面的杂质的取入量变化。p型柱体周边部6几乎受限于从沟槽底面的结晶生长,但由于在凸部72之间从沟槽底面和沟槽侧壁的多个面结晶生长,所以杂质的取入量不同。另外,在以宽的面积下挖的p型柱体周边部6与以窄的宽度下挖的凸部72之间,原料气体以及杂质气体的易于供给程度不

同也影响,所以考虑这些要素来调整p型SiC层60的外延条件。

[0199] 其结果,即使在p型柱体周边部6的宽度6W和p型柱体7p的宽度7pW相同的情况下,p型柱体周边部6的杂质浓度与宽度之积大于p型柱体7p的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到p型柱体周边部6的整体,p型柱体周边部6的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0200] 另外,通过组合图42~图45的结构来形成p型SiC层60,能够使p型柱体周边部6的杂质浓度与宽度之积大幅大于p型柱体7p的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到p型柱体周边部6的整体,p型柱体周边部6的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0201] <半导体装置的制造方法的变形例3>

[0202] 使用图46以及图47,说明实施方式2的碳化硅半导体装置的制造方法的变形例3。此外,图46以及图47是分别与图22以及图23对应的图。

[0203] 如使用图15以及图20说明,在形成n型SiC层70的凸部72和n型SiC层70的n型芯片周边部71之后,在通过外延生长以覆盖n型SiC层70的n型芯片周边部71以及凸部72的方式形成p型SiC层60之后,如图46以及图47所示,在p型柱体周边部6进行p型杂质的离子注入,使p型柱体周边部6的p型杂质的浓度高于p型柱体7p的p型的杂质浓度。

[0204] 其结果,p型柱体周边部6的杂质浓度与宽度之积大于p型柱体7p的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到p型柱体周边部6的整体,p型柱体周边部6的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0205] 此外,向p型柱体周边部6的离子注入能够仅在必要的部位实施。在SiC的情况下,根据结晶方位,外延生长速度以及外延浓度有时不同。其结果,在对p型SiC层60进行外延生长时,p型柱体周边部6的杂质浓度与宽度之积有时不均匀地形成,有时形成p型柱体周边部6的杂质浓度与宽度之积小于p型柱体7p的杂质浓度与宽度之积的场所。在该情况下,仅在p型柱体周边部6的浓度与宽度之积小于p型柱体周边部6的杂质浓度与宽度之积的部分进行离子注入,能够使p型柱体周边部6的浓度与宽度之积大于p型柱体周边部6的杂质浓度与宽度之积。

[0206] 此外,如果是相同的构造、大小的半导体装置,则p型柱体周边部6的杂质浓度与宽度之积小于p型柱体7p的杂质浓度与宽度之积的场所总是在相同的场所发生,所以能够通过制作样品并分解、验证来确定。

[0207] 另外,作为p型柱体周边部6的杂质浓度与宽度之积小于p型柱体7p的杂质浓度与宽度之积的原因,考虑根据外延条件,p型柱体周边部6的宽度变窄或者基于结晶面的p型杂质的取入量少、p型杂质的浓度变低。

[0208] <半导体装置的制造方法的变形例4>

[0209] 使用图48,说明实施方式2的碳化硅半导体装置的制造方法的变形例4。此外,图48是与图24对应的图。

[0210] 如使用图17以及图24说明,在通过研磨或者干蚀刻去除n型SiC层70的凸部72上的p型SiC层60,使凸部72的上表面露出时,如图48所示,去除p型柱体周边部6的外侧的p型芯片周边部5。

[0211] 通过成为这样的结构,能够通过整面蚀刻与p型SiC层60的凸部72上的p型SiC层60

同时去除p型芯片周边部5,能够简化制造工序。此时,还能够去除n型SiC层70的n型芯片周边部71的一部分。

[0212] <半导体装置的制造方法的变形例5>

[0213] 使用图49以及图50,说明实施方式2的碳化硅半导体装置的制造方法的变形例5。此外,图49以及图50是分别与图20以及图21对应的图。

[0214] 如使用图27说明,在使第1n型SiC层的周边部成为n型SiC层4的仅1层的情况下,还能够使仅成为1层的n型SiC层4的厚度变薄。其结果,n型SiC层4的柱体周边部高度4H2低于柱体部7处的n型SiC层4的高度4H1。这样,通过使芯片周边部的第1n型SiC层的厚度变薄,如使用图12说明,MOSFET的主电流难以在芯片周边部中流过,作为主电流在MOSFET中流过大电流的情况下的电流耐量变大。

[0215] <切割工序>

[0216] 使用图51以及图52,说明将经由晶片工艺制造的半导体装置按照芯片单位分离的切割工序。图51以及图52与示出在晶片状态下相邻的碳化硅半导体装置200的剖面图相当,图51是沿图18的A-A线的箭头所示方向的剖面图,图52与沿图18的B-B线的箭头所示方向的剖面图相当。此外,碳化硅半导体装置200成为图35所示的状态,但省略源极电极14以及漏极电极15等。

[0217] 在图51以及图52中,在2个碳化硅半导体装置200之间的箭头所示的位置进行切割并按照芯片单位分离。为了进行这样的切割,在相邻的碳化硅半导体装置200中,使n型SiC层70的凸部72的间隔比n型柱体7n以及p型柱体7p的柱体宽度 $0.5 \sim 5\mu\text{m}$ 成为10倍以上、例如成为 $50\mu\text{m}$ 以上。

[0218] 在图53以及图54中,示出图20所示的工序中的n型SiC层70的凸部72,图53以及图54分别与图51以及图52对应。在图53中,将相邻的碳化硅半导体装置中的凸部72的间隔表示为d1,在图54中,将相邻的碳化硅半导体装置中的凸部72的间隔表示为d2。

[0219] 通过这样使相邻的碳化硅半导体装置中的n型SiC层70的凸部72的间隔变宽,能够进行切割,并且能够抑制在通过外延生长形成p型SiC层60时形成空洞。特别是,通过使图54所示的方向上的凸部72的间隔d2比图53所示的方向上的凸部72的间隔d1宽,能够更有效地抑制空洞的形成。

[0220] <实施方式3>

[0221] <柱体部的制造方法>

[0222] 接下来,作为实施方式3,说明碳化硅半导体装置300的柱体部的制造方法。如在实施方式2中使用图13说明,例如准备作为市面销售的4H-SiC的n型基板并且在[11-20]方向上具有4度的偏离角,具有 $300 \sim 400\mu\text{m}$ 的厚度,n型杂质的浓度为 $5 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ 的半导体基板3。

[0223] 接下来,在图55所示的工序中,在半导体基板3的一方的主面上,通过外延生长形成包含n型杂质的n型SiC层4(半导体层)。n型SiC层4例如能够使厚度成为 $0.5 \sim 10\mu\text{m}$ 、能够使n型杂质的杂质浓度成为 $1 \times 10^{14} \sim 1 \times 10^{19} \text{cm}^{-3}$ 。此外,还能够省略n型SiC层4的形成。

[0224] 接下来,在图56所示的工序中,在n型SiC层4上,通过外延生长,形成包含p型杂质的p型SiC层60(第1半导体层)。

[0225] 接下来,在图57所示的工序中,通过干蚀刻对p型SiC层60进行蚀刻,形成p型SiC层

60的凸部62,并且去除凸部62的周边的p型SiC层60而使n型SiC层4的周边部的表面露出。此时,能够去除n型SiC层4的一部分,在n型SiC层4的表面形成凹凸。

[0226] 在半导体基板3在[11-20]方向上具有4度的偏离角的情况下,凸部62形成为俯视时形状呈现在与X轴([11-20]方向)平行的方向上延伸的条纹状,在沿着Y轴([1-100]方向)的方向上隔开间隔排列多个凸部62。p型SiC层60在与[11-20]方向垂直的方向上成为对称的形状,所以在通过外延生长在凸部62之间形成n型SiC层时,易于控制n型SiC层的形状。此外,凸部62形成为Y轴方向的宽度例如为 $0.5 \sim 5\mu\text{m}$ 的范围、Z轴([0001]方向)方向的高度例如为 $5 \sim 100\mu\text{m}$ 的范围。

[0227] 另一方面,在半导体基板3中使用无偏离角的基板的情况下,条纹状的凸部62能够形成于从[11-20]方向绕[0001]轴旋转90度的方位。即,即使在将图57中的[11-20]轴和[1-100]轴调换的方位形成凸部62,由于通过外延生长在凸部62之间形成的n型SiC层成为对称的形状,所以易于控制n型SiC层的形状。

[0228] 接下来,在图58所示的工序中,通过外延生长,以覆盖p型SiC层60的凸部62以及凸部62的周边的n型SiC层4的周边部的方式,形成n型SiC层70(第2半导体层)。在图57中,p型SiC层60的凸部62的n型SiC层70的表面平坦,但也可以具有凹凸。

[0229] 如图57所示,通过在直至n型SiC层4的表面露出下挖p型SiC层60的凸部62的周围的状态下使n型SiC层70外延生长,不会由于结晶面方位的差异所引起的结晶生长速度的差形成空洞,能够降低无效区域。因此,用于分离空洞的加工变得不需要,能够降低制造成本。

[0230] n型SiC层70的n型杂质的浓度能够设定成p型柱体7p的杂质浓度与宽度之积与n型柱体7n的杂质浓度与宽度之积大致一致。

[0231] 接下来,在图59所示的工序中,通过研磨或者干蚀刻去除p型SiC层60的凸部62上的n型SiC层70,使凸部62的上表面露出。此时,能够将p型SiC层60的凸部62的上部去除一部分。另外,能够将n型SiC层70的n型芯片周边部71的上部去除一部分。

[0232] 图60示出通过以上的方法形成的碳化硅半导体装置300的MOSFET单元区域MCR以及MOSFET终端区域MTR形成之前的立体图。如图60所示柱体部7是在半导体基板3上交替排列有俯视时形状为条纹状的多个n型柱体7n和多个p型柱体7p的区域,它们的排列方向是与碳化硅半导体装置300的主电流流过的方向正交的方向。以包围柱体部7的方式设置有包含n型杂质的n型柱体周边部73,n型柱体周边部73的更外侧成为包含n型杂质的n型芯片周边部71。

[0233] 此外,在图55~图60中,示出了在柱体部7将p型柱体7p设置3个、将n型柱体7n设置4个的结构,但实际上形成与碳化硅半导体装置的大小对应的数量的p型柱体7p以及n型柱体7n。

[0234] 接下来,图61~图66示出沿图60中的A-A线(与Y轴并行的线)的箭头所示方向的剖面图以及沿B-B线(与X轴并行的线)的箭头所示方向的剖面图。图61是图55所示的工序中的沿A-A线的剖面图。此外,沿B-B线的剖面图与图55相同。图62是图56所示的工序中的沿A-A线的剖面图。此外,沿B-B线的剖面图与图56相同。图63是图57所示的工序中的沿A-A线的剖面图,图64是沿B-B线的剖面图。图65是图58所示的工序中的沿A-A线的剖面图,图66是沿B-B线的剖面图。图67是图59所示的工序中的沿A-A线的剖面图,图68是沿B-B线的剖面图。此外,如图67所示,通过使n型柱体周边部73的宽度73W比n型柱体7n的宽度7nW厚,在n型柱体

周边部73和n型柱体7n中杂质浓度相同的情况下,n型柱体周边部73的杂质浓度与宽度之积大于n型柱体7n的杂质浓度与宽度之积。

[0235] 通过成为这样的结构,耗尽层不扩展到n型柱体周边部73的整体,n型柱体周边部73的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。在该情况下,n型柱体周边部73的宽度能够成为n型柱体7n的宽度的1.2倍以上。

[0236] <半导体装置的制造方法>

[0237] 图69是示意地示出在柱体部7设置有MOSFET的单位单元的情况下的MOSFET单元区域MCR和设置于其外周的MOSFET终端区域MTR的碳化硅半导体装置300的立体图。

[0238] 使用图70~图73,说明MOSFET单元区域MCR中的MOSFET单元的制造工序。图72是与图67对应的剖面图,图71示出图70中的区域D的放大图。此外,在图71中,关于与使用图7说明的结构相同的结构附加同一符号,省略重复的说明。

[0239] 如图71所示,在半导体基板3的一方的主面上设置有n型SiC层4,在n型SiC层4上交替设置有多个p型柱体7p以及多个n型柱体7n。而且,从p型柱体7p的上层部到n型柱体7n的上层部,通过p型杂质的离子注入,选择性地形成多个p型的阱区域8。另外,在各个阱区域8,以贯通阱区域8的方式通过p型杂质的离子注入形成p型的接触区域10。另外,在阱区域8的上层部,以与接触区域10的两侧面相接的方式通过n型杂质的离子注入形成n型的源极区域9。为了复原由于离子注入形成的结晶缺陷,进行活性化退火,使注入的杂质活性化。

[0240] 此外,p型的阱区域8的厚度例如能够成为 $0.2 \sim 1.5 \mu\text{m}$ ,p型杂质的浓度例如能够成为 $1 \times 10^{14} \sim 1 \times 10^{19} \text{cm}^{-3}$ ,源极区域9的厚度例如能够成为 $0.1 \sim 0.5 \mu\text{m}$ ,n型杂质的浓度例如能够成为 $1 \times 10^{17} \sim 1 \times 10^{21} \text{cm}^{-3}$ ,接触区域10的厚度例如能够成为 $0.2 \sim 1.5 \mu\text{m}$ ,p型杂质的浓度例如能够成为 $1 \times 10^{18} \sim 1 \times 10^{21} \text{m}^{-3}$ 。

[0241] 之后,在图72所示的工序中,在柱体部7上,形成成为栅极绝缘膜11的材料的绝缘膜、例如硅氧化膜111,进而,在硅氧化膜111上,形成成为栅极电极12的导体膜、例如多晶硅膜。而且,对多晶硅膜进行构图,以跨越相邻的源极区域9的端缘部上方的方式形成栅极电极12。之后,以覆盖栅极电极12以及硅氧化膜111的方式,形成成为层间绝缘膜13的材料的绝缘膜、例如硅氧化膜131。

[0242] 之后,在图73所示的工序中,对硅氧化膜111以及131进行构图,形成覆盖栅极绝缘膜11以及栅极电极12的层间绝缘膜13。在该构图中,形成在厚度方向上贯通层间绝缘膜13而到达源极区域9的一部分以及接触区域10的全部的表面的接触孔。之后,以埋入接触孔内并且覆盖层间绝缘膜13上的方式形成导体膜而形成源极电极14,并且在与设置有源极电极14的一侧相反的一侧的半导体基板3的另一方的主面(背面)上形成漏极电极15,从而碳化硅半导体装置300完成。

[0243] 在图73所示的碳化硅半导体装置300中,示出了从p型柱体7p的上层部到n型柱体7n的上层部选择性地设置多个p型的阱区域8、并且在各个阱区域8设置有p型的接触区域10以及n型的源极区域9的结构,但能够成为并非在n型柱体7n以及p型柱体7p的上层部设置p型的阱区域8等而在n型柱体7n以及p型柱体7p上设置有n型SiC层40(第3n型SiC层),在n型SiC层40内设置有p型的阱区域8等的结构。以下,关于其制造工序,作为半导体装置的制造方法的其他例,使用图74~图78进行说明。

[0244] 在使用图59说明的工序之后,在图74所示的工序中,以覆盖从柱体部7上到n型SiC

层70的n型芯片周边部71上的区域的方式通过外延生长形成n型SiC层40。n型SiC层40既能够形成于半导体芯片整面,也能够仅形成于形成MOSFET单元的MOSFET单元区域,并且还能够形成于MOSFET单元区域和MOSFET终端区域。

[0245] 图75是示出图74的放大区域的附图,图76示出图75中的区域E的放大图。此外,在图76中,关于与使用图7说明的结构相同的结构附加同一符号,省略重复的说明。

[0246] 如图76所示,在从p型柱体7p的上方到n型柱体7n的上方的n型SiC层40内,通过p型杂质的离子注入选择性地形成多个p型的阱区域8。另外,在各个阱区域8,以贯通阱区域8的方式通过p型杂质的离子注入形成p型的接触区域10。另外,在阱区域8的上层部,以与接触区域10的两侧面相接的方式通过n型杂质的离子注入形成n型的源极区域9。为了复原由于离子注入形成的结晶缺陷,进行活性化退火,使注入的杂质活性化。

[0247] 之后,在图77所示的工序中,在n型SiC层40上,形成成为栅极绝缘膜11的材料的绝缘膜、例如硅氧化膜111,进而,在硅氧化膜111上,形成成为栅极电极12的导体膜、例如多晶硅膜。而且,对多晶硅膜进行构图,以跨越相邻的源极区域9的端缘部上方的方式形成栅极电极12。之后,以覆盖栅极电极12以及硅氧化膜111的方式形成成为层间绝缘膜13的材料的绝缘膜、例如硅氧化膜131。

[0248] 之后,在图78所示的工序中,对硅氧化膜111以及131进行构图,形成覆盖栅极绝缘膜11以及栅极电极12的层间绝缘膜13。在该构图中,形成在厚度方向上贯通层间绝缘膜13而到达源极区域9的一部分以及接触区域10的全部的表面的接触孔。之后,以埋入接触孔内并且覆盖层间绝缘膜13上的方式形成导体膜而形成源极电极14,并且在与设置有源极电极14的一侧相反的一侧的半导体基板3的另一方的主面(背面)上形成漏极电极15,从而碳化硅半导体装置300A完成。

[0249] 在以上说明的实施方式2的碳化硅半导体装置300以及300A中,在通过外延生长形成n型柱体7n时不会形成空洞,能够降低无效区域。因此,用于分离空洞的加工变得不需要,能够降低制造成本。

[0250] 另外,在图73以及图78中,示出了将MOSFET的单位单元设置2个的结构,但实际上形成与碳化硅半导体装置的大小对应的数量的单位单元。

[0251] <半导体装置的制造方法的变形例1>

[0252] 使用图79以及图80,说明实施方式3的碳化硅半导体装置的制造方法的变形例1。此外,图79以及图80是分别与图65以及图66对应的图。

[0253] 如使用图57以及图63说明,在形成p型SiC层60的凸部62,并且使n型SiC层4的周边部的表面露出之后,在通过外延生长以覆盖p型SiC层60的凸部62以及凸部62的周边的n型SiC层4的周边部的方式形成n型SiC层70时,如图79以及图80所示,在p型SiC层60的凸部62之间埋入n型SiC层70之后也继续外延生长,从而比n型柱体7n的宽度7nW大幅大地形成n型柱体周边部73的宽度73W。

[0254] 其结果,在n型柱体周边部73和n型柱体7n中杂质浓度相同的情况下,n型柱体周边部73的杂质浓度与宽度之积大幅大于n型柱体7n的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到n型柱体周边部73的整体,n型柱体周边部73的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0255] <半导体装置的制造方法的变形例2>

[0256] 使用图81以及图82,说明实施方式3的碳化硅半导体装置的制造方法的变形例2。此外,图81以及图82是分别与图65以及图66对应的图。

[0257] 如使用图57以及图63说明,在形成p型SiC层60的凸部62,并且使n型SiC层4的周边部的表面露出之后,在通过外延生长以覆盖p型SiC层60的凸部62以及凸部62的周边的n型SiC层4的周边部的方式形成n型SiC层70时,如图81以及图82所示,形成为n型柱体周边部73的n型的杂质浓度高于n型柱体7n的n型的杂质浓度。为此,调整n型SiC层70的外延条件,相比于p型SiC层60的凸部62之间,n型柱体周边部73更易于取入n型杂质。

[0258] 即,通过调整外延生长时的原料气体比、温度、压力,基于结晶面的杂质的取入量变化。n型柱体周边部73几乎受限于从沟槽底面的结晶生长,但由于在凸部62之间从沟槽底面和沟槽侧壁的多个面结晶生长,所以杂质的取入量不同。另外,在以宽的面积下挖的n型柱体周边部73与以窄的宽度下挖的凸部62之间,原料气体以及杂质气体的易于供给的程度不同也影响,所以考虑这些要素来调整n型SiC层70的外延条件。

[0259] 其结果,即使在n型柱体周边部73的宽度73W和n型柱体7n的宽度7nW相同的情况下,n型柱体周边部73的杂质浓度与宽度之积大于n型柱体7n的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到n型柱体周边部73的整体,n型柱体周边部73的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0260] 另外,通过组合图79~图82的结构来形成n型SiC层70,能够使n型柱体周边部73的杂质浓度与宽度之积大幅大于n型柱体7n的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到n型柱体周边部73的整体,n型柱体周边部73的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0261] <半导体装置的制造方法的变形例3>

[0262] 使用图83以及图84,说明实施方式3的碳化硅半导体装置的制造方法的变形例3。此外,图83以及图84是分别与图65以及图66对应的图。

[0263] 如使用图57以及图63说明,在形成p型SiC层60的凸部62并且使n型SiC层4的周边部的表面露出之后,在通过外延生长以覆盖p型SiC层60的凸部62以及凸部62的周边的n型SiC层4的周边部的方式形成n型SiC层70时,如图83以及图84所示,在n型柱体周边部73进行n型杂质的离子注入,使n型柱体周边部73的n型杂质的浓度高于n型柱体7n的n型的杂质浓度。

[0264] 其结果,n型柱体周边部73的杂质浓度与宽度之积大于n型柱体7n的杂质浓度与宽度之积。通过成为这样的结构,耗尽层不扩展到n型柱体周边部73的整体,n型柱体周边部73的电场强度被抑制得低,泄漏电流增加以及放电风险被抑制。

[0265] 此外,向n型柱体周边部73的离子注入能够仅在必要的部位实施。在SiC的情况下,根据结晶方位,外延生长速度以及外延浓度有时不同。其结果,在使n型SiC层70外延生长时,n型柱体周边部73的杂质浓度与宽度之积有时不均匀地形成,有时形成n型柱体周边部73的杂质浓度与宽度之积小于n型柱体7n的杂质浓度与宽度之积的场所。在该情况下,仅在n型柱体周边部73的浓度与宽度之积小于n型柱体周边部73的杂质浓度与宽度之积的部分进行离子注入,能够使n型柱体周边部73的浓度与宽度之积大于n型柱体周边部73的杂质浓度与宽度之积。

[0266] 此外,如果是相同的构造、大小的半导体装置,则n型柱体周边部73的杂质浓度与

宽度之积小于n型柱体7n的杂质浓度与宽度之积的场所总是在相同的场所发生,所以能够通过制作样品并分解、验证来确定。

[0267] 另外,作为n型柱体周边部73的杂质浓度与宽度之积小于n型柱体7n的杂质浓度与宽度之积的原因,考虑根据外延条件,n型柱体周边部73的宽度变窄或者基于结晶面的n型杂质的取入量少、n型杂质的浓度变低。

[0268] <半导体装置的制造方法的变形例4>

[0269] 使用图85,说明实施方式3碳化硅半导体装置的制造方法的变形例4。此外,图85是与图67对应的图。

[0270] 如使用图59以及图67说明,在通过研磨或者干蚀刻去除p型SiC层600的凸部62上的n型SiC层70,使凸部62的上表面露出时,如图85所示,去除n型柱体周边部73的外侧的n型芯片周边部71。

[0271] 通过成为这样的结构,能够通过整面蚀刻与n型SiC层70的凸部62上的n型SiC层70同时去除n型芯片周边部71,能够简化制造工序。此时,还能够去除n型SiC层4的周边部的一部分。

[0272] <半导体装置的制造方法的变形例5>

[0273] 使用图86以及图87,说明实施方式3的碳化硅半导体装置的制造方法的变形例5。此外,图86以及图87是分别与图63以及图64对应的图。

[0274] 如使用图57说明,在通过干蚀刻对p型SiC层60进行蚀刻,形成p型SiC层60的凸部62,并且去除凸部62的周边的p型SiC层60而使n型SiC层4的周边部的表面露出时,去除n型SiC层4的一部分,在n型SiC层4的表面形成凹凸,从而n型SiC层4的柱体周边部高度4H2低于柱体部7处的n型SiC层4的高度4H1。

[0275] 这样,通过使芯片周边部的n型SiC层4的厚度变薄,如使用图12说明,MOSFET的主电流难以在芯片周边部中流过,作为主电流在MOSFET中流过大电流的情况下的电流耐量变大。

[0276] <切割工序>

[0277] 使用图88以及图89,说明将经由晶片工艺制造的半导体装置按照芯片单位分离的切割工序。图88以及图89与示出在晶片状态下相邻的碳化硅半导体装置300的剖面图相当,图88是沿图69的A-A线的箭头所示方向的剖面图,图89与沿图69的B-B线的箭头所示方向的剖面图相当。此外,碳化硅半导体装置300成为图73所示的状态,但省略源极电极14以及漏极电极15等。

[0278] 在图88以及图89中,在2个碳化硅半导体装置300之间的箭头所示的位置进行切割并按照芯片单位分离。为了进行这样的切割,在相邻的碳化硅半导体装置300中,使p型SiC层60的凸部62的间隔比n型柱体7n以及p型柱体7p的柱体宽度 $0.5 \sim 5\mu\text{m}$ 成为10倍以上、例如成为 $50\mu\text{m}$ 以上。

[0279] 在图90以及图91中,示出图63所示的工序中的p型SiC层60的凸部62,图90以及图91分别与图88以及图89对应。在图90中,将相邻的碳化硅半导体装置中的凸部62的间隔表示为d1,在图91中,将相邻的碳化硅半导体装置中的凸部62的间隔表示为d2。

[0280] 通过这样使相邻的碳化硅半导体装置中的p型SiC层60的凸部62的间隔变宽,能够进行切割,并且能够抑制在通过外延生长形成n型SiC层70时形成空洞。特别是,通过使图91

所示的方向上的凸部62的间隔d2比图90所示的方向上的凸部62的间隔d1宽,能够更有效地抑制空洞的形成。

[0281] <其他应用例>

[0282] 在以上说明的实施方式1~3的半导体装置中,示出了在柱体部7形成有MOSFET单元区域以及MOSFET终端区域的碳化硅半导体装置,但本公开的应用不限于MOSFET。也能够设为在柱体部7形成有SBD区域以及SBD终端区域的碳化硅半导体装置,还能够设为在柱体部7形成有IGBT(Insulated Gate Bipolar Transistor(绝缘栅双极晶体管)单元区域)以及IGBT终端区域的碳化硅半导体装置。另外,不限于晶体管,还能够设为在柱体部7形成有pn二极管区域以及pn二极管终端区域的碳化硅半导体装置,只要是纵型的功率器件,则能够得到同样的效果。另外,在实施方式1~3的半导体装置中,例示了对碳化硅半导体装置的应用,但本公开还能够应用于硅半导体装置。

[0283] <MOSFET单元区域的一个例子>

[0284] 使用图92~图94,说明以上说明的实施方式1~3的半导体装置中的MOSFET单元区域MCR的结构的一个例子。

[0285] 图92是概略地示出MOSFET101的单位单元结构的剖面立体图。图93是图92中的源极电极31的图示被省略的部分放大图。图94是图93中的栅极电极29附近的构造的图示被省略的图。

[0286] 如图92所示,MOSFET101具有n型的半导体基板21、漏极电极32、超级结层90、多个p型的阱区域25a、多个n型的源极区域26a、多个p型的阱区域25b、多个n型的源极区域26b、栅极电极29以及源极电极31。MOSFET101为了构成MOS构造,具有栅极绝缘膜28、栅极电极29以及层间绝缘膜30。MOSFET101具有外延层22。MOSFET101具有p型的接触区域27a以及p型的接触区域27b。

[0287] 半导体基板21具有下表面S1和与下表面S1相反的上表面S2。此外,在图中所示的XYZ坐标系被配置成XY面与上表面S2平行,Z轴与半导体基板21的厚度方向平行。MOSFET101的电流路径形成为连接下表面S1与上表面S2之间。因此,MOSFET101是所谓纵型开关装置。

[0288] 外延层22是通过半导体基板21的上表面S2上的外延生长形成的层。外延层22具有n型。典型地,外延层22的杂质浓度低于半导体基板21的杂质浓度。

[0289] 超级结层90隔着外延层22设置于半导体基板21的上表面S2上。超级结层90在上表面S2的面内方向(XY面内方向)上交替具有多个n型柱体23和多个p型柱体24。具体而言,在面内方向(XY面内方向)的X方向上交替配置有n型柱体23以及p型柱体24,n型柱体23以及p型柱体24各自沿着与面内方向(图1中的XY面内方向)的该一个方向(X方向)正交的方向(Y方向)延伸。即,在与半导体基板21的上表面S2平行的布局中,条纹状地配置有n型柱体23以及p型柱体24。

[0290] 半导体基板21、外延层22以及超级结层90由SiC构成。

[0291] p型的阱区域25a设置于p型柱体24各自的上层部。阱区域25a在超级结层90上以到达n型柱体23的方式延伸。

[0292] n型的源极区域26a设置于阱区域25a各自的上层部,通过阱区域25a从n型柱体23隔开。

[0293] p型的阱区域25b设置于n型柱体23各自的上层部。阱区域25b远离p型柱体24地配

置。

[0294] n型的源极区域26b设置于阱区域25b各自的上层部,通过阱区域25b从n型柱体23隔开。

[0295] 如图94所示,在与半导体基板21的上表面S2平行的布局中,条纹状地配置有阱区域25a以及阱区域25b。另外,阱区域25b各自的宽度小于阱区域25a各自的宽度。此外,阱区域25a各自的宽度也可以相同,并且阱区域25b各自的宽度也可以相同。

[0296] 源极电极31设置于半导体基板21的上表面S2侧,与阱区域25a、阱区域25b、源极区域26a以及源极区域26b各自接合。

[0297] 栅极电极29隔着栅极绝缘膜28在n型柱体23与源极区域26a之间与阱区域25a对置并且在n型柱体23与源极区域26b之间与阱区域25b对置。栅极电极29如图93所示,具有条纹状的平面布局。层间绝缘膜30使栅极电极29与源极电极31之间绝缘。

[0298] <MOSFET单元区域以及MOSFET终端区域的一个例子>

[0299] 使用图95以及图96,说明以上说明的实施方式1~3的半导体装置中的MOSFET单元区域MCR以及MOSFET终端区域MTR的结构的一个例子。

[0300] 如图95所示MOSFET102在由碳化硅构成的n型的半导体基板53的一方的主面上设置有n型的外延层54,在外延层54的上层部,选择性地设置有多个p型的阱区域57,在各个阱区域57以贯通阱区域57的方式设置有p型的接触区域60a。

[0301] 而且,在阱区域57的上层部与接触区域60a的两侧面相接地设置有n型的源极区域58。此外,以源极区域58的厚度比阱区域57的厚度薄、接触区域60a的厚度成为与阱区域57的厚度相同的程度或者使接触区域60a稍微更深的方式设置。

[0302] 在外延层54上选择性地形成有栅极绝缘膜61,在栅极绝缘膜61上形成有栅极电极63。即,栅极绝缘膜61被设置成在相邻的源极区域58之间,从源极区域58的一部分上部从阱区域57上以及从外延层54上到达相邻的阱区域57的源极区域58的一部分上部,以覆盖栅极绝缘膜61上的方式设置有栅极电极63。

[0303] 而且,以覆盖栅极绝缘膜61以及栅极电极63的方式形成有层间绝缘膜64,以覆盖层间绝缘膜64的方式形成有源极电极65。在层间绝缘膜64中,在覆盖栅极电极63的区域以外的区域,设置有在厚度方向上贯通层间绝缘膜64而到达源极区域58的一部分以及接触区域60a的全部的表面的接触孔SC。而且,在接触孔SC内填充源极电极65,源极电极65与源极区域58以及接触区域60a连接。

[0304] 这样由源极区域58等构成的MOSFET在相对半导体基板53的主面水平的方向上排列有多个,并列地连接而构成元件群。将设置有该元件群的区域设为元件区域(活性区域)ER,在元件区域ER的外周部,设置有实现MOSFET102的耐压的终端区域TR。此外,元件区域ER与MOSFET单元区域MCR相应,终端区域TR与MOSFET终端区域MTR相应。

[0305] 在终端区域TR中的、外延层54的上层部,以规定元件区域ER的外缘的方式设置有p型的接触区域60b。接触区域60b被设置成成为与接触区域60a相同的厚度,但其宽度比接触区域60a宽。

[0306] 而且,在接触区域60b的外方,p型的降低表面电场(Resurf)区域69被设置成与接触区域60b相同的程度的厚度。

[0307] 另外,在外延层54内,在元件区域ER,以使各自的数量变得均等的方式交替排列设

置有多个n型柱体层55a以及p型柱体层56a,在终端区域TR,在接触区域60b以及降低表面电场区域69的形成区域交替排列设置多个n型柱体层55b以及p型柱体层56b。此外,在比n型柱体层55b以及p型柱体层56b的配设区域更靠外侧的终端区域TR交替排列设置多个n型柱体层55a以及p型柱体层56a。

[0308] 不论是哪一个柱体层都设置成从外延层54的最表面朝向半导体基板53的一侧在外延层54的深度方向上延伸,其最深部被设定成比外延层54的厚度浅。

[0309] 此外,n型柱体层55a以及p型柱体层56a各自的宽度相同,将两者的合计值设为柱体间距W1。另外,n型柱体层55b以及p型柱体层56b各自的宽度也相同,但各自的宽度被设定成比n型柱体层55a以及p型柱体层56a各自的宽度宽,作为n型柱体层55b以及p型柱体层56b各自的宽度的合计值的柱体间距W2大于柱体间距W1。

[0310] 另外,在终端区域TR,在外延层54上设置有场绝缘膜81,在场绝缘膜81上设置有层间绝缘膜64。

[0311] 源极电极65被设置成从元件区域ER延伸至终端区域TR的场绝缘膜81和层间绝缘膜64的层叠膜上。而且,在场绝缘膜81和层间绝缘膜64的层叠膜,在与接触区域60b的上部对应的区域,设置有在厚度方向上贯通层叠膜而到达接触区域60b的接触孔TC。而且,在接触孔TC内填充源极电极65,源极电极65与接触区域60b连接。

[0312] 此外,场绝缘膜81和层间绝缘膜64的层叠膜被设置成覆盖元件区域ER的最外周的MOSFET的一部分上部,并且以覆盖源极电极65的一部分上部以及场绝缘膜81和层间绝缘膜64的层叠膜的上部的方式设置有钝化膜87。

[0313] 另外,在与设置有源极电极65的一侧相反的一侧的半导体基板53的另一方的主面(背面)上设置有漏极电极86。

[0314] 接下来,使用图96说明柱体层形成后的杂质层的制造工序。如图96所示,在形成n型柱体层55a以及55b、p型柱体层56a以及56b之后、即例如在经过使用图13~图17说明的制造工序之后,使用通过照相制版构图的抗蚀剂掩模(未图示),进行杂质的离子注入,在外延层54的上层部,选择性地形成阱区域57、源极区域58、降低表面电场区域59、接触区域60a以及60b。

[0315] 在此,在阱区域57、降低表面电场区域59、接触区域60a以及60b导入p型的杂质,在源极区域58导入n型的杂质。接触区域60a以及60b能够使用同一抗蚀剂掩模进行离子注入,杂质浓度能够成为 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 的范围。

[0316] 阱区域57、降低表面电场区域59的杂质浓度能够成为 $1 \times 10^{15} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 的范围,深度例如能够成为 $0.3 \sim 4.0 \mu\text{m}$ 的范围。源极区域58的杂质浓度能够成为超过阱区域57的杂质浓度的范围、例如 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 的范围。另外,源极区域58的深度成为不超过阱区域57的深度。

[0317] 接触区域60a以及60b能够使用同一抗蚀剂掩模进行离子注入,杂质浓度能够成为 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 的范围。此外,离子注入能够在 $200^\circ\text{C}$ 以上的基板温度下进行

[0318] 此外,接触区域60a以及60b是为了实现向阱区域57以及降低表面电场区域59的良好金属接触而设置的区域,即使不设置接触区域60a以及60b也作为半导体装置动作。

[0319] 另外,虽然图示省略,在导入杂质后,在氩或者氮等惰性气体中或者真空中,例如,在 $1500 \sim 2200^\circ\text{C}$ 的温度下,进行 $0.5 \sim 60$ 分的热处理。由此,注入的杂质电活性化。之后,通

过向外延层54的牺牲氧化进行氧化膜形成,接着通过利用氢氟酸去除氧化膜,去除外延层54的表面变质层而得到清洁的表面。

[0320] 如图96所示,在元件区域ER,阱区域57被形成为覆盖p型柱体层56a的上层部,p型柱体层56a经由接触区域60a与源极电极55(图95)电连接。另外,在终端区域TR,接触区域60b以及降低表面电场区域59以分别跨过多个p型柱体层56b的上层部而覆盖该上层部的方式形成,被接触区域60b覆盖的多个p型柱体层56b经由接触区域60b成为同电位,被降低表面电场区域59覆盖的多个p型柱体层56b经由降低表面电场区域59成为同电位。而且,接触区域60b以及降低表面电场区域59被设置成侧面相互相接,所以被接触区域60b覆盖的多个p型柱体层56b经由接触区域60b与源极电极55(图95)电连接。

[0321] <SBD区域以及SBD终端区域的一个例子>

[0322] 使用图97~图99,说明代替以上说明的实施方式1~3的半导体装置中的MOSFET单元区域MCR而设置有SBD区域以及SBD终端区域的结构的一个例子。

[0323] 图97是示出半导体装置103的半导体基板44的表面构造的俯视图,图98是沿图97的A1-A2线的箭头所示方向剖面图,图99是沿图97的B1-B2线的箭头所示方向剖面图。

[0324] 如图98以及图99所示,半导体装置103使用具有偏离角的由n型的SiC构成的半导体基板44形成。在半导体基板44上,通过外延生长形成有n型的漂移层41。

[0325] 在漂移层41内,形成有多个p型柱体区域42。如图97所示p型柱体区域42各自在俯视时形状为条带状。在漂移层41内设置有多个p型柱体区域42,所以被p型柱体区域42夹着的漂移层41成为n型柱体区域。

[0326] 如图98以及图99所示,在包括p型柱体区域42的漂移层41之上,形成有作为SBD的阳极电极的表面电极45。另外,在半导体基板44的下表面,形成有作为SBD的阴电极的背面电极46。表面电极45与漂移层41以及p型柱体区域42肖特基连接,背面电极46与半导体基板44欧姆连接。

[0327] 在包括p型柱体区域42的漂移层41的上层部,以包围表面电极45的方式同心状地形成有多个作为p型的半导体区域的框架状的耐压保持构造43。由耐压保持构造43包围的区域成为半导体装置103的活性区域,耐压保持构造43的形成区域以及其外侧成为半导体装置103的终端区域。此外,还有包括耐压保持构造43而将比活性区域更靠外侧设为终端区域的情况。

[0328] 如图7所示,耐压保持构造43各自在俯视时包括与p型柱体区域42平行地延伸的边和与p型柱体区域42正交的边。半导体装置103的芯片的俯视时形状是矩形。因此,在半导体装置103的与p型柱体区域42的延伸方向平行的边的附近,各耐压保持构造43与p型柱体区域42平行地延伸,在与p型柱体区域42的延伸方向垂直的边的附近,各耐压保持构造43以与p型柱体区域42正交的方式延伸。

[0329] 多个耐压保持构造43的至少1个被形成为在俯视时与表面电极45的一部分重叠。更具体而言,如图98以及图99所示,最内侧的耐压保持构造43以与表面电极45的端部重叠的方式形成。

[0330] 虽然详细说明了本公开,但上述说明在所有方面仅为例示,本公开不限于此。能够不脱离本公开的范围而设想未例示的无数的变形例。

[0331] 此外,本公开能够在该公开的范围内容易地组合各实施方式或者使各实施方式适

当地变形、省略。

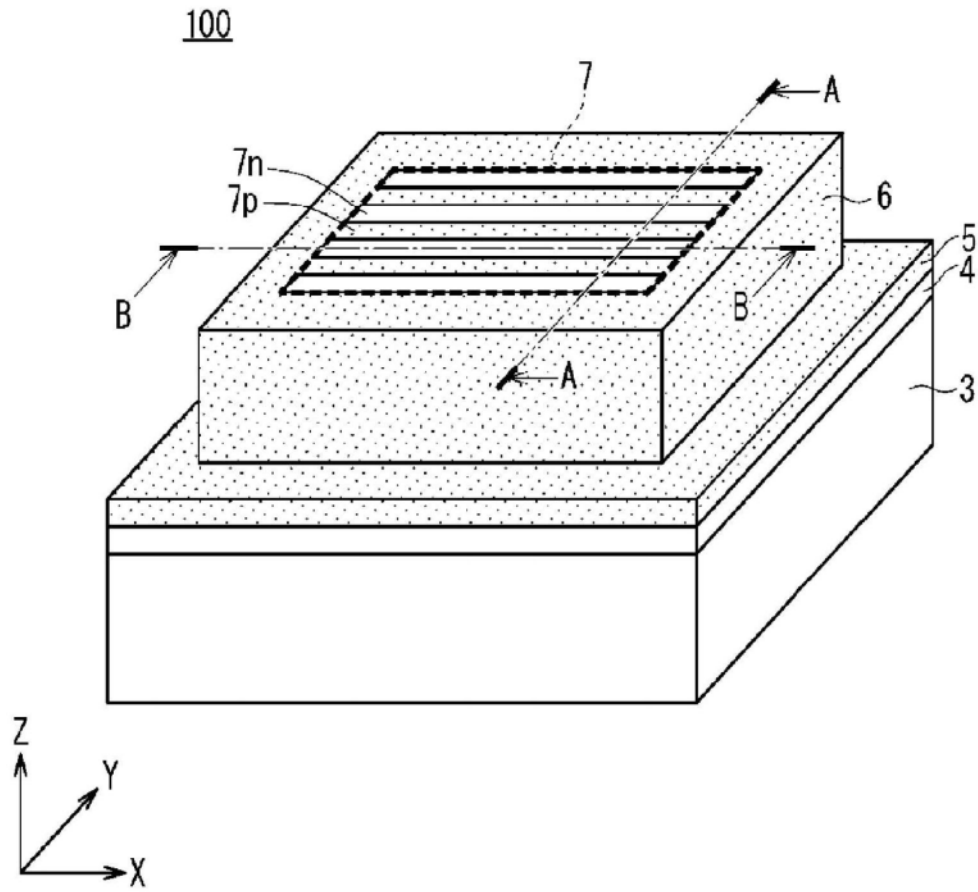


图1

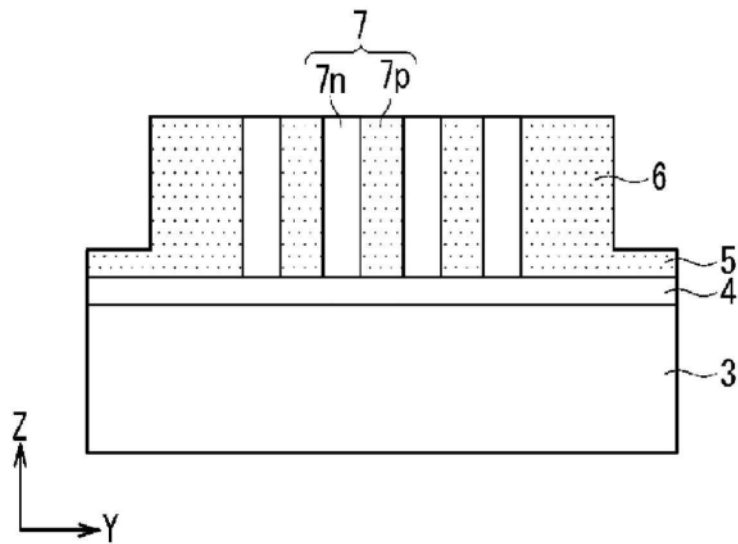


图2

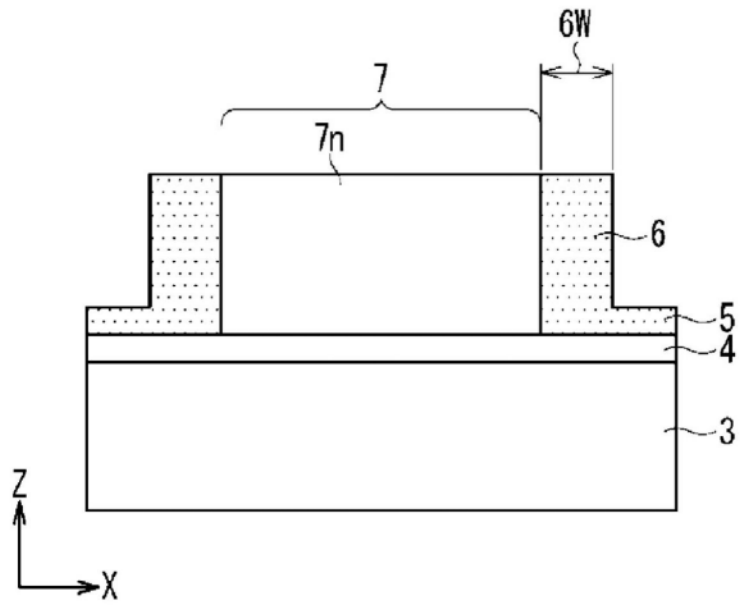


图3

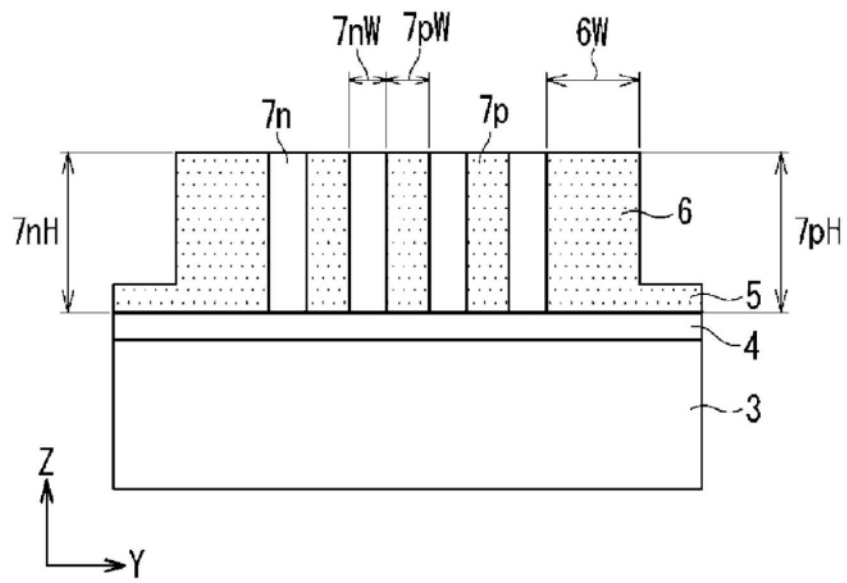


图4

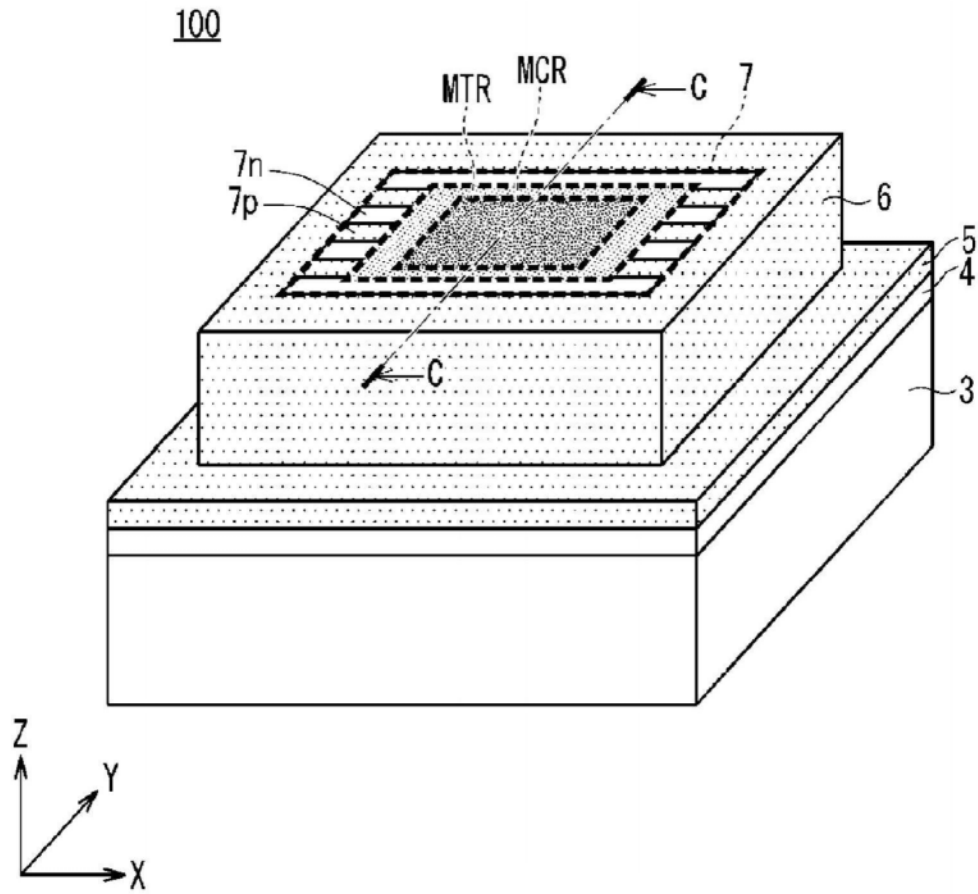


图5

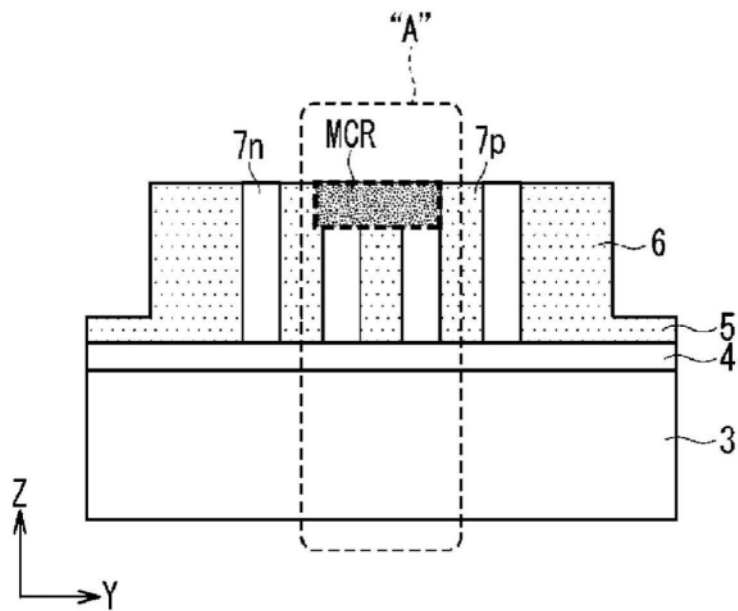


图6

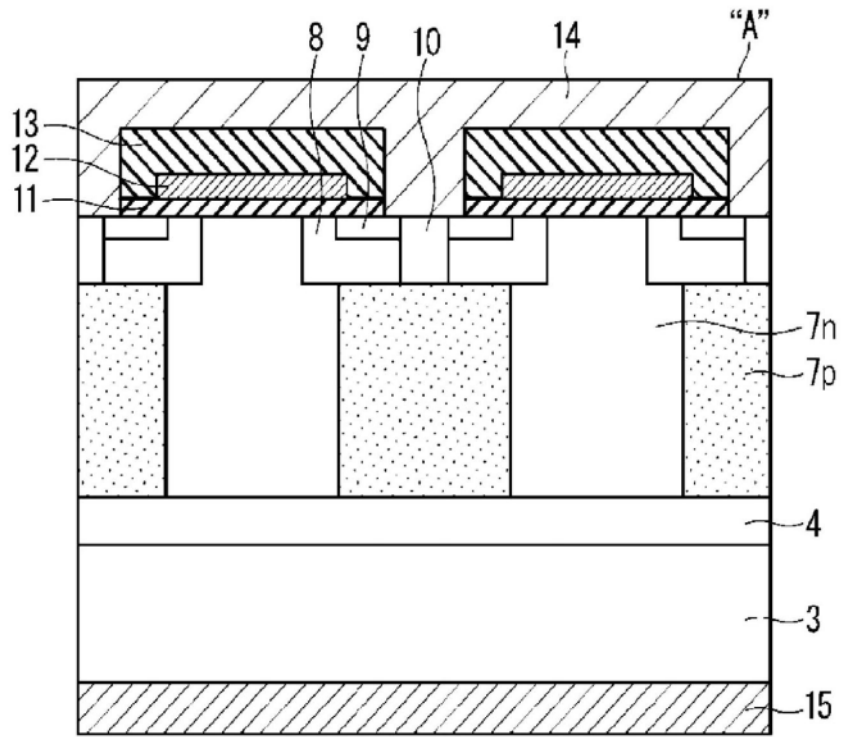


图7

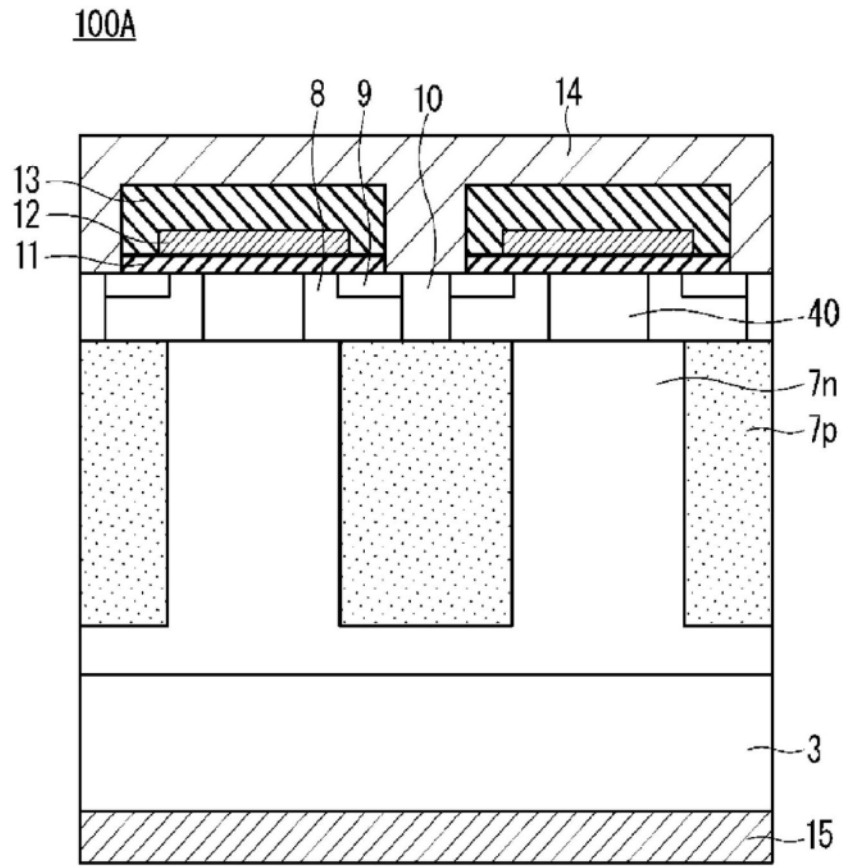


图8

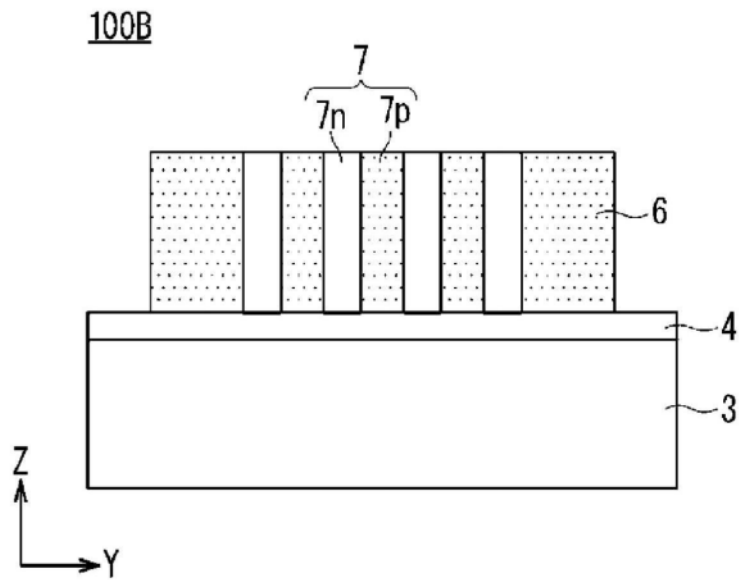


图9

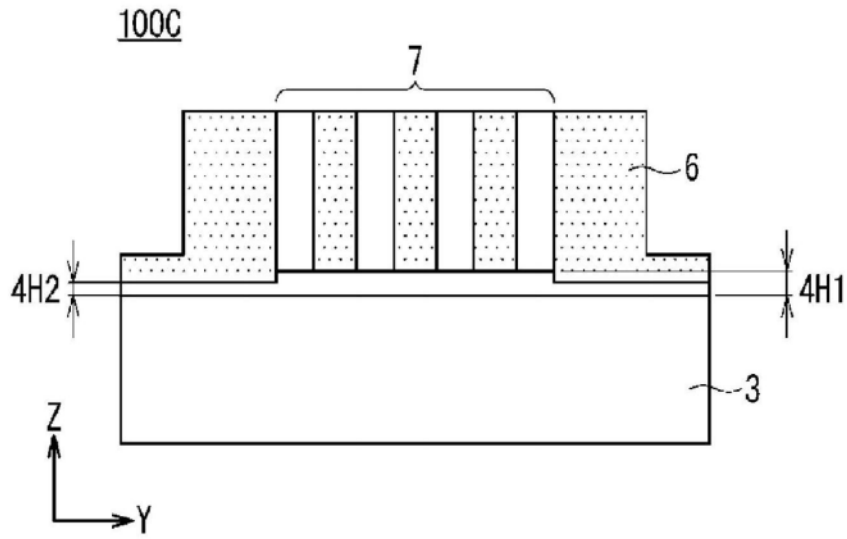


图10

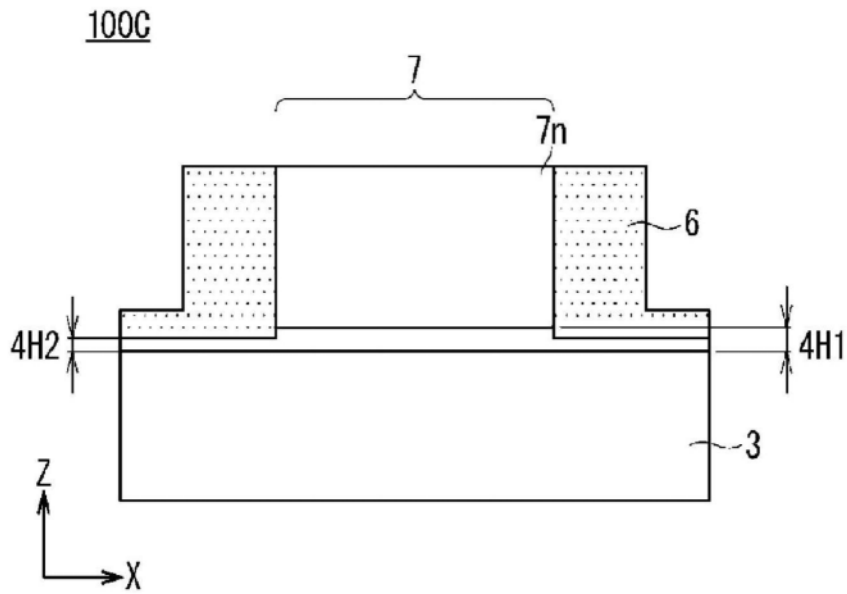


图11

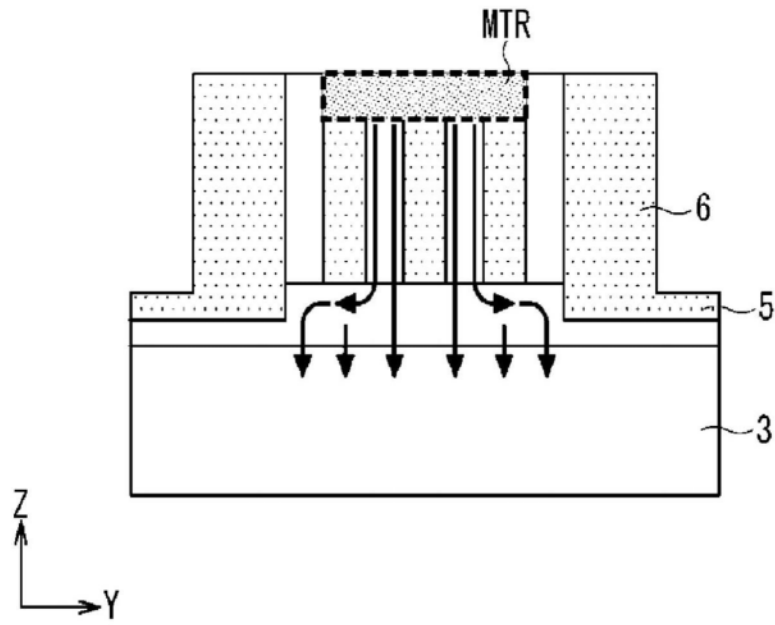


图12

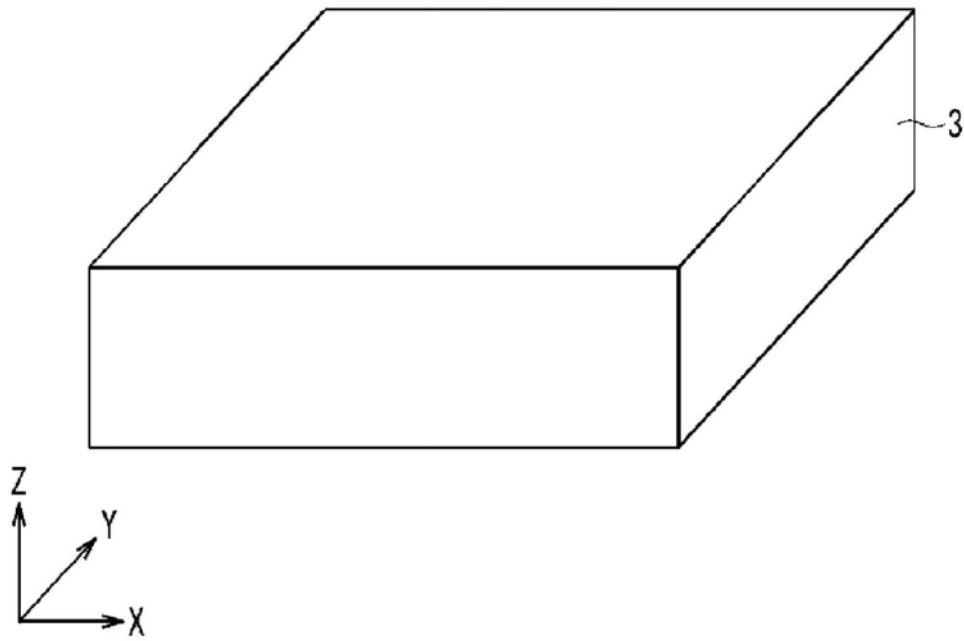


图13

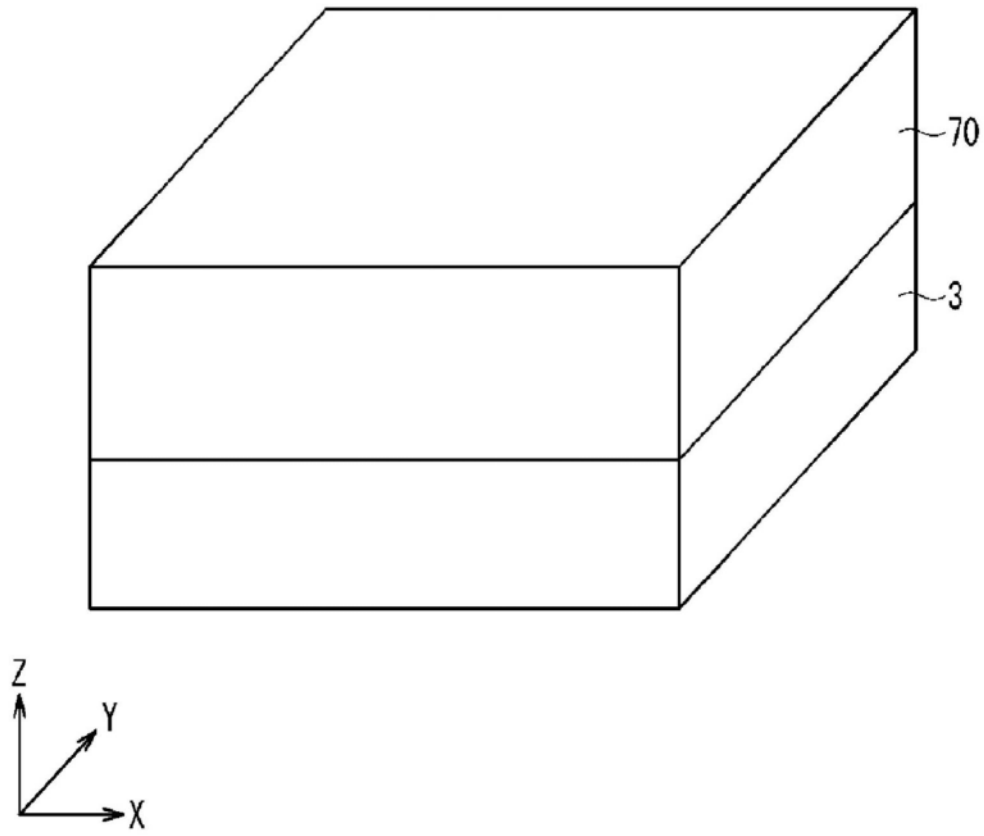


图14

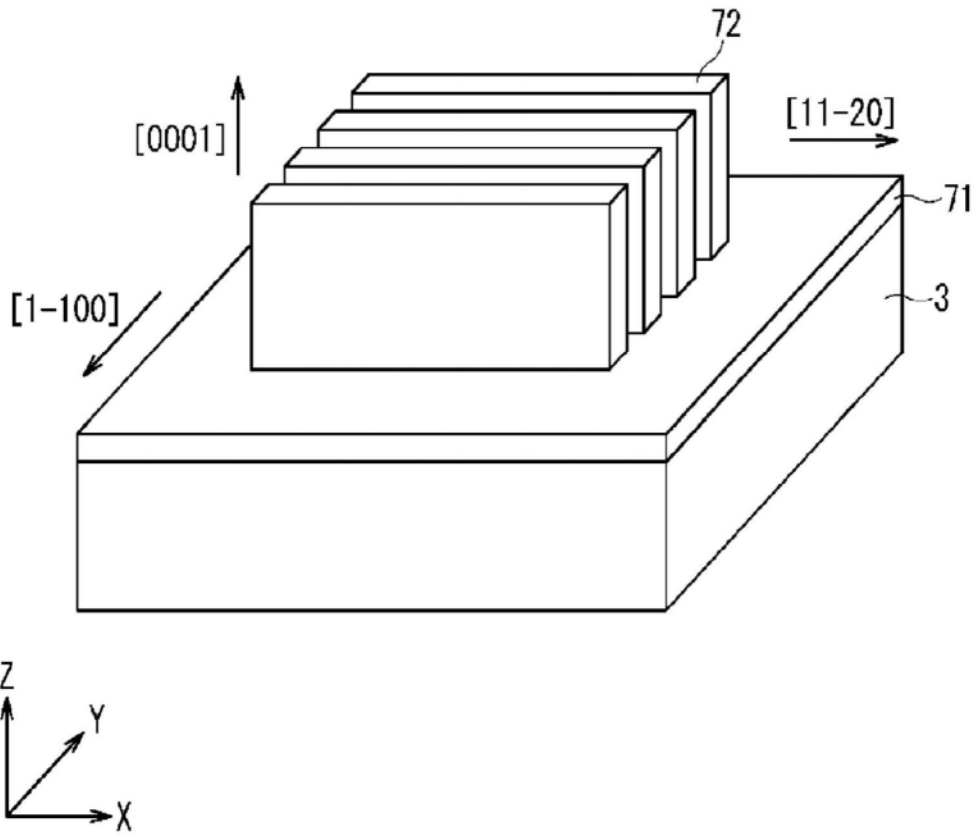


图15

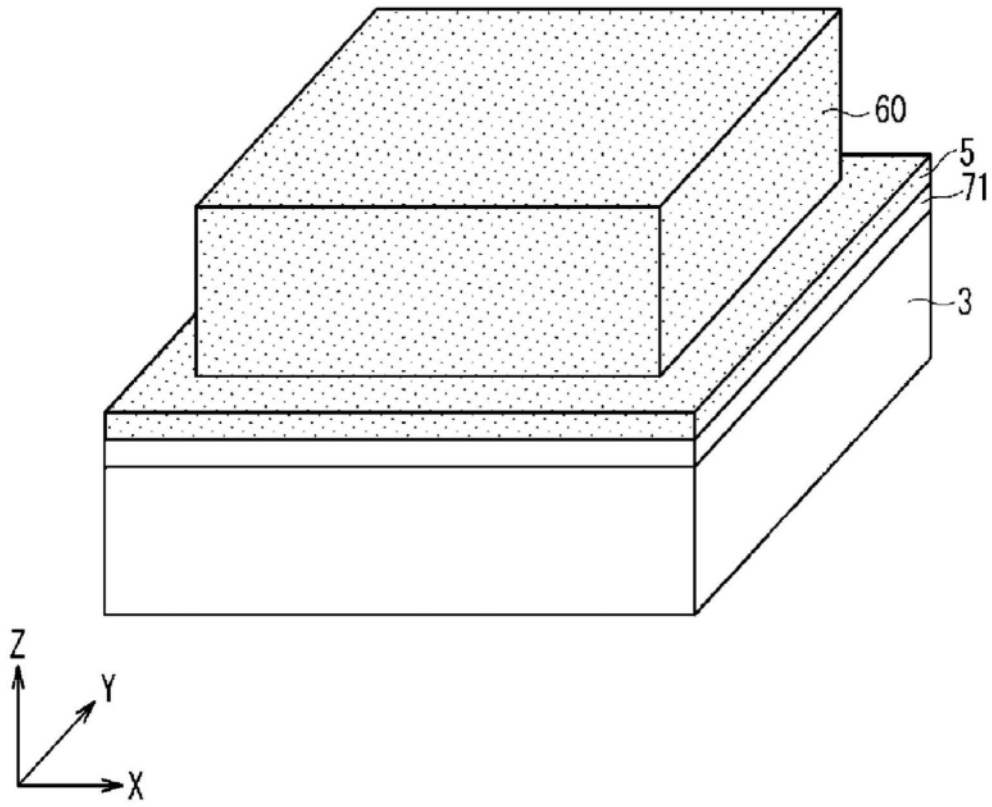


图16

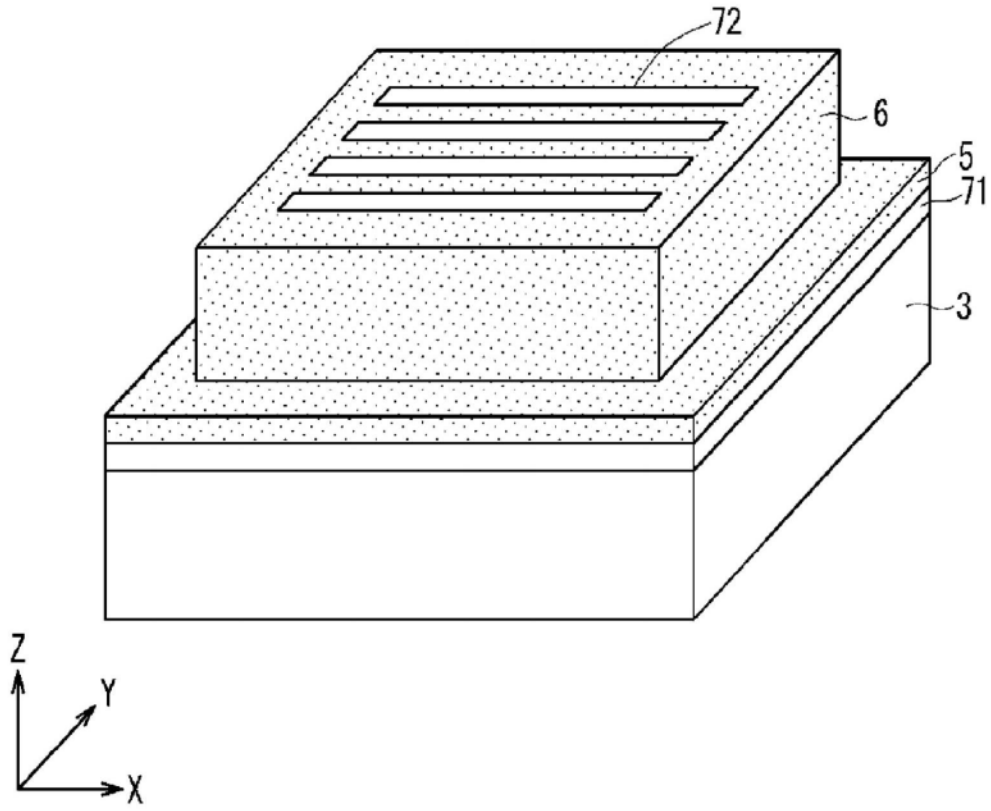


图17

200

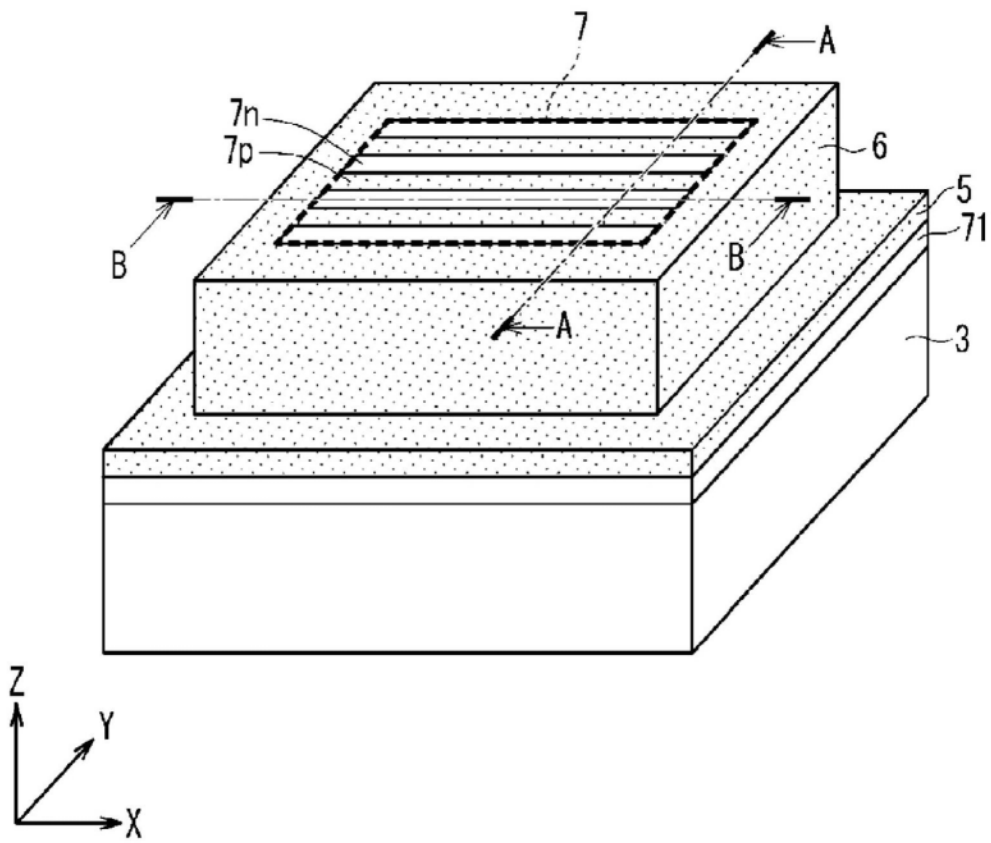


图18



图19

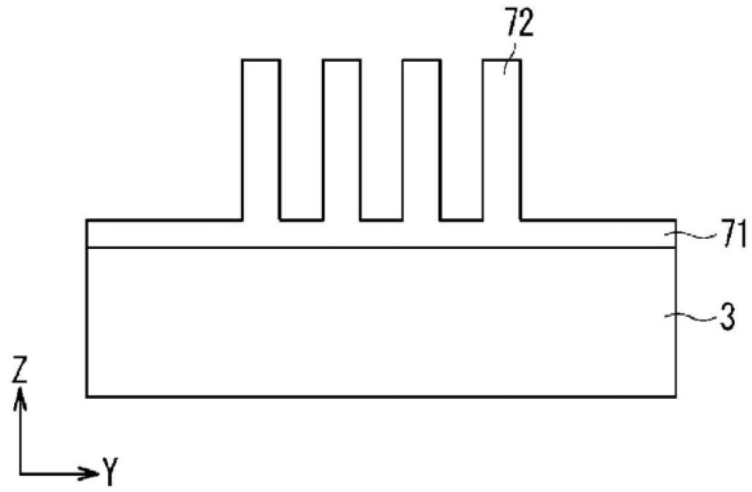


图20

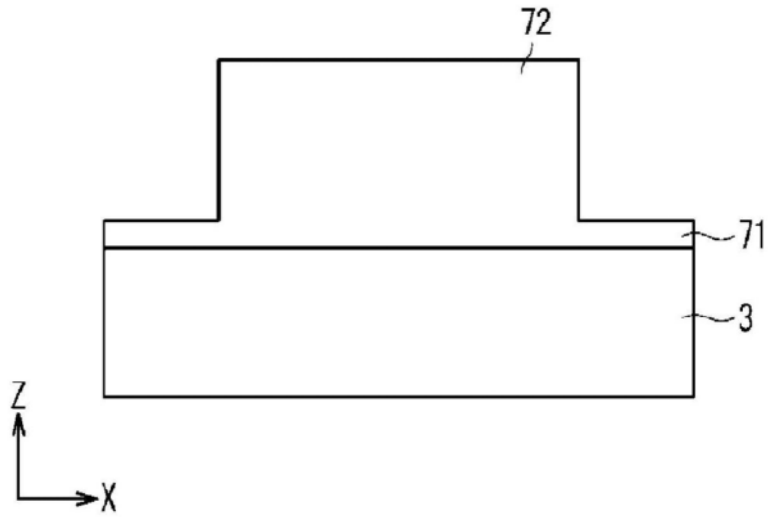


图21

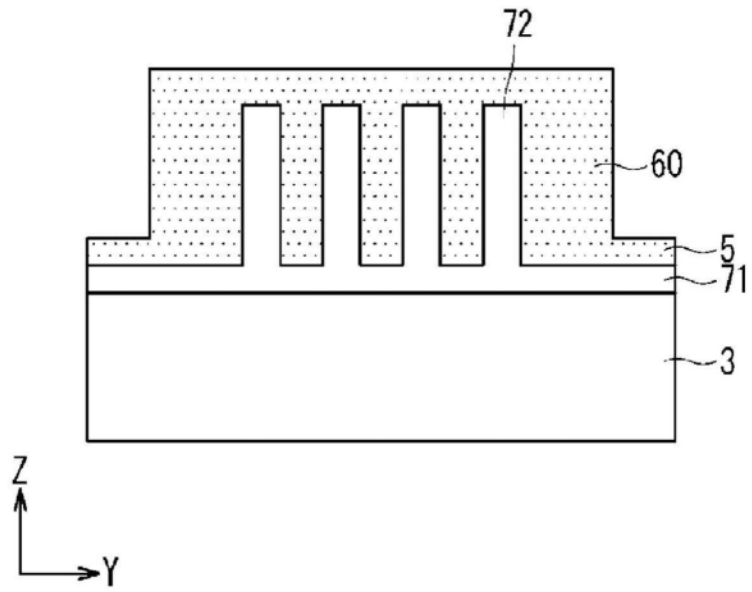


图22

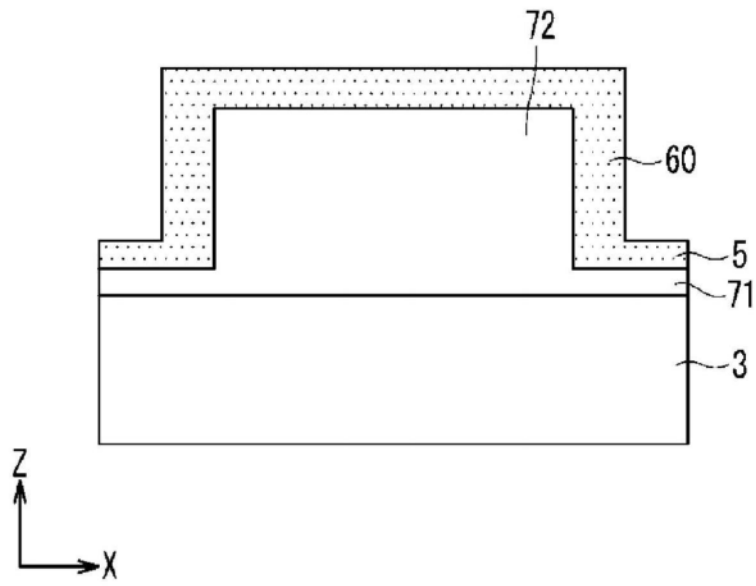


图23

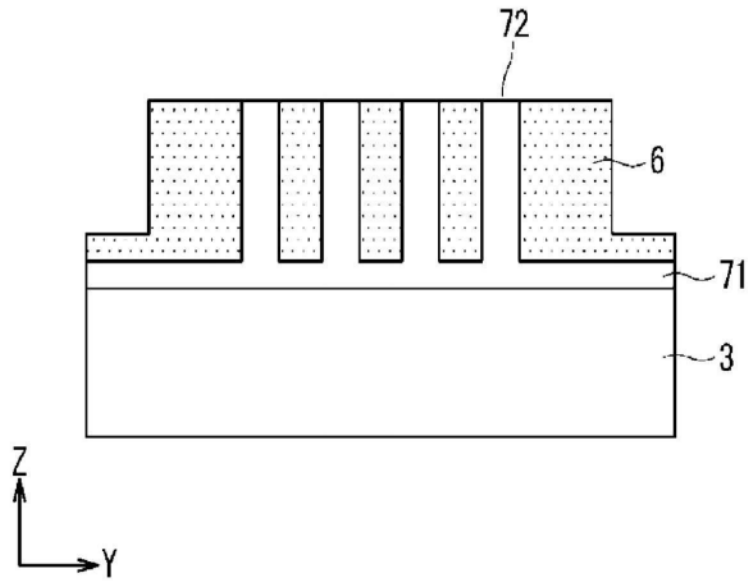


图24

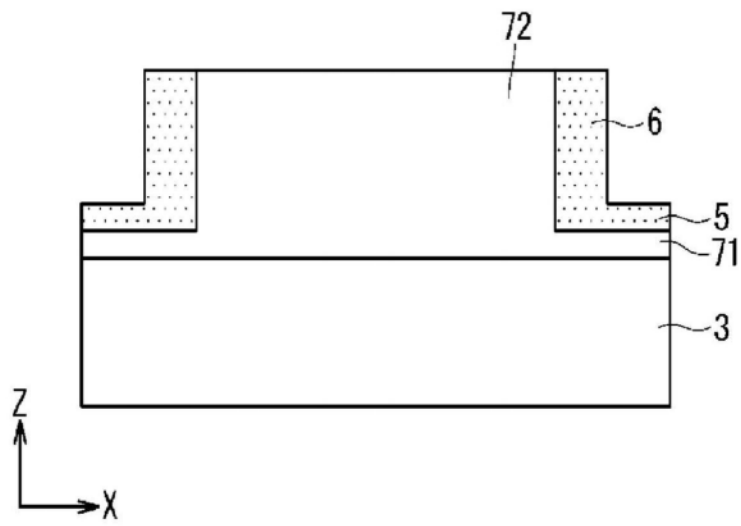


图25

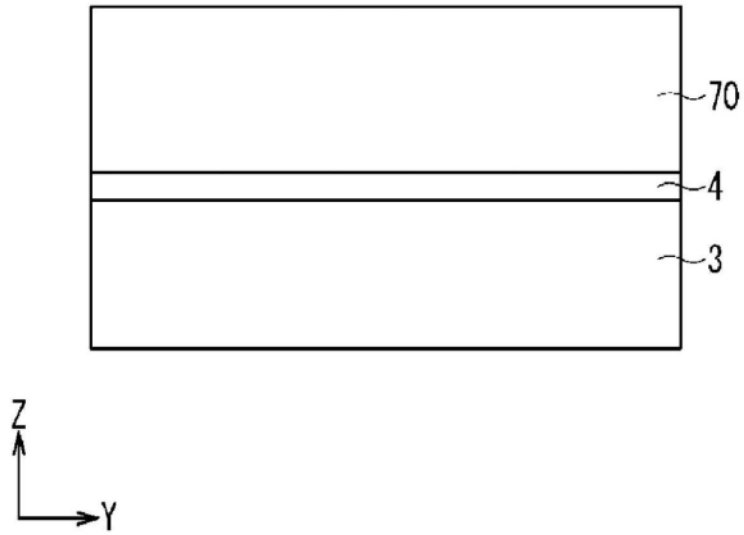


图26

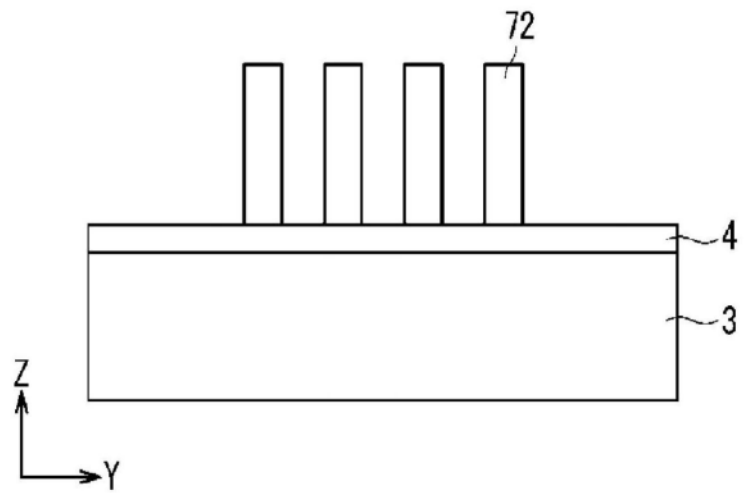


图27

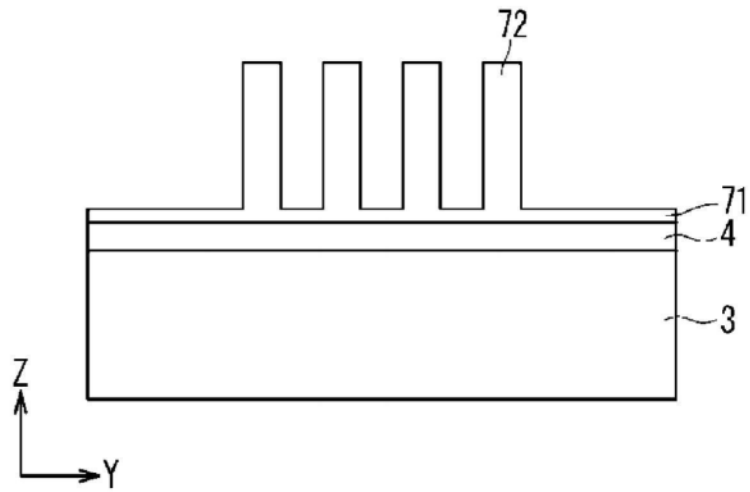


图28

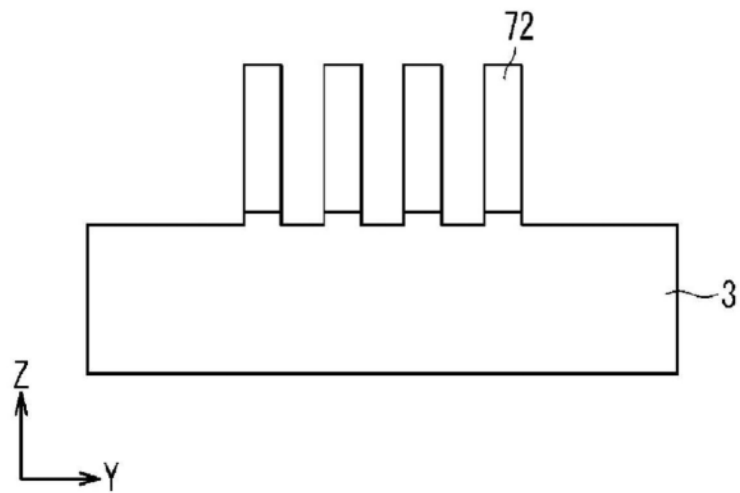


图29

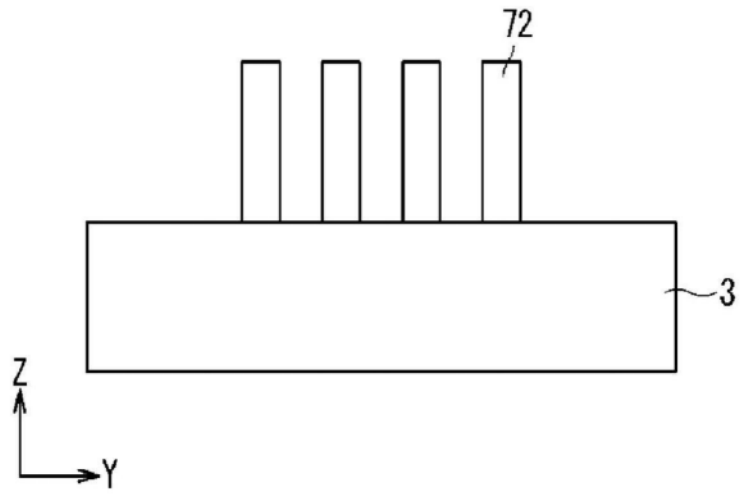


图30

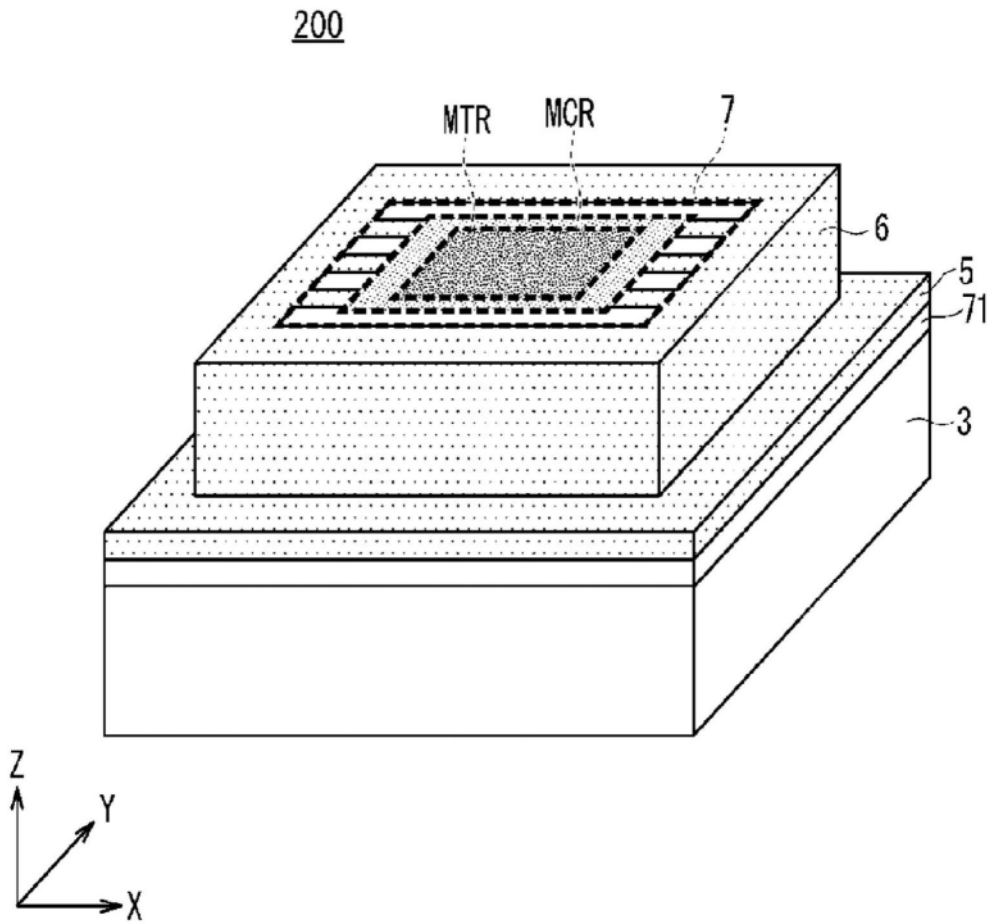


图31

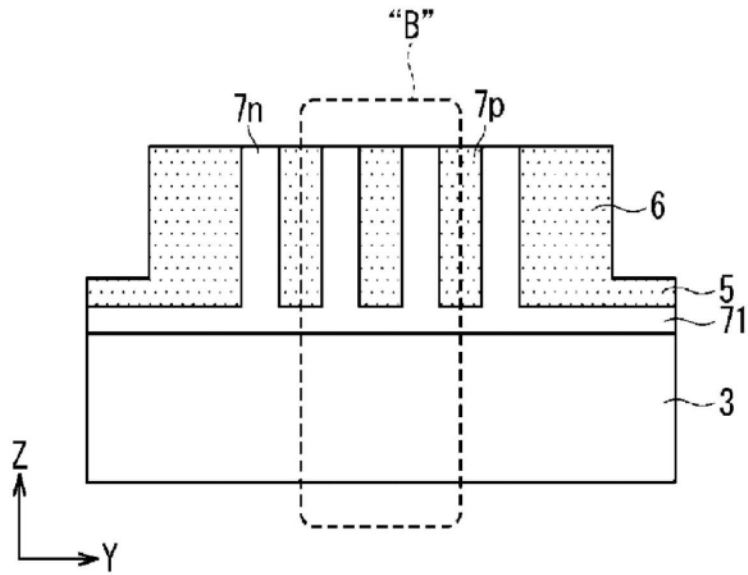


图32

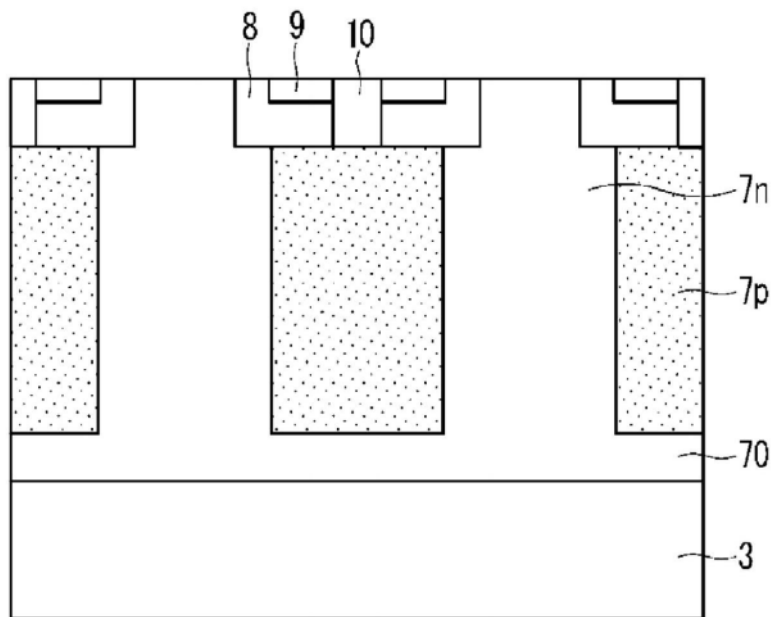


图33

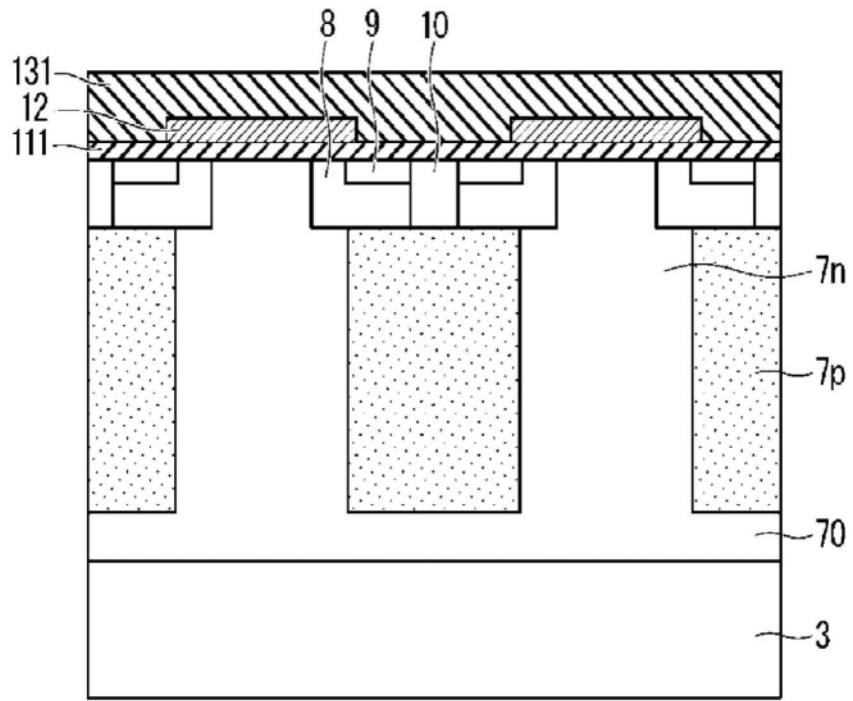


图34

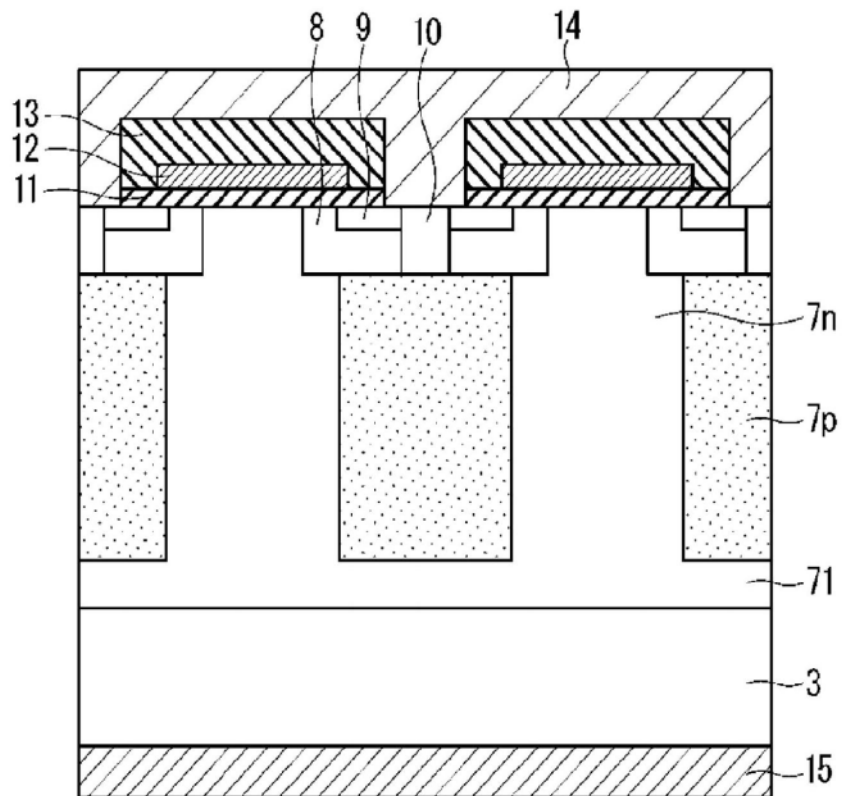


图35

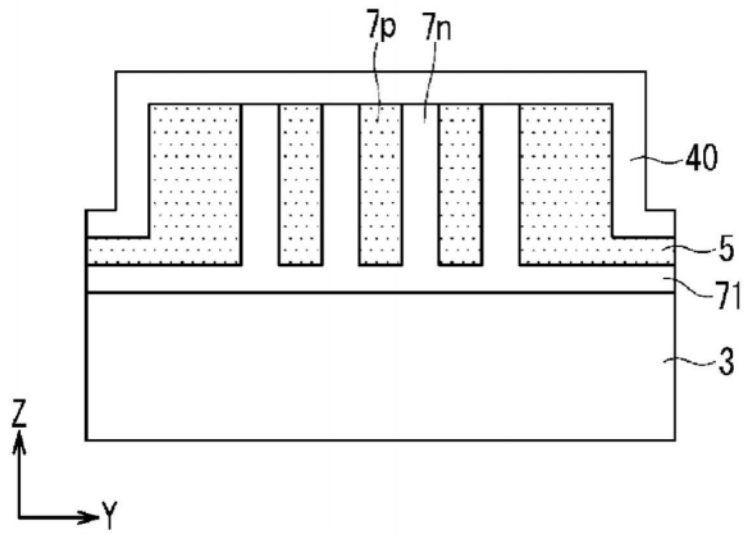


图36

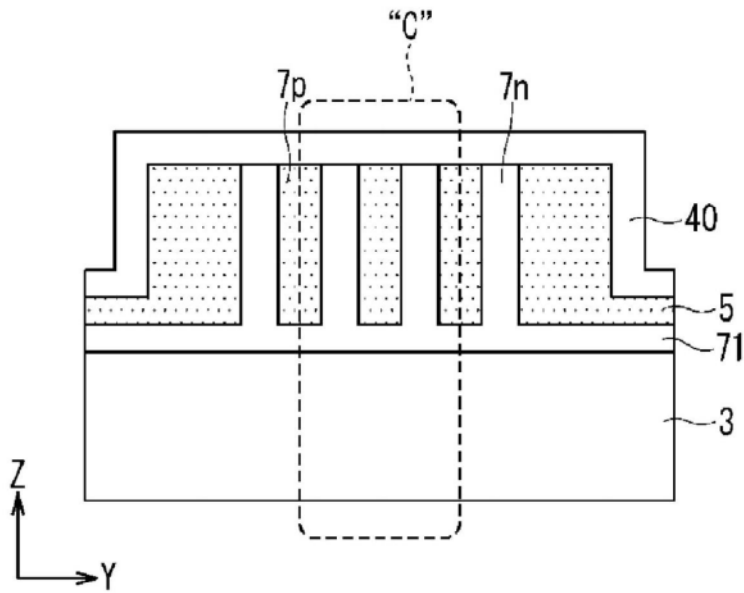


图37

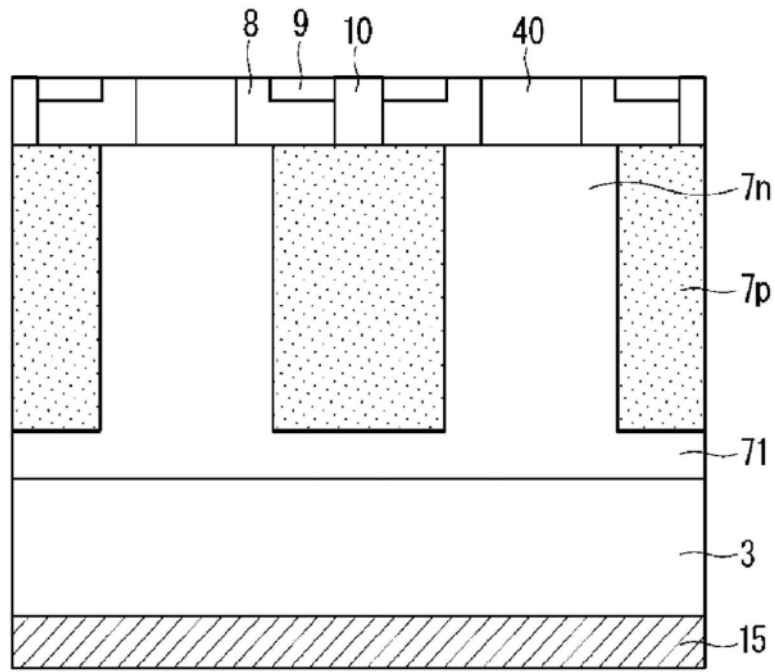


图38

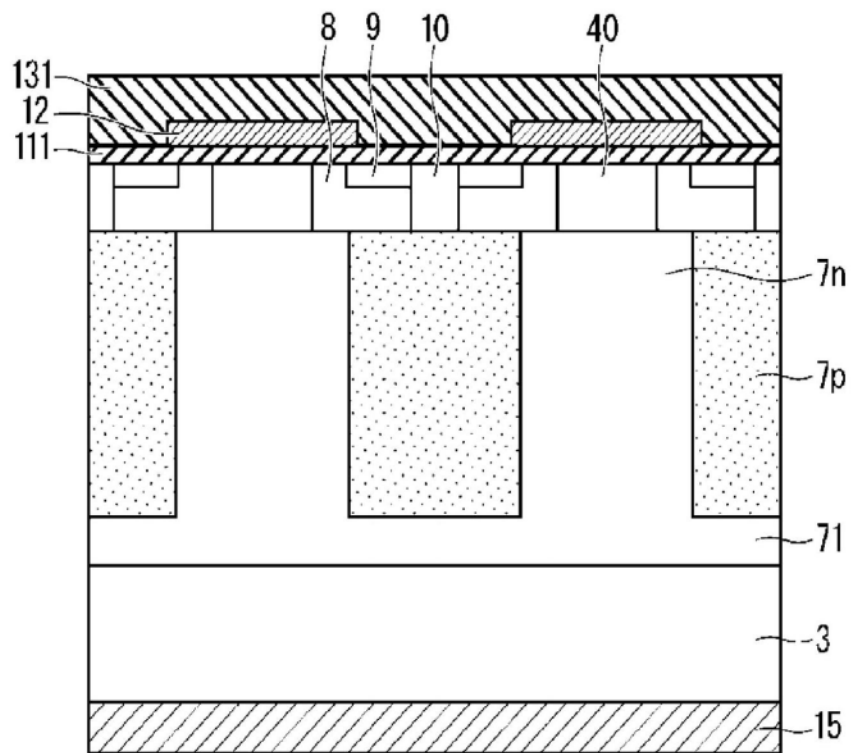


图39

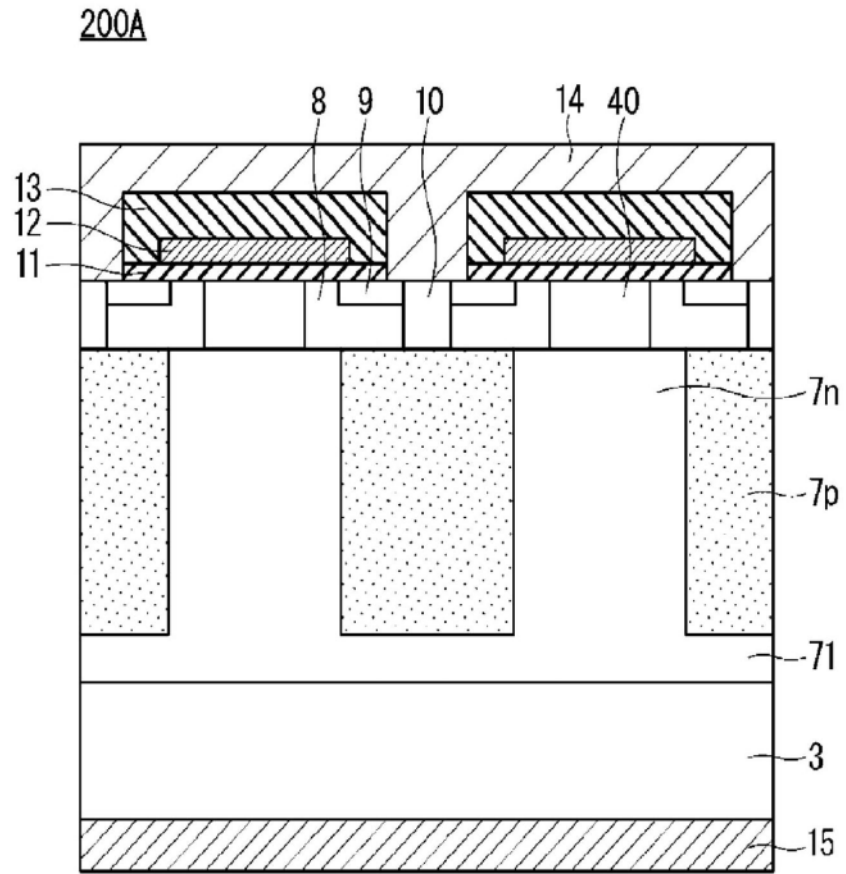


图40

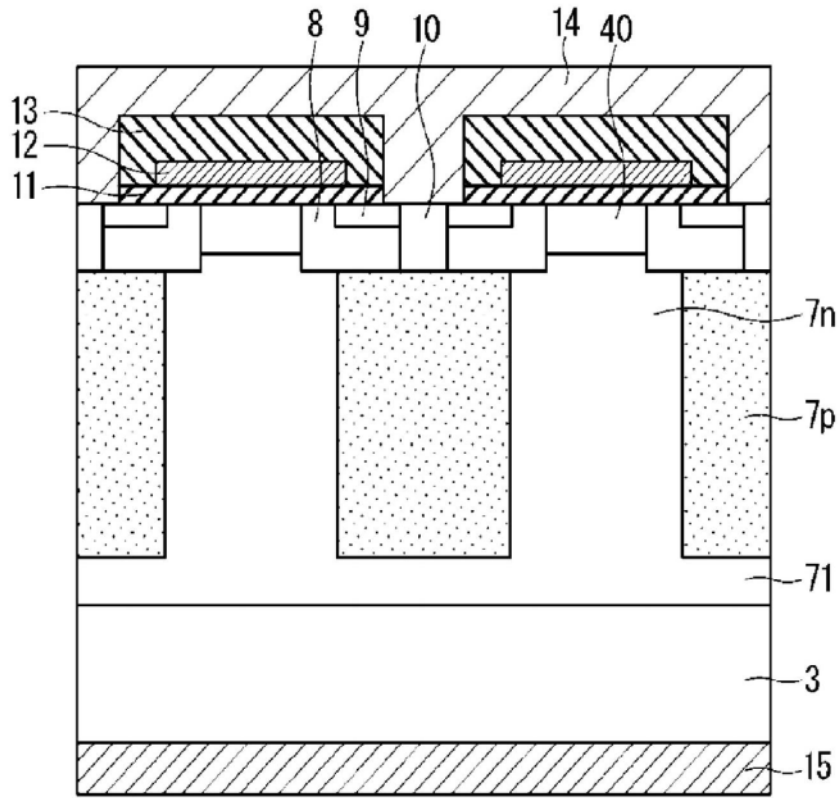


图41

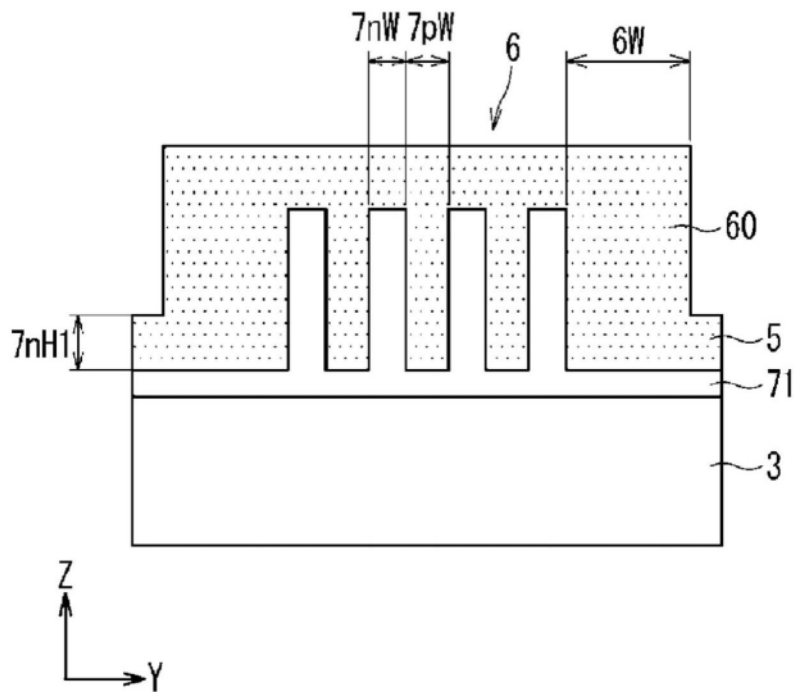


图42

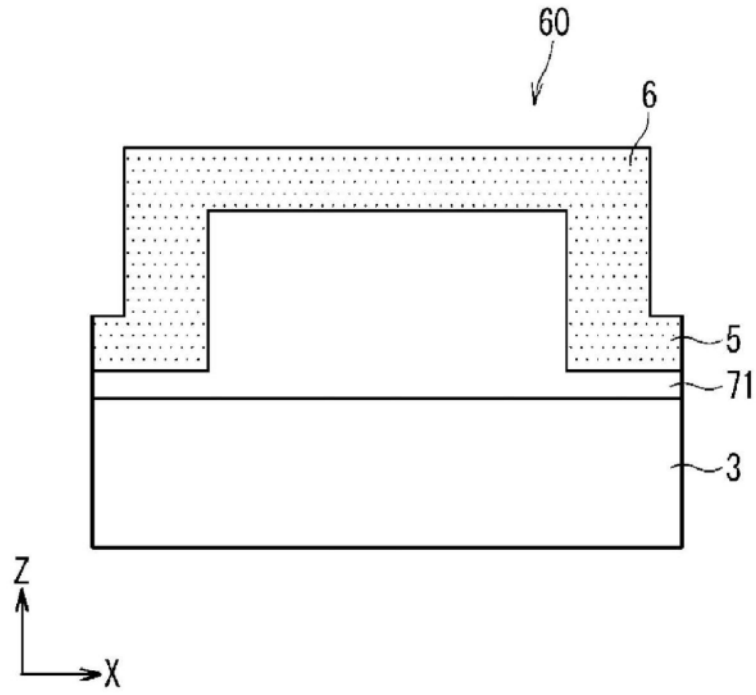


图43

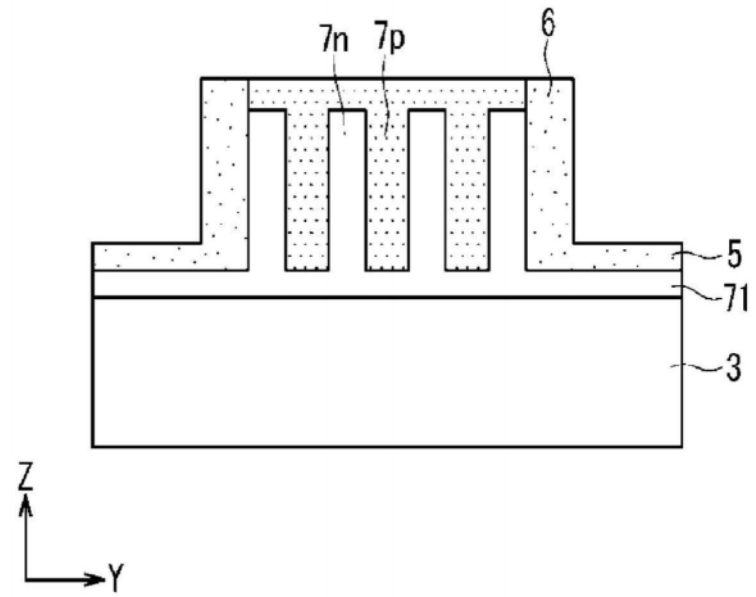


图44

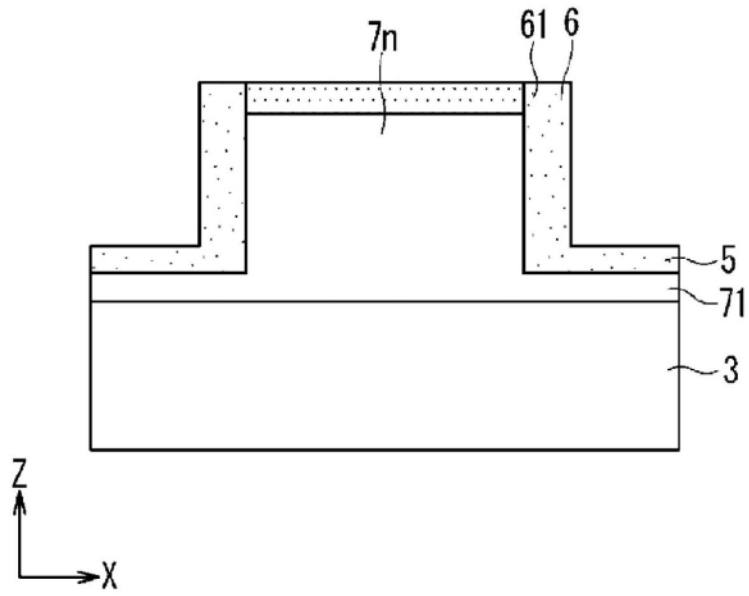


图45

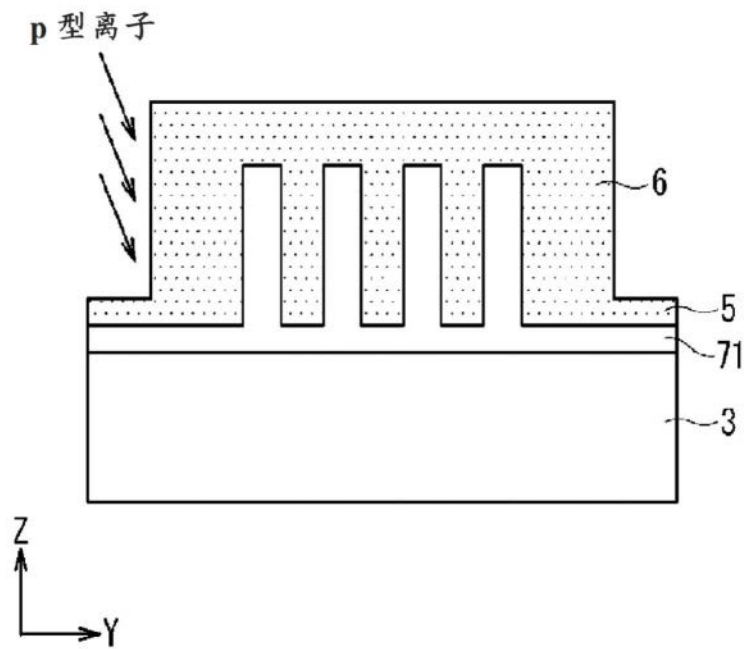


图46

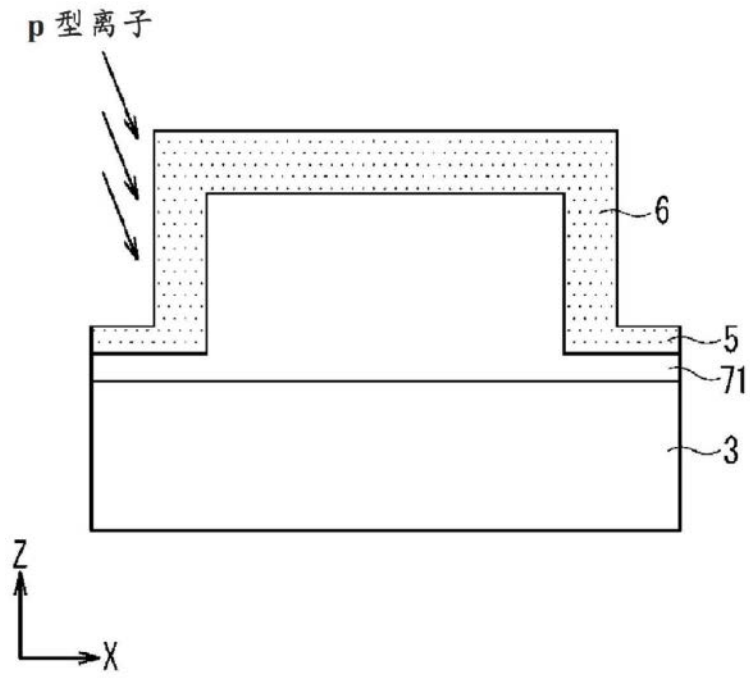


图47

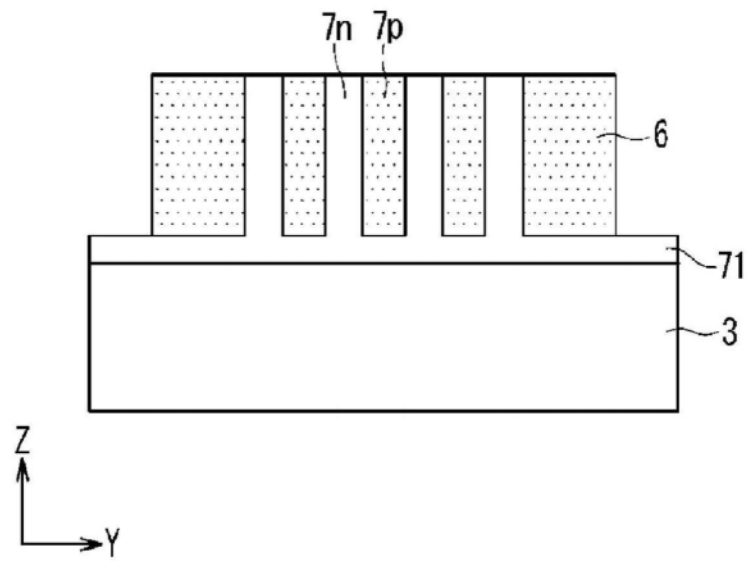


图48

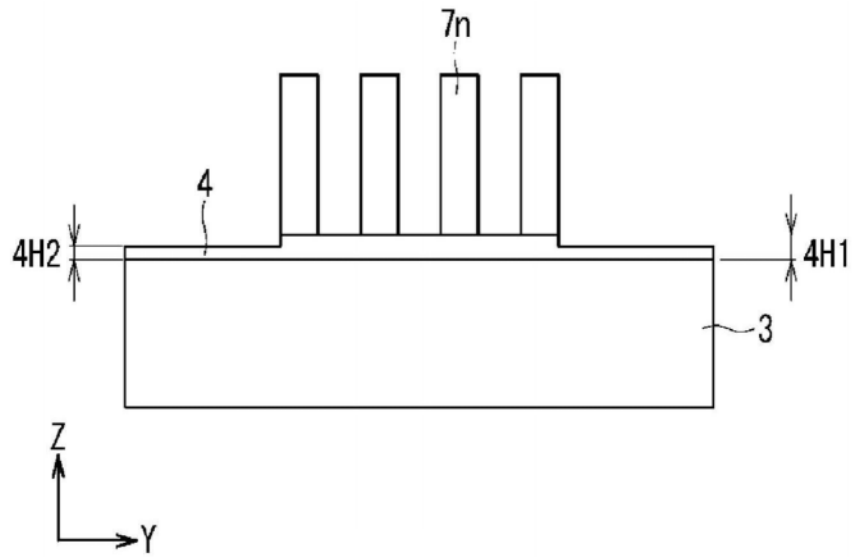


图49

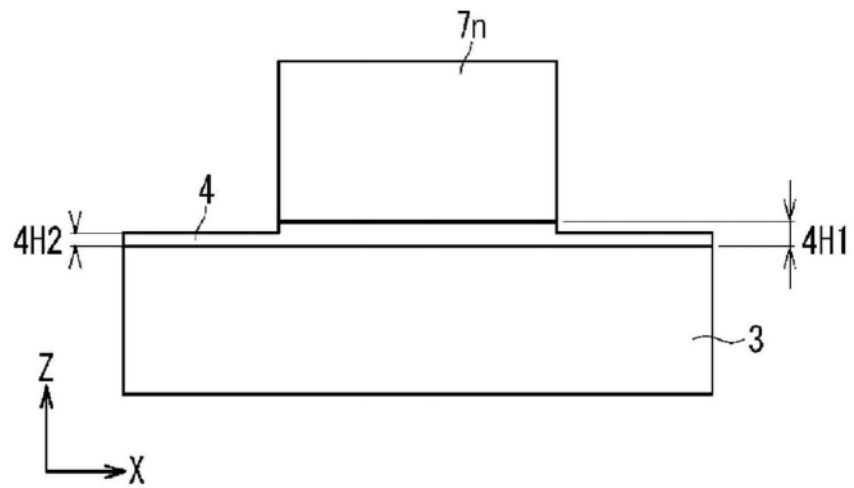


图50

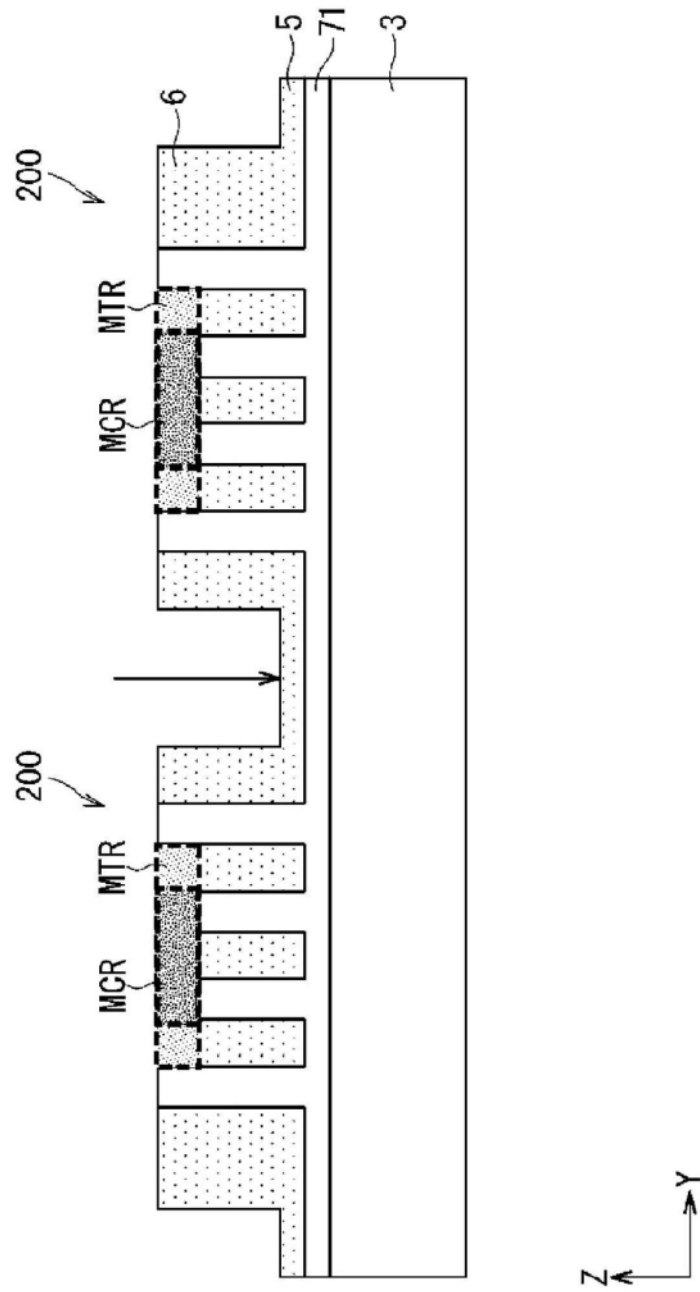


图51

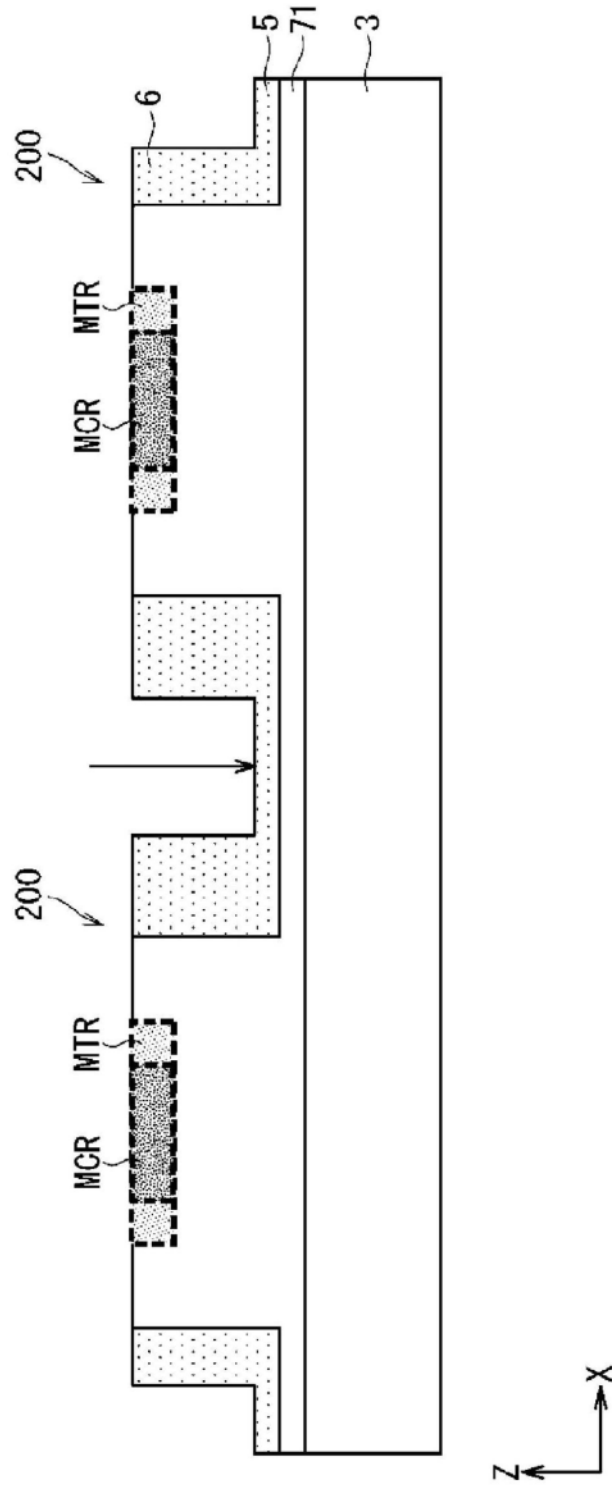


图52

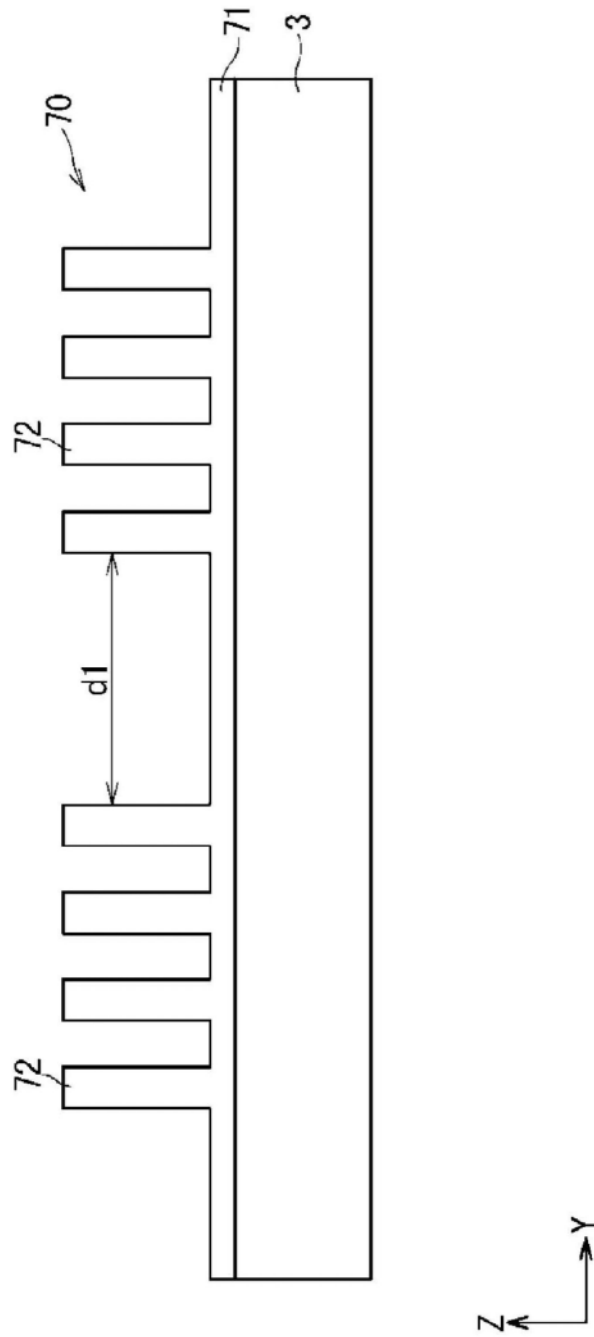


图53

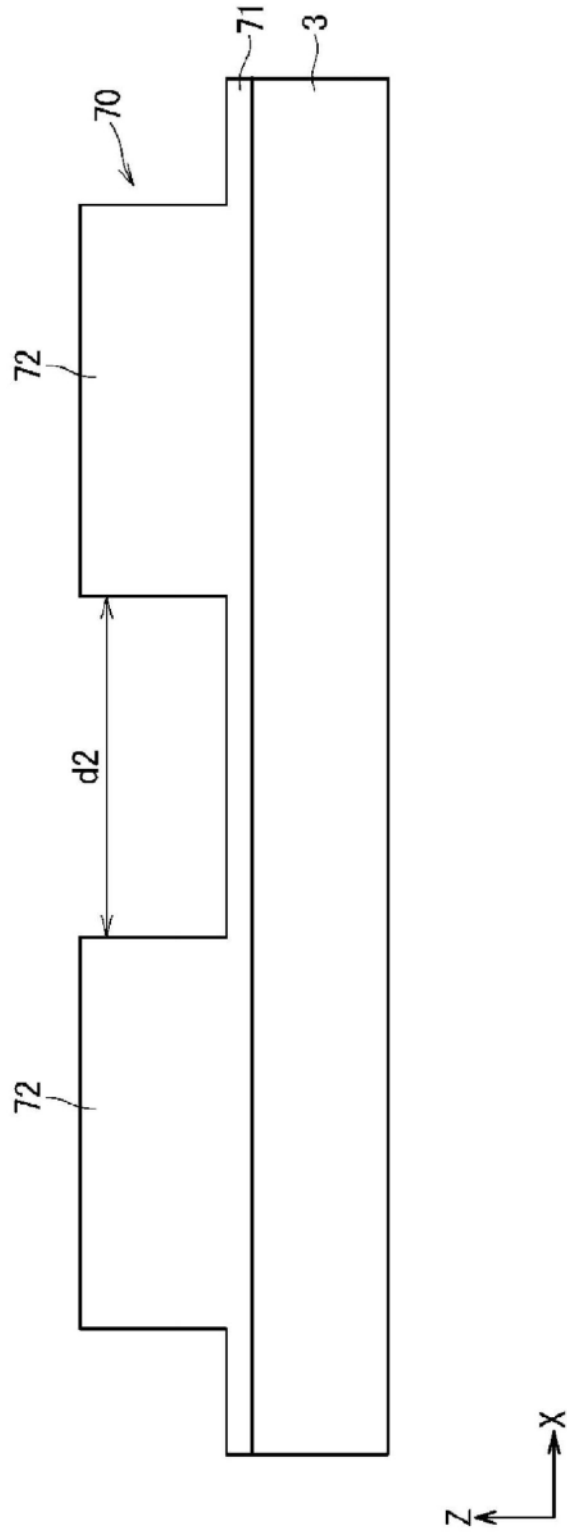


图54

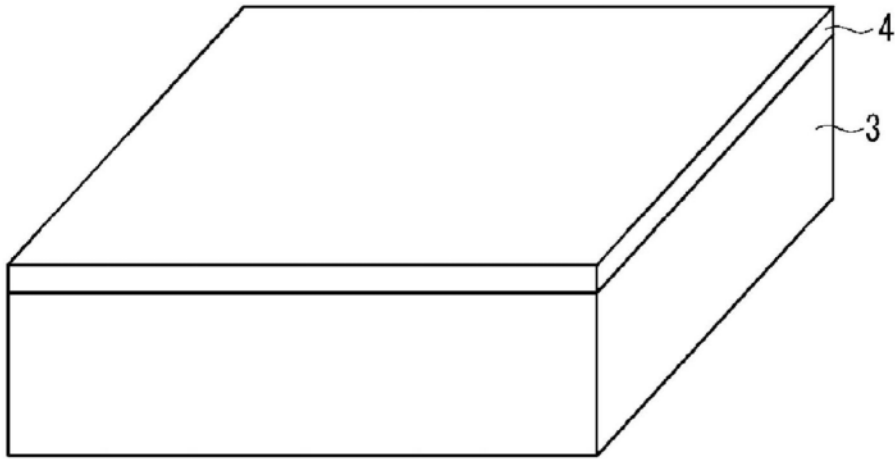


图55

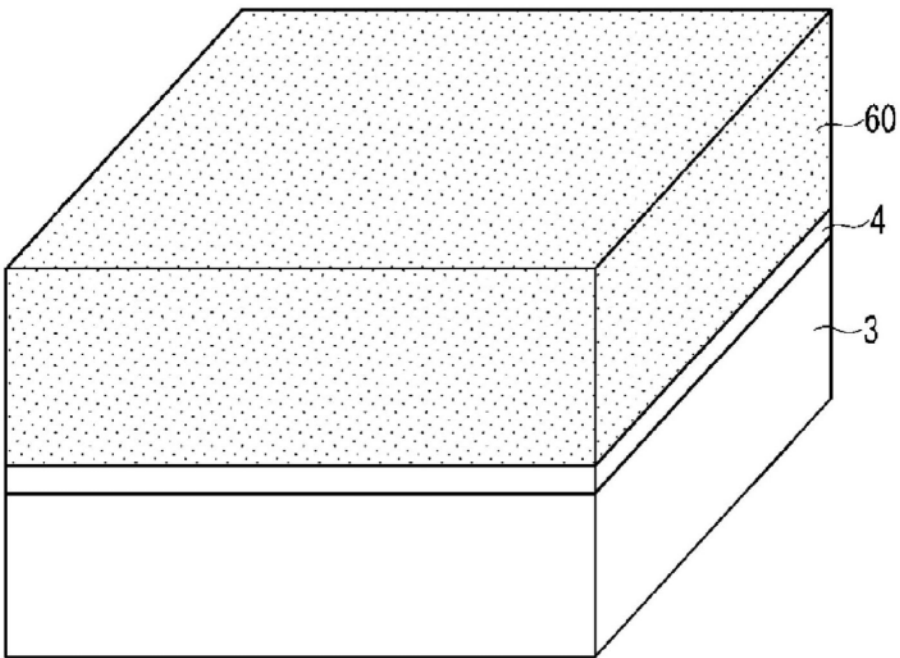


图56

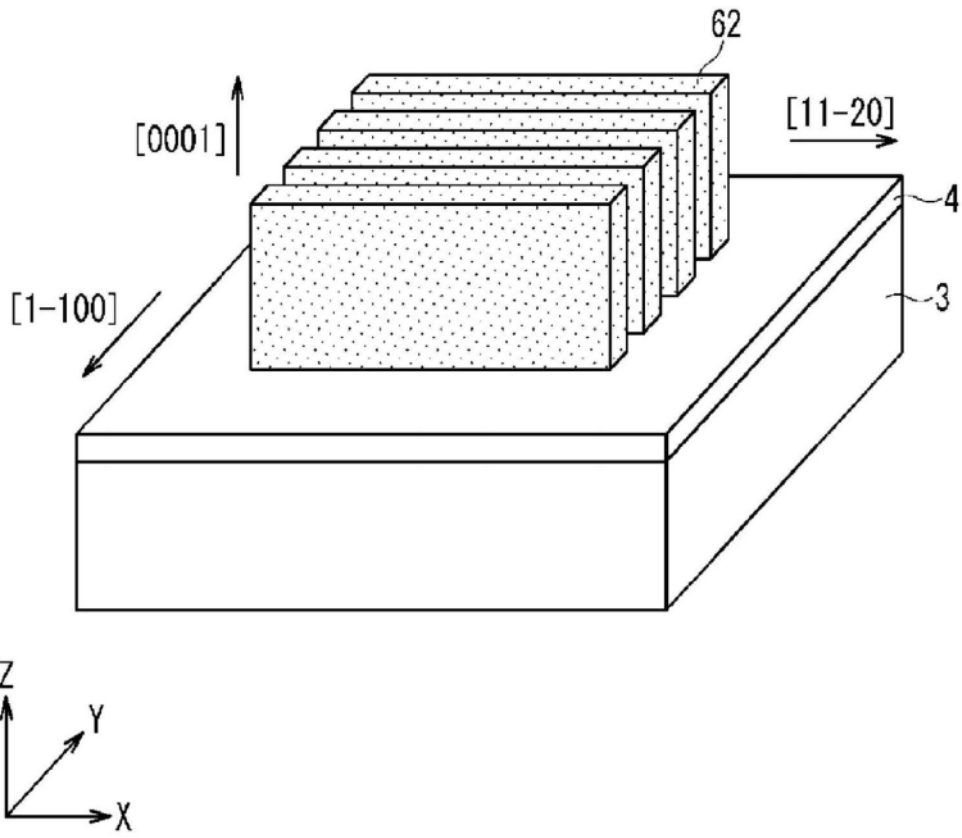


图57

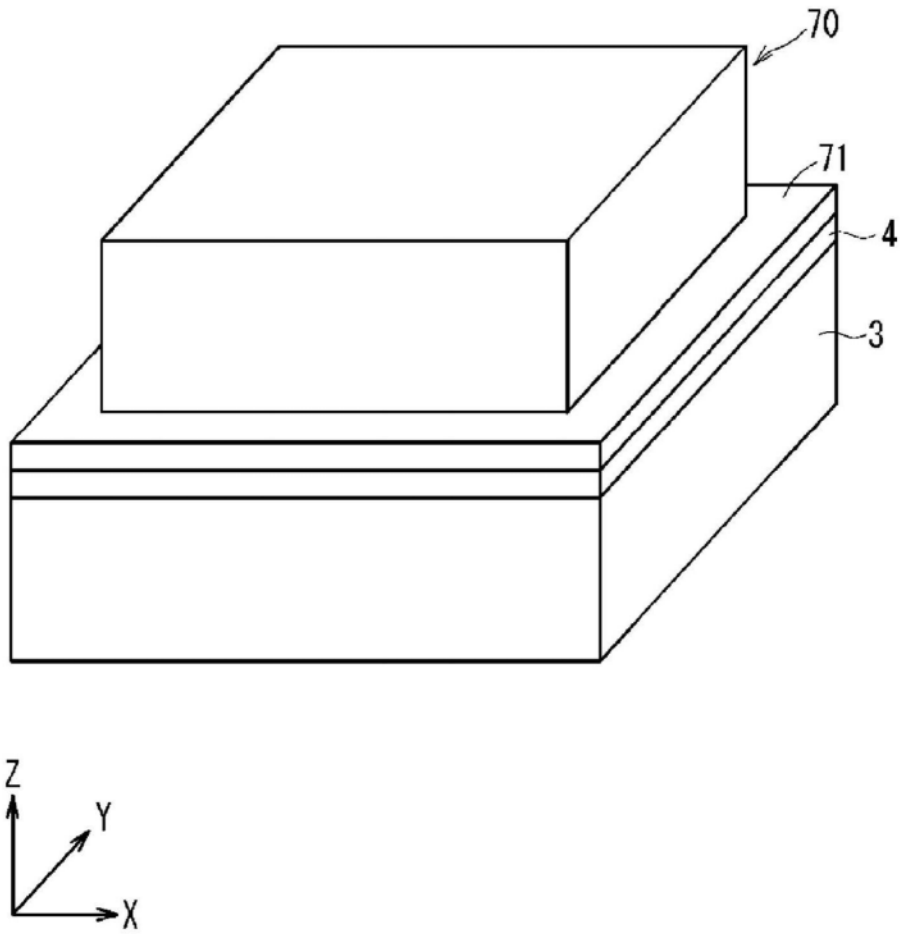


图58

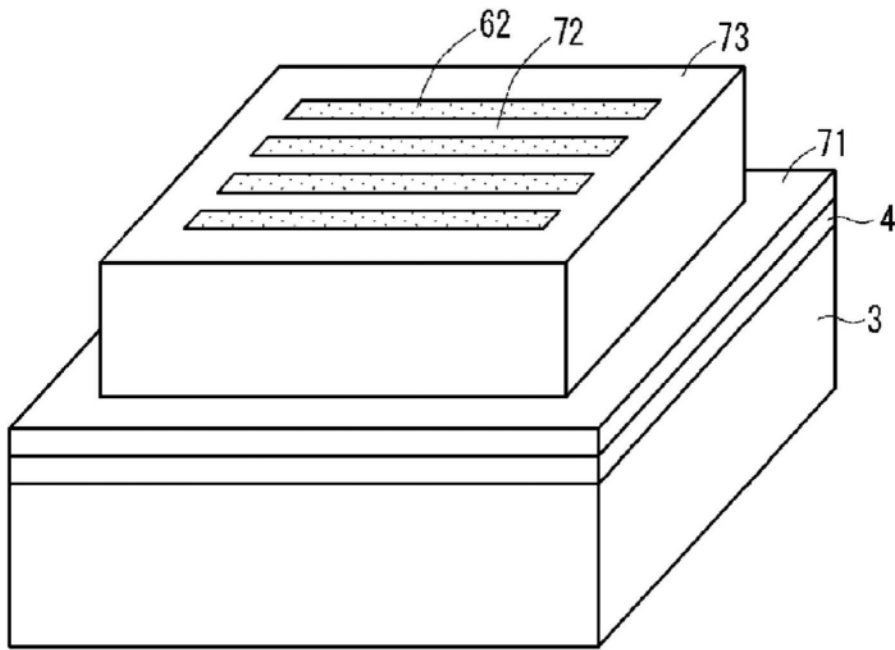


图59

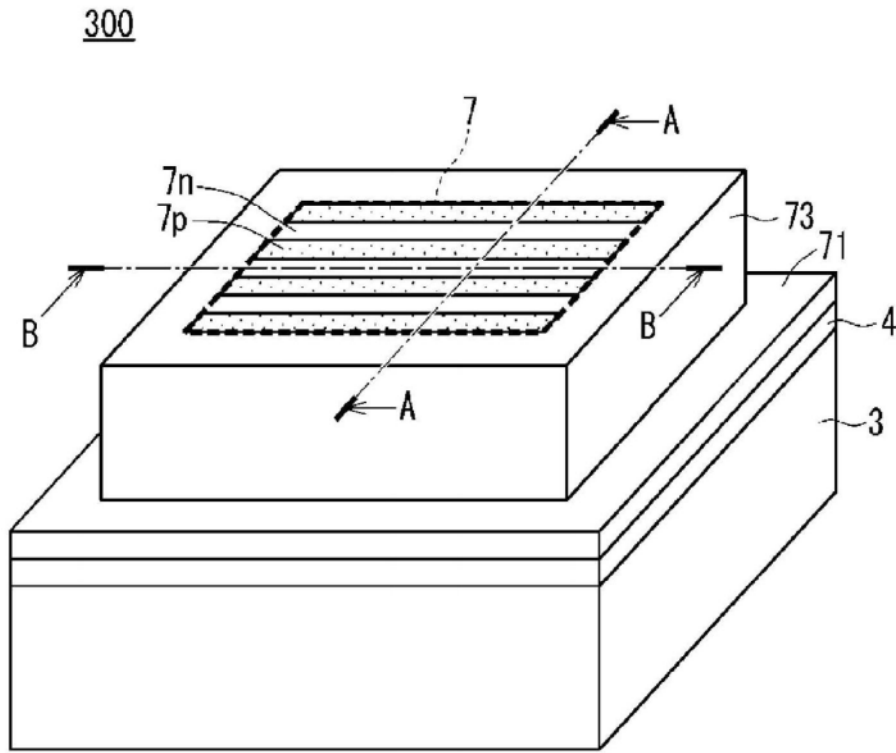


图60

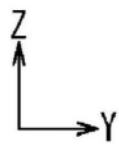
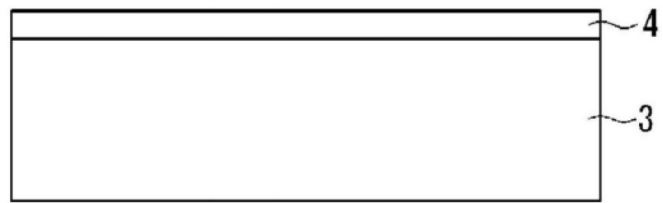


图61

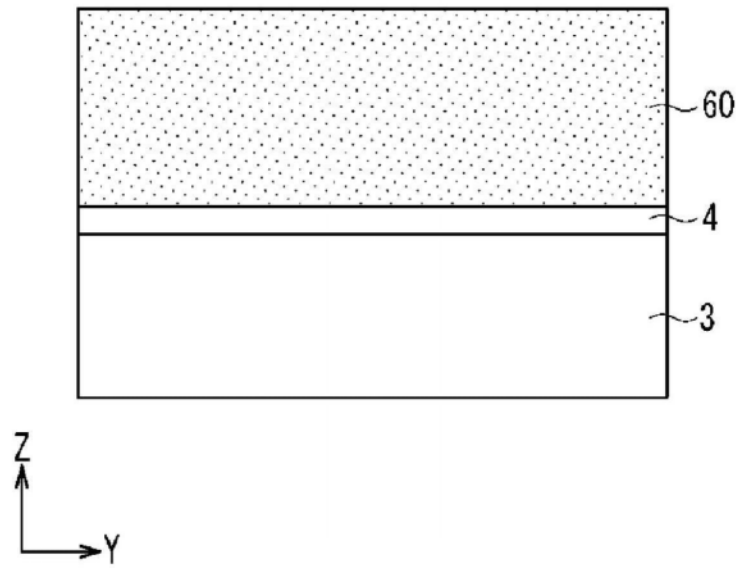


图62

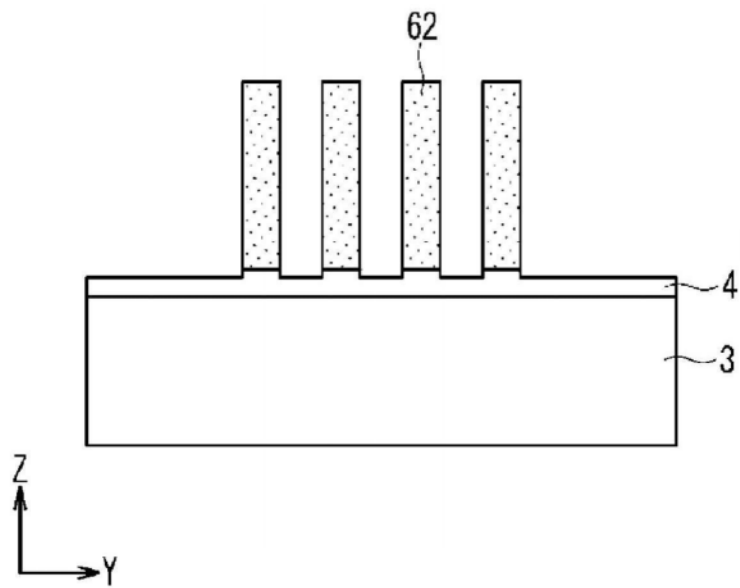


图63

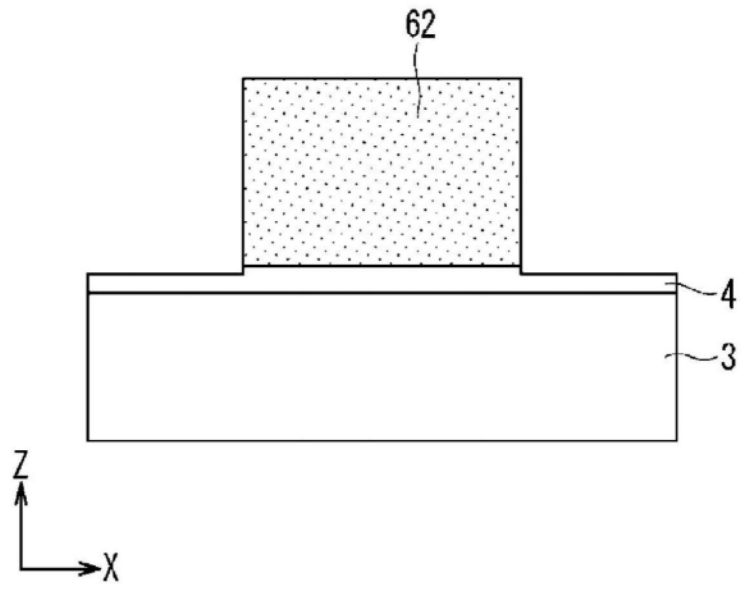


图64

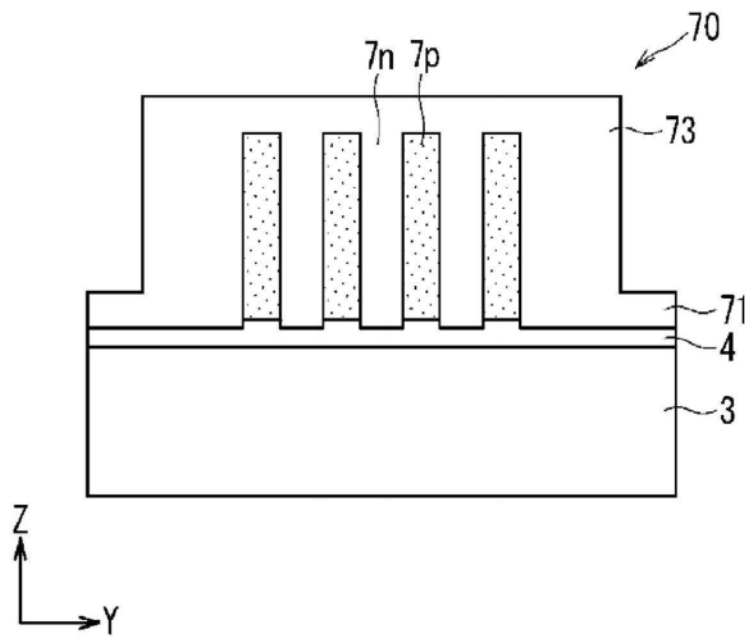


图65

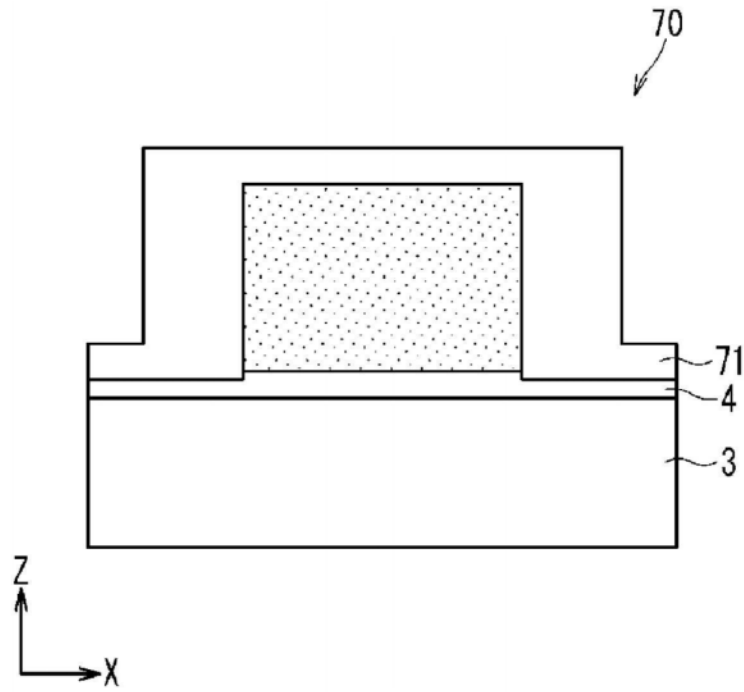


图66

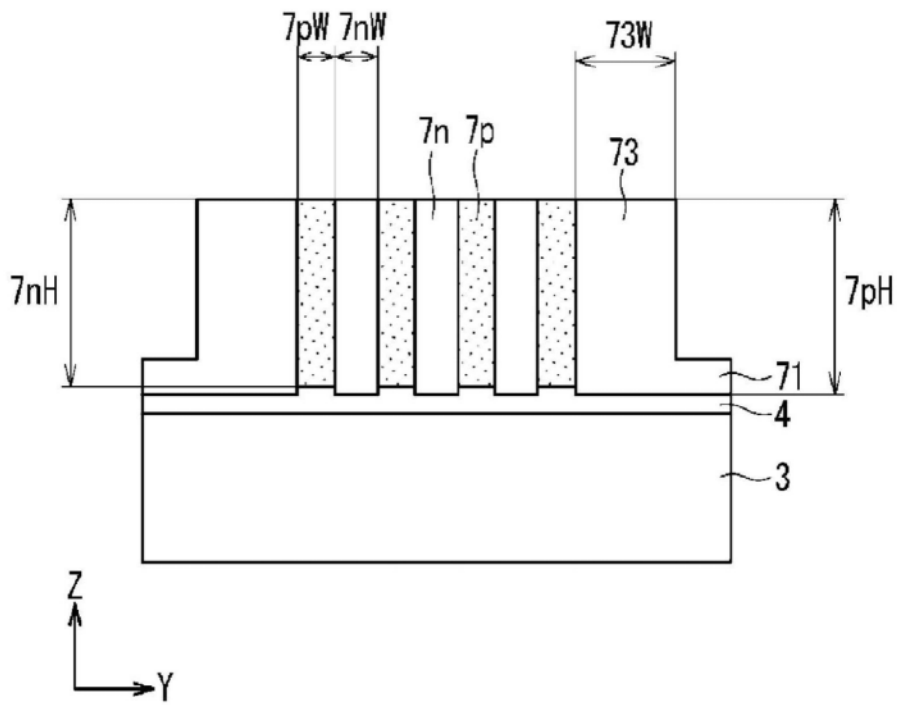


图67

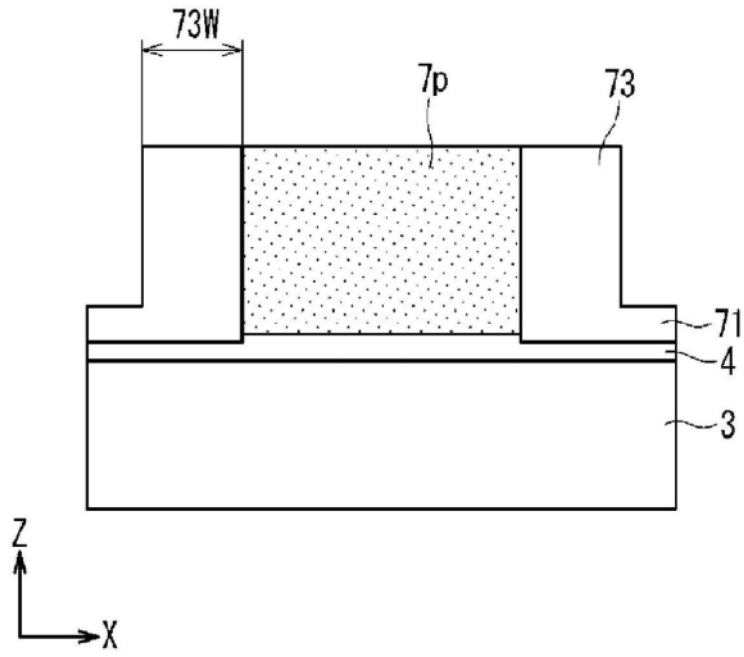


图68

300

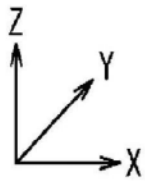
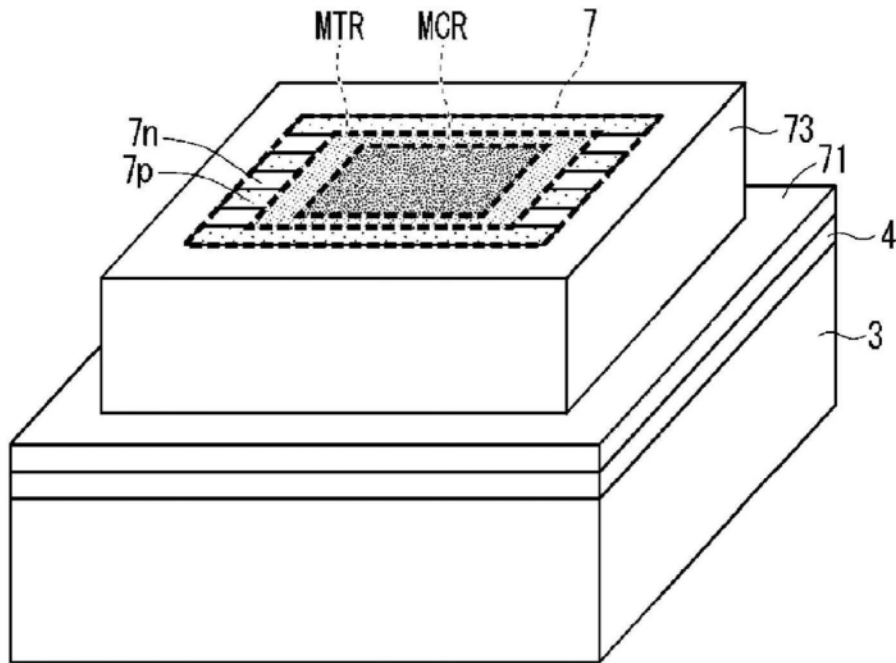


图69

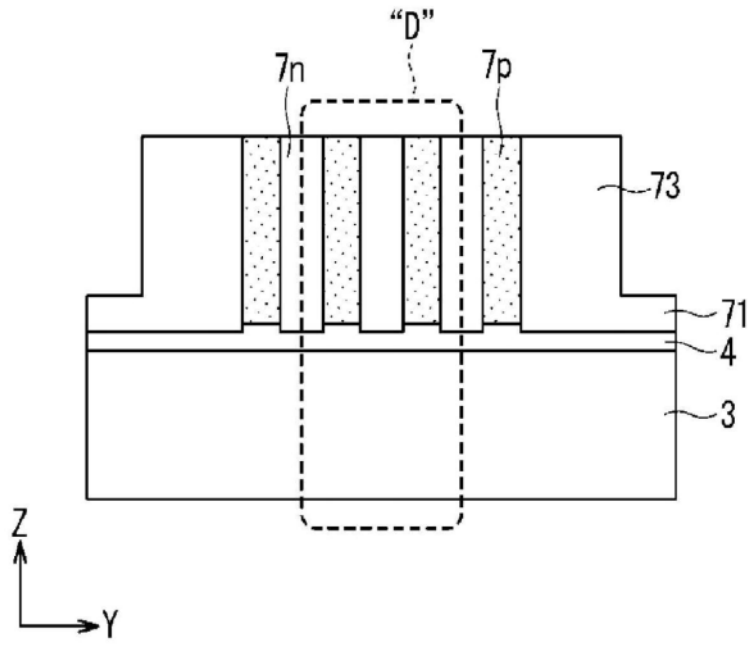


图70

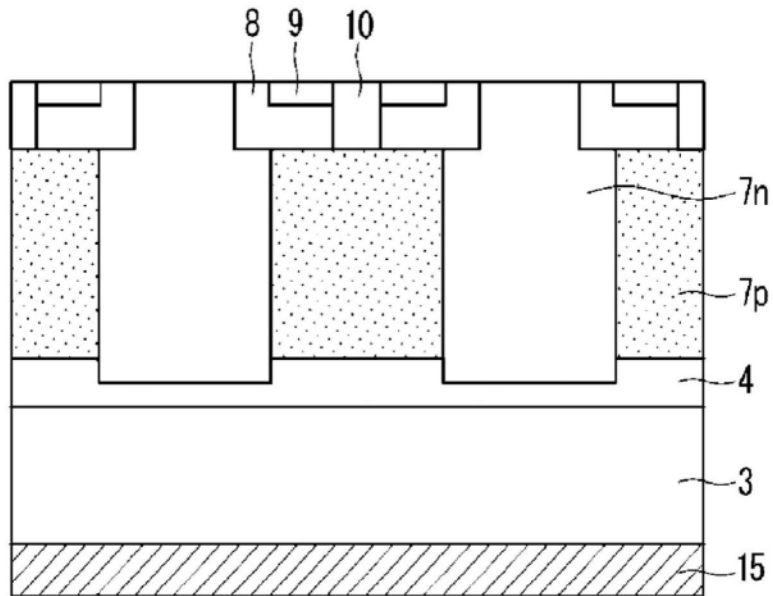


图71

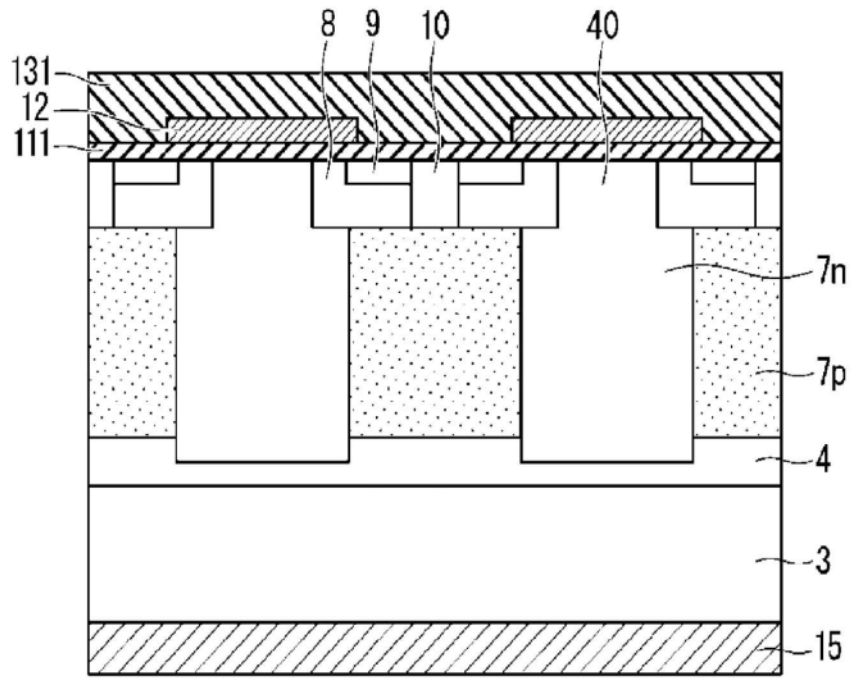


图72

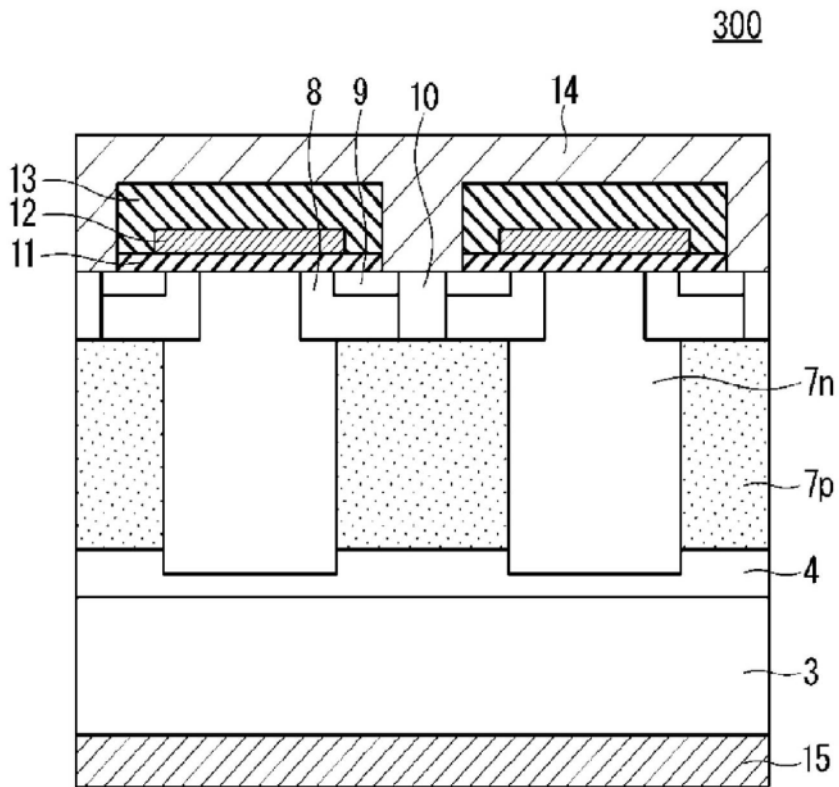


图73

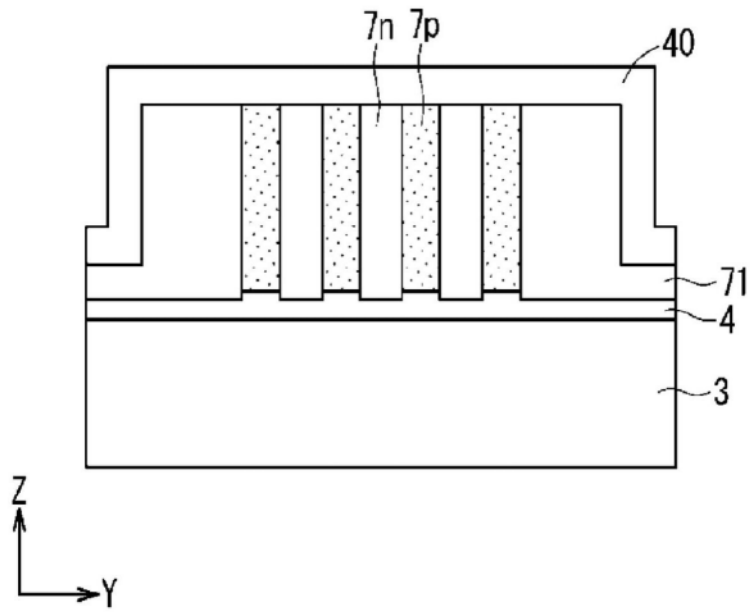


图74

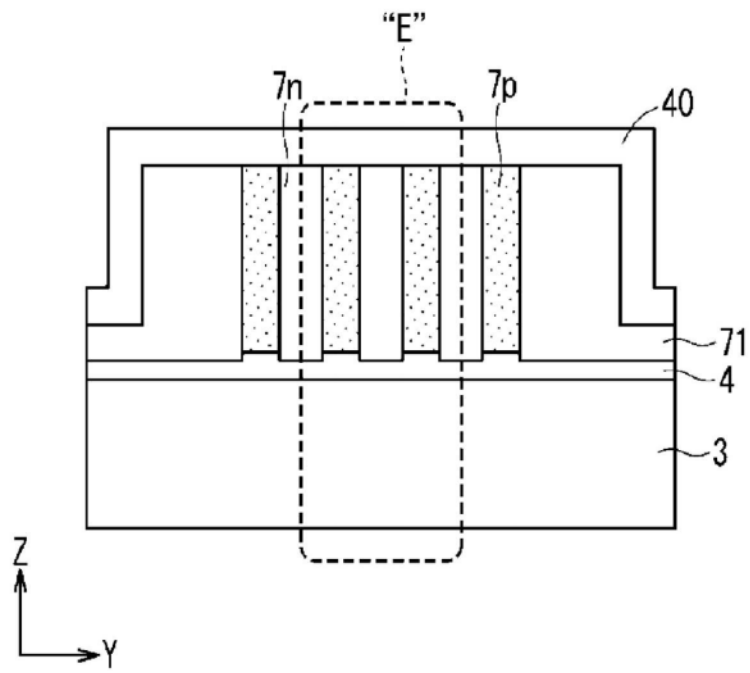


图75

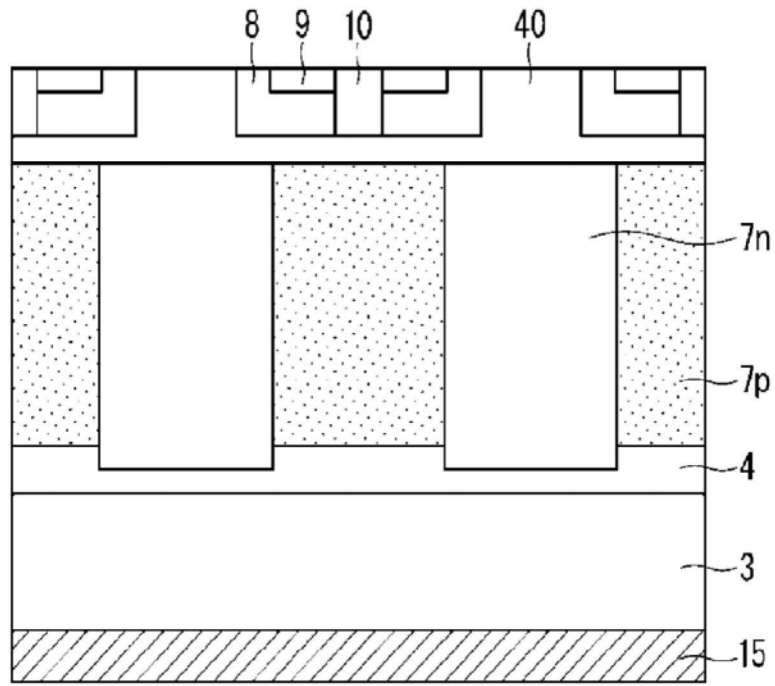


图76

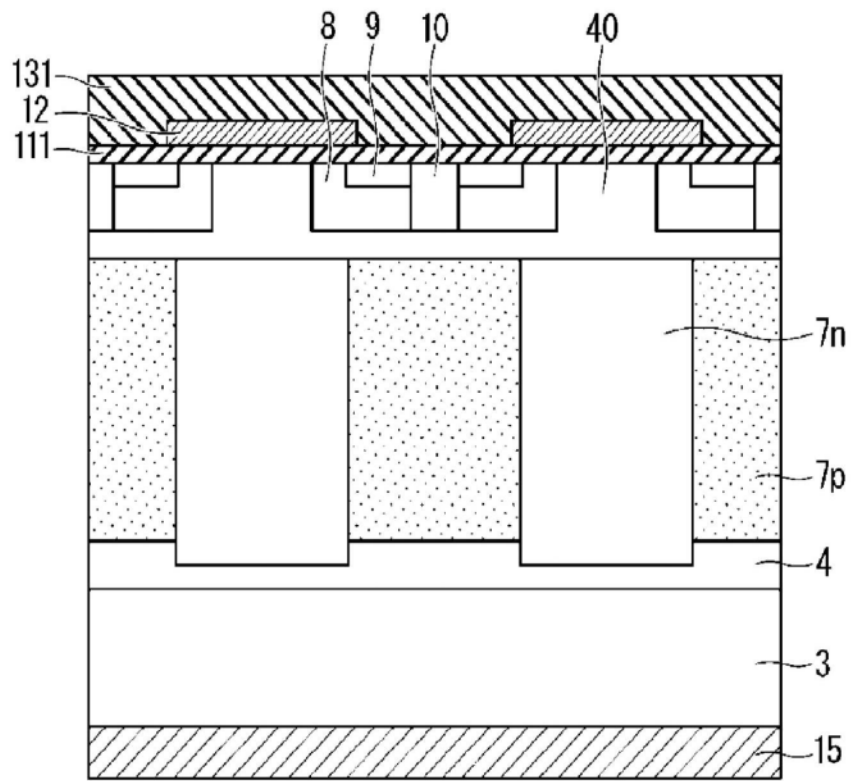


图77

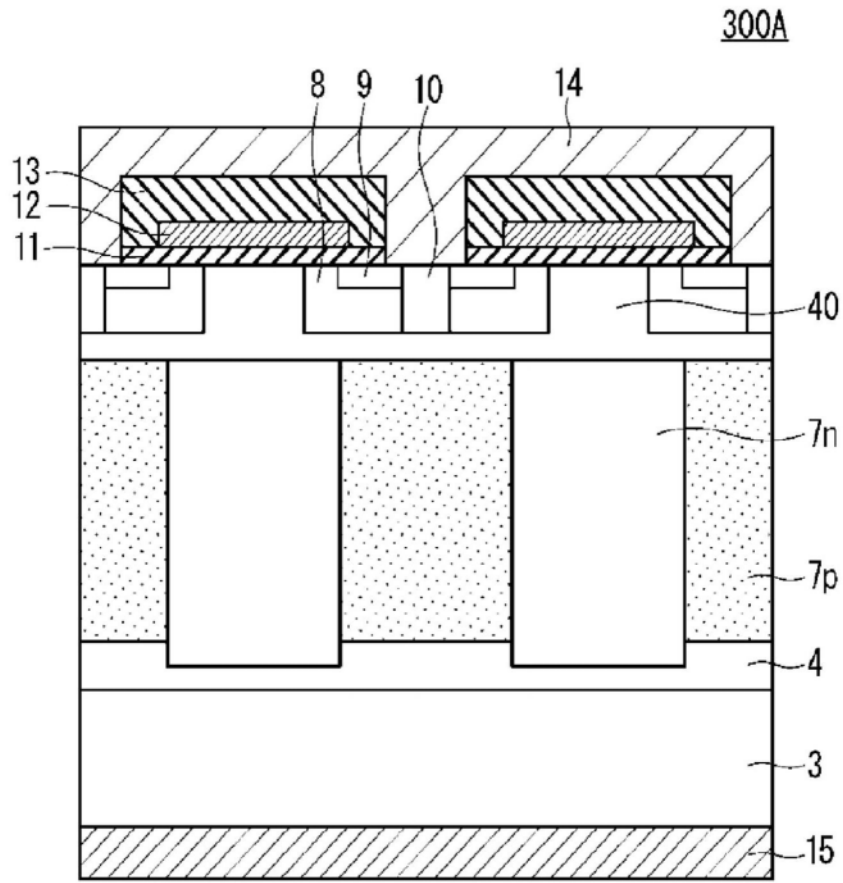


图78

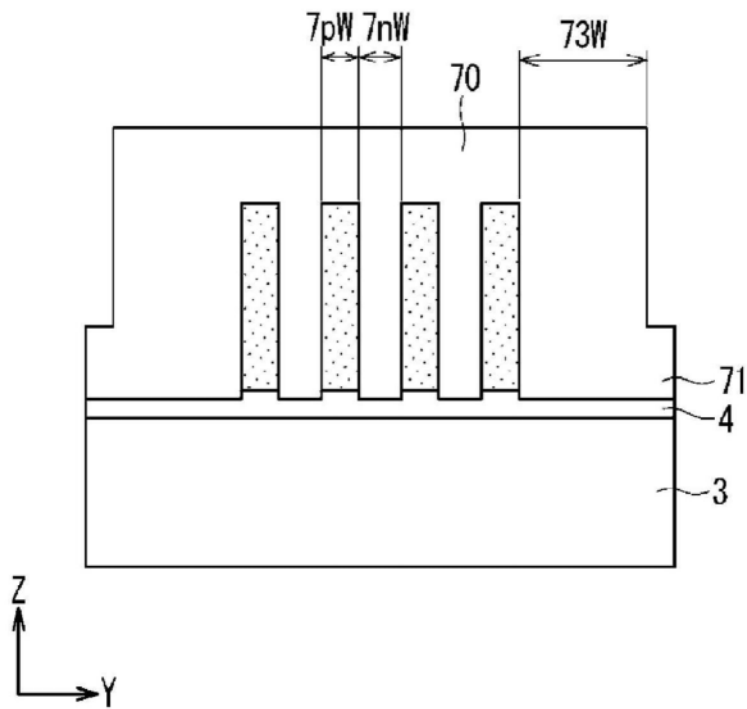


图79

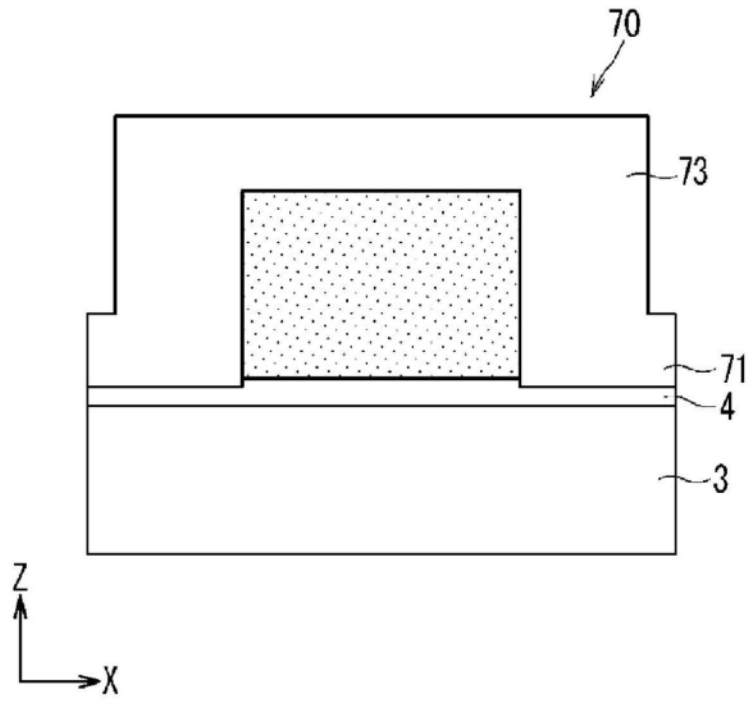


图80

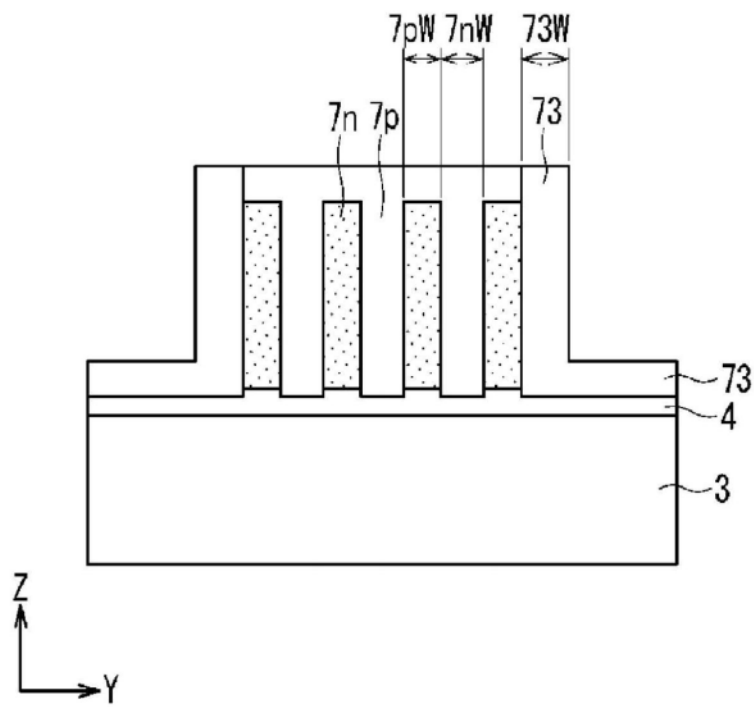


图81

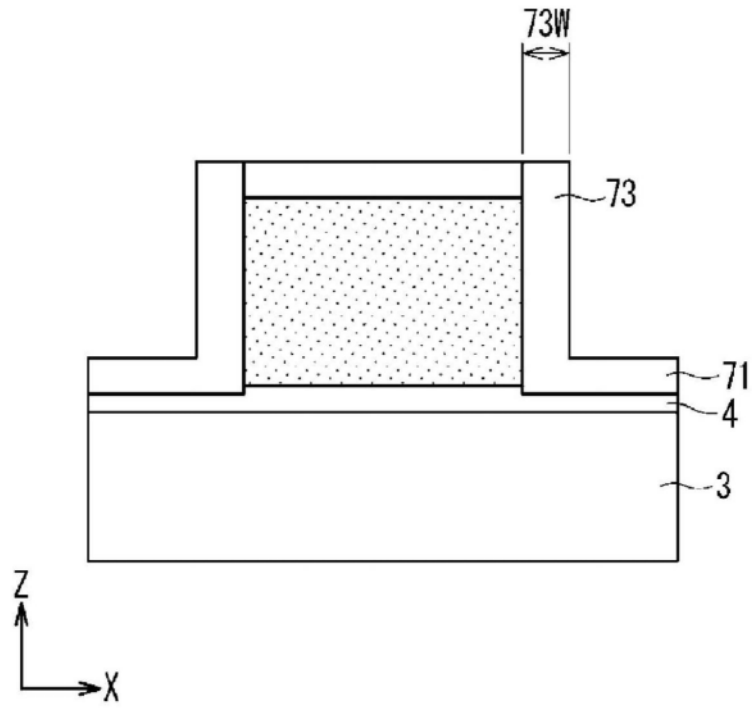


图82

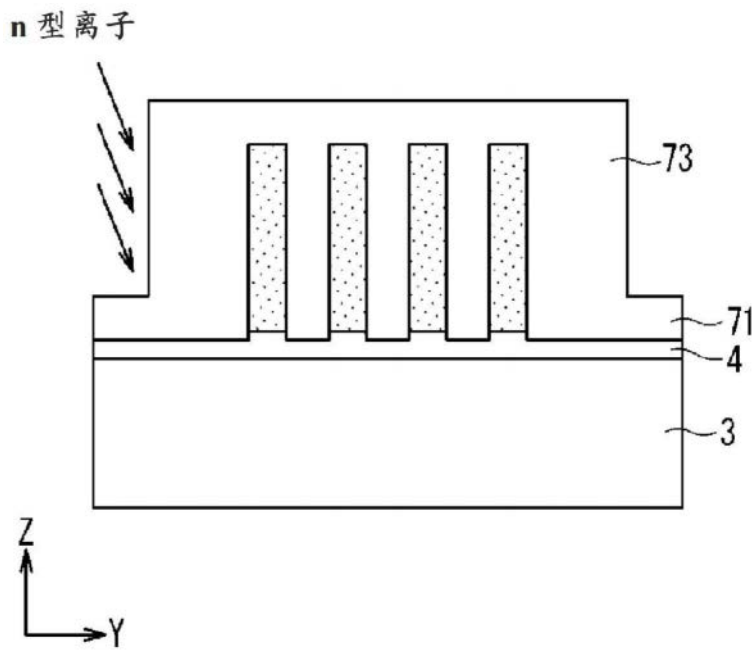


图83

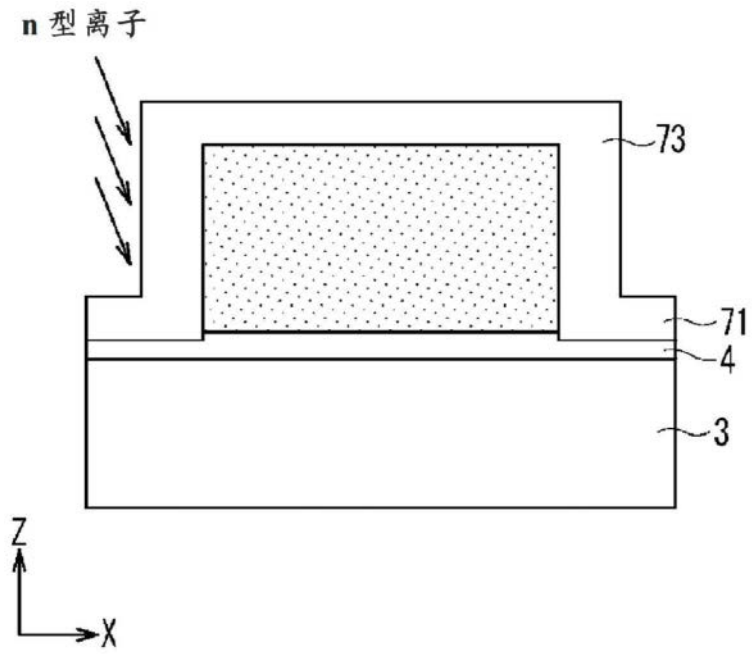


图84

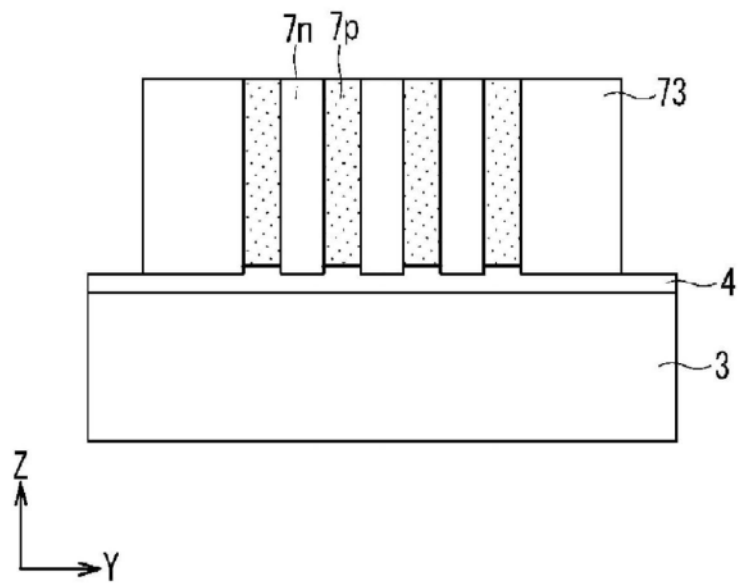


图85

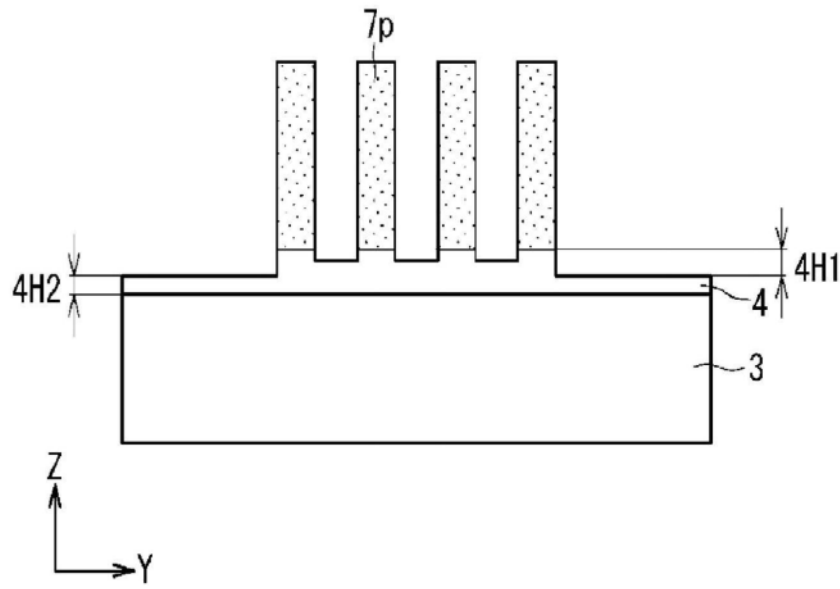


图86

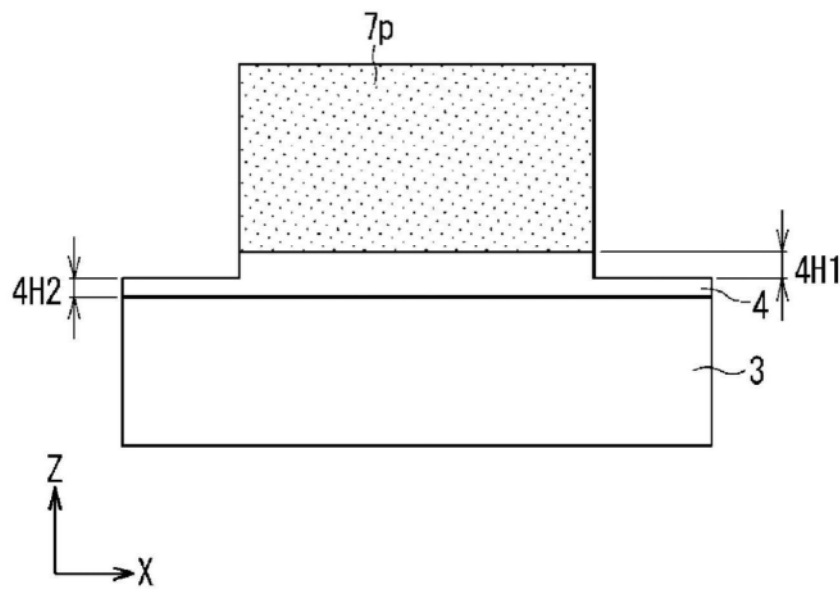


图87

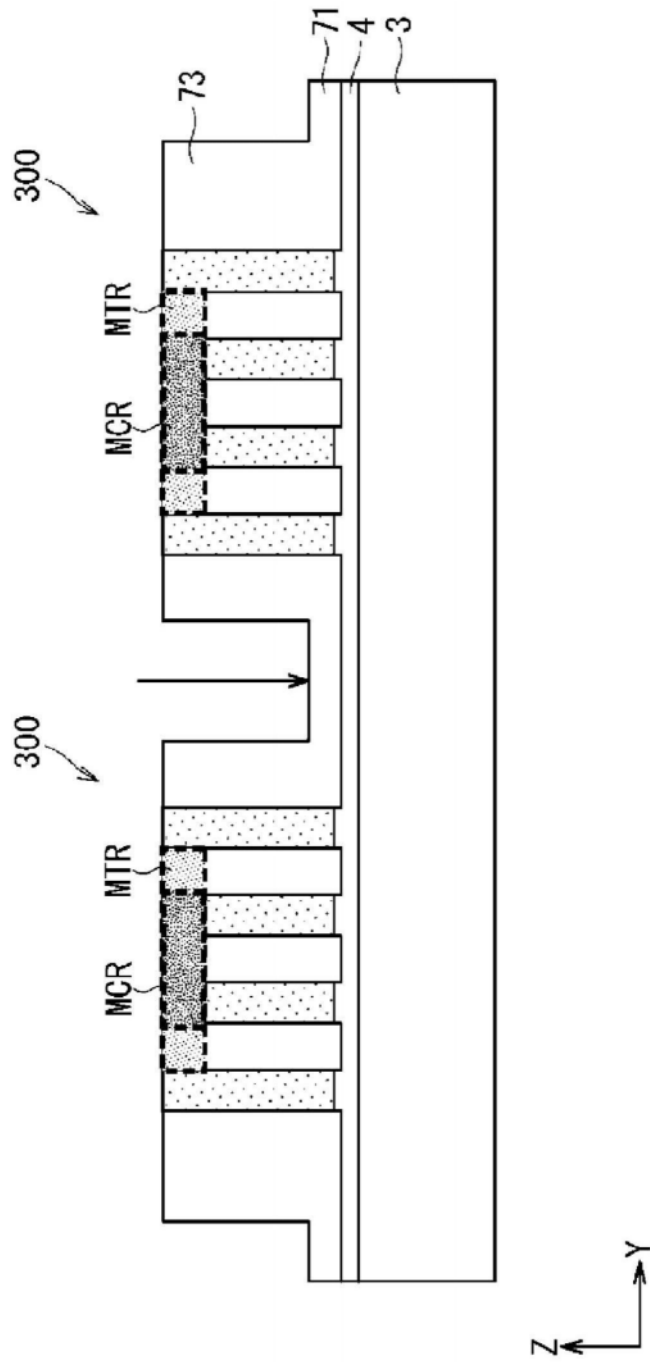


图88

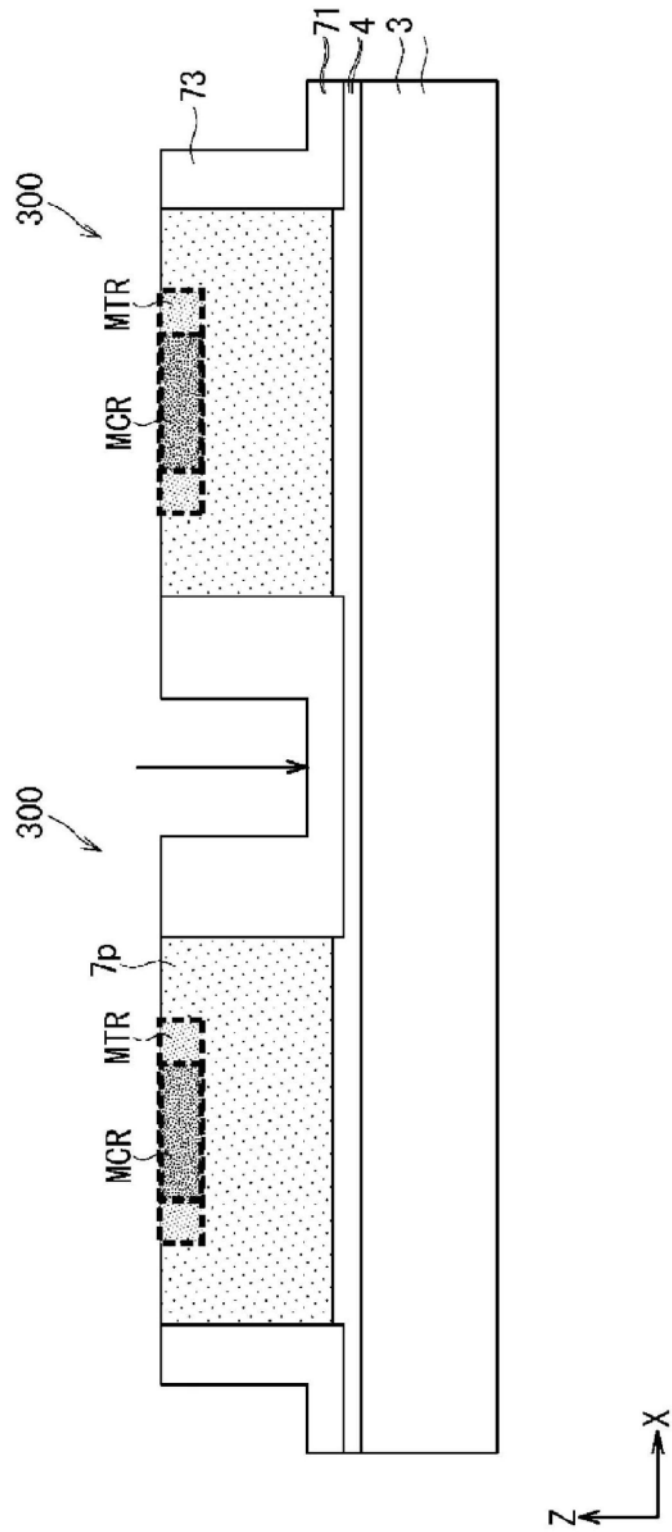


图89

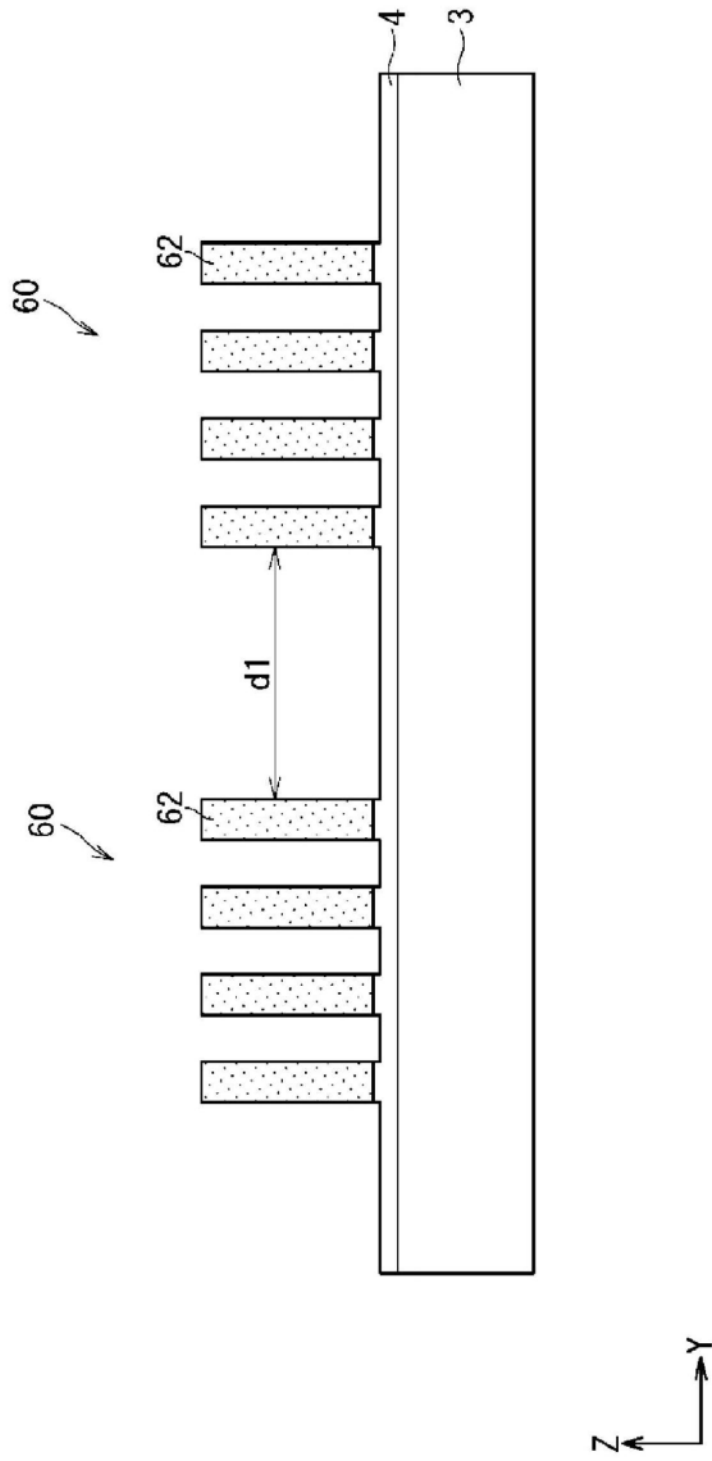


图90

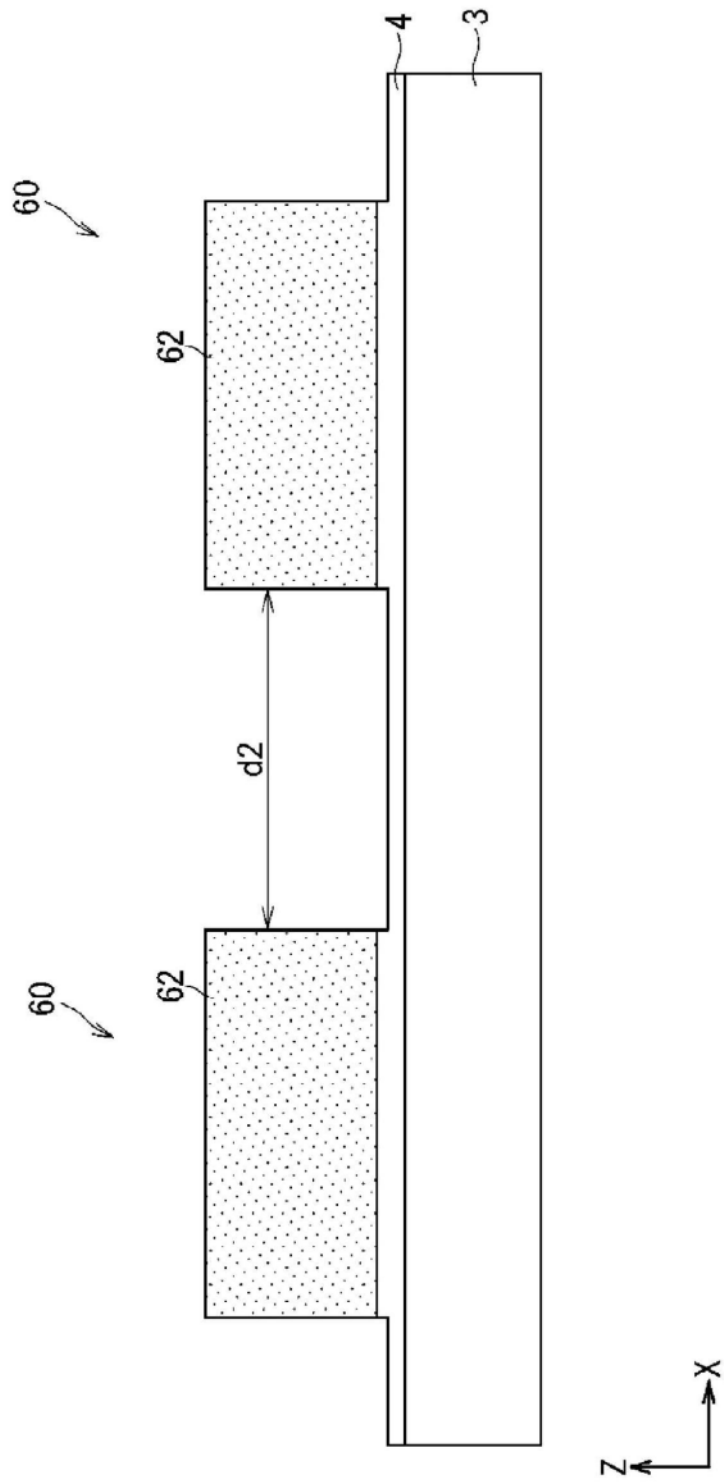


图91

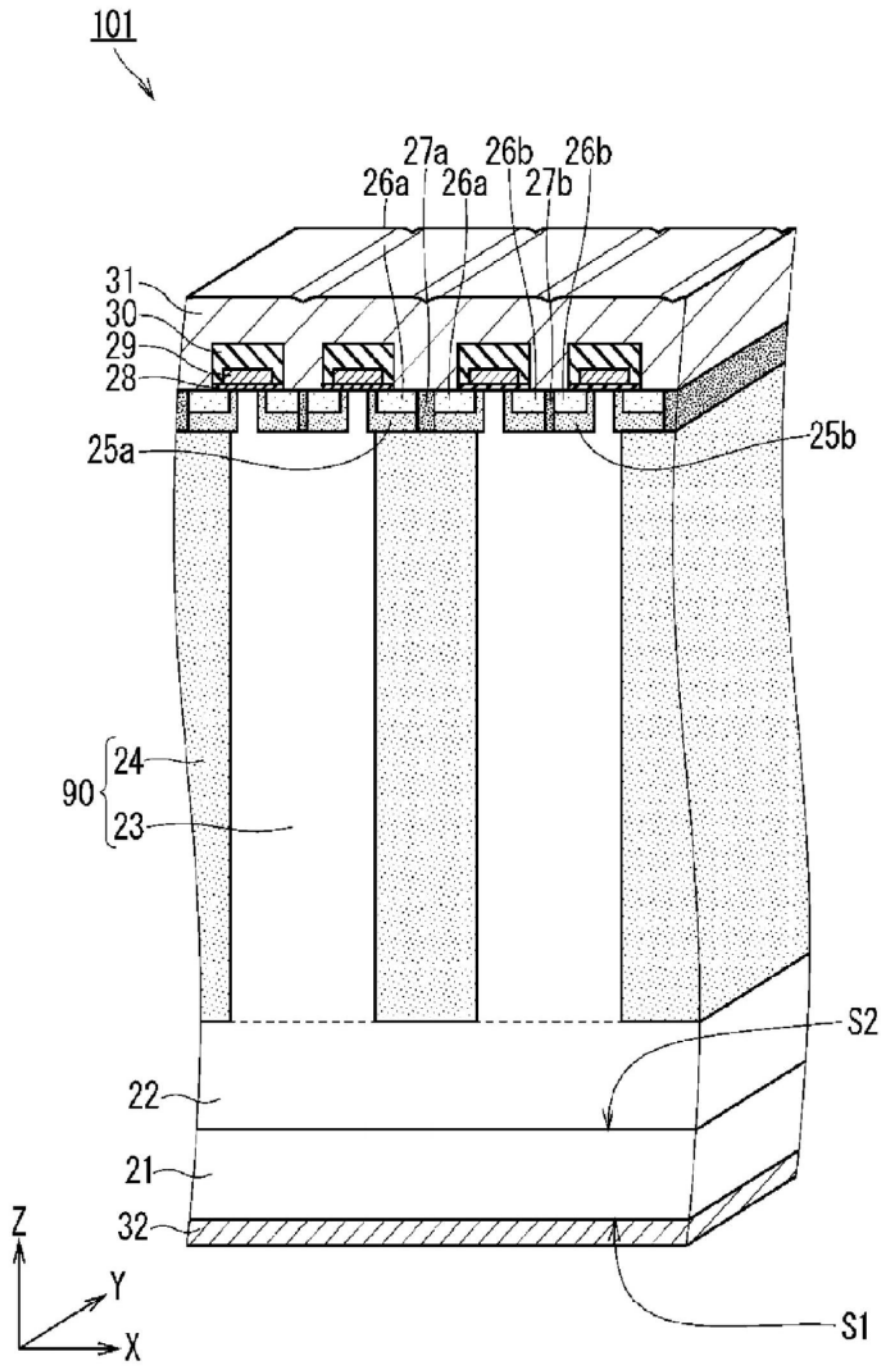


图92

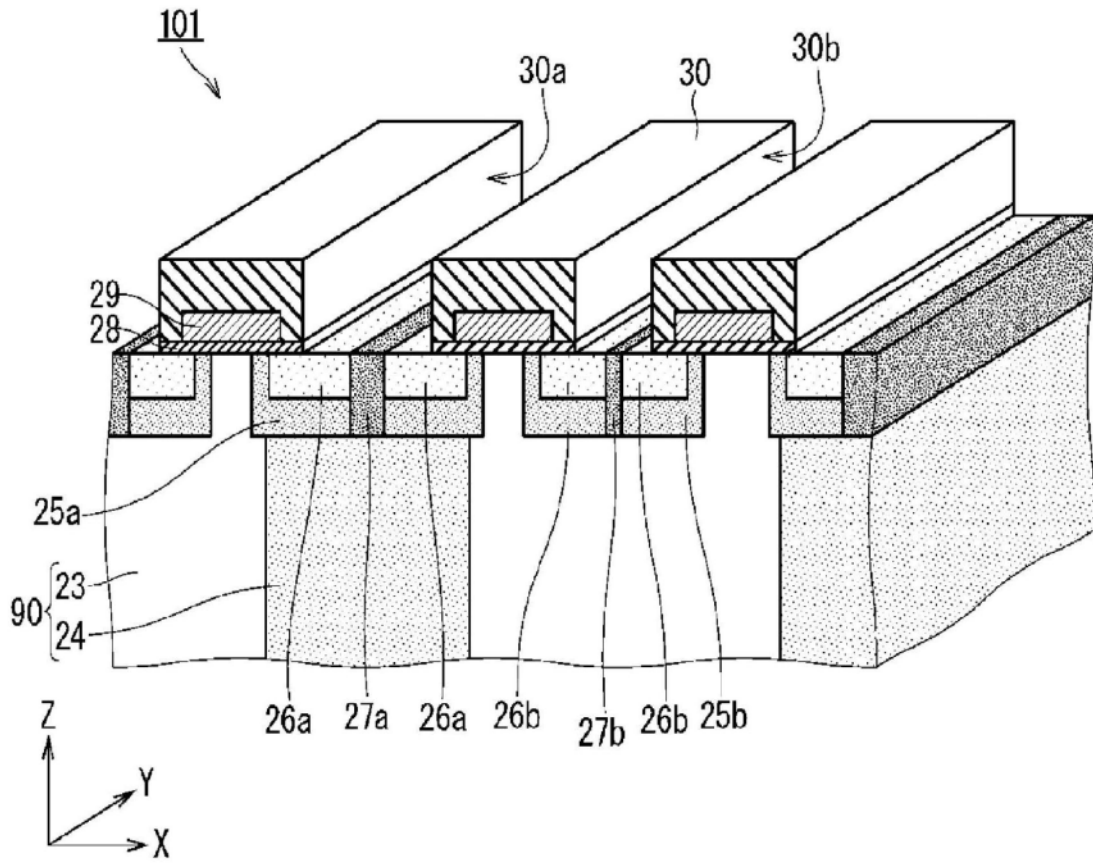


图93

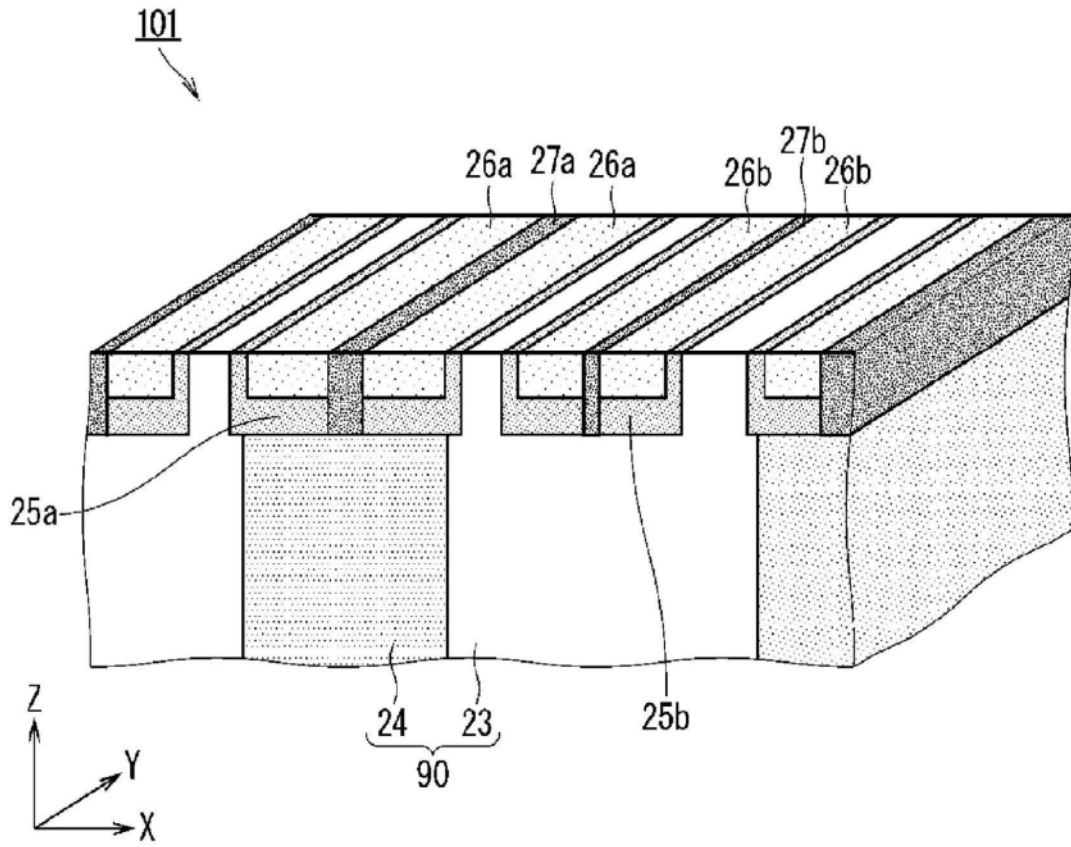


图94

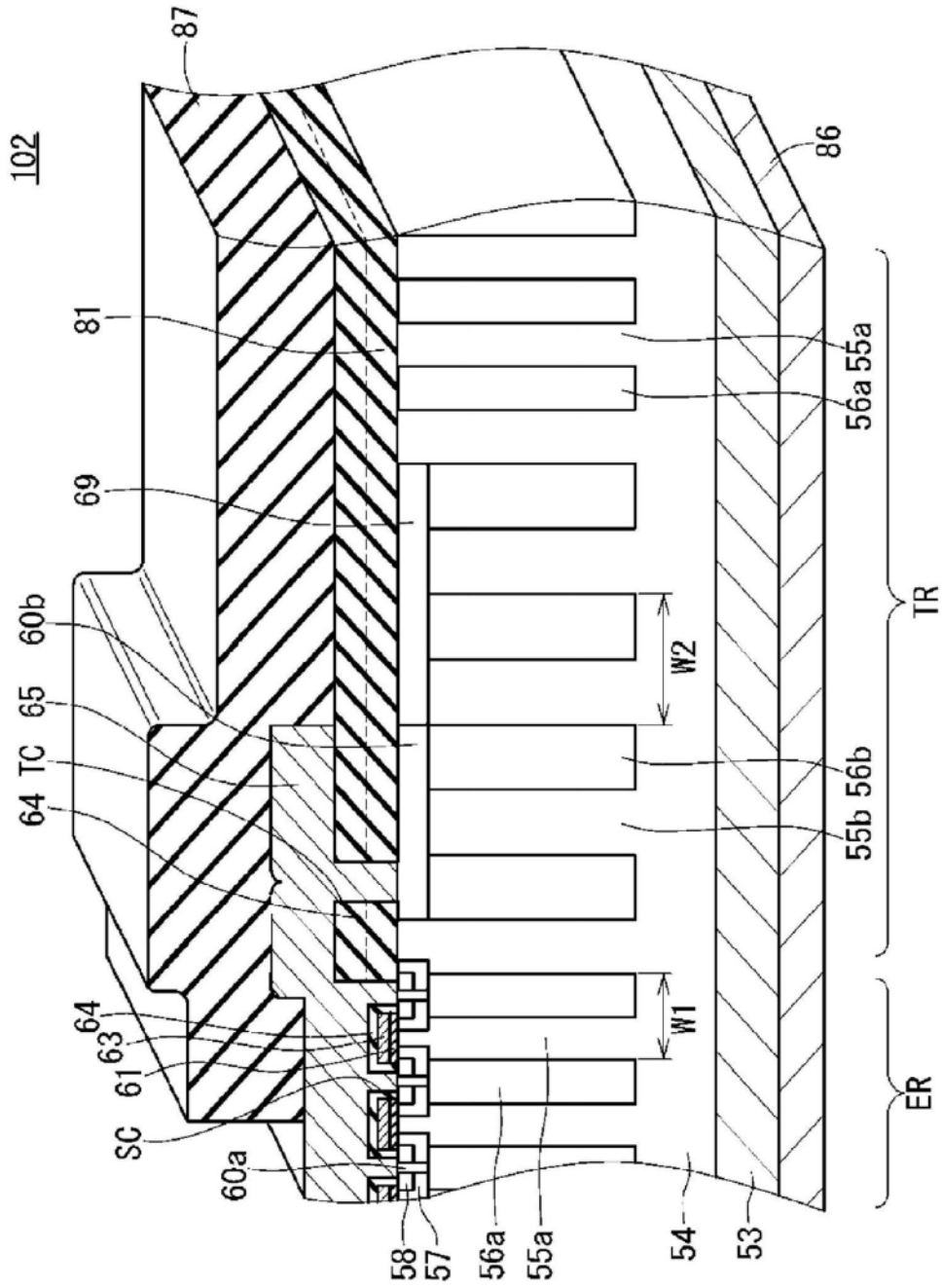


图95

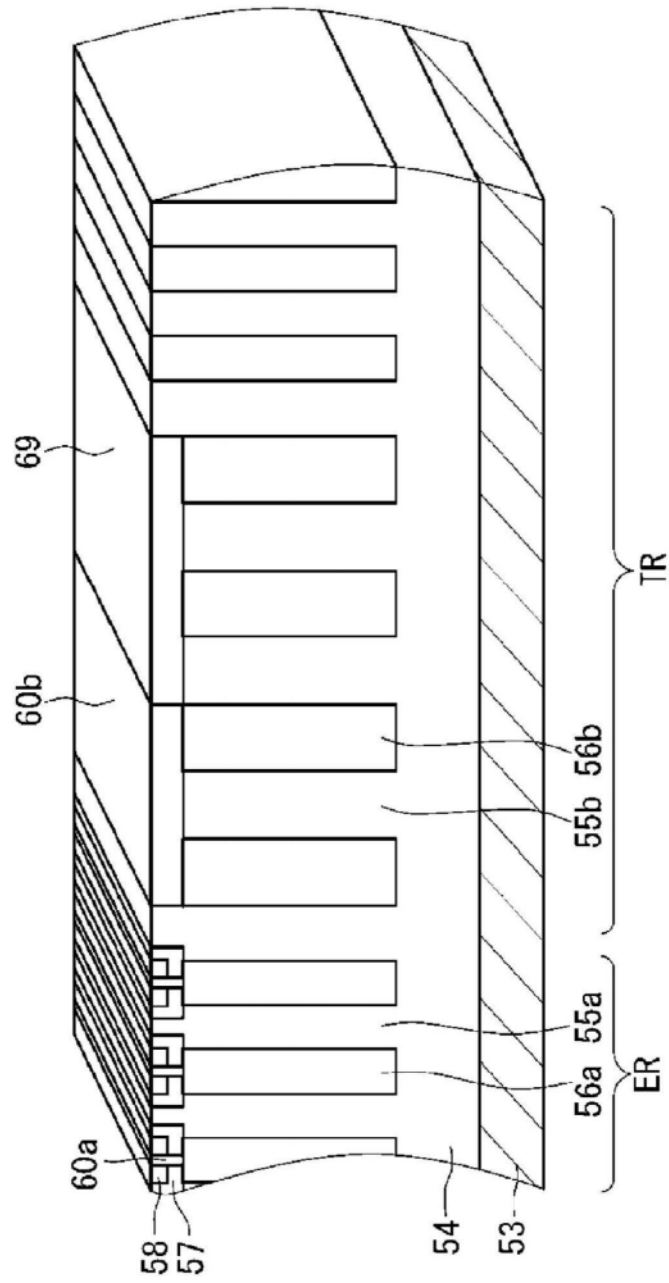


图96

102

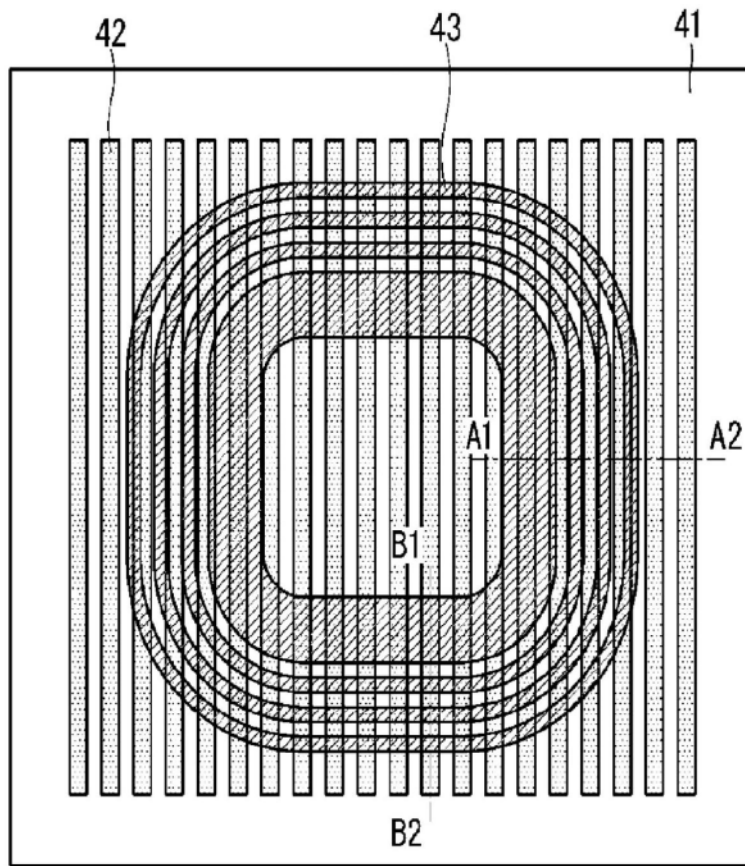


图97

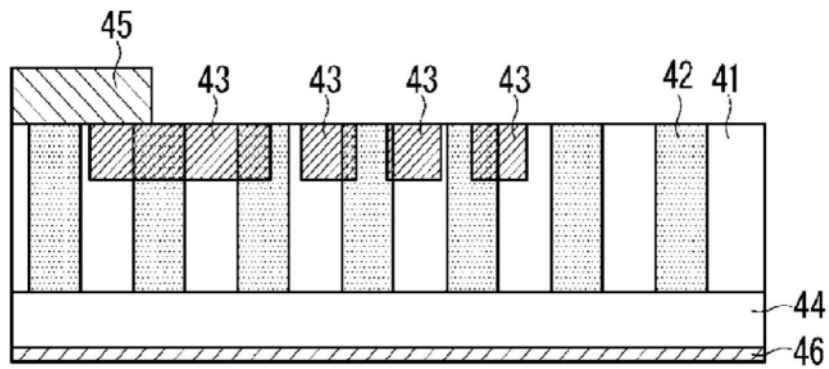


图98

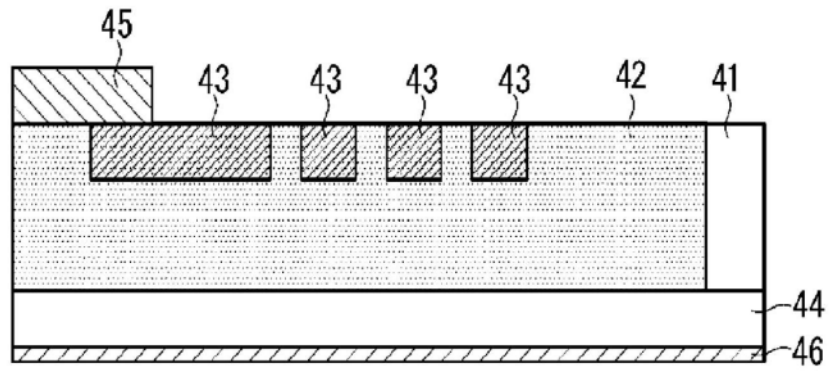


图99