

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3904371号

(P3904371)

(45) 発行日 平成19年4月11日(2007.4.11)

(24) 登録日 平成19年1月19日(2007.1.19)

(51) Int. Cl.	F I
GO2F 1/1335 (2006.01)	GO2F 1/1335 500
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 338
HO1L 29/786 (2006.01)	HO1L 29/78 612C

請求項の数 3 (全 26 頁)

(21) 出願番号	特願2000-111219 (P2000-111219)	(73) 特許権者	000002369
(22) 出願日	平成12年4月12日(2000.4.12)		セイコーエプソン株式会社
(62) 分割の表示	特願平11-560325の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成11年12月9日(1999.12.9)	(74) 代理人	100095728
(65) 公開番号	特開2001-249361 (P2001-249361A)		弁理士 上柳 雅誉
(43) 公開日	平成13年9月14日(2001.9.14)	(74) 代理人	100107076
審査請求日	平成16年1月26日(2004.1.26)		弁理士 藤綱 英吉
審判番号	不服2004-20797 (P2004-20797/J1)	(74) 代理人	100107261
審判請求日	平成16年10月7日(2004.10.7)		弁理士 須澤 修
(31) 優先権主張番号	特願平10-336343	(72) 発明者	村出 正夫
(32) 優先日	平成10年11月26日(1998.11.26)		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記走査線と前記データ線の交差に対応して配置された薄膜トランジスタ及び画素電極とを有する電気光学装置であって、

前記データ線と前記走査線とが交差する領域に設けられた前記薄膜トランジスタのチャンネル領域と、

前記薄膜トランジスタの半導体層のドレイン領域が前記データ線及び自段の前記走査線の延在方向に沿って形成された第1蓄積容量電極と、

前記薄膜トランジスタのゲート電極と同一層で形成されると共に、前記データ線及び前記自段の走査線の延在方向に沿って形成され、前記第1蓄積容量電極と前記データ線及び前記自段の走査線の延在方向で重なる第2蓄積容量電極と、

前記薄膜トランジスタの半導体層の下層であって、前記薄膜トランジスタのチャンネル領域に重なる遮光性の下側導電膜と、

前記第2蓄積容量電極より上層であって、前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との間を電氣的に接続するための導電層とを備え、

前記第2蓄積容量電極は、前記データ線が延在する領域で前記下側導電膜に電氣的に接続されることを特徴とする電気光学装置。

【請求項2】

前記導電層は、隣接するデータ線間に形成されることを特徴とする請求項1に記載の電

10

20

気光学装置。

【請求項 3】

請求項 1 または 2 に記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス駆動方式の電気光学装置及びその製造方法の技術分野に属し、特に蓄積容量を付加するために蓄積容量電極を備えると共に画素電極と画素スイッチング用の薄膜トランジスタ (Thin Film Transistor: 以下適宜、TFT と称す) との間の電氣的な導通を良好にとるためのバリア層と称される導電層を備える電気光学装置及びその製造方法の技術分野に属する。

10

【0002】

【背景技術】

従来、TFT 駆動によるアクティブマトリクス駆動方式の電気光学装置においては、縦横に夫々配列された多数の走査線及びデータ線並びにこれらの各交点に対応して多数の TFT が TFT アレイ基板上に設けられている。各 TFT は、走査線にゲート電極が接続され、データ線に半導体層のソース領域が接続され、画素電極に半導体層のドレイン領域が接続されている。ここで特に画素電極は、TFT や配線を構成する各種の層や当該画素電極を相互に絶縁するための層間絶縁膜上に設けられているため、層間絶縁膜に開孔されたコンタクトホールを介して TFT を構成する半導体層のドレイン領域に接続されている。そして、TFT のゲート電極に走査線を介して走査信号が供給されると、TFT はオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該 TFT のソース - ドレイン間を介して画素電極に供給される。このような画像信号の供給は、各 TFT を介して画素電極毎に極めて短時間しか行われぬ。このため、極短時間だけオン状態とされた TFT を介して供給される画像信号の電圧を、このオン状態とされた時間よりも遥かに長時間に亘って保持するために、各画素電極には液晶容量と並列に蓄積容量が形成されるのが一般的である。他方、この種の電気光学装置においては、TFT アレイ基板上に形成された半導体層から、画素スイッチング用 TFT のソース領域及びドレイン領域並びにこれらの間にあるチャンネル領域が構成される。画素電極は、積層構造をなす走査線、容量線、データ線等の配線及びこれらを相互に電氣的に絶縁するための複数の層間絶縁膜を介して、半導体層のドレイン領域と接続される必要がある。ここで、TFT アレイ基板側から見て半導体層の上にゲート電極が設けられるトップゲート構造を有する正スタガ型又はコプレーナ型のポリシリコン TFT の場合などは特に、積層構造における半導体層から画素電極までの層間距離が例えば 1000 nm 程度又はそれ以上に長いため、両者を電氣的に接続するためのコンタクトホールを開孔するのが困難となる。より具体的には、エッチングを深く行うにつれてエッチング精度が低下して、目標とする半導体層を突き抜けて開孔してしまう可能性が出て来るため、ドライエッチングのみで、このような深いコンタクトホールを開孔することが極めて困難となる。このため、ドライエッチングにウエットエッチングを組み合わせるが行ったりするが、すると今度はウエットエッチングによりコンタクトホールの径が大きくなってしまい、限られた基板上領域において配線や電極を必要

20

30

40

【0003】

そこで最近では、走査線上に形成される層間絶縁膜に対して、半導体層のソース領域に至るコンタクトホールを開孔してデータ線とソース領域との電氣的な接続をとる際に、半導体層のドレイン領域に至るコンタクトホールを開孔してこの層間絶縁膜上にデータ線と同一層からなるバリア層と称される中継用の導電層を形成しておき、その後、データ線及びこのバリア層上に形成された層間絶縁膜に対して、画素電極からこのバリア層に至るコンタクトホールを開孔する技術が開発されている。このようにデータ線と同一層からなるバリア層を中継して画素電極からドレイン領域へ電氣的に接続をとるよう構成すれば、画素電極から一挙に半導体層に至るコンタクトホールを開孔するよりも、コンタクトホール

50

の開孔工程等が容易となり、各コンタクトホール径の径も小さくて済む。

【0004】

【発明が解決しようとする課題】

この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画像表示領域の高精細化或いは画素ピッチの微細化及び高画素開口率化（即ち、各画素において、表示光が透過しない非画素開口領域に対する、表示光が透過する画素開口領域の比率を高めること）が極めて重要となる。

【0005】

しかしながら、画素ピッチの微細化が進むと、電極サイズや配線幅、更にコンタクトホール径などには製造技術により本質的な微細化の限界があるため、相対的にこれらの配線や電極等が画像表示領域を占有する比率が高まるため、画素開口率が低くなってしまうという問題点がある。

10

【0006】

更に、このように画素ピッチの微細化が進むと、限られた基板上領域に作り込まねばならない前述の蓄積容量を十分な大きさとするのが困難となる。ここで特に、前述したバリア層を用いる技術によれば、バリア層は、データ線と同一のAl（アルミニウム）膜等からなる導電膜から構成されているため、当該バリア層の位置や材質に起因して、コンタクトホールを開孔する際の自由度に乏しく、また当該バリア層を例えば蓄積容量を増大させるといった中継機能以外の用途に用いることは極めて困難であり、特に微細化された積層構造内において各層を最大限に利用して装置構成の単純化や製造プロセスの効率化を図ることが出来ない。更に、この技術によれば、バリア層を構成するAl膜と画素電極を構成するITO（Indium Tin Oxide）膜が接触することにより化学反応が生じ、イオン化しやすいAl膜が腐食する。これにより、バリア層と画素電極の間の電気的な接続が損なわれるため、Al膜からなる第1のバリア層の他にITO膜との間で良好に電気的な接続が得られるTi（チタン）膜等の高融点金属膜を第2のバリア層として用いる必要があり、層構造及びその製造プロセスの複雑化を招くという問題点も抱えている。

20

【0007】

【課題を解決するための手段】

本発明は上述の問題点に鑑みなされたものであり、画素ピッチを微細化しても比較的簡単な構成を用いて、画素電極と薄膜トランジスタとを良好に中継する構成や蓄積容量を増大させる構成が可能であり、高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

30

【0008】

【課題を解決するための手段】

本発明の電気光学装置は上記課題を解決するために、複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記走査線と前記データ線の交差に対応して配置された薄膜トランジスタ及び画素電極とを有する電気光学装置であって、前記データ線と前記走査線とが交差する領域に設けられた前記薄膜トランジスタのチャンネル領域と、前記薄膜トランジスタの半導体層のドレイン領域が前記データ線及び自段の前記走査線の延在方向に沿って形成された第1蓄積容量電極と、前記薄膜トランジスタのゲート電極と同一層で形成されると共に、前記データ線及び前記自段の走査線の延在方向に沿って形成され、前記第1蓄積容量電極と前記データ線及び前記自段の走査線の延在方向で重なる第2蓄積容量電極と、前記薄膜トランジスタの半導体層の下層であって、前記薄膜トランジスタのチャンネル領域に重なる遮光性の下側導電膜と、前記第2蓄積容量電極より上層であって、前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との間を電気的に接続するための導電層とを備え、前記第2蓄積容量電極は、前記データ線が延在する領域で前記下側導電膜に電気的に接続されることを特徴とする。

40

【0009】

また、本発明は、前記導電層は、隣接するデータ線間に形成されると良い。

【0072】

50

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0073】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【0074】

(電気光学装置の第1実施形態)

本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図3を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

10

【0075】

図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。画素電極9a及びTFT30は、走査線3aとデータ線6aとの交差に対応して配置されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が射出する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

20

30

【0076】

図2において、液晶装置のTFTアレイ基板には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電気的に接続されており、画素電極9aは、図中右上がりの斜線で示した領域に夫々形成されておりバッファとして機能する導電層80(以下、バリア層と称す。)を中継して、第1コンタクトホール8a及び第2コンタクトホール8bを介して半導体層1aのうち後述のドレイン領域に電気的に接続されている。また、半導体層1aのうちチャネル領域1a'(図中右下りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置されたTFT30が設けられている。

40

【0077】

50

容量線 3 b は、走査線 3 a に沿ってほぼ直線状に伸びる本線部と、データ線 6 a と交差する箇所からデータ線 6 a に沿って前段側（図中、上向き）に突出した突出部とを有する。

【 0 0 7 8 】

また、図中太線で示した領域には夫々、走査線 3 a、容量線 3 b 及び T F T 3 0 の下側を通るように、第 1 遮光膜 1 1 a が設けられている。より具体的には図 2 において、第 1 遮光膜 1 1 a は夫々、走査線 3 a に沿って縞状に形成されていると共に、データ線 6 a と交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各 T F T のチャンネル領域 1 a ' を T F T アレイ基板側から見て夫々覆う位置に設けられている。

【 0 0 7 9 】

次に図 3 の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成する T F T アレイ基板 1 0 と、これに対向配置される透明な他方の基板の一例を構成する対向基板 2 0 とを備えている。T F T アレイ基板 1 0 は、例えば石英基板からなり、対向基板 2 0 は、例えばガラス基板や石英基板からなる。T F T アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 1 6 は例えば、ポリイミド薄膜などの有機薄膜からなる。

【 0 0 8 0 】

他方、対向基板 2 0 には、その全面に渡って対向電極 2 1 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 2 2 は、ポリイミド

【 0 0 8 1 】

T F T アレイ基板 1 0 には、各画素電極 9 a に隣接する位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用 T F T 3 0 が設けられている。

【 0 0 8 2 】

対向基板 2 0 には、更に図 3 に示すように、各画素の非開口領域に、第 2 遮光膜 2 3 を設けても良い。このため、対向基板 2 0 の側から入射光が画素スイッチング用 T F T 3 0 の半導体層 1 a のチャンネル領域 1 a ' や低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に侵入することはない。更に、第 2 遮光膜 2 3 は、コントラストの向上、カラーフィルタを形成した場合における色材の混色防止などの機能を有する。

【 0 0 8 3 】

このように構成され、画素電極 9 a と対向電極 2 1 とが対面するように配置された T F T アレイ基板 1 0 と対向基板 2 0 との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 5 0 が形成される。液晶層 5 0 は、画素電極 9 a からの電界が印加されていない状態で配向膜 1 6 及び 2 2 により所定の配向状態をとる。液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、T F T アレイ基板 1 0 及び対向基板 2 0 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

【 0 0 8 4 】

更に図 3 に示すように、画素スイッチング用 T F T 3 0 に各々対向する位置において T F T アレイ基板 1 0 と各画素スイッチング用 T F T 3 0 との間には、第 1 遮光膜 1 1 a が設けられている。第 1 遮光膜 1 1 a は、好ましくは不透明な高融点金属である T i、C r、W、T a、M o 及び P b のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、T F T アレイ基板 1 0 上の第 1 遮光膜 1 1 a の形成工程の後に行われる画素スイッチング用 T F T 3 0 の形成工程における高温処理により、第 1 遮光膜 1 1 a が破壊されたり溶融しないようにできる。第 1 遮光膜 1 1 a が形成されているので、T F T アレイ基板 1 0 の側からの反射光（戻り光）等が光に対して励起しやすい画素スイッチング用 T F T 3 0 のチャンネル領域 1 a ' や低濃度ソース領域 1 b、低濃度ドレイン領域 1 c に入射する事態を未然に防ぐことができ、これに起

10

20

30

40

50

因した光電流の発生により画素スイッチング用TFT30の特性が変化したり、劣化することはない。

【0085】

更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電氣的に絶縁するために設けられるものである。更に、下地絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能をも有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0086】

本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1蓄積容量電極1fとし、これに対向する容量線3bの一部を第2蓄積容量電極とし、絶縁薄膜2を走査線3aに対向する位置から延設してこれらの電極間に挟持された第1誘電体膜とすることにより、第1蓄積容量70aが構成されている。更に、この第2蓄積容量電極と対向するバリア層80の一部を第3蓄積容量電極とし、これらの電極間に第1層間絶縁膜81を設ける。第1層間絶縁膜81は第2誘電体膜としても機能し、第2蓄積容量70bが形成されている。そして、これら第1蓄積容量70a及び第2蓄積容量70bが第1コンタクトホール8aを介して並列接続されて蓄積容量70が構成されている。

【0087】

より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて画素スイッチング用TFT30を形成し、同じくデータ線6a及び走査線3aに沿って伸びる容量線3b部分に第1誘電体膜2を介して対向配置されて、第1蓄積容量電極1fとされる。特に第1誘電体膜2は、高温酸化等によりポリシリコン膜上に形成されるTFT30の絶縁薄膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、第1蓄積容量70aは比較的小面積で大容量の蓄積容量として構成できる。また、第2誘電体膜81も、絶縁薄膜2と同様に薄く形成することが可能なので、図2に示したように相隣接するデータ線6a間の領域を利用して、第2蓄積容量70bは比較的小面積で大容量の蓄積容量として構成できる。従って、これら第1蓄積容量70a及び第2蓄積容量70bから立体的に構成される蓄積容量70は、データ線6a下の領域や走査線3aに沿って液晶のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という画素開口領域を外れたスペースを有効に利用して、小面積で大容量の蓄積容量を形成することができる。

【0088】

図3において、画素スイッチング用TFT30は、LDD構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁する絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つがバリア層80を中継して接続されている。低濃度ソース領域1b及び高濃度ソース領域1d並びに低濃度ドレイン領域1c及び高濃度ドレイン領域1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成することに応じて所定濃度のn型用又はp型用の不純物をドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施形態では特にデータ線6aは、Al等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導

10

20

30

40

50

電性の薄膜から構成されている。また、バリア層 8 0 及び第 2 誘電体膜（第 1 層間絶縁膜）8 1 の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及びバリア層 8 0 へ通じるコンタクトホール 8 b が各々形成された第 2 層間絶縁膜 4 が形成されている。この高濃度ソース領域 1 d へのコンタクトホール 5 を介して、データ線 6 a は高濃度ソース領域 1 d に電氣的に接続されている。更に、データ線 6 a 及び第 2 層間絶縁膜 4 の上には、バリア層 8 0 へのコンタクトホール 8 b が形成された第 3 層間絶縁膜 7 が形成されている。このコンタクトホール 8 b を介して、画素電極 9 a はバリア層 8 0 に電氣的に接続されており、更にバリア層 8 0 を中継してコンタクトホール 8 a を介して高濃度ドレイン領域 1 e に電氣的に接続されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

10

【0089】

画素スイッチング用 T F T 3 0 は、好ましくは上述のように L D D 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線 3 a の一部であるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の T F T であってもよい。

【0090】

また本実施形態では、画素スイッチング用 T F T 3 0 の走査線 3 a の一部であるゲート電極を高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリプルゲート以上で T F T を構成すれば、チャンネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を L D D 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

20

【0091】

図 2 及び図 3 に示すように、本実施形態の液晶装置では、T F T アレイ基板 1 0 上には、データ線 6 a 及び走査線 3 b が第 2 層間絶縁膜 4 を介して立体的に相交差するように設けられている。そして、バリア層 8 0 は、半導体層 1 a と画素電極 9 a との間に介在しており、高濃度ドレイン領域 1 e と画素電極 9 a とを第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を経由して電氣的に接続する。

30

【0092】

このため、画素電極 9 a から半導体層 1 a のドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b の径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば 5 0 n m 程度の非常に薄い半導体層 1 a における突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層 1 a まで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。

40

【0093】

これに対して本実施形態では、画素電極 9 a 及び高濃度ドレイン領域 1 e を 2 つの直列な第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b により接続すればよいので、これら第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウエットエッチングにより開孔する距離を短くすることが可能となるのである。但し、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b に夫々、若干のテーパを付けるために、ドライエッチング後に敢えて比較的短時間のウエットエッチングを行うようにしてもよい。

【0094】

50

以上のように本実施形態によれば、第1コンタクトホール8a及び第2コンタクトホール8bの径を夫々小さくでき、第1コンタクトホール8aにおけるバリア層80の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極9aの部分における平坦化が促進される。更に、第2コンタクトホール8bにおける画素電極9aの表面に形成される窪みや凹凸も小さくて済むので、この画素電極9aの部分における平坦化が促進される。これらの結果、画素電極9aの表面の窪みや凹凸に起因する液晶層50におけるディスクリネーションが低減され、最終的には当該液晶装置により高品位の画像表示が可能となる。例えば、バリア層80と画素電極9aとの間に介在する第2層間絶縁膜4及び第3層間絶縁膜7の合計膜厚を数百nm程度に抑えておけば、上述した画素電極9aの表面における窪みや凹凸に、より直接的に影響する第2コンタクトホール8bの径を非常に小さくできる。

10

【0095】

尚、本実施形態では、バリア層80は高融点金属膜やその合金膜から構成されているので、金属膜と層間絶縁膜とのエッチングにおける選択比が大きく異なるため、前述の如きドライエッチングによるバリア層80の突き抜けの可能性は殆ど無い。

【0096】

本実施形態では特に、バリア層80を中央にして立体的に構成された蓄積容量70における、第1誘電体膜2及び第2誘電体膜81は、いずれも、立体的に相交差するデータ線6aと走査線3bとの間に介在する第2層間絶縁膜4とは異なる層に設けられた誘電体膜である。従って、フリッカ等の原因となる画像信号の電圧降下を引き起こすデータ線6a及び走査線3a間の寄生容量を抑えるために、第2層間絶縁膜4とは異なる層を介してバリア層80を設けて蓄積容量を付加するため、本実施形態の場合には、これらの第1誘電体膜2及び第2誘電体膜81を技術的な限界まで薄く構成することが可能となる。この結果、特に第2蓄積容量70bにおいて第2誘電体膜81の厚みに反比例する容量値を極めて効率的に増加させることが可能となる。特に、画素スイッチング用TFT30における絶縁薄膜2のように余り薄く構成するとトンネル効果等の特異現象が発生することもないので、膜破れなどの欠陥が生じないことを条件に、例えば200nm程度或いは絶縁薄膜2よりも薄い10nm以上50nm以下の厚みを持つ極薄い第2誘電体膜81を形成することにより、非常に大容量の第2蓄積容量70aを比較的小さな領域内に作り込むことが可能となる。これにより、フリッカの発生を抑制するだけでなく、電圧保持能力を高めることができるため、高コントラストな電気光学装置を提供できる。

20

30

【0097】

本願発明者等の実験及び研究によれば、仮に、データ線6aと同一の導電層からバリア層が構成される前述した従来技術において、このバリア層を蓄積容量の一方の電極として用いて、データ線6a及び走査線3a間の層間絶縁膜を誘電体膜として用いると仮定すると、データ線6aと走査線3aとの寄生容量が問題とならないようにするためには、誘電体膜(本実施形態の第2層間絶縁膜に相当する膜)には800nm程度の厚みが必要とされる。従って、同一面積において本実施形態では、数倍から十数倍或いはそれ以上の大きさの容量値を持つ第2蓄積容量70bを実現できるので、極めて有利である。

【0098】

尚、バリア層80と画素電極9aの間に更に、他の一又は複数のバリア層を層間絶縁膜を介して積層形成することにより、限られたTFTアレイ基板10上の領域を利用して更に立体的に蓄積容量を増大させることも可能である。

40

【0099】

このように第2蓄積容量70bを構成する第2誘電体膜81は、酸化シリコン膜、窒化シリコン膜等でもよいし、これらの膜を複数積層した多層膜から構成してもよい。一般に絶縁薄膜2を形成するのに用いられる各種の公知技術(減圧CVD法、常圧CVD法、プラズマCVD法、熱酸化法、スパッタリング法、ECRプラズマ法、リモートプラズマ法等)により、第2誘電体膜81を形成可能である。但し、このようなバリア層80による蓄積容量付加機能に代えてまたは加えて、特に遮光膜からなるバリア層80の遮光機能や第

50

1コンタクトホール8a及び第2コンタクトホール8bのレイアウト等を重視して、バリア層80や第2誘電体膜81を走査線3a上に至るまで形成する場合には、第2誘電体膜81をバリア層80及び走査線3a間の寄生容量が問題とならない程度に厚く形成するのが好ましい。

【0100】

他方、バリア層80の膜厚は、例えば50nm以上500nm以下程度とするのが好ましい。50nm程度の厚みがあれば、製造プロセスにおける第2コンタクトホール8bの開孔時に突き抜ける可能性は低くなり、また500nm程度であれば画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。

【0101】

更に本実施形態では、このように第1層間絶縁膜(第2誘電体膜)81を薄く形成することにより、第1コンタクトホール8aの径を更に小さく出来るので、前述した第1コンタクトホール8aにおけるバリア層80の窪みや凹凸が更に小さくて済み、その上方に位置する画素電極9aにおける平坦化が更に促進される。従って、画素電極9aにおける窪みや凹凸に起因した液晶のディスクネーションが低減され、最終的には当該液晶装置により一層高品位の画像表示が可能となる。

【0102】

尚、本実施形態の液晶装置の構成においても、従来同様に、走査線3bとデータ線6aとの間に介在する第2層間絶縁膜4については、両配線間における寄生容量が問題とならない程度の厚み(例えば、800nm程度の厚み)が必要とされる。

【0103】

以上のように構成された本実施形態においては特に、縞状に形成された第1遮光膜11aは、走査線3a下に延設されて、定電位源又は大容量部分に電氣的に接続されてもよい。このように構成すれば、第1遮光膜11aに対向配置される画素スイッチング用TFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすことはない。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路(例えば、走査線駆動回路、データ線駆動回路等)に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等が挙げられる。

【0104】

また、容量線3bと走査線3aとは、同一のポリシリコン膜からなり、第1蓄積容量70aの第1誘電体膜2と画素スイッチング用TFT30の絶縁薄膜2とは、同一の高温酸化膜等からなり、第1蓄積容量電極1fと画素スイッチング用TFT30のチャネル領域1a'、低濃度ソース領域1b、低濃度ドレイン領域1c、高濃度ソース領域1d、高濃度ドレイン領域1e等とは、同一の半導体層1aからなる。このため、TFTアレイ基板10上に形成される積層構造を単純化でき、更に、後述の電気光学装置の製造方法において、同一の薄膜形成工程で容量線3b及び走査線3aを同時に形成でき、蓄積容量70aの第1誘電体膜及び絶縁薄膜2を同時に形成できる。

【0105】

本実施形態では特に、バリア層80は、導電性の遮光膜からなる。従って、バリア層80により、各画素開口領域を少なくとも部分的に規定することが可能となる。また、バリア層80により、あるいはデータ線6a等の遮光性を有する配線のTFTアレイ基板10に形成された遮光性を有する膜との組み合わせで画素開口部を規定することにより、対向基板20側の第2遮光膜を省略することも可能である。対向基板20上の第2遮光膜23ではなく、TFTアレイ基板10上に内蔵遮光膜としてバリア層80設ける構成は、製造プロセスにおけるTFTアレイ基板10と対向基板20との位置ずれによって画素開口率の低下を招かない点で極めて有利である。

【0106】

尚、対向基板20上の第2遮光膜23は、主に入射光による液晶装置の温度上昇を抑える目的で、小さめ(幅狭)に形成して画素開口領域を規定しないように構成してもよい。この場合、第2遮光膜23をAl膜等の反射率の高い材質で形成すれば、更に効率的に温度

10

20

30

40

50

上昇を抑えることができる。このように第2遮光膜23をTFTアレイ基板における遮光領域よりも小さめに形成しておけば、製造プロセスにおける両基板間の多少の位置ずれによっても画素開口領域が小さくならないで済む。

【0107】

遮光膜からなるバリア層80は、例えば、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このように構成すれば、バリア層80形成工程の後に行われる高温処理により、バリア層80が破壊されたり溶融しないようにできる。

【0108】

更に、これらの高融点金属と画素電極9aを構成するITO膜とが接触してもイオン化率の違いで高融点金属が溶けてしまうことはないため、第2コンタクトホール8bを介してバリア層80及び画素電極9a間で良好に電氣的な接続がとれる。

10

【0109】

また本実施形態では特に、遮光膜からなるバリア層80は、図2に示すように、TFTアレイ基板10上における平面形状が相隣接するデータ線6a間を走査線3aに沿って伸び、各画素単位毎に島状に構成されている。これにより、遮光膜による応力の緩和を図ることができる。また、画素開口領域の走査線3aに沿った辺の一部又は全部をバリア層80により規定することも可能である。ここで具体的な回路設計に応じて走査線3a及びバリア層80間の寄生容量が問題となる場合は、本実施形態のように、走査線3a上にはバリア層80を設けることなく、容量線3bと画素電極9aとが隣接する側における画素開口領域の走査線3aに沿った辺をバリア層80により規定するのが好ましい。或いは、具体的な回路設計に応じて走査線3a及びバリア層80間の寄生容量が問題とならないのであれば、バリア層80は、第2誘電体膜81を介して走査線3aに対向する位置にも形成されてよい。このように構成すれば、走査線3a及び容量線3bの両者を夫々少なくとも部分的に覆う遮光性のバリア層80により、画素開口領域の走査線3aに沿った辺のより多くの部分を規定することが可能となる。言い換えれば、このように構成する場合には、走査線3a及びバリア層80の寄生容量が問題とならない程度に第2誘電体膜81を厚く構成するのが好ましい。或いは、この寄生容量を小さく抑えるためには、バリア層80により、走査線3aを画素開口領域を規定するのに必要な領域だけ覆うのが好ましい。

20

【0110】

尚、走査線3aと画素電極9aとが隣接する側(図2で下側)における画素開口領域の走査線3aに沿った辺については、第1遮光膜11aや第2遮光膜23により規定すればよい。また、画素開口領域のデータ線6aに沿った辺については、A1等からなるデータ線6a或いは第1遮光膜11aや第2遮光膜23により規定すればよい。

30

【0111】

更に図2に示したように島状のバリア層80の走査線3a方向の各端部とデータ線6aの縁部とは、平面的に見て若干重なるように構成するのが好ましい。このように構成すれば、両者間に入射光が透過するような隙間が生じないで済み、この部分における光抜け等の表示不良を防止できる。ここで、データ線6aとバリア層80と第1遮光膜11aあるいは、データ線6aとバリア層80等の遮光性を有する膜により画素開口部を規定することが可能である。このような場合、対向基板20に第2遮光膜23を形成しなくて済むため、対向基板20に第2遮光膜23を形成する工程を削減することが可能である。さらに、対向基板20とTFTアレイ基板10とのアライメントずれによる画素開口率の低下やばらつきを防ぐことができる。また、対向基板20に第2遮光膜23を設ける場合は、TFTアレイ基板10とのアライメントずれを考慮して大きめに形成するが上述のようにデータ線6a、バリア層80等のTFTアレイ基板10側に形成された遮光性の膜により画素開口部を規定するため、精度よく画素開口部を規定することができ、対向基板20に設けた第2遮光膜23により画素開口部を決める場合に比べて開口率を向上させることができる。

40

【0112】

50

以上説明したように本実施形態では特に、バリア層 80 が導電性の遮光膜からなるため様々な利点が得られるが、バリア層 80 を、高融点金属膜ではなく、例えば、リン等をドーブした導電性のポリシリコン膜から構成してもよい。このように構成すれば、バリア層 80 は、遮光膜としての機能は発揮しないが、蓄積容量 70 を増加させる機能及びバリア層本来の中継機能は十分に発揮し得る。更に、第 2 層間絶縁膜 4 との間で熱等によるストレスが発生しにくくなるので、バリア層 80 及びその周辺におけるクラック防止に役立つ。他方、画素開口領域を規定するための遮光については、第 1 遮光膜 11a や第 2 遮光膜 23 により別途行えばよい。

【0113】

また、本実施形態では、TF T 30 の下側に形成される第 1 遮光膜 11a により画素開口領域の一部又は全部を規定してもよい。例えば、第 1 遮光膜 11a を、図 2 において平面的に見てバリア層 80 の脇に並べるか若干重なるように並べれば、これらの第 1 遮光膜 11a 及びバリア層 80 により、画素開口領域の走査線 3a に沿った辺を規定できる。

【0114】

本実施形態では特に、第 2 図及び第 3 図に示されるように第 1 コンタクトホール 8a と第 2 コンタクトホール 8b とは、TF T アレイ基板 10 上における相異なった平面位置に開孔されている。従って、これら第 1 コンタクトホール 8a 及び第 2 コンタクトホール 8b が開孔された平面位置に発生する凹凸が、相重なって凹凸が増幅する事態を回避できる。よって、これらのコンタクトホールにおける良好に電氣的な接続が期待できる。

【0115】

尚、コンタクトホール 8a、8b 及び 5 の平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。そして、良好に電氣的な接続を得るために、ドライエッチング後にウエットエッチングを行って、これらのコンタクトホール 8a、8b 及び 5 に夫々若干のテーパをつけることが好ましい。

【0116】

(電気光学装置の第 1 実施形態における製造プロセス)

次に、以上のような構成を持つ実施形態における液晶装置の製造プロセスについて、図 4 から図 7 を参照して説明する。尚、図 4 から図 7 は各工程における TF T アレイ基板側の各層を、図 3 と同様に図 2 の A - A' 断面に対応させて示す工程図である。

【0117】

先ず図 4 の工程 (1) に示すように、石英基板、ハードガラス、シリコン基板等の TF T アレイ基板 10 を用意する。ここで、好ましくは N_2 (窒素) 等の不活性ガス雰囲気且つ約 900 ~ 1300 の高温で熱処理し、後に実施される高温プロセスにおける TF T アレイ基板 10 に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に TF T アレイ基板 10 を同じ温度がそれ以上の温度で熱処理しておく。そして、このように処理された TF T アレイ基板 10 の全面に、Ti、Cr、W、Ta、Mo 及び Pb 等の金属や金属シリサイド等の金属合金膜を、スパッタリング等により、100 ~ 500 nm 程度の膜厚、好ましくは約 200 nm の膜厚の遮光膜 11 を形成する。尚、遮光膜 11 上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0118】

次に工程 (2) に示すように、該形成された遮光膜 11 上にフォトリソグラフィ工程により第 1 遮光膜 11a のパターン (図 2 参照) に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜 11 に対しエッチングを行うことにより、第 1 遮光膜 11a を形成する。

【0119】

次に工程 (3) に示すように、第 1 遮光膜 11a の上に、例えば、常圧又は減圧 CVD 法等により TEOS (テトラ・エチル・オルソ・シリケート) ガス、TEB (テトラ・エチル・ボートレート) ガス、TMOP (テトラ・メチル・オキシ・フォスレート) ガス等を

10

20

30

40

50

用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500～2000nmとする。尚、TFTアレイ基板10裏面からの戻り光が問題にならない場合は、第1遮光膜11aを形成する必要はない。

【0120】

次に工程(4)に示すように、下地絶縁膜12の上に、約450～550、好ましくは約500の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700にて約1～10時間、好ましくは、4～6時間の熱処理を施すことにより、ポリシリコン膜1を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使った熱処理でも良いし、エキシマレーザー等を用いたレーザー熱処理でも良い。

10

【0121】

この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物を僅かにイオン注入等によりドーピングしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物を僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。

20

【0122】

次に工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンを有する半導体層1aを形成する。

【0123】

次に工程(6)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300の温度、好ましくは約1000の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜2aを形成し、更に工程(7)に示すように、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的薄い厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ画素スイッチング用TFT30の絶縁薄膜2と共に蓄積容量形成用の第1誘電体膜2を同時に形成する。この結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜(第1誘電体膜)2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

30

【0124】

次に工程(8)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層500を第1蓄積容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーピング量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、第1蓄積容量電極1fを低抵抗化しても良い。

40

【0125】

次に工程(9)に示すように、レジスト層500を除去した後、減圧CVD法等によりポリシリコン膜3を堆積し、更にPを熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーピングポリシリコン膜を用いてもよい。ポリシリコン膜3の膜厚は、約100～500nmの厚さ、好ましくは約300nmに堆積する。

50

【0126】

次に図5の工程(10)に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。走査線3a及び容量線3bは、高融点金属や金属シリサイド等の金属合金膜で形成しても良いし、ポリシリコン膜等と組み合わせた多層配線としても良い。

【0127】

次に工程(11)に示すように、図3に示した画素スイッチング用TF T 30をLDD構造を持つnチャネル型のTF Tとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PなどのV族元素の不純物を低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

【0128】

次に工程(12)に示すように、画素スイッチング用TF T 30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素の不純物を高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて)ドーピングする。また、画素スイッチング用TF T 30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物を用いてドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTF Tとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTF Tとしてもよい。この不純物のドーピングにより容量線3b及び走査線3aも更に低抵抗化される。

【0129】

尚、これらのTF T 30の素子形成工程と並行して、nチャネル型TF T及びpチャネル型TF Tから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTF Tアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用TF T 30を構成する半導体層1aをポリシリコン膜で形成すれば、画素スイッチング用TF T 30の形成時にほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

【0130】

次に工程(13)に示すように、レジスト層600を除去した後、容量線3b及び走査線3a並びに絶縁薄膜(第1誘電体膜)2上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる第1層間絶縁膜81を10nm以上200nm以下の比較的薄い厚さに堆積する。但し、前述のように、第1層間絶縁膜81は、多層膜から構成してもよいし、一般にTF Tの絶縁薄膜を形成するのに用いられる各種の公知技術により、第1層間絶縁膜81を形成可能である。第1層間絶縁膜81の場合には、第2層間絶縁膜4の場合のように余り薄くするとデータ線6a及び走査線3a間の寄生容量が大きくなってしまふことはなく、またTF T 30における絶縁薄膜2のように余り薄く構成するとトンネル効果等の特異現象が発生することもない。また、第1層間絶縁膜81は、容量線の一部である第2蓄積容量電極とバリア層80の間で、第2誘電体膜として機能する。そして、第2誘電体膜81を薄くする程、第2蓄積容量70bは大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、絶縁薄膜2よりも薄い50nm以下の厚みを持つ極薄い絶縁膜となるように第2誘電体膜81を形成すると本実施形態の効果を増大させることができる。

【0131】

次に工程(14)に示すように、バリア層80と高濃度ドレイン領域1eとを電氣的に接続するためのコンタクトホール8aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。このようなドライエッチングは、指向性

10

20

30

40

50

が高いため、小さな径のコンタクトホール 8 a を開孔可能である。或いは、コンタクトホール 8 a が半導体層 1 a を突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、コンタクトホール 8 a に対し、より良好に電気的な接続をとるためのテーパを付与する観点からも有効である。

【0132】

次に工程(15)に示すように、第1層間絶縁膜 8 1 及びコンタクトホール 8 a を介して覗く高濃度ドレイン領域 1 e の全面に、Ti、Cr、W、Ta、Mo 及び Pb 等の金属や金属シリサイド等の金属合金膜をスパッタリング等により堆積して、50~500 nm 程度の膜厚の導電膜 8 0 ' を形成する。50 nm 程度の厚みがあれば、後に第2コンタクトホール 8 b を開孔する時に突き抜ける可能性は殆どない。尚、この導電膜 8 0 ' 上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。また、導電膜 8 0 ' は応力緩和のためにドーフトポリシリコン膜等を用いても良い。この際、下層にドーフトポリシリコン膜(導電性のポリシリコン膜)を用いて上層に金属膜を用いて2層以上の積層された導電膜 8 0 ' を形成してもよい。また、2層のポリシリコン膜の間に金属膜を挟んで3層としてもよい。このように、導電膜 8 0 ' と高濃度ドレイン領域 1 e とを電氣的に接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。

10

【0133】

次に図6の工程(16)に示すように、該形成された導電膜 8 0 ' 上にフォトリソグラフィによりバリア層 8 0 のパターン(図2参照)に対応するレジストマスクを形成し、該レジストマスクを介して導電膜 8 0 ' に対しエッチングを行うことにより、第3蓄積容量電極を含むバリア層 8 0 を形成する。

20

【0134】

次に工程(17)に示すように、第1層間絶縁膜 8 1 及びバリア層 8 0 を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜 4 を形成する。第2層間絶縁膜 4 の膜厚は、約500~1500 nm が好ましい。第2層間絶縁膜 4 の膜厚が500 nm 以上あれば、データ線 6 a 及び走査線 3 a 間における寄生容量は余り又は殆ど問題とならない。

【0135】

次に工程(18)の段階で、高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を活性化するために約1000 の熱処理を20分程度行った後、データ線 6 a に対するコンタクトホール 5 を開孔する。また、走査線 3 a や容量線 3 b をTFTE基板 1 0 の周辺領域において図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 と同一の工程により第2層間絶縁膜 4 を開孔することができる。

30

【0136】

次に、工程(19)に示すように、第2層間絶縁膜 4 の上に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜 6 として、約100~500 nm の厚さ、好ましくは約300 nm に堆積する。

【0137】

次に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線 6 a を形成する。

40

【0138】

次に図7の工程(21)に示すように、データ線 6 a 上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜 7 を形成する。第3層間絶縁膜 7 の膜厚は、約500~1500 nm が好ましい。

【0139】

次に工程(22)に示すように、画素電極 9 a とバリア層 8 0 とを電氣的に接続するためのコンタクトホール 8 b を、反応性イオンエッチング、反応性イオンビームエッチング等

50

のドライエッチングにより形成する。また、テーパ状にするためにウェットエッチングを用いても良い。

【0140】

次に工程(23)に示すように、第3層間絶縁膜7の上に、スパッタリング等により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに堆積し、更に工程(24)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0141】

続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。

10

【0142】

他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び後述する額縁としての第3遮光膜が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの第2及び第3遮光膜は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。尚、TFTアレイ基板10上で、データ線6a、バリア層80、第1遮光膜11a等で遮光領域を規定すれば、対向基板20上の第2遮光膜23や第3遮光膜を省くことができる。

20

【0143】

その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22(図3参照)が形成される。

【0144】

最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するように後述するシール材により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

30

【0145】

(電気光学装置の第2実施形態)

本発明による電気光学装置の第2実施形態である液晶装置の構成について、図8及び図9を参照して説明する。図8は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図9は、図8のB-B'断面図である。尚、図8及び図9に示した第2実施形態において図2及び図3に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図9においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

40

【0146】

図8及び図9において、第2実施形態では第1実施形態とは異なり、第1遮光膜11bがTFTアレイ基板10側から見て走査線3a、容量線3b及びデータ線6aを覆うように即ち、各画素を囲む格子状の非開口領域の全域に設けられている。更に、下地絶縁膜12には、容量線3bと第1遮光膜11bとを電氣的に接続するコンタクトホール15が設けられている。容量線3b及び第1遮光膜11bは、基板周辺領域において、定電位配線に接続されている。その他の構成については第1実施形態の場合と同様である。

【0147】

従って、第2実施形態によれば、第1遮光膜11bは、画素開口領域を規定する機能と共に容量線3bの定電位配線又は冗長配線としての機能を有するだけでなく、容量線自体の

50

抵抗を下げることができ、画質品位を向上させる。このように構成すれば、第1遮光膜11b単独で画素開口領域を規定することが可能となる。更に、容量線3b及び第1遮光膜11bの電位を同一の一定電位にでき、容量線3bや第1遮光膜11bにおける電位揺れによる画像信号やTFT30への悪影響を低減できる。また、第1遮光膜11bと半導体層1aの間に介在する下地絶縁膜12を誘電体膜とし、更に蓄積容量を付加することができる。

【0148】

また、第1遮光膜11bを容量線として代用すれば、走査線3aと同一工程で形成される容量線3bは、各画素単位毎に蓄積容量電極として島状に設けてもよい。このように構成することで、画素開口率を向上することが可能となる。

10

【0149】

尚、このような第1遮光膜11bは、第1実施形態における製造プロセス中、工程(2)におけるレジストマスクのパターンを変更すれば形成できる。また、コンタクトホール15は、第1実施形態における製造プロセス中、工程(8)と工程(9)の間に、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングやウェットエッチングを施すことにより開孔すればよい。

【0150】

(電気光学装置の第3実施形態)

本発明による電気光学装置の第3実施形態である液晶装置の構成について、図10を参照して説明する。図10は、第2実施形態における図8の平面図のB-B'断面に対応する第3実施形態の断面図である。尚、図10に示した第3実施形態において図8に示した第2実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図10においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

20

【0151】

図10において、第3実施形態では第2実施形態とは異なり、第3層間絶縁膜7'は、上側表面が平坦に形成されている。この結果、第3層間絶縁膜7'を下地膜とする画素電極9a及び配向膜16も平坦化されている。その他の構成については第2実施形態の場合と同様である。

【0152】

従って、第3実施形態によれば、データ線6aに重ねて走査線3a、TFT30、容量線3b等が形成される領域の他の領域に対する段差が低減される。このようにして画素電極9aが平坦化されているので、当該平坦化の度合いに応じて液晶層50のディスクリネーションの発生を低減できる。この結果、第3実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることにも可能となる。

30

【0153】

尚、このような第3層間絶縁膜7'の平坦化は、例えば、第1実施形態の製造プロセスにおける工程(21)の際、CMP(Chemical Mechanical Polishing)処理、スピコート処理、リフロー法等により行ったり、有機SOG(Spin On Glass)、無機SOG、ポリイミド膜等を利用して行えばよい。このように平坦化するために第3層間絶縁膜7'の膜厚が厚くなってもバリア層80が選択比の高い膜で形成されているため、エッチング時に膜を突き抜けることがない。

40

【0154】

(電気光学装置の第4実施形態)

本発明による電気光学装置の第4実施形態である液晶装置の構成について、図11を参照して説明する。図11は、第2実施形態における図8の平面図のB-B'断面に対応する第4実施形態の断面図である。尚、図10に示した第4実施形態において図8に示した第2実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図11においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

50

【0155】

図11において、第4実施形態では第2実施形態とは異なり、TFTアレイ基板10'は、その上側表面が、データ線6a、走査線3a及び容量線3bに対向する部分が凹状に窪んで形成されている。この結果、TFTアレイ基板10'上にこれらの配線や層間絶縁膜を介して形成される画素電極9a及び配向膜16も平坦化されている。その他の構成については第2実施形態の場合と同様である。

【0156】

従って、第4実施形態によれば、データ線6aに重ねて走査線3a、TFT30、容量線3b等が形成される領域と形成されない領域に対する段差が低減される。このようにして画素の非開口領域の少なくとも一部分を埋め込むだけで画素電極9aがほぼ平坦化され、当該平坦化の度合いに応じて液晶層50のディスクリネーションの発生を低減できる。この結果、第4実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることにも可能となる。

10

【0157】

尚、このようなTFTアレイ基板10'は、例えば、第1実施形態の製造プロセスにおける工程(1)の前に、凹状の窪みを形成すべき領域にエッチングを施せばよい。

【0158】

上述のように第3実施形態では、第3層間絶縁膜上面を平坦化し、第4実施形態では、基板を凹状に溝を形成した上に配線や素子部を形成して最終的に画素電極を平坦化しているが、第2層間絶縁膜4又は下地絶縁膜12を凹状に窪めて形成しても同様の平坦化の効果が得られる。この場合、各層間絶縁膜を凹状に形成する方法としては、各層間絶縁膜を二層構造として、一層のみからなる薄い部分を凹状の窪み部分として二層の厚い部分を凹状の土手部分とするように薄膜形成及びエッチングを行えばよい。或いは、各層間絶縁膜を単一層構造として、エッチングにより凹状の窪みを開孔するようにしてもよい。これらの場合、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングを用いると、設計寸法通りに凹状部分を形成できる利点がある。一方、少なくともウェットエッチングを単独で又はドライエッチングと組み合わせて用いた場合には、凹状の窪みの側壁面をテーパ状に形成できるため、後工程で凹状の窪み内に形成されるポリシリコン膜、レジスト等の側壁周囲への残留を低減できるので、歩留まりの低下を招かない利点

20

30

【0159】

(電気光学装置の第5実施形態)

本発明による電気光学装置の第5実施形態である液晶装置の構成について、図12を用いて説明する。図12は、第1実施形態における図2のA-A'断面図に対応する第5実施形態の断面図である。尚、図12に示した第5実施形態において第1実施形態と同様の構成要素については、同様の参照部号を付し、その説明は省略し、第1実施形態と異なる点のみ説明する。

【0160】

第5実施形態では、容量線3b上においてバリア層80と画素電極9aを電氣的に接続するための第2コンタクトホール8bが形成されている。このように、容量線3b上に第2コンタクトホール8bを形成することにより、第2コンタクトホール8bの領域下の面積も容量として機能させることができるため、その分容量を大きくすることができる。

40

【0161】

(電気光学装置の全体構成)

以上のように構成された各実施形態における電気光学装置に一例である液晶装置の全体構成を図13及び図14を参照して説明する。尚、図13は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図14は、図13のH-H'断面図である。

【0162】

図13において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けら

50

れており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的に導通をとるための導通材106が設けられている。そして、図14に示すように、図13に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板20上の第2遮光膜23はTFTアレイ基板10の遮光領域よりも小さく形成すれば良い。また、液晶装置の用途により、第2遮光膜23は容易に取り除くことができる。

【0163】

以上図1から図14を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0164】

以上説明した各実施形態における電気光学装置は、カラー表示のプロジェクタ等に適用されるため、3枚の電気光学装置がR (赤) G (緑) B (青) 用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロミックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、プロジェクタ以外の直視型や反射型のカラー液晶テレビなどに各実施形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出

10

20

30

40

50

すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0165】

以上説明した各実施形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように電気光学装置を液晶プロジェクタに取り付けても、半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR(Anti Reflection)被膜 10
された偏光板を別途配置したり、ARフィルムを貼り付ける必要があったが、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要が無くなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0166】

また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

【0167】

(電子機器)

次に、以上詳細に説明した電気光学装置100を備えた電子機器の実施の形態について図15から図17を参照して説明する。

【0168】

先ず図15に、このように電気光学装置100を備えた電子機器の概略構成を示す。

【0169】

図15において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、電気光学装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアル-パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、電気光学装置1 40
00を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、電気光学装置100を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0170】

次に図16から図17に、このように構成された電子機器の具体例を各々示す。

【0171】

図16において、電子機器の一例たるプロジェクタ1100は、上述した駆動回路1004がTFTアレイ基板上に搭載された電気光学装置100を含むライトバルブを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。プロジェクタ1100では、メタルハライドランプ等の白色 50

光源のランプユニット 1 1 0 2 から投射光が発せられると、3 枚のミラー 1 1 0 6 及び 2 枚のダイクロイックミラー 1 1 0 8 によって、R G B の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B に各々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1 1 2 2、リレーレンズ 1 1 2 3 及び出射レンズ 1 1 2 4 からなるリレーレンズ系 1 1 2 1 を介して導かれる。そして、ライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B により各々変調された 3 原色に対応する光成分は、ダイクロイックプリズム 1 1 1 2 により再度合成された後、投射レンズ 1 1 1 4 を介してスクリーン 1 1 2 0 にカラー画像として投射される。

【 0 1 7 2 】

図 1 7 において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ (P C) 1 2 0 0 は、上述した電気光学装置 1 0 0 がトップカバーケース内に設けられており、更に C P U、メモリ、モデム等を収容すると共にキーボード 1 2 0 2 が組み込まれた本体 1 2 0 4 を備えている。

10

【 0 1 7 3 】

以上図 1 6 から図 1 7 を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション (E W S)、携帯電話、テレビ電話、P O S 端末、タッチパネルを備えた装置等などが図 1 5 に示した電子機器の例として挙げられる。

【 0 1 7 4 】

以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な電気光学装置を備えた各種の電子機器を実現できる。

20

【 0 1 7 5 】

【 発明の効果 】

以上説明したように本発明の第 1 電気光学装置によれば、積層構造中の特定位置に形成された導電層により、様々な観点から、当該電気光学装置の表示画質の向上やレイアウト自由度の増加、装置安定性や信頼性の向上、製造プロセスの容易化などを図ることが可能となる。

【 0 1 7 6 】

本発明の第 2 電気光学装置によれば、走査線の下側に薄膜トランジスタとこれに並ぶ位置において容量線の下側に蓄積容量とを含む積層構造中の特定位置に形成された導電層により、様々な観点から、当該電気光学装置の表示画質の向上やレイアウト自由度の増加、装置安定性や信頼性の向上、製造プロセスの容易化などを図ることが可能となる。

30

【 0 1 7 7 】

本発明の第 3 電気光学装置によれば、データ線と走査線との間における寄生容量等とは無関係に薄膜化できる第 2 誘電体膜を利用して、簡単且つ効率的に蓄積容量の増大を図れる。このため、蓄積容量不足に起因するフリッカを低減できると共にコントラスト比を向上でき、特に高精細化や超小型化の際にも、十分な蓄積容量を付加することが可能となる。また、導電層のバッファ機能により、画素電極及びドレイン領域間の電氣的な接続を容易に行えとと共にコンタクトホール径を小さくできるだけでなく、第 1 又は第 2 誘電体膜の薄膜化に応じてコンタクトホール径を更に小さくできるので、コンタクトホールの存在に起因した画素開口率向上や電気光学物質のディスクリーネーションの発生等の防止を図ることができる。更にまた、第 2 コンタクトホールは、平面的に見てデータ線が存在せず且つ導電層が存在する領域であれば、任意の平面位置に開孔可能であるため、第 2 コンタクトホールを開孔する位置の自由度が格段に高まるので、平面レイアウトに関する設計自由度が非常に高まり、実用上大変便利である。

40

【 0 1 7 8 】

また、本発明の電気光学装置の製造方法によれば、比較的少ない工程数で且つ比較的簡単な各工程を用いて本発明の電気光学装置を製造できる。

【 図面の簡単な説明 】

50

【図 1】 電気光学装置の第 1 実施形態である液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図 2】 第 1 実施形態の液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【図 3】 図 2 の A - A ' 断面図である。

【図 4】 第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図（その 1 ）である。

【図 5】 第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図（その 2 ）である。

【図 6】 第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図（その 3 ）である。 10

【図 7】 第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図（その 4 ）である。

【図 8】 電気光学装置の第 2 実施形態である液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【図 9】 図 8 の B - B ' 断面図である。

【図 1 0】 電気光学装置の第 3 実施形態である液晶装置の断面図である。

【図 1 1】 電気光学装置の第 4 実施形態である液晶装置の断面図である。

【図 1 2】 電気光学装置の第 5 実施形態である液晶装置の断面図である。 20

【図 1 3】 各実施形態の液晶装置における T F T アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 1 4】 図 1 2 の H - H ' 断面図である。

【図 1 5】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図 1 6】 電子機器の一例としてプロジェクタを示す断面図である。

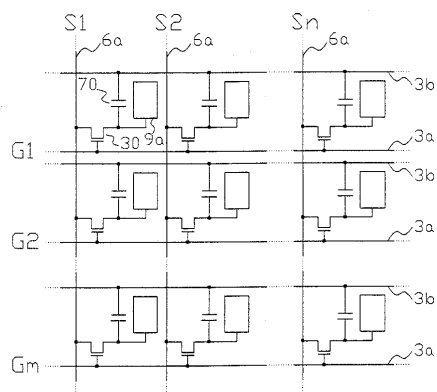
【図 1 7】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【符号の説明】

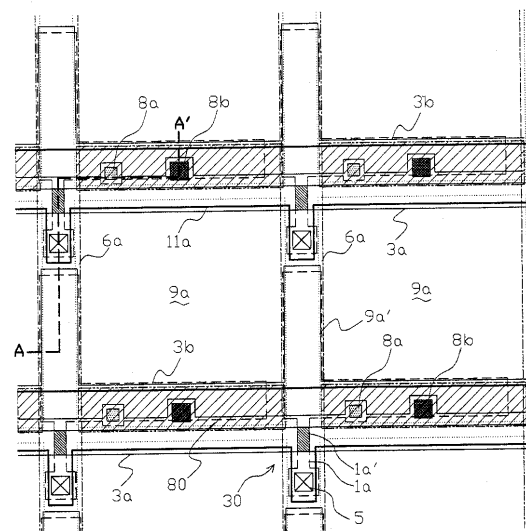
- 1 a ... 半導体層
- 1 a ' ... チャンネル領域
- 1 b ... 低濃度ソース領域 30
- 1 c ... 低濃度ドレイン領域
- 1 d ... 高濃度ソース領域
- 1 e ... 高濃度ドレイン領域
- 1 f ... 第 1 蓄積容量電極
- 2 ... 絶縁薄膜（第 1 誘電体膜）
- 3 a ... 走査線
- 3 b ... 容量線
- 4 ... 第 2 層間絶縁膜
- 5 ... コンタクトホール
- 6 a ... データ線 40
- 7 ... 第 3 層間絶縁膜
- 8 a ... 第 1 コンタクトホール
- 8 b ... 第 2 コンタクトホール
- 9 a ... 画素電極
- 1 0 ... T F T アレイ基板
- 1 1 a、1 1 b ... 第 1 遮光膜
- 1 2 ... 下地絶縁膜
- 1 5 ... コンタクトホール
- 1 6 ... 配向膜
- 2 0 ... 対向基板 50

- 2 1 ... 対向電極
- 2 2 ... 配向膜
- 2 3 ... 第 2 遮光膜
- 3 0 ... T F T
- 5 0 ... 液晶層
- 5 2 ... シール材
- 5 3 ... 第 3 遮光膜
- 7 0 ... 蓄積容量
- 7 0 a ... 第 1 蓄積容量
- 7 0 b ... 第 2 蓄積容量
- 8 0 ... バリア層
- 8 1 ... 第 1 層間絶縁膜 (第 2 誘電体膜)
- 1 0 1 ... データ線駆動回路
- 1 0 4 ... 走査線駆動回路

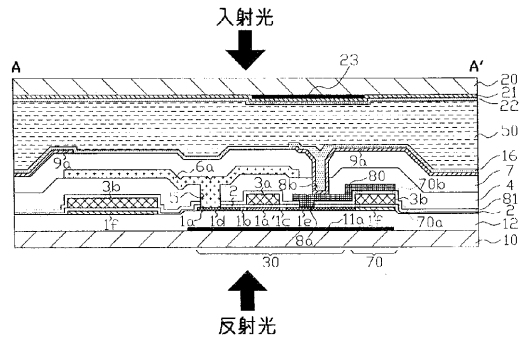
【 図 1 】



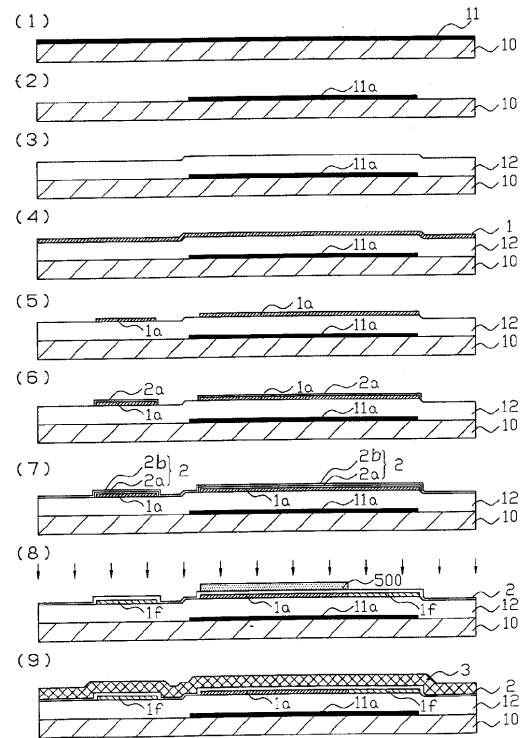
【 図 2 】



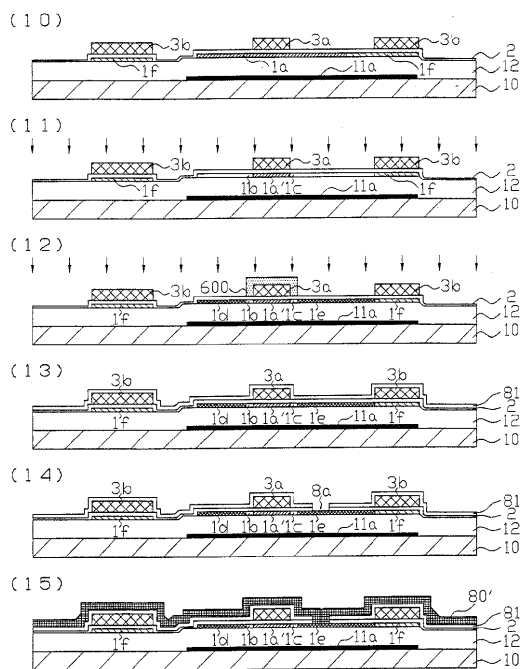
【図 3】



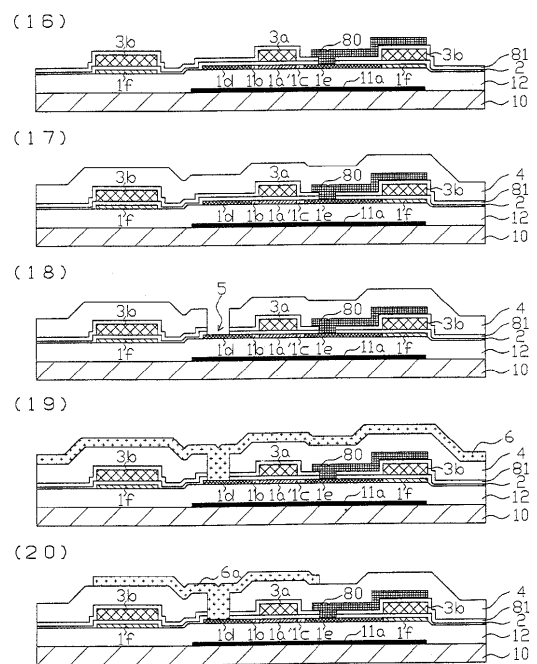
【図 4】



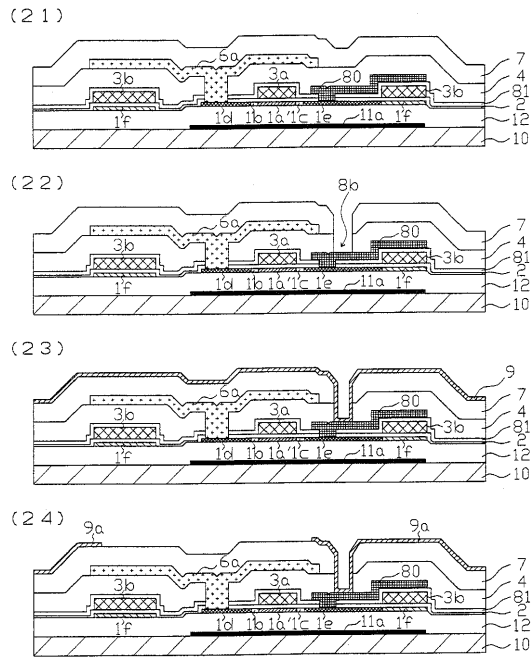
【図 5】



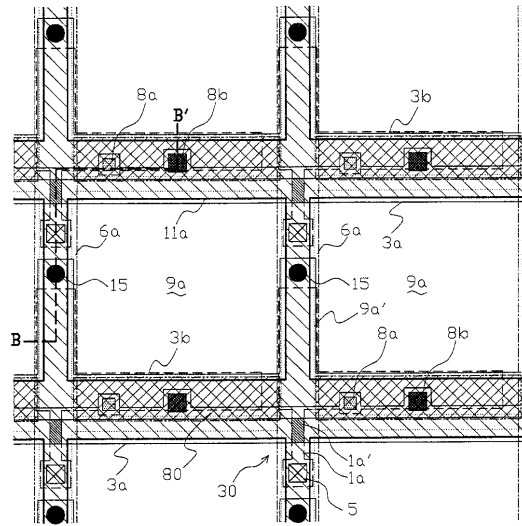
【図 6】



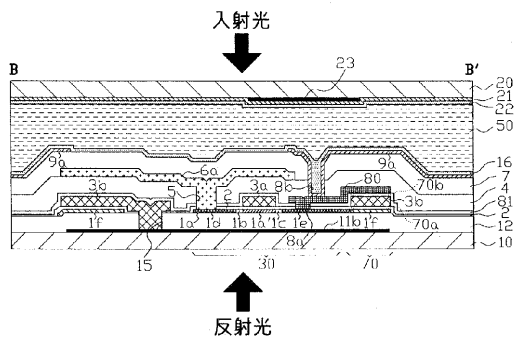
【図 7】



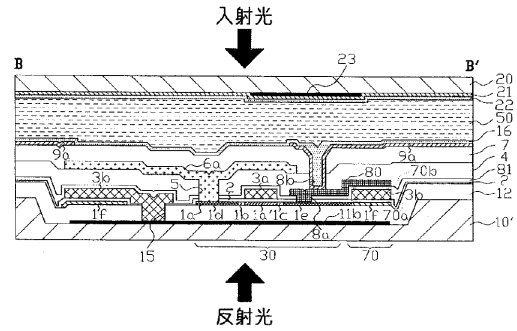
【図 8】



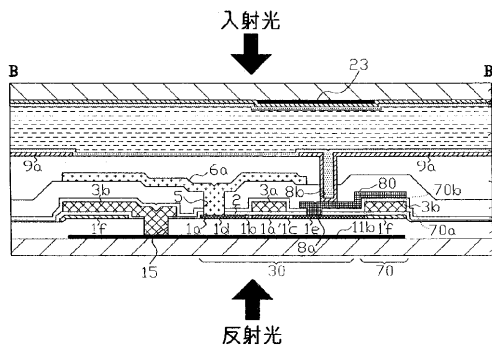
【図 9】



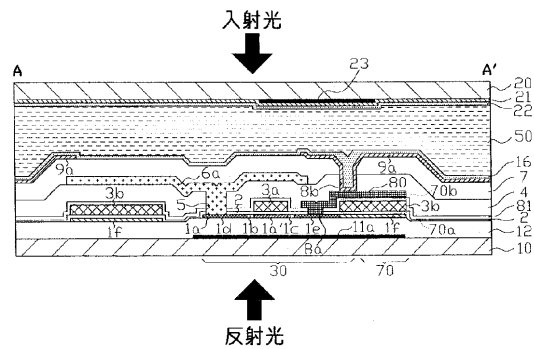
【図 11】



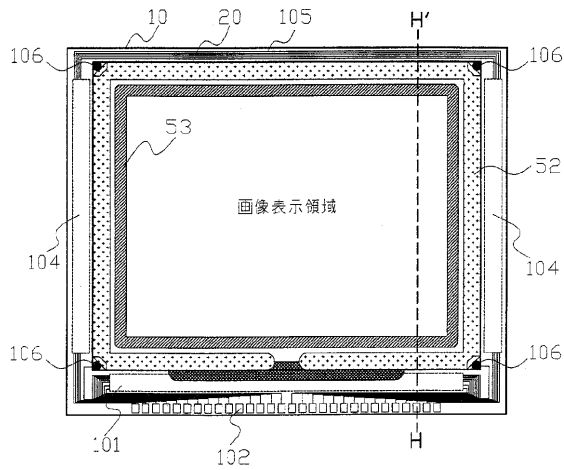
【図 10】



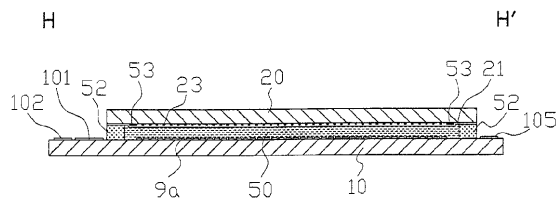
【図 12】



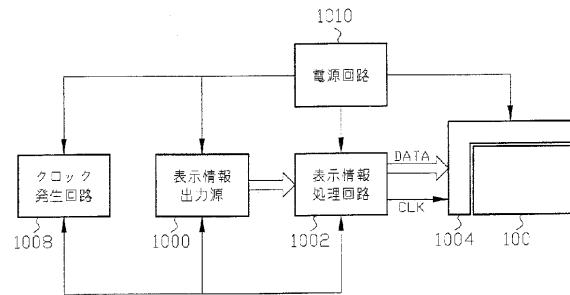
【図 13】



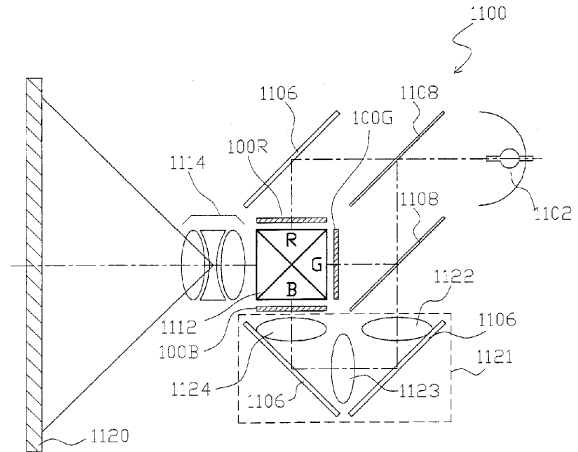
【図 14】



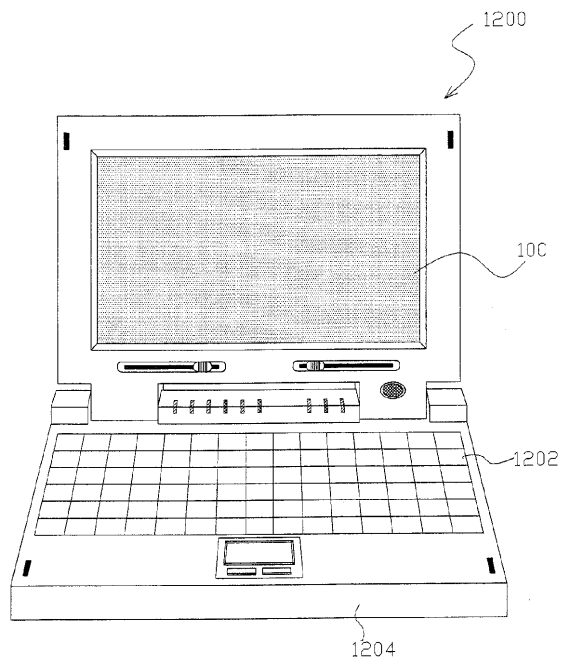
【図 15】



【図 16】



【図 17】



フロントページの続き

合議体

審判長 向後 晋一

審判官 鈴木 俊光

審判官 井上 博之

(56)参考文献 国際公開第98/16868(WO, A1)
特開平4-291240(JP, A)

(58)調査した分野(Int.Cl., DB名)
G02F1/1368