(12) 特許公報(B2)

(11) 特許番号

特許第4265515号

(P4265515)

(45)発行日 平成21年5月20日(2009.5.20)

(19) **日本国特許庁(JP)**

(24) 登録日 平成21年2月27日 (2009.2.27)

| (51) Int.Cl. | | | FΙ | | |
|--------------|-------|-----------|------|-------|------|
| G09F | 9/30 | (2006.01) | GO9F | 9/30 | 338 |
| HO1L | 27/32 | (2006.01) | GO9F | 9/30 | 365Z |
| H01L | 51/50 | (2006.01) | HO5B | 33/14 | А |

請求項の数 4 (全 27 頁)

| (21) 出願番号 (22) 出願日 (65) 公開番号 (43) 公開日 | 特願2004-283963 (P2004-283963) 平成16年9月29日 (2004.9.29) 特開2006-98663 (P2006-98663A) 平成18年4月13日 (2006 4 13) | (73)特許権者 (74)代理人 | 音 000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号 100090033 |
|--|---|---------------------|---|
| 審査請求日 | 平成17年12月20日 (2005.12.20) | | 弁理士 荒船 博司 |
| | | (74) 代理人 | 100093045 |
| | | | 弁理士 荒船 良男 |
| | | (72)発明者 | 下田悟 |
| | | | 東京都八王子市石川町2951番地5 カ |
| | | | シオ計算機株式会社(八王子技術センター) |
| | | | 内 |
| | | (72)発明者 | 武居 学 |
| | | | 東京都八王子市石川町2951番地5 カ |
| | | | シオ計算機株式会社 八王子技術センター |
| | | | 内 |
| | | | 最終頁に続く |

(54) 【発明の名称】 ディスプレイパネル

(57)【特許請求の範囲】

【請求項1】

ゲート絶縁膜上にソース、ドレインを有し、サブピクセルごとに設けられたトランジス タを、絶縁膜によって被覆してなるトランジスタアレイ基板と、

前記絶縁膜を介して前記トランジスタにおけるソース - ドレイン間を被覆した複数の共 通配線と、

前記共通配線の表面に成膜された撥液性導電層と、

前記各共通配線の間において前記トランジスタアレイ基板の表面に配列され、サブピク セルごとに設けられた複数のサブピクセル電極と、

前記各サブピクセル電極上に成膜された発光層と、

10

前記発光層を被覆するとともに<u>前記撥液性導電層を介して</u>前記共通配線に接続された対向電極と、

前記共通配線に沿って前記共通配線と重ならないように前記ゲート絶縁膜の下方に延在する複数の信号線と、

を備えることを特徴とするディスプレイパネル。

【請求項2】

ソース、ドレインの一方がサブピクセル電極に接続された駆動トランジスタを前記トラ ンジスタとしてサブピクセルごとに設けたことを特徴とする請求項1記載のディスプレイ パネル。

【請求項3】

発光期間に前記駆動トランジスタのソース - ゲート間の電圧を保持する保持トランジス タを前記トランジスタとしてサブピクセルごとに設けたことを特徴とする請求項2に記載 のディスプレイパネル。

【請求項4】

前記駆動トランジスタのソース - ドレイン間に書込電流を流すスイッチトランジスタを 前記トランジスタとしてサブピクセルごとに設けたことを特徴とする請求項3に記載のディスプレイパネル。

【発明の詳細な説明】

【技術分野】

[0001]

10

20

本発明は、発光素子をサブピクセルに用いたディスプレイパネルに関する。

【背景技術】

【0002】

特許文献1に記載されているように、発光素子である有機エレクトロルミネッセンス素 子は基板上にアノード、エレクトロルミネッセンス層(以下、EL層という。)、カソー ドの順に積層した積層構造となっており、アノードとカソードとの間に電圧が印加される とEL層に正孔及び電子が注入され、EL層で電界発光する。EL層が設けられている基 板からEL層の光を出射するように基板及び基板側の電極を光透過性に設計したエレクト ロルミネッセンス素子をボトムエミッション型という。一方、EL層が設けられている基 板と反対側からEL層の光を出射するように設計したエレクトロルミネッセンス素子をト ップエミッション型という。

【 0 0 0 3 】

アクティブマトリクス駆動方式のディスプレイパネルでは1ドットのサブピクセルにつ きー又は複数の薄膜トランジスタが設けられており、薄膜トランジスタによって有機エレ クトロルミネッセンス素子を発光させる。例えば、特許文献1に記載されたディスプレイ パネルにおいては、2つの薄膜トランジスタがサブピクセルごとに設けられている。アク ティブマトリクス駆動方式のディスプレイパネルを製造するに際しては、薄膜トランジス タをサブピクセルごとにパターニングしたトランジスタアレイ基板を作製した後にそのト ランジスタアレイ基板の表面に有機エレクトロルミネッセンス素子をサブピクセルごとに パターニングする。薄膜トランジスタの後に有機エレクトロルミネッセンス素子をパター ニングするのは、薄膜トランジスタをパターニングする際の温度が有機エレクトロルミネ ッセンス素子の耐熱温度を超えてしまうためである。

30

[0004]

サブピクセルごとに薄膜トランジスタがパターニングされているから、複数の有機エレ クトロルミネッセンス素子をマトリクス状にパターニングするに際して薄膜トランジスタ に接続する下層側の電極(例えば、アノード)をサブピクセルごとに独立するようパター ニングする。一方、対向電極(例えば、カソード)は全ての有機エレクトロルミネッセン ス素子に共通した共通電極としてべた一面に成膜する。

【特許文献1】特開平8-330600号公報

【発明の開示】

40

【発明が解決しようとする課題】

【 0 0 0 5 】

ところで、対向電極を成膜している時に熱的要因・化学的要因でEL層が損傷すること があるため、EL層の損傷を抑えるために対向電極の成膜時間をできる限り短くすること が考えられるが、対向電極の成膜時間を短くすると対向電極が薄くなる。また、有機エレ クトロルミネッセンス素子をトップエミッション型にした場合、EL層で発光した光が対 向電極の透過中にできる限り減衰しないように、対向電極をできる限り薄く形成すること が望まれている。

[0006]

しかしながら、対向電極の薄膜化に伴い対向電極のシート抵抗が高くなってしまい、対 50

向電極の高抵抗化によって対向電極の電圧が面内で一様にならず電圧の高低差が面内で顕 著に表れてしまう。すなわち、対向電極が共通電極としてべた一面に形成されているから 、仮に全てのサブピクセル電極に同じ大きさの電圧が印加された場合でも有機エレクトロ ルミネッセンス素子ごとに発光強度が異なってしまい、面内の発光強度が一様にならない

[0007]

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、対向 電極を薄くしても対向電極の電圧を面内で一様にできるようにすることを目的とする。 【課題を解決するための手段】

1 林底で附入するための

[0008]

10

以上の課題を解決するために、本発明のディスプレイパネルは、

ゲート絶縁膜上にソース、ドレインを有し、サブピクセルごとに設けられたトランジス タを絶縁膜によって被覆してなるトランジスタアレイ基板と、

前記絶縁膜を介して前記トランジスタにおけるソース - ドレイン間を被覆した複数の共 通配線と、

前記共通配線の表面に成膜された撥液性導電層と、

前記各共通配線の間において前記トランジスタアレイ基板の表面に配列され、サブピク セルごとに設けられた複数のサブピクセル電極と、

前記各サブピクセル電極上に成膜された発光層と、

前記発光層を被覆するとともに<u>前記撥液性導電層を介して</u>前記共通配線に接続された対 ²⁰ 向電極と、

前記共通配線に沿って前記共通配線と重ならないように前記ゲート絶縁膜の下方に延在 する複数の信号線と、

を備える。

[0009]

好ましくは、ソース、ドレインの一方がサブピクセル電極に接続された駆動トランジス タが前記トランジスタとしてサブピクセルごとに設けられている。

[0010]

好ましくは、発光期間に前記駆動トランジスタのソース - ゲート間の電圧を保持する保 持トランジスタが前記トランジスタとしてサブピクセルごとに設けられている。

【0011】

好ましくは、前記駆動トランジスタのソース - ドレイン間に書込電流を流すスイッチト ランジスタが前記トランジスタとしてサブピクセルごとに設けられている。

【0012】

好ましくは、前記ディスプレイパネルが、前記駆動トランジスタのソース、ドレインの 他方と接続された給電配線を更に有する。

【0013】

なお、前記ディスプレイパネルが、前記各共通配線それぞれを被覆し、撥水性・撥油性 及び導電性を有し、前記対向電極によって被覆された撥液性導電層を更に備えても良い。 また、前記有機EL層が湿式塗布法により成膜されたものとしても良い。また、前記絶縁 膜は一層構造であっても良いし、積層構造であっても良い。

40

30

【発明の効果】
【0014】

本発明によれば、対向電極の下に共通配線が形成されているので、対向電極自体が薄膜 化してより高抵抗になった場合でも、対向電極の電圧を面内で一様にすることができる。 また、対向電極をより薄膜化することが可能なので、有機 E L 層を発した光が対向電極の 透過中に減衰し難くなる。

【0015】

また、対向電極の下に形成された共通配線はトランジスタのゲート・ソース・ドレイン とは別にパターニングしたものであるから、共通配線を厚くすることができる。そのため ⁵⁰ 、共通配線を低抵抗することができる。従って、対向電極の電圧を面内で一様にすること ができる。

【発明を実施するための最良の形態】

【0016】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以 下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付され ているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下 の説明において、エレクトロルミネッセンス(Electro Luminescence)という用語をEL と略称する。

[0017]

〔ディスプレイパネルの平面レイアウト〕

図1には、アクティブマトリクス駆動方式で動作するカラー表示のディスプレイパネル 1の画素3の概略平面図が示されている。このディスプレイパネル1においては、1ピク セルの画素3につき1ドットの赤サブピクセルPrと、1ドットの緑サブピクセルPgと 1ドットの青サブピクセルPbとが水平方向に隣り合って配列されている。このディス プレイパネル1においては、画素3がマトリクス状に配列されている。サブピクセルPr , Pg, Pb それぞれが垂直方向(列方向)に沿って同色となるよう一列に配列されてい る。水平方向(行方向)には、赤サブピクセルPr、緑サブピクセルPg、青サブピクセ ルPbの順に繰り返し配列されており、全体としてサブピクセルPr,Pg,Pbがマト リクス状に配列されている。具体的には、サブピクセルPr,Pg,Pbが全体として垂 直方向に沿ってmドットだけ配列され(但し、mは2以上の自然数)、水平方向に沿って nドットだけ配列されている(但し、nは3の整数倍)。以下の説明において、サブピク セルPはこれら赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの中の任 意のサブピクセルを表し、サブピクセルPについての説明は赤サブピクセルPr、緑サブ ピクセルPg、青サブピクセルPbの何れについても適用され、サブピクセルPに下付け した数字の前側がディスプレイパネル1の上からの配列順を表し、後ろ側がディスプレイ パネル1の左からの配列順を表す。すなわち、1~mのうちの任意の自然数を主とし、1 からnのうちの任意の自然数をjとした場合に、サブピクセル P_{i.i}は上からi行目、左 からj列目である。

【0018】

また、垂直方向の赤サブピクセルPrの列に沿って信号線Yrが延在し、垂直方向の緑 サブピクセルPgの列に沿って信号線Ygが延在し、垂直方向の青サブピクセルPbの列 に沿って信号線Ygが延在している。信号線Yrは垂直方向に沿った画素3の一列のうち 全ての赤サブピクセルPrに対して信号を供給するものであり、信号線Ygは垂直方向に 沿った画素3の一列のうち全ての緑サブピクセルPgに対して信号を供給するものであり 、信号線Ybは垂直方向に沿った画素3の一列のうち全ての青サブピクセルPbに対して 信号を供給するものである。以下の説明において、信号線Yについての説明は、信号線Y r,Yg,Ybの何れについても適用され、信号線Yに下付けした数字はディスプレイパ ネル1の左からの配列順を表す。すなわち、信号線Y」

【0019】

垂直方向の赤サブピクセル Prの列、緑サブピクセル Pgの列及び青サブピクセル Pb の列のそれぞれに沿って共通配線 91 が延在している。つまり、垂直方向のサブピクセル Pの列1列につき一本の共通配線 91 が垂直方向に延在している。

[0020]

水平方向の画素3の行1行につき1本の走査線Xと1本の供給線Zと1本の給電配線9 0が水平方向に延在している。平面視して、供給線Zには給電配線90が重なっている。 ここで、走査線Xに下付けした数字がディスプレイパネル1の上からの配列順を表し、供 給線Zに下付けした数字がディスプレイパネル1の上から配列順を表す。即ち、走査線X iは上からi番目であり、供給線Ziは上からi番目である。

【0021】

10

20



サブピクセル P r , P g , P b の色は、後述する有機 E L 素子 2 0 (図 2 等に図示)の 発光色によって定まる。ディスプレイパネル 1 全体に着目して平面視した場合、有機 E L 素子 2 0 のアノードであるサブピクセル電極 2 0 a (図 2 等に図示)がマトリクス状に配 列されており、 1 つのサブピクセル電極 2 0 a によって 1 ドットのサブピクセル P が定ま る。ディスプレイパネル 1 全体としては、各信号線 Y₁ ~ Y_nの一方側に沿ってサブピクセ ル電極 2 0 a の列が、図 7 又は図 9 に示すように配列されており、このような垂直方向の サブピクセル電極 2 0 a の列が合計 n 列ある。サブピクセル電極 2 0 a は、水平方向の両 側が共通配線 9 1、 9 1 に囲まれている。このため、共通配線 9 1 の本数は、(n + 1) 本になる。後で詳述するように、第 k 列の共通配線 9 1 (2 k n + 1)が第 (k - 1))列のサブピクセル P のトランジスタ 2 2 , 2 3 を平面視して覆っている。

【0022】

〔サブピクセルの回路構成〕

次に、サブピクセル Pr, Pg, Pbの回路構成について図 2 を用いて説明する。ここ で、図 2 は、 i 行目 j 列目のサブピクセル P_{i,i}の等価回路図である。

【0023】

何れのサブピクセル Pr, Pg, Pb も同様に構成されており、1ドットのサブピクセ ル P につき、有機 E L 素子20、N チャネル型のアモルファスシリコン薄膜トランジスタ (以下単にトランジスタと記述する。)21,22,23及びキャパシタ24が設けられ ている。以下では、トランジスタ21をスイッチトランジスタ21と称し、トランジスタ 22を保持トランジスタ22と称し、トランジスタ23を駆動トランジスタ23と称する

[0024]

スイッチトランジスタ21においては、ソース21sが信号線Yに導通し、ドレイン2 1 dが有機EL素子20のサブピクセル電極20a、駆動トランジスタ23のソース23 s及びキャパシタ24の上層電極24Bに導通し、ゲート21gが保持トランジスタ22 のゲート22g及び走査線Xに導通している。

[0025]

[0026]

保持トランジスタ22においては、ソース22sが駆動トランジスタ23のゲート23 g及びキャパシタ24の下層電極24Aに導通し、ドレイン22dが駆動トランジスタ2 3のドレイン23d及び供給線Zに導通し、ゲート22gがスイッチトランジスタ21の ゲート21g及び走査線Xに導通している。

30

10

20

駆動トランジスタ23においては、ソース23sが有機EL素子20のサブピクセル電 極20a、スイッチトランジスタ21のドレイン21d及びキャパシタ24の上層電極2 4Bに導通し、ドレイン23dが保持トランジスタ22のドレイン22d及び供給線Zに 導通し、ゲート23gが保持トランジスタ22のソース22s及びキャパシタ24の下層 電極24Aに導通している。

【0027】

有機 EL素子20のカソードとなる対向電極20cは共通配線91に導通している。なお、詳細には後述するが、対向電極20cは、全てのサブピクセル Pr, Pg, Pbに共 40 通した共通電極である。

【0028】

垂直方向に沿って一列に配列された何れの赤サブピクセルPrにおいても、スイッチト ランジスタ21のソース21sが共通の信号線Yrに導通している。垂直方向に沿って一 列に配列された何れの緑サブピクセルPgにおいても、スイッチトランジスタ21のソー ス21sが共通の信号線Ygに導通している。垂直方向に沿って一列に配列された何れの 青サブピクセルPbにおいても、スイッチトランジスタ21のソース21sが共通の信号 線Ybに導通している。

【0029】

一方、水平方向に沿って一行に配列された何れのサブピクセルPr,Pg,Pbにおい ⁵⁰

ても、スイッチトランジスタ21のゲート21gが共通の走査線Xに導通し、保持トラン ジスタ22のゲート22gが共通の走査線Xに導通している。 [0030]

(6)

サブピクセルPの平面レイアウトについて図3を用いて説明する。図3は、サブピクセ ルPの電極を主に示した平面図である。なお、図3においては、図面を見やすくするため に、 有機 E L 素子 2 0 のサブピクセル 電極 2 0 a 及び対向 電極 2 0 c の図示を省略する。 [0031]

図3に示すように、平面視して、スイッチトランジスタ21が信号線Yに沿うように配 置され、保持トランジスタ22が走査線Xに沿うように配置され、駆動トランジスタ23 が隣の信号線Yに沿うように配置されている。

[0032]

ディスプレイパネル1全体を平面視して、全てのサブピクセルPr.Pg.Pbのスイ ッチトランジスタ21だけに着目すると、複数のスイッチトランジスタ21がマトリクス 状に配列され、全てのサブピクセルPr,Pg,Pbの保持トランジスタ22だけに着目 すると、複数の保持トランジスタ22がマトリクス状に配列され、全てのサブピクセルP r, Pg, Pbの駆動トランジスタ23だけに着目すると、複数の駆動トランジスタ23 がマトリクス状に配列されている。

[0033]

垂直方向に沿った赤サブピクセルPrの列、緑サブピクセルPgの列、青サブピクセル Pbの列それぞれにおいて、垂直方向に沿って配列された複数の保持トランジスタ22が 20 共通の共通配線91によって覆われている。また、垂直方向に沿った赤サブピクセルPr の列、緑サブピクセルPgの列、青サブピクセルPbの列それぞれにおいて、垂直方向に 沿って配列された複数の駆動トランジスタ23が共通の共通配線91によって覆われてい る。なお、保持トランジスタ22の全体が共通配線91に覆われていても良いし、共通配 線91の幅が狭くなることで保持トランジスタ22の一部が共通配線91に覆われていて も良い。

[0034]

〔ディスプレイパネルの層構造〕

ディスプレイパネル1の層構造について図4~図6を用いて説明する。ここで、図4は 、図3に示された切断線IV-IVに沿った面の矢視断面図であり、図5は、図3に示された 切断線 / - /に沿った面の矢視断面図であり、図6は、図3に示された切断線/1-/1に沿っ た面の矢視断面図である。なお、図3では、1ドットのサブピクセルPを図示するが、図 4~図6では、水平方向に隣り合う2ドットのサブピクセルPを図示する。

[0035]

このディスプレイパネル1は、光透過性を有する絶縁基板2に対して種々の層を積層し たものである。絶縁基板2は可撓性のシート状に設けられているか、又は剛性の板状に設 けられている。

[0036]

トランジスタ21~23の層構造について説明する。図4に示すように、スイッチトラ ンジスタ21は、絶縁基板2上に形成されたゲート21gと、ゲート21g上に形成され たゲート絶縁膜31を挟んでゲート21gに対向した半導体膜21cと、半導体膜21c の中央部上に形成されたチャネル保護膜21pと、半導体膜21cの両端部上において互 いに離間するよう形成され、チャネル保護膜21pに一部重なった不純物半導体膜21a ,21 bと、不純物半導体膜21 a上に形成されたドレイン21 dと、不純物半導体膜2 1 b 上に形成されたソース 2 1 s と、から構成されている。なお、ドレイン 2 1 d 及びソ ース21 sは一層構造であっても良いし、二層以上の積層構造であっても良い。

[0037]

駆動トランジスタ23は、絶縁基板2上に形成されたゲート23gと、ゲート23g上 に形成されたゲート絶縁膜31を挟んでゲート23gに対向した半導体膜23cと、半導 体膜23cの中央部上に形成されたチャネル保護膜23pと、半導体膜23cの両端部上

10

において互いに離間するよう形成され、チャネル保護膜23pに一部重なった不純物半導体膜23a,23bと、不純物半導体膜23a上に形成されたドレイン23dと、不純物 半導体膜23b上に形成されたソース23sと、から構成されている。図3に示すように 平面視した場合、駆動トランジスタ23が櫛歯状に設けられていることで、駆動トランジ スタ23のチャネル幅が広くなっている。ドレイン23d及びソース23sは一層構造で あっても良いし、二層以上の積層構造であっても良い。

【 0 0 3 8 】

チャネル長方向に平行な面の保持トランジスタ22の断面図については省略するが、チャネル幅方向に平行な図5の断面図においては、保持トランジスタ22のゲート22g、 半導体膜22c及びチャネル保護膜23pが示されている。保持トランジスタ22は、駆動トランジスタ23と同様の層構造となっている。また、何れのサブピクセルPr,Pg ,Pbでも、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ2 3が同様の層構造になっている。

[0039]

次に、キャパシタ24の層構造について説明する。図4に示すように、キャパシタ24 は、絶縁基板2上に形成された下層電極24Aと、ゲート絶縁膜31を挟んで下層電極2 4Aに対向した上層電極24Bと、から構成されている。何れのサブピクセルPr,Pg ,Pbでもキャパシタ24は同様の層構造になっている。

[0040]

次に、図4~図6を用いて、トランジスタ21~23及びキャパシタ24の各層と信号 ²⁰ 線Y、走査線X及び供給線Zとの関係について説明する。

[0041]

全てのサブピクセル P のスイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに全ての信号線 Y は、絶縁基板2上にべた一面に成膜された導電性膜をフォトリソグラフィー法・エッチング法によってパターニングすることで形成されたものである。以下では、スイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに信号線 Y の元となる導電性膜をゲートレイヤーという。

【0042】

ゲート絶縁膜31は、全てのサブピクセルPのスイッチトランジスタ21、保持トランジスタ22、駆動トランジスタ23及びキャパシタ24に共通した膜であり、面内にべた 一面に成膜されている。従って、ゲート絶縁膜31は、スイッチトランジスタ21のゲー ト21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g 及びキャパシタ24の下層電極24A並びに信号線Yを被覆している。 【0043】

全てのサブピクセルPのスイッチトランジスタ21のドレイン21d・ソース21s、 保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ23のドレイ ン23d・ソース23s及びキャパシタ24の上層電極24B並びに全ての走査線X及び 供給線Zは、ゲート絶縁膜31上にべた一面に成膜された導電性膜をフォトリソグラフィ ー法・エッチング法によってパターニングすることで形成されたものである。以下では、 スイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のド レイン22d・ソース22s、駆動トランジスタ23のドレイン23d・ソース23s及 びキャパシタ24の上層電極24B並びに走査線X及び供給線Zの元となる導電性膜をド レインレイヤーという。

[0044]

図1、図3に示すように、1ドットのサブピクセルPにつき1つのコンタクトホール9 2がゲート絶縁膜31に形成され、スイッチトランジスタ21のゲート21g及び保持ト ランジスタ22のゲート22gがコンタクトホール92を介して走査線Xに導通している 。1ドットのサブピクセルPにつき1つのコンタクトホール94がゲート絶縁膜31に形 30

10

成され、スイッチトランジスタ21のソース21sがコンタクトホール94を介して信号線Yに導通している。1ドットのサブピクセルPにつき1つのコンタクトホール93がゲート絶縁膜31に形成され、保持トランジスタ22のソース22sが駆動トランジスタ2 3のゲート23g及びキャパシタ24の下層電極24Aに導通している。 【0045】

図4~図6に示すように、全てのサブピクセルPのスイッチトランジスタ21、保持ト ランジスタ22及び駆動トランジスタ23並びに全ての走査線X及び供給線Zは、ベたー 面に成膜された窒化シリコン又は酸化シリコン等の保護絶縁膜32によって被覆されてい る。なお、保護絶縁膜32は、供給線Zに重なる箇所で矩形状に分断されている。 【0046】

保護絶縁膜32には平坦化膜33が積層されており、スイッチトランジスタ21、保持 トランジスタ22、駆動トランジスタ23、走査線X及び供給線Zによる凹凸が平坦化膜 33によって解消されている。つまり、平坦化膜33の表面が平坦となっている。平坦化 膜33は、ポリイミド等の感光性絶縁樹脂を硬化させたものであり、絶縁性を有する。こ の平坦化膜33は、供給線Zに重なる箇所で矩形状に分断されている。絶縁基板2から平 坦化膜33までの積層構造をトランジスタアレイ基板50という。本実施形態では、トラ ンジスタアレイ基板50の表層は保護絶縁膜32及び平坦化膜33からなる積層型絶縁膜 となっている。平坦化膜33を設けずに、保護絶縁膜32をトランジスタアレイ基板50 の表層としても良いし、保護絶縁膜32を設けずに、平坦化膜33の上層に更に別の絶縁 膜を成膜しても良い。

【0047】

このディスプレイパネル1をボトムエミッション型として用いる場合、すなわち、絶縁 基板2を表示面として用いる場合には、ゲート絶縁膜31、保護絶縁膜32及び平坦化膜 33には透明な材料を用いる。

[0048]

保護絶縁膜32及び平坦化膜33の供給線Zに重なる箇所には、水平方向に沿って長尺 な溝が凹設され、これら溝によって保護絶縁膜32及び平坦化膜33が矩形状に分断され ている。溝には給電配線90がそれぞれ埋設されており、溝内において給電配線90が供 給線Zの延在方向に沿って積層されている。以上により、給電配線90が供給線Zにそれ ぞれ導通している。このため、給電配線90はサブピクセル電極20aよりも下層に位置 している。

30

40

10

20

【0049】

給電配線90は供給線Zを下地として電解メッキ法により形成されたものであるので、 供給線Zよりも十分に厚い。給電配線90は、銅、アルミ、金、ニッケルのうちの少なく ともいずれかを含むことが好ましい。

【 0 0 5 0 】

平坦化膜33の表面、即ちトランジスタアレイ基板50の表面上には、複数のサブピク セル電極20aがマトリクス状に配列されている。これらサブピクセル電極20aは、平 坦化膜33上にべた一面に成膜された透明導電性膜をフォトリソグラフィー法・エッチン グ法によってパターニングしたものである。

【0051】

サブピクセル電極20 a は、有機EL素子20のアノードとして機能する電極である。 即ち、サブピクセル電極20 a の仕事関数が比較的高く、後述する有機EL層20 b へ正 孔を効率よく注入するものが好ましい。サブピクセル電極20 a は、ディスプレイパネル 1 がボトムエミッションの場合、例えば、錫ドープ酸化インジウム(ITO)、亜鉛ドー プ酸化インジウム、酸化インジウム(In₂O₃)、酸化スズ(SnO₂)、酸化亜鉛(Z nO)又はカドミウム - 錫酸化物(CTO)のいずれかのような透明導電性膜からなる。 【0052】

このようにディスプレイパネル1をボトムエミッション型として用いる場合、サブピク 50

セル電極20aが可視光に対して透過性を有している。一方、このディスプレイパネル1 をトップエミッション型として用いる場合、すなわち、絶縁基板2の反対側を表示面とし て用いる場合には、サブピクセル電極20aと平坦化膜33との間に、導電性且つ可視光 反射性の高い反射膜を成膜するか、サブピクセル電極20a自体を反射性電極とすれば良い。

【0053】

なお、図6に示すように、サブピクセル電極20aのもととなる透明導電性膜をエッチングすることで、サブピクセル電極20aがパターニングされるが、給電配線90上にも透明導電性膜の一部51が残留する。

【0054】

図3に示すように、1ドットのサブピクセルPにつき3つのコンタクトホール88が平 坦化膜33及び保護絶縁膜32に形成されている。コンタクトホール88を介して、サブ ピクセル電極20aが、キャパシタ24の上層電極24B、スイッチトランジスタ21の ドレイン21d及び駆動トランジスタ23のソース23sに導通している。

【 0 0 5 5 】

図4~図6に示すように、平坦化膜33の表面、即ちトランジスタアレイ基板50の表面上には、窒化シリコン、酸化シリコン、その他の絶縁材からなるメッシュ状の絶縁膜52がパターニングされている。具体的には、絶縁膜52は、サブピクセル電極20aの間を埋めるようメッシュ状(格子状)にパターニングされている。サブピクセル電極20aの一部の外周部が絶縁膜52によって覆われているが、サブピクセル電極20aの大部分(中央部)は絶縁膜52によって覆われていない。透明導電性膜の残留した部分51及び給電配線90は、絶縁膜52によって被覆されている。

20

10

【0056】

水平方向に隣り合うサブピクセル電極20aの間であって絶縁膜52上には、共通配線91が積層されている。共通配線91は、水平方向に隣り合うサブピクセル電極20aの間において垂直方向に延在しており、サブピクセル電極20aは、隣り合う共通配線91の間で共通配線91に沿って配列されている。共通配線91は、メッキ法により形成されたものであるので、対向電極20cやトランジスタ21~23の各電極よりも十分に厚い。このため有機EL素子20の有機EL層20bからの発光を十分に遮光する。上述したように、保持トランジスタ22及び駆動トランジスタ23の上方に共通配線91が位置し、共通配線91が保護絶縁膜32、平坦化膜33及び絶縁膜52を挟んで保持トランジスタ22及び駆動トランジスタ23が配置されている。 【0057】

共通配線91の表面には、撥水性・撥油性を有した撥液性導電層55が成膜されている。撥液性導電層55は、次の化学式(1)に示されたトリアジルトリチオールのチオール 基(-SH)の水素原子(H)が還元離脱し、硫黄原子(S)が共通配線91の表面に酸 化吸着したものである。

【0058】

【化1】



[0059]

撥液性導電層55は単分子層である。つまり、撥液性導電層55は、トリアジルトリチ オール分子が共通配線91の表面に規則正しく並んだ分子一層からなる膜であるから、非 常に低抵抗であって導電性を有する。なお、撥水性・撥油性を顕著にするためにトリアジ ルトリチオールに代えて、トリアジルトリチオールの1又は2のチオール基がフッ化アル キル基に置換されたものでも良い。

[0060]

サブピクセル電極20a上には、有機EL素子20の有機EL層20bが成膜されてい 20 る。有機EL層20bは広義の発光層であり、有機EL層20bには、有機化合物である 発光材料(蛍光体)が含有されている。有機EL層20bは、サブピクセル電極20aか ら順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性 高分子であるPEDOT(ポリチオフェン)及びドーパントであるPSS(ポリスチレン スルホン酸)からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。 【0061】

赤サブピクセル P r の場合には、有機 E L 層 2 0 b が赤色に発光し、緑サブピクセル P g の場合には、有機 E L 層 2 0 b が緑色に発光し、青サブピクセル P b の場合には、有機 E L 層 2 0 b が青色に発光する。

[0062]

有機 E L 層 2 0 b はサブピクセル電極 2 0 a ごとに独立して設けられ、平面視した場合 、複数の有機 E L 層 2 0 b がマトリクス状に配列されている。なお、赤サブピクセル P r が垂直方向に沿って一列に配列されているので、垂直方向に沿って一列に配列された複数 のサブピクセル電極 2 0 a が、垂直方向に沿って帯状に長尺な共通の赤色発光の有機 E L 層 2 0 b によって被覆されていても良い。隣りにおいて垂直方向に配列された複数のサブ ピクセル電極 2 0 a が、垂直方向に沿って帯状に長尺な共通の緑色発光の有機 E L 層 2 0 b によって被覆されていても良いし、反対隣りにおいて垂直方向に配列された複数のサブ ピクセル電極 2 0 a が垂直方向に沿って帯状に長尺な共通の青色発光の有機 E L 層 2 0 b によって被覆されていても良い。

【0063】

有機 E L 層 2 0 b は、撥液性導電層 5 5 の形成後に湿式塗布法(例えば、インクジェット法)によって成膜される。この場合、有機 E L 層 2 0 b となる有機化合物を含有する有機化合物含有液をサブピクセル電極 2 0 a に塗布するが、塗布時におけるの有機化合物含有液の液面は、絶縁膜 5 2 の頭頂部よりも高い。しかし水平方向に隣り合うサブピクセル 電極 2 0 a 間には、頭頂部が絶縁膜 5 2 の頭頂部よりも十分高い共通配線 9 1 が設けられているので、有機化合物含有液が共通配線 9 1 を乗り越えて隣のサブピクセル電極 2 0 a に漏れることがない。従って、有機 E L 層 2 0 bを湿式塗布法によって色ごとに塗り分けることができる。

[0064]

更に、撥液性導電層55の撥水性・撥油性によって、サブピクセル電極20aに塗布さ 50

れた有機化合物含有液がサブピクセル電極20aの周囲で厚くならないので、有機EL層 20bを均一な膜厚で成膜することができる。

【0065】

なお、有機 E L 層 2 0 b は、二層構造の他に、サブピクセル電極 2 0 a から順に正孔輸 送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からな る一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注 入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。 【0066】

有機EL層20b上には、有機EL素子20のカソードとして機能する対向電極20c が成膜されている。対向電極20cは、全てのサプピクセルPに共通して形成された共通 電極であり、べた一面に成膜されている。給電配線90が絶縁膜52によって被覆されて いるから、対向電極20cに対して給電配線90が絶縁されている。一方、共通配線91 が撥液性導電層55によって被覆されているから、対向電極20cに対して共通配線91 が電気的に導通している。

[0067]

対向電極20cは、サブピクセル電極20aよりも仕事関数の低い材料で形成されてお り、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属 の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極 20cは、上記各種材料の層が積層された積層構造となっていても良いし、以上の各種材 料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造と なっていても良く、具体的には、有機EL層20bと接する界面側に設けられた低仕事関 数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との 積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられ る。またトップエミッション構造の場合、対向電極20cを上述のような低仕事関数の薄 膜とその上にITO等の透明導電膜を積層した透明電極としてもよい。 【0068】

対向電極20c上には封止絶縁膜56が対向電極20c全体を被覆するよう成膜されて いる。封止絶縁膜56は、対向電極20cの劣化を防止するために設けられている無機膜 又は有機膜である。

[0069]

なお、従来のトップエミッション型構造のディスプレイパネルは、この対向電極20c に相当する対向電極の少なくとも一部を金属酸化物のように抵抗値が高い透明電極を用い ることになるが、このような材料は十分に厚くしなければシート抵抗が十分に低くならな いので、厚くすることによって必然的に光透過率が下がってしまい、逆に対向電極を薄く すると、大画面になるほど面内で均一の電位になりにくく表示特性が低くなってしまって いた。

しかしながら、本実施形態では、十分な厚さのために低抵抗な複数の共通配線91を設 けているので、対向電極20cと合わせて複数の有機EL素子20のカソード電極全体の シート抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこの ような構造では、共通配線91がカソード電極としてのシート抵抗を下げているので、対 向電極20cを薄膜にして透過率を向上したりすることが可能である。

【0071】

そして、薄膜トランジスタ21~23の電極のもととなる導電層以外の厚い導電層から 給電配線90を形成し、給電配線90をそれぞれ供給線Zに電気的に接続するように設け ているので、薄膜トランジスタ21~23の電極のもととなる導電層のみで形成された供 給線Zでの電圧降下による複数の有機EL素子20に後述する書込電流や駆動電流が所定 の大きさに達するまでの遅延を防止し、良好に駆動することが可能となる。 【0072】

〔ディスプレイパネルの駆動方法〕

20

30

ディスプレイパネル1を駆動するための構造は、図7のようになっている。走査線X₁ ~X_mがそれぞれ接続された選択ドライバ111が絶縁基板2の第一の周縁部に配置され 、互いに電気的に絶縁された給電配線90,90,…(供給線Z₁~Z_m)が接続された給 電ドライバ112が絶縁基板2の第一の周縁部と対向する周縁部である第二周縁部に配置 されている。

[0073]

このディスプレイパネル1をアクティブマトリクス方式で駆動するには、次のようにな る。すなわち、図8に示すように、走査線X1~Xmに接続された選択ドライバ111によ って、走査線X₁から走査線X_mへの順(走査線X_mの次は走査線X₁)にハイレベルのシフ トパルスを順次出力することにより走査線 X 1 ~ X m を順次選択する。また、選択期間に各 給電配線90を介して供給線Z₁~Z_mにそれぞれ接続された駆動トランジスタ23に書込 電流を流すための書込給電電圧VLを印加し、発光期間に駆動トランジスタ23を介して 有機EL素子20に駆動電流を流すための駆動給電電圧VHを印加する給電ドライバ11 2が各給電配線90に接続されている。この給電ドライバ112によって、選択ドライバ 111と同期するよう、供給線 Z₁から供給線 Zmへの順(供給線 Zmの次は供給線 Z₁)に ローレベル(有機EL素子20の対向電極の電圧より低レベル)の書込給電電圧VLを順 次出力することにより供給線 Z₁ ~ Z_mを順次選択する。また、選択ドライバ111が各走 査線X₁~Xmを選択している時に、データドライバが引抜電流である書込電流(電流信号)を所定の行の駆動トランジスタ23のソース - ドレイン間を介して全信号線 Y₁~ Y₀に 流す。なお、対向電極20c及び共通配線91群は引き回し配線95及び配線端子Tcに よって外部と接続され、一定のコモン電位Vcom(例えば、接地=0ボルト)に保たれて いる。

[0074]

各選択期間において、データドライバ側の電位は、給電配線90,90,…及び供給線 Z₁~Z_mに出力された書込給電電圧VL以下で且つこの書込給電電圧VLはコモン電位Vco m以下に設定されている。したがってこの時、有機EL素子20から信号線Y1~Ynに流 れることはないので図2に示すように、データドライバによって階調に応じた電流値の書 込電流(引抜電流)が矢印Aの通り、信号線Y₁~Y_nに流れ、サブピクセルP_{i,i}におい ては給電配線90及び供給線Ziから駆動トランジスタ23のソース - ドレイン間、スイ ッチトランジスタ21のソース - ドレイン間を介して信号線 Yi に向かった書込電流(引 抜電流)が流れる。このように駆動トランジスタ23のソース - ドレイン間を流れる電流 の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入 力された階調に応じて書込電流(引抜電流)の電流値を設定する。書込電流(引抜電流) が流れている間、 i 行目の P_{i 1} ~ P_{i n}の各駆動トランジスタ 2 3 のゲート 2 3 g - ソー ス23s間の電圧は、それぞれ信号線Y₁~Y_nに流れる書込電流(引抜電流)の電流値、 つまり駆動トランジスタ23のVg-Ids特性の経時変化にかかわらず駆動トランジスタ 2 3 のドレイン 2 3 d - ソース 2 3 s 間を流れる書込電流 (引抜電流)の電流値に見合う ように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ24にチ ャージされて、書込電流(引抜電流)の電流値が駆動トランジスタ23のゲート23g -ソース23s間の電圧のレベルに変換される。その後の発光期間では、走査線Xiがロー レベルになり、スイッチトランジスタ21及び保持トランジスタ22がオフ状態となるが 、オフ状態の保持トランジスタ22によってキャパシタ24の電極24A側の電荷が閉じ 込められてフローティング状態になり、駆動トランジスタ23のソース23sの電圧が選 択期間から発光期間に移行する際に変調しても、駆動トランジスタ23のゲート23g-ソース23s間の電位差がそのまま維持される。この発光期間では、供給線Z;及びそれ に接続された給電配線90の電位が駆動給電電圧VHとなり、有機EL素子20の対向電 極20cの電位Vcomより高くなることによって、供給線Zi及びそれに接続された給電配 線90から駆動トランジスタ23を介して有機 EL素子20に駆動電流が矢印 Bの方向に 流れ、有機EL素子20が発光する。駆動電流の電流値は駆動トランジスタ23のゲート 23g-ソース23s間の電圧に依存するため、発光期間における駆動電流の電流値は、

10

20

選択期間における書込電流(引抜電流)の電流値に等しくなる。 【0075】

一方、ディスプレイパネル1の別の駆動方法で駆動するための構造は、図9に示すようになっている。図9に示すように、走査線X₁~X_mがそれぞれ接続された選択ドライバ111が絶縁基板2の第一の周縁部に配置され、給電配線90,90,……が互いに電気的に接続されるよう給電配線90,90,……と一体的に形成された引き回し配線109が絶縁基板2の第一の周縁部と対向する周縁部である第二周縁部に配置されている。引き回し配線109は、第一周縁部及び第二周縁部と直交する第三の周縁部及び第四の周縁部のそれぞれに位置する端子部109a及び端子部109bの両方からクロック信号が入力されている。

【0076】

ディスプレイパネル1の別のアクティブマトリクス駆動方法は次のようになる。すなわち、図10に示すように、外部の発振回路が端子部109a及び端子部109bから引き回し配線109を介して給電配線90,90,…及び供給線Z₁~Z_mに対してクロック信号を出力する。また、選択ドライバ111によって走査線X₁から走査線X_mへの順(走査線X_mの次は走査線X₁)にハイレベルのシフトパルスを順次出力することにより走査線X₁~X_mを順次選択するが、選択ドライバ111が走査線X₁~X_mの何れか1つがハイレベルつまりオンレベルのシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、選択ドライバ1111が各走査線X₁~X_mを選択している時に、データドライバが書込電流である引抜電流(電流信号)を駆動トランジスタ23のソース - ドレイン間を介して全信号線Y₁~Y_nに流す。なお、対向電極20c及び給電配線90の一定のコモン電位Vcom(例えば、接地=0ボルト)に保たれている。

【0077】

走査線X,の選択期間においては、i行目の走査線X,にシフトパルスが出力されている から、スイッチトランジスタ21及び保持トランジスタ22がオン状態となる。各選択期 間において、データドライバ側の電位は、給電配線90,90,…及び供給線Z₁~Z_mに 出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン 電位 V com以下に設定されている。したがってこの時、有機 E L 素子 2 0 から信号線 Y 1 ~ Y_nに流れることはないので図2に示すように、データドライバによって階調に応じた電 流値の書込電流(引抜電流)が矢印 A の通り、信号線 Y₁ ~ Y_nに流れ、サブピクセル P_i ;においては給電配線90及び供給線 Z;から駆動トランジスタ23のソース - ドレイン間 、スイッチトランジスタ21のソース - ドレイン間を介して信号線 Yi に向かった書込電 流(引抜電流)が流れる。このように駆動トランジスタ23のソース - ドレイン間を流れ る電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部 から入力された階調に応じて書込電流(引抜電流)の電流値を設定する。書込電流(引抜 電流)が流れている間、 i 行目の P _{i 1} ~ P _{i n}の各駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧は、それぞれ信号線 Y ₁ ~ Y _nに流れる書込電流(引抜電流)の電 流値、つまり駆動トランジスタ23のVg-Ids特性の経時変化にかかわらず駆動トラン ジスタ23のドレイン23d-ソース23s間を流れる書込電流(引抜電流)の電流値に 見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ2 4 にチャージされて、書込電流(引抜電流)の電流値が駆動トランジスタ23のゲート2 3g-ソース23s間の電圧のレベルに変換される。その後の発光期間では、走査線X; がローレベルになり、スイッチトランジスタ21及び保持トランジスタ22がオフ状態と なるが、オフ状態の保持トランジスタ22によってキャパシタ24の電極24A側の電荷 が閉じ込められてフローティング状態になり、駆動トランジスタ23のソース23sの電 圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ23のゲート2 3g-ソース23s間の電位差がそのまま維持される。この発光期間のうち、いずれの行 の選択期間でもない間、つまり、クロック信号が給電配線90及び供給線乙の電位が有 機 E L 素子 2 0 の対向電極 2 0 c 及び給電配線 9 0 の電位 V comより高いハイレベルの間 、より高電位の給電配線90及び供給線Ziから駆動トランジスタ23のソース - ドレイ

10

30

20

ン間を介して有機EL素子20に駆動電流が矢印Bの方向に流れ、有機EL素子20が発 光する。駆動電流の電流値は駆動トランジスタ23のゲート23g-ソース23s間の電 圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流(引抜電流)の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間 、つまりクロック信号がローレベルである時は、給電配線90及び供給線Z_iの電位が対 向電極20c及び給電配線90の電位Vcom以下であるので、有機EL素子20に駆動電 流は流れず発光しない。

(14)

【0078】

何れの駆動方法においても、スイッチトランジスタ21は、駆動トランジスタ23のソ ース23sと信号線Yとの間の電流のオン(選択期間)・オフ(発光期間)を行うものと して機能する。また、保持トランジスタ22は、選択期間に駆動トランジスタ23のソー ス23s-ドレイン23d間に電流が流れることができる状態にし、発光期間に駆動トラ ンジスタ23のゲート23g-ソース23s間に印加した電圧を保持するものとして機能 する。そして、駆動トランジスタ23は、発光期間中に供給線Z及び給電配線90がハイ レベルになった時に、階調に応じた大きさの電流を有機EL素子20に流して有機EL素 子20を駆動するものとして機能する。

【0079】

以上のように、給電配線90に流れる電流の大きさは一列の供給線 Z ; に接続された n 個の有機 E L 素子 2 0 に流れる駆動電流の大きさの和になるので、 V G A 以上の画素数で 動画駆動するための選択期間に設定した場合、給電配線90の寄生容量が増大してしまい 、薄膜トランジスタのゲート電極又はソース、ドレイン電極のような薄膜からなる配線で は一行の供給線 Z に接続されている n 個の有機 E L 素子 2 0 に書込電流を流すには抵抗が 高すぎるが、本実施形態では、サブピクセル P 1,1 ~ P m, n の薄膜トランジスタのゲート電 極やソース、ドレイン電極とは異なる導電層によって給電配線90を各供給線 Z にそれぞ れ接続するように構成しているので給電配線90による電圧降下は小さくなり、短い選択 期間であっても遅延なく十分に書込電流を流すことができる。そして、給電配線90を厚 くすることで給電配線90を低抵抗化したので、給電配線90の幅を狭くすることができ 且つ給電配線90を供給線 Z に重ね合わせているため、ボトムエミッションの場合、画素 開口率の減少を最小限に抑えることができる。

[0080]

同様に、発光期間に共通配線91に流れる電流の大きさは、選択期間に給電配線90に 流れる書込電流の大きさと同じであるが、サブピクセルP_{1,1}~P_{m,n}の薄膜トランジスタ のゲート電極やソース、ドレイン電極とは異なる導電層を共通配線91に用いているので 共通配線91を十分な厚さにすることができるため、共通配線91を低抵抗化することが でき、さらに対向電極20c自体が薄膜化してより高抵抗になっても対向電極20cの電 圧を面内で一様にすることができる。従って、仮に全てのサブピクセル電極20aに同じ 電圧を印加した場合でも、どの有機EL層20bの発光強度もほぼ等しくなり、面内の発 光強度を一様することができる。また、ディスプレイパネル1をトップエミッション型と して用いた場合、対向電極20cをより薄膜化ことが可能なので、有機EL層20bを発 した光が対向電極20cを透過中に減衰し難くなる。更に、平面視して水平方向に隣り合 うサブピクセル電極20aの間に共通配線91が設けられているため、画素開口率の減少 を最小限に抑えることができる。

[0081]

更に、駆動トランジスタ23、保持トランジスタ22が遮光性を有するが、平面視して 駆動トランジスタ23、保持トランジスタ22が遮光性の共通配線91に重なっているた め、画素開口率の減少を最小限に抑えることができる。

【0082】

そして、第 k 列の共通配線 9 1 (2 k n + 1)が第(k - 1)列のサブピクセル P のトランジスタ 2 2 , 2 3 を平面視して覆っているので、つまり、トランジスタ 2 2 、 2 3 のソース - ドレイン間に有機 E L 層 2 0 b が平面視して重ならないようにしたので、有

10

20

30

40

機EL層20bからの光が、トランジスタ22、23のソース - ドレイン間からトランジ スタ22、23の半導体膜22c、23cに入射されにくくなり、トランジスタ22c、 23cの光入射によるトランジスタの変調を抑えることができる。特に駆動トランジスタ 23は、有機EL素子20に駆動電流を流すトランジスタであるため、光入射によって正 確な輝度階調が阻害される恐れがあるので、本実施形態における構造によって正確な輝度 階調を表現することができる。

【 0 0 8 3 】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

以下、ディスプレイパネル1の給電配線90及び共通配線91の幅、断面積及び抵抗率 を定義する。ここで、ディスプレイパネル1のサブピクセル数をWXGA(768×13 ¹⁰ 66)としたときに、給電配線90及び共通配線91の望ましい幅、断面積を定義する。 図11は、各サブピクセルの駆動トランジスタ23及び有機EL素子20の電流 - 電圧特 性を示すグラフである。

【0084】

図11において、縦軸は1つの駆動トランジスタ23のソース23s-ドレイン23d 間を流れる書込電流の大きさ又は1つの有機EL素子20のアノード-カソード間を流れ る駆動電流の大きさを表し、横軸は1つの駆動トランジスタ23のソース23s-ドレイ ン23d間の電圧(同時に1つの駆動トランジスタ23のゲート23g-ドレイン23d 間の電圧)のレベルを表す。図中、実線Ids maxは、最高輝度階調(最も明るい表示)の ときの書込電流及び駆動電流であり、一点鎖線Ids midは、最高輝度階調と最低輝度階調 との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線Vpoは駆動トラン ジスタ23の不飽和領域(線形領域)と飽和領域との閾値つまりピンチオフ電圧であり、 三点鎖線Vdsは駆動トランジスタ23のソース23s-ドレイン23d間を流れる書込電 流であり、破線Ielは有機EL素子20のアノード-カソード間を流れる駆動電流である

【 0 0 8 5 】

ここで電圧 V P1は、最高輝度階調時の駆動トランジスタ23のピンチオフ電圧であり、 電圧 V P2は、駆動トランジスタ23が最高輝度階調の書込電流が流れるときのソース - ド レイン間電圧であり、電圧 V ELmax (電圧 V P4 - 電圧 V P3)は有機 E L 素子20が最高輝 度階調の書込電流と大きさが等しい最高輝度階調の駆動電流で発光するときのアノード -カソード間の電圧である。電圧 V P2'は、駆動トランジスタ23が中間輝度階調の書込電 流が流れるときのソース - ドレイン間電圧であり、電圧(電圧 V P4' - 電圧 V P3')は有 機 E L 素子20が中間輝度階調の書込電流と大きさが等しい中間輝度階調の駆動電流で発 光するときのアノード - カソード間電圧である。

【0086】

駆動トランジスタ23及び有機EL素子20はいずれも飽和領域で駆動させるために、 (給電配線90の発光期間時の電圧VH)から(共通配線91の発光期間時の電圧Vcom) を減じた値VXは下記の式(1)を満たす。

[0087]

VX = Vpo + Vth + Vm + VEL (1)

40

20

30

【0088】

Vth(最高輝度時の場合VP2-VP1に等しい)は駆動トランジスタ23の閾値電圧であ り、VEL(最高輝度時の場合VELmaxに等しい)は有機EL素子20のアノード-カソー ド間電圧であり、Vmは、階調に応じて変位する許容電圧である。

【0089】

図から明らかなように、電圧 V Xのうち、輝度階調が高くなる程、トランジスタ23の ソース - ドレイン間に要する電圧(Vpo+Vth)が高くなるとともに有機 E L 素子20の アノード - カソード間に要する電圧 V ELが高くなる。したがって、許容電圧 Vmは、輝度 階調が高くなるほど低くなり、最小許容電圧 Vmminは V P3 - V P2となる。

[0090]

有機 E L 素子20は低分子 E L 材料及び高分子 E L 材料にかかわらず一般的に経時劣化 し、高抵抗化する。10000時間後のアノード-カソード間電圧は初期時の1.4倍程 度になることが確認されている。つまり、電圧 V EL は、同じ輝度階調時でも時間が経つ程 高くなる。このため、駆動初期時の許容電圧 V m が高い程長期間にわたって動作が安定す るので、電圧 V EL が 8 V 以上、より望ましくは 13 V 以上となるように電圧 V Xを設定し ている。

【0091】

この許容電圧 Vmには、有機 EL素子20の高抵抗化ばかりでなく、さらに、給電配線 90による電圧降下の分も含まれる。

【0092】

10

給電配線90の配線抵抗のために電圧降下が大きいとディスプレイパネル1の消費電力 が著しく増大してしまうため、給電配線90の電圧降下は1V以下に設定することが特に 好ましい。

【0093】

行方向の一つのサブピクセルPの長さであるサブピクセル幅Wpと、行方向のサブピク セル数(1366)と、を考慮した結果、ディスプレイパネル1のパネルサイズが32イ ンチ、40インチの場合、給電配線90の全長はそれぞれ706.7mm、895.2m mとなる。ここで、給電配線90の線幅WL及び共通配線91の線幅WLが広くなると、構 造上有機EL層20bの面積が小さくなり、さらに他の配線との重なり寄生容量を発生し てさらなる電圧降下をもたらすため、給電配線90の幅WL及び共通配線91の線幅WLは それぞれサブピクセル幅Wpの5分の1以下に抑えることが望ましい。このようなことを 考慮すると、ディスプレイパネル1のパネルサイズが32インチ、40インチの場合、幅 WLはそれぞれ34µm以内、44µm以内となる。また給電配線90及び共通配線91 の最大膜厚Hmaxはアスペクト比を考慮すると、トランジスタ21~23の最小加工寸法 4µmの1.5倍、つまり6µmとなる。したがって給電配線90及び共通配線91の最 大断面積Smaxは32インチ、40インチで、それぞれ204µm²、264µm²となる

0

【0094】

このような32インチのディスプレイパネル1について、最大電流が流れるように全点 灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にする ためには図12に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 /断面積5は4.7 / cm以下に設定される必要がある。図13に32インチのディス プレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関 係を表す。なお、上述した給電配線90及び共通配線91の最大断面積Smax時に許容さ れる抵抗率は、32インチで9.6µ cm、40インチで6.4µ cmとなる。 【0095】

そして、40インチのディスプレイパネル1について、最大電流が流れるように全点灯 したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするた めには図14に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 / 断面積Sは2.4 / cm以下に設定される必要がある。図15に40インチのディスプ レイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係 を表す。

[0096]

給電配線90及び共通配線91の故障により動作しなくなる故障寿命MTFは、下記の 式(2)を満たす。

【0097】

MTF=A exp(Ea/K_bT)/ J²(2)

[0098]

Eaは活性化エネルギー、K_bT=8.617×10 ⁵eV、 は給電配線90及び共 通配線91の抵抗率、Jは電流密度である。

20



[0099]

給電配線90及び共通配線91の故障寿命MTFは抵抗率の増大やエレクトロマイグレ ーションに律速する。給電配線90及び共通配線91をA1系(A1単体或いはA1Ti やA1Nd等の合金)に設定し、MTFが10000時間、85 の動作温度で試算する と、電流密度Jは2.1×10⁴A/cm²以下にする必要がある。同様に給電配線90及 び共通配線91をCuに設定すると、2.8×10⁶A/cm²以下にする必要がある。な おA1合金内のA1以外の材料はA1よりも低い抵抗率であることを前提としている。

これらのことを考慮して、32インチのディスプレイパネル1では、全点灯状態で10 000時間に給電配線90及び共通配線91が故障しないようなA1系の給電配線90及 び共通配線91のそれぞれの断面積Sは、図12から、57µm²以上必要になり、同様 にCuの給電配線90及び共通配線91のそれぞれの断面積Sは、図13から、0.43 µm²以上必要になる。

【 0 1 0 0 】

そして40インチのディスプレイパネル1では、全点灯状態で10000時間に給電配 線90及び共通配線91が故障しないようなA1系の給電配線90及び共通配線91のそ れぞれの断面積Sは、図14から、92µm²以上必要になり、同様にCuの給電配線9 0及び共通配線91のそれぞれの断面積Sは、図15から、0.69µm²以上必要にな る。

[0101]

A 1 系の給電配線90及び共通配線91では、A 1 系の抵抗率が4.00µ cmとす 20 ると、32インチのディスプレイパネル1では上述のように配線抵抗率 /断面積Sが4 .7 / cm以下なので、最小断面積Sminは85.1µm²となる。このとき上述のよう に給電配線90及び共通配線91の配線幅WLは34µm以内なので給電配線90及び共 通配線91の最小膜厚Hminは2.50µmとなる。

【0102】

また A 1 系の給電配線90及び共通配線91の40インチのディスプレイパネル1では 上述のように配線抵抗率 /断面積Sが2.4 / cm以下なので、最小断面積Sminは 167µm²となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは 44µm以内なので給電配線90及び共通配線91の最小膜厚Hminは3.80µmとな る。

【0103】

Cuの給電配線90及び共通配線91では、Cuの抵抗率が2.10µ cmとすると、32インチのディスプレイパネル1では上述のように配線抵抗率 /断面積Sが4.7 / cm以下なので、最小断面積Sminは44.7µm²となる。このとき上述のように給 電配線90及び共通配線91の配線幅WLは34µm以内なので給電配線90及び共通配 線91の最小膜厚Hminは1.31µmとなる。

【0104】

またCuの給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 /断面積Sが2.4 /cm以下なので、最小断面積Sminは8 7.5µm²となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは 44µm以内なので給電配線90及び共通配線91の最小膜厚Hminは1.99µmとな る。

【0105】

以上のことから、ディスプレイパネル1を正常且つ消費電力を低く動作させるには、給 電配線90及び共通配線91での電圧降下を1V以下にした方が好ましく、このような条 件にするには、給電配線90及び共通配線91がA1系の32インチのパネルでは、膜厚 Hが2.50µm~6µm、幅WLが14.1µm~34.0µm、抵抗率が4.0µ cm~9.6µ cmとなり、給電配線90及び共通配線91がA1系の40インチのパ ネルでは、給電配線90及び共通配線91がA1系の場合、膜厚Hが3.80µm~6µ m、幅WLが27.8µm~44.0µm、抵抗率が4.0µ cm~9.6µ cmと 30

10

なる。

【0106】

総じてA1系の給電配線90及び共通配線91の場合、膜厚Hが2.50µm~6µm 、幅WLが14.1µm~44µm、抵抗率が4.0µ cm~9.6µ cmとなる。 同様に、給電配線90及び共通配線91がCuの32インチのパネルでは、膜厚Hが1 .31µm~6µm、幅WLが7.45µm~34µm、抵抗率が2.1µ cm~9. 6µ cmとなり、給電配線90及び共通配線91がCuの40インチのパネルでは、給 電配線90及び共通配線91がCu系の場合、膜厚Hが1.99µm~6µm、幅WLが 14.6µm~44.0µm、抵抗率が2.1µ cm~9.6µ cmとなる。 【0107】

総じて C u の 給電配線 9 0 及び共通配線 9 1 の場合、 膜厚 H が 1 . 3 1 µ m ~ 6 µ m、 幅 W L が 7 . 4 5 µ m ~ 4 4 µ m、抵抗率が 2 . 1 µ c m ~ 9 . 6 µ c m となる。

したがって、給電配線90及び共通配線91としてA1系材料又はCuを適用した場合 、ディスプレイパネル1の給電配線90及び共通配線91は、膜厚Hが1.31µm~6 µm、幅WLが7.45µm~44µm、抵抗率が2.1µ cm~9.6µ cmとな る。

【0108】

以上のように、対向電極20cの表面に設けられた共通配線91がトランジスタ21~ 23の電極とは別層で形成されているから、共通配線91を厚膜にすることができ、共通 配線91を低抵抗化することができる。そして、低抵抗な共通配線91が対向電極20c に導通しているから、対向電極20c自体が薄膜化してより高抵抗になっても対向電極2 0cの電圧を面内で一様にすることができる。従って、仮に全てのサブピクセル電極20 aに同じ電位を印加した場合でも、どの有機EL層20bの発光強度もほぼ等しくなり、 面内の発光強度を一様することができる。

【0109】

また、ディスプレイパネル1をトップエミッション型として用いた場合、対向電極20 cをより薄膜化することが可能なので、有機EL層20bを発した光が対向電極20cを 透過中に減衰し難くなる。更に、平面視して水平方向に隣り合うサブピクセル電極20a の間に共通配線91が設けられているため、画素開口率の減少を最小限に抑えることがで きる。

[0110]

また、平坦化膜33及び保護絶縁膜32の溝に埋設された給電配線90がトランジスタ 21~23の電極とは別層で形成されているから、給電配線90を厚膜にすることができ 、給電配線90を低抵抗化することができる。低抵抗な給電配線90が薄膜の供給線Zに それぞれ積層されているから、供給線Zの電圧降下を抑えることができ、更には供給線Z 及び給電配線90の信号遅延を抑えることができる。例えば、仮に給電配線90がない場 合にディスプレイパネル1を大画面化したときには、供給線Zの電圧降下によって面内の 発光強度のムラが発生したり、発光しない有機EL素子20が存在したりするおそれがあ る。しかしながら、本実施形態では、低抵抗な給電配線90が供給線Zに導通しているか ら、面内の発光強度のムラを抑えることができ、更に発光しない有機EL素子20をなく すことができる。

[0111]

更に、給電配線90を厚くすることで給電配線90を低抵抗化したので、給電配線90 の幅を狭くすることができる。更に、平面視して垂直方向に隣り合うサブピクセル電極2 0 aの間に幅の狭い給電配線90が設けられているから、画素開口率の減少を最小限に抑 えることができる。

【0112】

また、共通配線91の表面に撥液性導電層55が成膜されているから、有機EL層20 bを湿式塗布法によって色ごとに塗り分けることができる。 【0113】 10

20



〔変形例1〕

なお、本発明は、上記各実施の形態に限定されることなく、本発明の趣旨を逸脱しない 範囲において、種々の改良並びに設計の変更を行っても良い。

(0 1 1 4 **)**

上記実施形態では、共通配線91によってトランジスタ22,23が覆われていたが、 図16~図21に示されたディスプレイパネル1A示すように、(n+1)本の各共通配 線91Aの幅を共通配線91の幅よりも広くすることによって第k列の共通配線91A(k n)が第(k-1)列のサブピクセルPのトランジスタ22,23に加えて第k 2 列のサブピクセル P のスイッチトランジスタ21及び第 k 列の信号線 Y 。を覆っても良い 。また第1列の共通配線91Aは、第1列のサブピクセルPのスイッチトランジスタ21 及び第1列の信号線 Y を覆っており、第(n + 1)列の共通配線91Aは、第n列のサ ブピクセルPのトランジスタ22,23を覆っている。このようにすることによって、ト ランジスタ21~23のソース - ドレイン間に有機 EL層20bが平面視して重ならない ようにしたので、有機EL層20bからの光が、トランジスタ21~23のソース・ドレ イン間からトランジスタ21~23の半導体膜21c~23cに入射されにくくなり、ト ランジスタ21~23の光入射によるトランジスタの変調を抑えることができる。ここ 図16は、水平方向に連続する赤サブピクセルPr、緑サブピクセルPg、青サブピクセ ルPbの略平面図であり、図17は、そのうちの1ドットのサブピクセルPを図示し、図 18は、図17に示された切断線XVIII - XVIIIに沿った面の矢視断面図であり、図19は 、図17に示された切断線XIX - XIXに沿った面の矢視断面図である。また図20は、本変 形例におけるディスプレイパネル1の配線構造を示した略平面図であり、図21は、本変 形例における他のディスプレイパネル1の配線構造を示した略平面図である。なお、図2 0のディスプレイパネル1は、図の第一のディスプレイパネル1と同様に図8に示す波形 チャートによって動作され、図21のディスプレイパネル1は、図の第二のディスプレイ パネル1と同様に図10に示す波形チャートによって動作される。これにより、共通配線 91Aの縁よりも内側に隣りのトランジスタ21~23及び隣の信号線Yが配置される。 なお、ディスプレイパネル1Aについては、上記実施形態のディスプレイパネル1と同様 の構成要素に同様の符号を付してその説明を省略する。

【0115】

〔 変 形 例 2 〕

上記各実施形態では、トランジスタ21~23がNチャネル型の電界効果トランジスタとして説明を行った。トランジスタ21~23がPチャネル型の電界効果トランジスタであっても良い。その場合、図2の回路構成では、トランジスタ21~23のソース21s,22s,23sとトランジスタ21~23のドレイン21d,22d,23dの関係が逆になる。例えば、駆動トランジスタ23がPチャネル型の電界効果トランジスタの場合には、駆動トランジスタ23のドレイン23dが有機EL素子20のサブピクセル電極20aに導通し、ソース23sが供給線Zに導通する。

[0116]

〔 変形例 3 〕

また、上記各実施形態では、1ドットのサブピクセルPにつき3つのトランジスタ21 40 ~23が設けられているが、1ドットのサブピクセルPにつき1又は複数のトランジスタ が設けられ、これらトランジスタを用いてアクティブ駆動することができるディスプレイ パネルであれば、本発明を適用することができる。

【0117】

〔変形例4〕

また、上記各実施形態では、信号線 Y がゲートレイヤーからパターニングされたもので あるが、信号線 Y がドレインレイヤーからパターニングされたものでも良い。この場合、 走査線 X 及び供給線 Z がゲートレイヤーからパターニングされたものとなり、信号線 Y が 走査線 X 及び供給線 Z よりも上層になる。

[0 1 1 8 **]**

10

20

〔 変 形 例 5 〕

また、上記実施形態では、垂直方向の列毎に、赤サブピクセルPrの有機EL層20b、緑サブピクセルPgの有機EL層20b、青サブピクセルPbの有機EL層20bの順 に繰り返し配列したが、必ずしもこの順に配列しなくてもよい。

- 【0119】
- 〔変形例6〕

また、上記各実施形態では、対向電極20cを有機EL素子20のカソードとし、サブ ピクセル電極20aを有機EL素子20のアノードとしたが、対向電極20cを有機EL 素子20のアノードとし、サブピクセル電極20aを有機EL素子20のカソードとして もよい。

10

【0120】 〔変形例7〕

また上記各実施形態では、保持トランジスタ22のドレイン22dは、供給線Zに接続 されていたが、これに限らず、保持トランジスタ22のドレイン22dは駆動トランジス タ23のドレイン23dと導通せずに走査線Xに接続されていてもよい。

なお、整合性のある限り、上記変形例を複数組み合わせても差し支えない。

- 【図面の簡単な説明】
- [0121]
- 【図1】ディスプレイパネル1の画素3を示した平面図である。
- 【図2】ディスプレイパネル1のサブピクセルPの等価回路図である。
- 【図3】サブピクセルPの電極を示した平面図である。
- 【図4】図3に示された切断線IV-IVに沿った断面の矢視断面図である。
- 【図5】図3に示された破断線V-Vに沿った断面の矢視断面図である。
- 【図6】図3に示された破断線VI-VIに沿った断面の矢視断面図である。
- 【図7】ディスプレイパネルの配線構造を示した略平面図である。
- 【図8】図7に示すディスプレイパネル1の駆動方法を説明するためのタイミングチャートである。
- 【図9】他のディスプレイパネルの配線構造を示した略平面図である。
- 【図10】図9に示すディスプレイパネル1の駆動方法を説明するためのタイミングチャートである。
- 【図11】各サブピクセルの駆動トランジスタ23及び有機EL素子20の電流 電圧特性を示すグラフである。
- 【図12】32インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの最大電圧降下と配線抵抗率 /断面積5の相関を示すグラフである。
- 【図13】32インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関を示すグラフである。
- 【図14】40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの最大電圧降下と配線抵抗率 /断面積Sの相関を示すグラフである。
- 【図15】40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関を示すグラフである。
- 【図16】ディスプレイパネル1の水平方向に連続する赤サブピクセルPr、緑サブピク セルPg、青サブピクセルPbで構成された画素3の略平面図である。
- 【図17】図16のサブピクセルPの電極を示した平面図である。
- 【図18】図17に示された切断線XVIII XVIIIに沿った面の矢視断面図である。
- 【図19】図17に示された切断線XIX-XIXに沿った面の矢視断面図である。
- 【図20】変形例におけるディスプレイパネルの配線構造を示した略平面図である。
- 【図21】変形例における他のディスプレイパネルの配線構造を示した略平面図である。 【符号の説明】
- 【 0 1 2 2 】

1、1A ディスプレイパネル

30

20

- 20a サブピクセル電極
- 2 0 b 有機 E L 層
- 20c 対向電極
- 21 スイッチトランジスタ
- 2.2 保持トランジスタ
- 23 駆動トランジスタ
- 50 トランジスタアレイ基板
- 91、91A 共通配線
- Pr 赤サブピクセル
- Pg 緑サブピクセル
- Pb 青サブピクセル

【図1】

【図2】









【図5】







【図8】







【図9】



【図10】



7 8 9 10

32インチパネル



【図12】



----- Vpo



【図13】

【図14】









【図16】







【図18】



(26)







【図21】



フロントページの続き

- (72)発明者 白嵜 友之東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内
- (72)発明者 小倉 潤東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内

審査官 北川 創

 (56)参考文献
 特開 2 0 0 4 - 2 5 8 1 7 2 (J P , A)

 特開 2 0 0 3 - 3 1 7 9 7 1 (J P , A)

 特開 2 0 0 3 - 3 1 7 9 7 1 (J P , A)

 特開 2 0 0 3 - 2 8 8 9 9 4 (J P , A)

 特開 2 0 0 3 - 2 8 8 9 9 4 (J P , A)

 特開 2 0 0 4 - 2 0 7 2 1 7 (J P , A)

 特開 2 0 0 3 - 3 8 4 6 8 3 (J P , A)

 特開 2 0 0 3 - 3 8 4 6 8 3 (J P , A)

 特開 2 0 0 3 - 3 8 4 6 8 3 (J P , A)

 特開 2 0 0 1 - 2 3 6 0 2 7 (J P , A)

 特開 2 0 0 1 - 1 9 5 0 0 8 (J P , A)

 特開 2 0 0 2 - 3 5 2 9 6 3 (J P , A)

 特開 2 0 0 3 - 1 8 6 4 2 0 (J P , A)

 特開 2 0 0 3 - 1 8 6 4 2 0 (J P , A)

 特開 2 0 0 3 - 1 8 6 4 2 0 (J P , A)

 特開 2 0 0 3 - 1 8 6 4 2 0 (J P , A)

 特開 2 0 0 3 - 1 8 6 4 2 0 (J P , A)

 特開 2 0 0 3 - 1 8 6 4 2 0 (J P , A)

 時開 2 0 0 5 - 1 5 8 5 8 3 (J P , A)

(58)調査した分野(Int.Cl., DB名)

| G 0 9 F | 9/30 |
|---------|-------|
| H 0 1 L | 27/32 |
| H 0 1 L | 51/50 |