



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101995900423268
Data Deposito	23/02/1995
Data Pubblicazione	23/08/1996

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	04	Q		

Titolo

UNITA' DI RITARDO CONTROLLATA IN TENSIONE PER DISPOSITIVI CON ANELLO DI AGGANCIO DI RITARDO.

Descrizione dell'invenzione avente per titolo:

"UNITA' DI RITARDO CONTROLLATA IN TENSIONE PER DISPOSITIVI CON ANELLO AD AGGANCIO DI RITARDO"

a nome CSELT-Centro Studi e Laboratori Telecomunicazioni S. p. A., Via G. Reiss Romoli 274, 10148 Torino, nazionalità italiana.

Inventori : Alessandro TORIELLI

Domanda N. TO 95A000130

Depositata il 20 feb. 1993

=====

La presente invenzione si riferisce alle interconnessioni tra elementi di sistemi di commutazione per reti di telecomunicazioni ad alta velocità, p. es. in tecnica ATM, e più in particolare riguarda un'unità di ritardo controllata in tensione per dispositivi con anello ad aggancio di ritardo da utilizzare dal lato ricevente di una linea di interconnessione su cui la trasmissione dei segnali avvenga in modo seriale.

Una tecnica comunemente adottata per le interconnessioni tra i diversi elementi all'interno di stadi di commutazione ATM, o in generale tra le diverse parti di un sistema appartenente a una rete di telecomunicazioni ad alta velocità, prevede che i dati vengano trasferiti con un parallelismo a 4 o 8bit, e quindi facendo uso di linee a 4 o 8 fili, a cui possono essere associati un filo per il sincronismo di cella e un filo per il segnale di orologio. Al crescere delle dimensioni degli stadi, sorgono problemi seri per quanto riguarda il numero di tali interconnessioni (e quindi il costo dei cavi e l'ingombro dei connettori), il consumo di potenza per il pilotaggio delle stesse, le distanze che i segnali devono percorrere, i disturbi ecc. Esiste quindi l'interesse a realizzare il trasferimento dei dati su tali interconnessioni in forma seriale, per ridurre il numero e l'ingombro dei cavi e dei connettori. Le interconnessioni seriali possono vantaggiosamente essere realizzate

mediante fibre ottiche, che sono intrinsecamente immuni da disturbi elettromagnetici e richiedono minori potenze a parità di distanza, data la bassa attenuazione

Quando si usano interconnessioni seriali, tanto ottiche che elettriche, i segnali di orologio per il campionamento dei dati, eventualmente riconvertiti in forma elettrica, possono essere estratti dallo stesso flusso dati o possono essere ricavati dai segnali forniti da un generatore locale. In questo secondo caso il problema dell'allineamento tra i dati e i segnali di orologio è particolarmente delicato, date le elevate velocità in gioco (a titolo di esempio, si può ricordare che una trasmissione con parallelismo a 4 bit su una di tali interconnessioni avviene a una velocità dell'ordine dell'ottantina di Mbit/s, e quindi la corrispondente trasmissione seriale avverrà a una velocità superiore ai 300 Mbit/s). Una soluzione a questo problema è rappresentata dall'uso dei cosiddetti anelli ad aggancio di ritardo: in questi, i dati sono fatti passare in un'unità a ritardo variabile, che introduce sui dati stessi un ritardo determinato da un segnale di controllo ottenuto confrontando la fase dei dati con quella del segnale di orologio locale in un comparatore di fase.

Nell'articolo "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors", di I. A. Young, J. K. Greason e K. L. Wong, IEEE Journal of Solid State Circuits, Vol. 27, N. 11, Novembre 1992, è descritta un'unità a ritardo variabile controllata in tensione per un anello ad aggancio di fase; l'unità è composta da un invertitore unico alla cui uscita è collegato un carico capacitivo che viene fatto variare dal segnale di controllo tramite un transistor di tipo N. Un'unità di questo tipo può essere utilizzata anche in anelli ad aggancio di ritardo. Per ottenere le variazioni di ritardo indicate sopra con un unico elemento, il carico capacitivo deve essere molto elevato e per questo è generalmente costituito da una zona di metallizzazione del circuito integrato in cui l'anello è inserito. Anche il transistor di pilotaggio deve avere dimensioni elevate. Inoltre, l'uso di un elemento di ritardo. Inoltre, questa soluzione presenta l'inconveniente

di provocare distorsioni dei dati, in quanto la struttura transistor di comando-capacità non è lineare e quindi agisce in modo dissimmetrico sulle transizioni $0 \rightarrow 1$ e $1 \rightarrow 0$, che hanno durata diversa.

Secondo l'invenzione si fornisce invece un'unità di ritardo che non richiede l'uso di componenti di grandi dimensioni e non introduce distorsioni apprezzabili.

Tale unità è costituita da una o più celle comprendenti ognuna una catena di invertitori, disposti sul percorso di un segnale dati da sincronizzare, e all'uscita di ogni invertitore è applicato un carico capacitivo variabile, di valore limitato, tramite mezzi per ricevere il segnale di controllo e modulare il carico capacitivo.

Vantaggiosamente, il carico capacitivo è costituito dalla capacità del gate di un transistor P.

A maggior chiarimento si fa riferimento ai disegni allegati, in cui:

- la fig. 1 è lo schema a blocchi di un anello ad aggancio di ritardo;
- la fig. 2 è lo schema a blocchi dell'unità di ritardo; e
- la fig. 3 è lo schema circuitale di una cella dell'unità di ritardo.

Nella fig. 1 si è rappresentato lo schema di principio di un anello agganciato in ritardo. A titolo di esempio, si suppone che questo anello sia impiegato in un circuito di parallelizzazione dei dati all'estremità di una linea d'interconnessione ottica tra elementi di un ripartitore ATM e debba sincronizzare con un segnale di orologio CK a 320 MHz un flusso dati a 320 Mbit/s, risultante dalla serializzazione di un flusso di celle ATM a 80 Mbit/s con parallelismo a 4 bit.

I dati da campionare, presenti su una linea 1, sono ricevuti da un'unità di ritardo UR controllata in tensione, atta a introdurre sui segnali un ritardo $t \pm \Delta t$. Nell'applicazione indicata sopra, Δt può essere dell'ordine dei 5 ns. Per generare il segnale di controllo per UR, presente su un filo 2, il segnale dati uscente da UR sul filo 3 e il segnale di orologio

CK, presente su un filo 4, sono forniti a un comparatore di fase CF, p. es. un comparatore del tipo descritto da C. R. Hogge nell'articolo "A self correcting clock recovery circuit", Journal of Lightwave Technology, Vol. LT-3, N. 6, pagg.1312-1314, Dicembre 1985. Il comparatore di fase CF presenta una coppia di uscite sulle quali sono presenti segnali rappresentativi dell'entità di un eventuale anticipo o ritardo dei dati. Questi segnali pilotano una pompa di corrente PC che di conseguenza emette impulsi che aumentano o diminuiscono la carica di un condensatore in un filtro d'anello FA (in particolare un circuito RC). Il segnale filtrato costituisce il segnale di controllo. L'uscita 3 di UR e il filo 4 sono poi collegati agli ingressi dati e di orologio di un dispositivo di campionamento (schematizzato dal flip-flop FF) alla cui uscita 5 è presente il dato sincronizzato.

Come si vede in fig. 2, l'unità di ritardo UR è composta da una pluralità di celle elementari $R1...Rn$, identiche fra loro, che sono tutte controllate dal segnale presente sul filo 2 e hanno la struttura indicata in fig. 3. La generica cella Ri comprende una catena di elementi identici (quattro nell'esempio rappresentato in figura), ciascuno dei quali è costituito da un invertitore $IN1$ (e rispettivamente $IN2, IN3, IN4$) che riceve il segnale dati da ritardare dall'ingresso $1'$ della cella (o rispettivamente dall'uscita $1-1, 1-2, 1-3$ dell'invertitore precedente), da un transistor di tipo P, $Tp1...Tp4$, la cui capacità di gate rappresenta un carico capacitivo variabile applicato all'uscita del rispettivo invertitore, e da un transistor di tipo N, $Tn1...Tn4$, che è inserito tra l'uscita dell'invertitore $IN1...IN4$ e il gate del transistor $Tp1...Tp4$ e riceve all'elettrodo di gate il segnale di controllo presente sul filo 2. Gli altri elettrodi dei transistor $Tp1...Tp4$ sono collegati p. es. alla tensione V_{DD} , come indicato per $Tp1$.

E' chiaro che la variazione del segnale di controllo provoca una variazione della capacità di gate dei transistor Tp e quindi una variazione del ritardo introdotto dalla

catena di invertitori. L'uscita 1-4 dell'invertitore IN4 dell'ultimo elemento della catena è collegata all'ingresso di un ulteriore invertitore IN5, non associato ad alcun carico, la cui uscita 1" è l'uscita della cella.

Un'unità di ritardo modulare come quella descritta permette evidentemente di utilizzare componenti di dimensioni minori per ottenere l'effetto voluto. Inoltre, grazie alla presenza della catena di invertitori all'interno di ogni cella si rende sostanzialmente simmetrica l'azione dei transistor N e delle capacità sulle transizioni, che si invertono a ogni elemento. Lo stesso effetto ha l'invertitore di uscita delle singole celle. La distorsione complessiva introdotta è quindi minima. Infine, l'uso come carico capacitivo della capacità di gate di un transistor P dà il vantaggio che il carico voluto può essere ottenuto con la minima occupazione di area, in quanto come noto i transistor P hanno la maggior capacità per unità di area.

Il numero complessivo degli elementi di una cella e il numero complessivo di celle dipendono dal ritardo complessivo da introdurre e dalle esigenze di realizzazione, sotto forma di circuito integrato, del dispositivo in cui l'anello ad aggancio di ritardo viene utilizzato. Ovviamente, il numero di celle e di elementi per cella dovrà essere tale da comprendere un numero pari di invertitori. Nell'applicazione dell'unità UR nell'esempio indicato sopra, si sono utilizzate otto celle con quattro elementi per compensare sfasamenti di ± 5 ns. Una simile configurazione ha permesso la realizzazione dell'unità su una cella di bordo (pad) di un circuito integrato per la serializzazione/parallelizzazione del flusso ATM. La realizzazione su una cella di bordo dà l'ulteriore vantaggio di poter sfruttare le alimentazioni sul bordo, che come noto sono le più stabili e quelle maggiormente esenti da disturbi.

RIVENDICAZIONI

1. Unità di ritardo per dispositivi con anello ad aggancio di ritardo, per l'introduzione su un segnale dati di un ritardo la cui entità può essere variata da un segnale di controllo, caratterizzata dal fatto di essere costituita da almeno una cella ($R1...Rn$) comprendente una catena di invertitori ($IN1...IN4$), disposti sul percorso del segnale dati, all'uscita di ognuno dei quali è applicato un carico capacitivo variabile ($Tp1....Tp4$), di valore tale da non provocare distorsioni del segnale dati, tramite mezzi ($Tn1...Tn4$) per ricevere il segnale di controllo e modulare il carico capacitivo.
2. Unità secondo la riv. 1, caratterizzata dal fatto di comprendere una pluralità di celle ($R1...Rn$).
3. Unità secondo la riv. 1 o 2, caratterizzata dal fatto che il carico capacitivo applicato all'uscita di ogni invertitore ($E1...E4$) è costituito dalla capacità di gate di un transistor di tipo P ($IN1...IN4$), e i mezzi di modulazione del carico sono costituiti da un transistor di tipo N ($Tn1...Tn4$) che è collegato tra l'uscita dell'invertitore ($IN1...IN4$) dell'elemento il gate del transistor di tipo P ($Tp1....Tp4$) e riceve all'elettrodo di gate il segnale di controllo.
4. Unità secondo una qualsiasi delle rivendicazioni precedenti, caratterizzata dal fatto che la cella od ogni cella ($R1...Rn$) comprende inoltre un ulteriore invertitore ($IN5$), in serie agli invertitori ($IN1...IN4$) della catena di elementi ($E1...E4$), per il trasferimento dei dati alla cella successiva o all'uscita dell'unità.
5. Unità secondo una qualsiasi delle rivendicazioni precedenti, caratterizzata dal fatto di essere realizzata su una cella di bordo di un circuito integrato.

CSELT
Centro Studi e Laboratori Telecomunicazioni S.p.A.
Il Responsabile Brevetti e Licenze



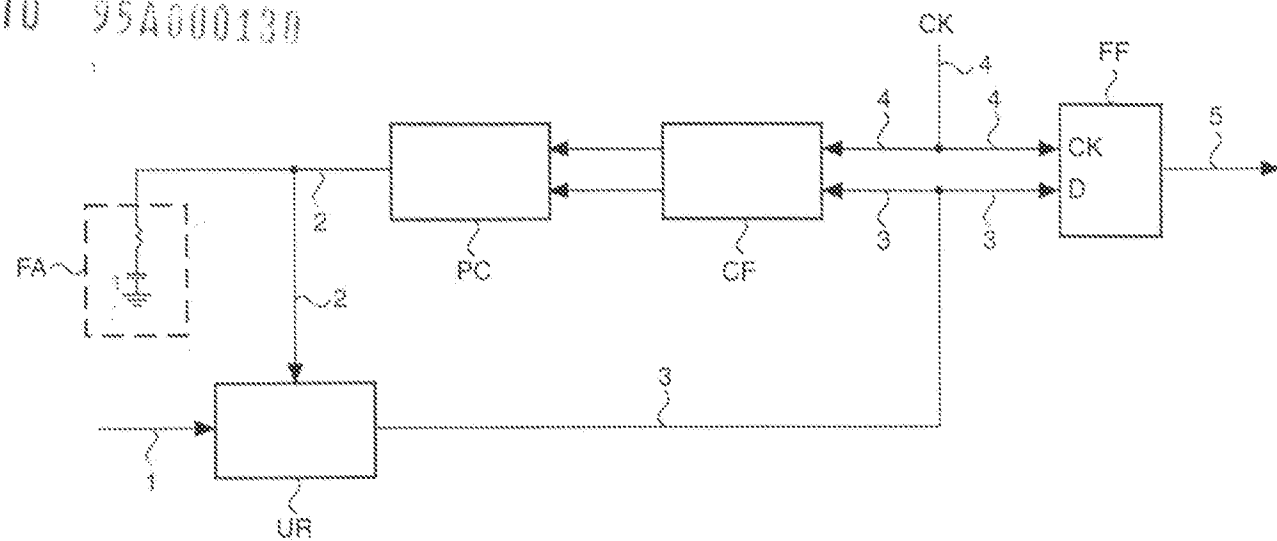


FIGURA 1

UR

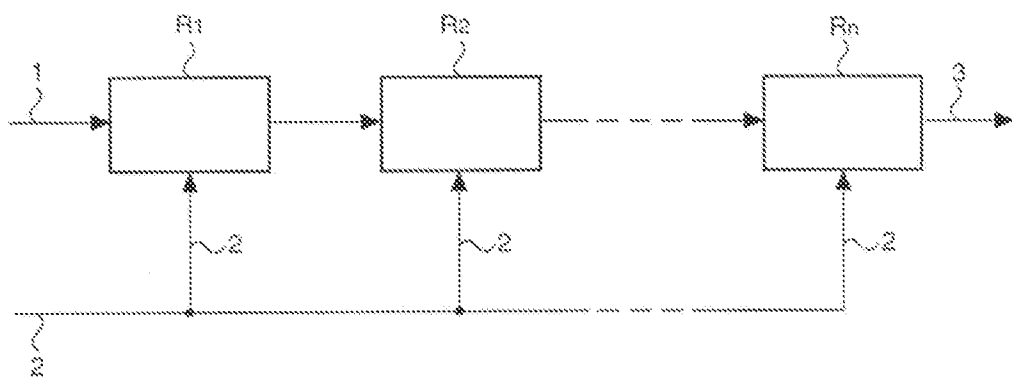


FIGURA 2

Ri

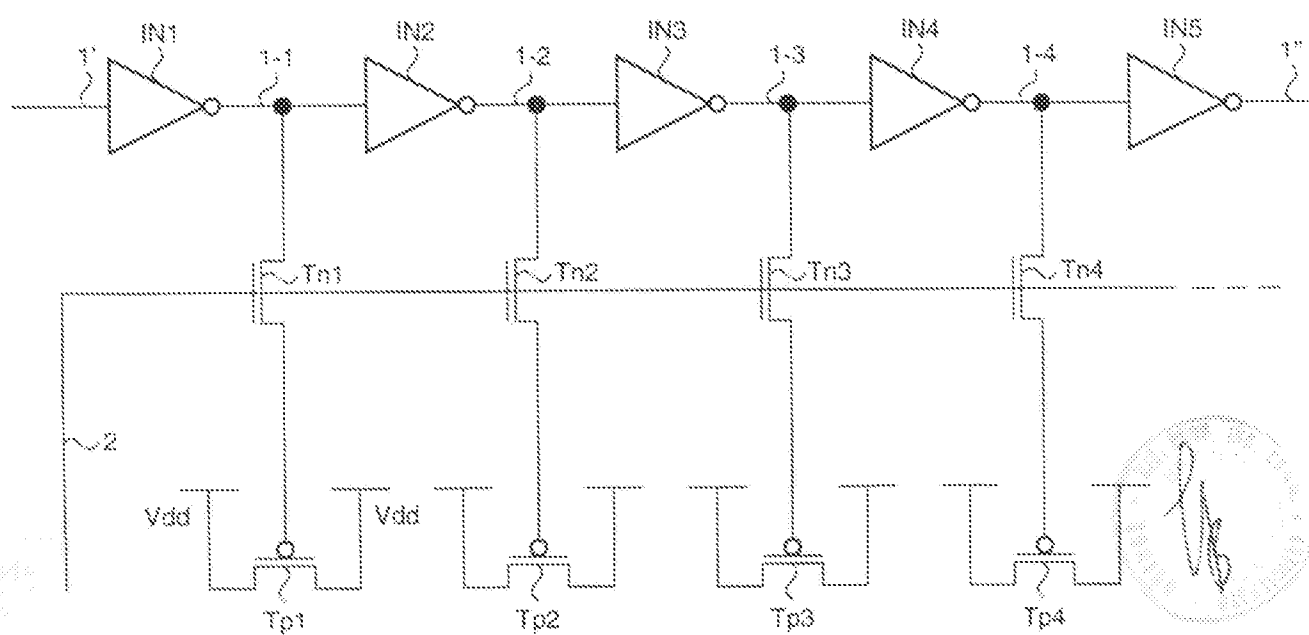


FIGURA 3