(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0086262
(43) 공개일자 2023년06월15일

(51) 국제특허분류(Int. Cl.)
G02B 6/12 (2022.01)
(52) CPC특허분류
G02B 6/12 (2022.01)
G02B 2006/12035 (2013.01)
(21) 출원번호 10-2021-0174724
(22) 출원일자 2021년12월08일
심사청구일자 2021년12월08일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
권민석
울산광역시 울주군 언양읍 유니스트길 50
이정우
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 무한

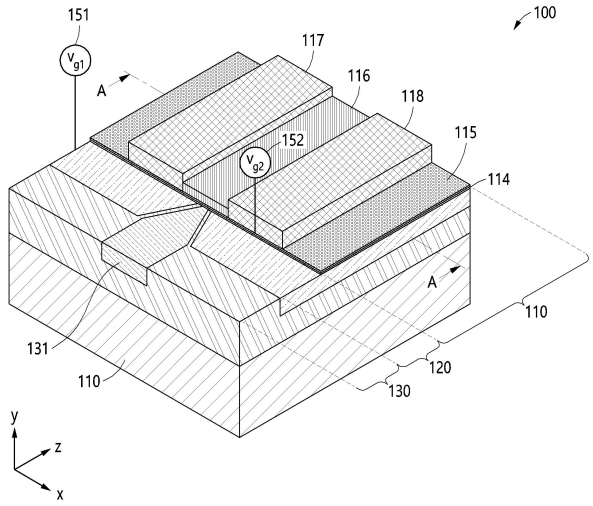
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 **그래핀이 덮힌 나노플라즈모닉 도파로에 기반한 광검출기**

(57) 요 약

일 실시예에 따른 그래핀 기반의 도파관은 실리콘 스트립, 상기 실리콘 스트립의 제1 면에 위치되는 제1 절연체(insulator), 상기 제1 절연체에 연결된 제1 금속부, 상기 실리콘 스트립에서 상기 제1 면에 평행한 제2 면에 위치되는 제2 절연체, 및 상기 제2 절연체에 연결된 제2 금속부를 포함하는 나노 플라즈모닉 도파로, 상기 나노 플라즈모닉 도파로의 일면의 적어도 일부를 커버하는 절연층(insulating layer), 상기 절연층의 적어도 일부를 커버하는 그래핀 레이어, 상기 그래핀 레이어에 연결되는 제1 전극, 및 상기 제1 전극과 이격되고, 상기 그래핀 레이어에 연결되는 제2 전극을 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
G02B 2006/12126 (2013.01)
G02B 2006/12147 (2013.01)

명 세 서

청구범위

청구항 1

실리콘 스트립, 상기 실리콘 스트립의 제1 면에 위치되는 제1 절연체(insulator), 상기 제1 절연체에 연결된 제1 금속부, 상기 실리콘 스트립에서 상기 제1 면에 평행한 제2 면에 위치되는 제2 절연체, 및 상기 제2 절연체에 연결된 제2 금속부를 포함하는 나노 플라즈모닉 도파로;

상기 나노 플라즈모닉 도파로의 일면의 적어도 일부를 커버하는 절연층(insulating layer);

상기 절연층의 적어도 일부를 커버하는 그래핀 레이어;

상기 그래핀 레이어에 연결되는 제1 전극; 및

상기 제1 전극과 이격되고, 상기 그래핀 레이어에 연결되는 제2 전극;

을 포함하는 그래핀 기반의 도파관.

청구항 2

제1항에 있어서,

상기 그래핀 레이어는,

상기 나노 플라즈모닉 도파로를 통해서 전파(propagate)되는 광을 흡수하는 경우 열 전자(hot electron)를 방출하는,

그래핀 기반의 도파관.

청구항 3

제2항에 있어서,

상기 제1 전극 및 상기 제2 전극은 상기 그래핀 레이어로부터 방출된 열전자에 의하여 서로 다른 전위를 가지는,

그래핀 기반의 도파관.

청구항 4

제1항에 있어서,

상기 제1 금속부 및 상기 제2 금속부에 서로 상이한 전위의 전압들이 인가되는 경우, 상기 그래핀 레이어는 기준 위치를 기준으로 일측의 위치들에서 양의 제벡 계수(Seebeck coefficient)를 가지고, 상기 기준 위치를 기준으로 타측의 위치들에서 음의 제벡 계수를 가지며, 상기 기준 위치의 주변에서 상기 일측의 위치들로부터 상기 타측의 위치들로의 위치 변화에 따라 제벡 계수의 천이(transition)가 나타나는,

그래핀 기반의 도파관.

청구항 5

제1항에 있어서,

상기 절연층은,

상기 실리콘 스트립의 상기 제1 면에 대응하는 평면과 교차하는 평면에 배치되고,

상기 실리콘 스트립, 상기 제1 절연체, 상기 제1 금속부, 상기 제2 절연체, 및 상기 제2 금속부 각각의 적어도 일부를 커버하는,

그래핀 기반의 도파관.

청구항 6

제1항에 있어서,

상기 제1 전극 및 상기 제2 전극 사이에서 상기 그래핀 레이어의 적어도 일부를 커버하는 다른 절연층

을 더 포함하는 그래핀 기반의 도파관.

청구항 7

제6항에 있어서,

상기 절연층은,

하프늄 옥사이드, 실리콘 옥사이드, 알루미늄 옥사이드, 실리콘 나이트라이드, 보론 나이트라이드, 및 육방정계 보론 나이트라이드 중 한 소재로 구현되고,

상기 다른 절연층은,

하프늄 옥사이드, 실리콘 옥사이드, 알루미늄 옥사이드, 실리콘 나이트라이드, 보론 나이트라이드, 및 육방정계 보론 나이트라이드 중 한 소재로 구현되는,

그래핀 기반의 도파관.

청구항 8

제1항에 있어서,

상기 제1 절연체 및 상기 제2 절연체는,

실리콘 옥사이드로 구현되는,

그래핀 기반의 도파관.

청구항 9

제1항에 있어서,

상기 제1 금속부 및 상기 제2 금속부는,

CMP(Chemical Mechanical Polishing)을 통해 가공된,

그래핀 기반의 도파관.

청구항 10

제1항에 있어서,

상기 제1 금속부는,

구리 및 티타늄나이트라이드 중 적어도 하나의 소재로 구현되고,

상기 제2 금속부는,

구리 및 티타늄나이트라이드 중 적어도 하나의 소재로 구현되는,

그래핀 기반의 도파관.

청구항 11

제1항에 있어서,

상기 제1 전극은,

구리, 금, 은, 인듐틴옥사이드, 알루미늄, 및 티타늄나이트라이드 중 하나 또는 둘 이상의 조합의 소재로 구현

되고,

상기 제2 전극은,

구리, 금, 은, 인듐틴옥사이드, 알루미늄, 및 티타늄나이트라이드 중 하나 또는 둘 이상의 조합의 소재로 구현되는,

그래핀 기반의 도파관.

청구항 12

제1항에 있어서,

상기 그래핀 레이어에서 발생된 열은,

상기 제1 전극 및 상기 제2 전극에서 배출되는,

그래핀 기반의 도파관.

청구항 13

제1항에 있어서,

상기 제1 금속부 및 상기 제2 금속부 간의 이격된 거리는,

상기 제1 전극 및 상기 제2 전극 간의 이격된 거리보다 작은,

그래핀 기반의 도파관.

청구항 14

실리콘 스트립, 상기 실리콘 스트립의 제1 면에 위치되는 제1 절연체, 상기 제1 절연체에 연결된 제1 금속부, 상기 실리콘 스트립에서 상기 제1 면에 평행한 제2 면에 위치되는 제2 절연체, 및 상기 제2 절연체에 연결된 제2 금속부를 포함하는 나노 플라즈모닉 도파로, 상기 나노 플라즈모닉 도파로의 일면 중 적어도 일부를 커버하는 절연층, 상기 절연층의 적어도 일부를 커버하는 그래핀 레이어, 상기 그래핀 레이어에 연결되는 제1 전극, 및 상기 제1 전극과 이격되고 상기 그래핀 레이어에 연결되는 제2 전극을 포함하는 그래핀 기반의 도파관; 및

커플러

를 포함하는 광검출기.

청구항 15

제14항에 있어서,

상기 커플러는,

상기 실리콘 스트립으로부터 연장되는 실리콘 스트립 연장 부분, 상기 제1 절연체로부터 연장되는 제1 절연체 연장 부분, 상기 제1 금속부로부터 연장되는 제1 금속부 연장 부분, 상기 제2 절연체로부터 연장되는 제2 절연체 연장 부분, 및 상기 제2 금속부로부터 연장되는 제2 금속부 연장 부분을 포함하는,

광검출기.

청구항 16

제15항에 있어서,

상기 제1 절연체 연장 부분 및 상기 제2 절연체 연장 부분은 길이 방향을 따라 일정한 너비를 가지는,

광검출기.

청구항 17

제15항에 있어서,

상기 실리콘 스트립 연장 부분 중 제1 지점의 너비는 상기 그래핀 기반의 도파관으로부터 길이 방향으로 상기

제1 지점보다 먼 제2 지점의 너비보다 작은,

광검출기.

청구항 18

제14항에 있어서,

다른 실리콘 스트립을 포함하는 실리콘 포토닉 도파관

을 더 포함하고,

상기 커플러는,

상기 실리콘 포토닉 도파관 및 상기 그래핀 기반의 도파관을 결합하는,

광검출기.

청구항 19

제18항에 있어서,

상기 그래핀 기반의 도파관의 상기 실리콘 스트립의 너비는,

상기 실리콘 포토닉 도파관의 다른 실리콘 스트립의 너비보다 작은,

광검출기.

청구항 20

제19항에 있어서,

상기 실리콘 스트립 연장 부분의 길이 방향 축을 따른 지점들에서의 상기 실리콘 스트립 연장 부분의 너비들은,

상기 그래핀 기반의 도파관에 인접한 지점부터 상기 실리콘 포토닉 도파관에 인접한 지점까지 선형적으로 증가하는,

광검출기.

청구항 21

제14항에 있어서,

상기 그래핀 레이어는,

상기 나노 플라즈모닉 도파로를 통해서 전파(propagate)되는 광을 흡수하는 경우 열전자(hot electron)를 방출하는,

광검출기.

청구항 22

제21항에 있어서,

상기 제1 전극 및 상기 제2 전극은 상기 그래핀 레이어로부터 방출된 열전자에 의하여 서로 다른 전위를 가지는,

광검출기.

청구항 23

제14항에 있어서,

상기 제1 금속부 및 상기 제2 금속부에 서로 상이한 전위의 전압들이 인가되는 경우, 상기 그래핀 레이어는 기준 위치를 기준으로 일측의 위치들에서 양의 제벡 계수(Seebeck coefficient)를 가지고, 상기 기준 위치를 기준으로 타측의 위치들에서 음의 제벡 계수를 가지며, 상기 기준 위치의 주변에서 상기 일측의 위치들로부터 상기

타측의 위치들로의 위치 변화에 따라 제백 계수의 천이(transition)가 나타나는,

광검출기.

발명의 설명

기 술 분 야

[0001] 이하, 그래핀 기반의 도파로를 포함하는 광검출기에 관한 기술이 개시된다.

배 경 기 술

[0002] 광검출기는 빛의 세기를 검출하여 전기 신호로 변환하는 소자이며, 광연결을 구성하는 핵심 요소 중 하나이다.

[0003] 지속적인 인터넷 트래픽 증가로 인하여 대용량의 정보를 고속으로 전송 처리하는 것이 필수적으로 요구되고 있다. 대용량의 정보를 고속으로 전송하기 위하여, 실리콘 포토닉스를 활용한 광연결이 활발히 도입되고 있다.

[0004] 그래핀의 높은 캐리어(carrier) 이동도(mobility)와 피코 초 수준의 짧은 광반응시간 (Photo-response time)으로 인해 이론상 500 GHz의 광전대역폭(Optical to electrical bandwidth)을 갖는 그래핀 기반 초고속 광 검출이 가능하다.

[0005] 그래핀으로 빛을 검출하는 원리 중 하나인 '광열전기효과(Photothermoelectric effect; PTE)'는 그래핀에 흡수된 빛에 의해 발생되는 열전자들(Hot carriers)로 인해 그래핀의 채널을 따라 전위차(Potential difference)가 발생하는 것이며, 이 효과를 이용할 경우 트랜스-임피던스 증폭기(Transimpedance amplifier)가 필요없이 광검출 전압 신호를 직접적으로 얻을 수 있다.

[0006] 기존의 그래핀 기반 실리콘 도파로 광검출기는 실리콘 도파로 표면의 약한 빛이 그래핀과 상호작용하기 때문에 그래핀이 흡수하는 빛이 약하다는 단점이 있다. 또한, 기존의 광열전기효과를 이용한 그래핀 광 검출기는 소스-드레인 전극의 간격을 줄이는 것에 한계가 있다. 두 전극의 간격이 큰 경우, 광열전기효과가 약화되고, 동작 속도가 떨어지는 단점이 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명에서는, 기존 광열전기효과를 이용한 그래핀 기반 실리콘 도파로 광검출기가 갖는 그래핀에 의한 약한 광흡수 문제 및 소스-드레인 전극 사이의 넓은 간격으로 인한 문제를 해결하기 위해, 나노플라즈모닉 도파로를 이용하여 빛을 강하게 좁은 영역에 모아서 광 신호 검출 효율을 향상시킬 수 있는 소자가 제시될 수 있다.

[0008] 광검출기 구조의 변경 및/또는 작동 방법의 변경함으로써, 광열전기효과 뿐만 아니라 다른 효과를 이용하여 동작하는 광검출기를 획득할 수 있다.

[0009] 다만, 기술적 과제는 상술한 기술적 과제들로 한정되는 것은 아니며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0010] 일 실시예에 따른 그래핀 기반의 도파관은 실리콘 스트립, 상기 실리콘 스트립의 제1 면에 위치되는 제1 절연체(insulator), 상기 제1 절연체에 연결된 제1 금속부, 상기 실리콘 스트립에서 상기 제1 면에 평행한 제2 면에 위치되는 제2 절연체, 및 상기 제2 절연체에 연결된 제2 금속부를 포함하는 나노 플라즈모닉 도파로, 상기 나노 플라즈모닉 도파로의 일면의 적어도 일부를 커버하는 절연층(insulating layer), 상기 절연층의 적어도 일부를 커버하는 그래핀 레이어, 상기 그래핀 레이어에 연결되는 제1 전극, 및 상기 제1 전극과 이격되고, 상기 그래핀 레이어에 연결되는 제2 전극을 포함할 수 있다.

[0011] 상기 그래핀 레이어는 상기 나노 플라즈모닉 도파로를 통해서 전파(propagate)되는 광을 흡수하는 경우 열 전자(hot electron)를 방출할 수 있다.

[0012] 상기 제1 전극 및 상기 제2 전극은 상기 그래핀 레이어로부터 방출된 열전자에 의하여 서로 다른 전위를 가질 수 있다.

[0013] 상기 제1 금속부 및 상기 제2 금속부에 서로 상이한 전위의 전압들이 인가되는 경우, 상기 그래핀 레이어는 기

준 위치를 기준으로 일측의 위치들에서 양의 제벡 계수(Seebeck coefficient)를 가지고, 상기 기준 위치를 기준으로 타측의 위치들에서 음의 제벡 계수를 가지며, 상기 기준 위치의 주변에서 상기 일측의 위치들로부터 상기 타측의 위치들로의 위치 변화에 따라 제벡 계수의 천이(transition)가 나타날 수 있다.

[0014] 상기 절연층은 상기 실리콘 스트립의 상기 제1 면에 대응하는 평면과 교차하는 평면에 배치되고, 상기 실리콘 스트립, 상기 제1 절연체, 상기 제1 금속부, 상기 제2 절연체, 및 상기 제2 금속부 각각의 적어도 일부를 커버할 수 있다.

[0015] 일 실시예에 따른 그래핀 기반의 도파관은 상기 제1 전극 및 상기 제2 전극 사이에서 상기 그래핀 레이어의 적어도 일부를 커버하는 다른 절연층을 더 포함할 수 있다.

[0016] 상기 절연층은 하프늄 옥사이드, 실리콘 옥사이드, 알루미늄 옥사이드, 실리콘 나이트라이드, 보론 나이트라이드, 및 육방정계 보론 나이트라이드 중 한 소재로 구현되고, 상기 다른 절연층은 하프늄 옥사이드, 실리콘 옥사이드, 알루미늄 옥사이드, 실리콘 나이트라이드, 보론 나이트라이드, 및 육방정계 보론 나이트라이드 중 한 소재로 구현될 수 있다.

[0017] 상기 제1 절연체 및 상기 제2 절연체는 실리콘 옥사이드로 구현될 수 있다.

[0018] 상기 제1 금속부 및 상기 제2 금속부는 CMP(Chemical Mechanical Polishing)을 통해 가공될 수 있다.

[0019] 상기 제1 금속부는 구리 및 티타늄나이트라이드 중 적어도 하나의 소재로 구현되고, 상기 제2 금속부는 구리 및 티타늄나이트라이드 중 적어도 하나의 소재로 구현될 수 있다.

[0020] 상기 제1 전극은 구리, 금, 은, 인듐틴옥사이드, 알루미늄, 및 티타늄나이트라이드 중 하나 또는 둘 이상의 조합의 소재로 구현되고, 상기 제2 전극은 구리, 금, 은, 인듐틴옥사이드, 알루미늄, 및 티타늄나이트라이드 중 하나 또는 둘 이상의 조합의 소재로 구현될 수 있다.

[0021] 상기 그래핀 레이어에서 발생된 열은 상기 제1 전극 및 상기 제2 전극에서 배출될 수 있다.

[0022] 상기 제1 금속부 및 상기 제2 금속부 간의 이격된 거리는 상기 제1 전극 및 상기 제2 전극 간의 이격된 거리보다 작을 수 있다.

[0023] 일 실시예에 따른 광검출기는 실리콘 스트립, 상기 실리콘 스트립의 제1 면에 위치되는 제1 절연체, 상기 제1 절연체에 연결된 제1 금속부, 상기 실리콘 스트립에서 상기 제1 면에 평행한 제2 면에 위치되는 제2 절연체, 및 상기 제2 절연체에 연결된 제2 금속부를 포함하는 나노 플라즈모닉 도파로, 상기 나노 플라즈모닉 도파로의 일면 중 적어도 일부를 커버하는 절연층, 상기 절연층의 적어도 일부를 커버하는 그래핀 레이어, 상기 그래핀 레이어에 연결되는 제1 전극, 및 상기 제1 전극과 이격되고 상기 그래핀 레이어에 연결되는 제2 전극을 포함하는 그래핀 기반의 도파관 및 커플러를 포함할 수 있다.

[0024] 상기 커플러는 상기 실리콘 스트립으로부터 연장되는 실리콘 스트립 연장 부분, 상기 제1 절연체로부터 연장되는 제1 절연체 연장 부분, 상기 제1 금속부로부터 연장되는 제1 금속부 연장 부분, 상기 제2 절연체로부터 연장되는 제2 절연체 연장 부분, 및 상기 제2 금속부로부터 연장되는 제2 금속부 연장 부분을 포함할 수 있다.

[0025] 상기 제1 절연체 연장 부분 및 상기 제2 절연체 연장 부분은 길이 방향을 따라 일정한 너비를 가질 수 있다.

[0026] 상기 실리콘 스트립 연장 부분 중 제1 지점의 너비는 상기 그래핀 기반의 도파관으로부터 길이 방향으로 상기 제1 지점보다 먼 제2 지점의 너비보다 작을 수 있다.

[0027] 일 실시예에 따른 광검출기는 다른 실리콘 스트립을 포함하는 실리콘 포토닉 도파관을 더 포함하고, 상기 커플러는 상기 실리콘 포토닉 도파관 및 상기 그래핀 기반의 도파관을 결합할 수 있다.

[0028] 상기 그래핀 기반의 도파관의 상기 실리콘 스트립의 너비는 상기 실리콘 포토닉 도파관의 다른 실리콘 스트립의 너비보다 작을 수 있다.

[0029] 상기 실리콘 스트립 연장 부분의 길이 방향 축을 따른 지점들에서의 상기 실리콘 스트립 연장 부분의 너비들은 상기 그래핀 기반의 도파관에 인접한 지점부터 상기 실리콘 포토닉 도파관에 인접한 지점까지 선형적으로 증가할 수 있다.

[0030] 상기 그래핀 레이어는 상기 나노 플라즈모닉 도파로를 통해서 전파(propagate)되는 광을 흡수하는 경우 열 전자(hot electron)를 방출할 수 있다.

[0031] 상기 제1 전극 및 상기 제2 전극은 상기 그래핀 레이어로부터 방출된 열전자에 의하여 서로 다른 전위를 가질 수 있다.

[0032] 상기 제1 금속부 및 상기 제2 금속부에 서로 상이한 전위의 전압들이 인가되는 경우, 상기 그래핀 레이어는 기준 위치를 기준으로 일측의 위치들에서 양의 제벡 계수(Seebeck coefficient)를 가지고, 상기 기준 위치를 기준으로 타측의 위치들에서 음의 제벡 계수를 가지며, 상기 기준 위치의 주변에서 상기 일측의 위치들로부터 상기 타측의 위치들로의 위치 변화에 따라 제벡 계수의 천이(transition)가 나타날 수 있다.

도면의 간단한 설명

[0033] 도 1은 일 실시예에 따른 그래핀 기반의 도파관을 이용하는 광 검출기(100)에 대한 사시도(perspective view), 도 2는 해당 그래핀 기반의 도파관을 이용하는 변조기에 대한 AA' 단면도를 도시한다.

도 3은 일 실시예에 따른 그래핀 기반의 도파관을 투과하는 광의 세기 분포를 나타내고, 도 4는 해당 그래핀 기반의 도파관의 그래핀 레이어에서의 제벡 계수 분포를 나타내며, 도 5는 해당 그래핀 레이어의 위치들에서의 온도 분포 및 온도 그래디언트(gradient)를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0034] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0035] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0036] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

[0037] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0038] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0039] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다. 또한, 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

[0040] 도 1 및 도 2는 일 실시예에 따른 그래핀 기반의 도파관을 이용하는 광 검출기의 예시적인 형상을 도시한다.

[0041] 도 1은 일 실시예에 따른 그래핀 기반의 도파관을 이용하는 광 검출기(100)에 대한 사시도(perspective view), 도 2는 해당 그래핀 기반의 도파관을 이용하는 변조기에 대한 AA' 단면도를 도시한다. 도 1 및 도 2에서, x 축을 너비 방향으로, y 축을 너비 방향으로, z 축을 길이 방향으로 하여 아래에서 서술한다.

[0042] 일 실시예에 따른 그래핀 기반의 도파관(110)을 이용하는 광검출기(100)는 그래핀 기반의 도파관(110) 및 커플러(120)를 포함할 수 있다.

[0043] 그래핀 기반의 도파관(110)은 기판(111), 산화물층(112), 나노 플라즈모닉 도파로(113), 절연층(114), 그래핀 레이어(115), 제1 전극(117), 및 제2 전극(118)을 포함할 수 있다.

[0044] 그래핀 기반의 도파관(110)은 기판(111)을 포함할 수 있다. 산화물층 (112)은 기판(111) 상에 형성될 수 있다.

예시적으로, 기판(111)은 실리콘으로 구현될 수 있고, 산화물층(112)는 실리콘 옥사이드로 구현될 수 있다. 기판(111) 및 산화물층(112)은 SOI(silicon on insulator) 구조를 가질 수 있다.

[0045] 나노 플라즈모닉 도파로(113)는 산화물층(112) 상에 배치될 수 있다. 일 실시예에 따른 나노 플라즈모닉 도파로(113)는 실리콘 스트립(113a), 제1 절연체(113b), 제2 절연체(113c), 제1 금속부(113d), 및 제2 금속부(113e)를 포함할 수 있다.

[0046] 일 실시예에 따르면, 제1 절연체(113b)는 실리콘 스트립(113a)의 제1 면에 위치될 수 있다. 제2 절연체(113c)는 실리콘 스트립(113a)에서 제1 면에 평행한 제2 면에 위치될 수 있다. 예시적으로, 제1 절연체(113b) 및 제2 절연체(113c)는 실리콘 옥사이드로 구현될 수 있다. 제1 금속부(113d)는 제1 절연체(113b)에 연결될 수 있다. 제2 금속부(113e)는 제2 절연체(113c)에 연결될 수 있다. 제1 금속부(113d) 및 제2 금속부(113e)는 CMP(Chemical Mechanical Polishing)을 통해 가공될 수 있다. 예시적으로, 제1 금속부(113d)는 구리(Copper; Cu) 및 티타늄나이트라이드(Titanium Nitride; TiN) 중 적어도 하나로 구현될 수 있다. 제2 금속부(113e)는 구리 및 티타늄나이트라이드 중 적어도 하나로 구현될 수 있다.

[0047] 제1 전압원(151)은 제1 금속부(113d)에 제1 전압(V_{g1})을 인가할 수 있다. 제2 전압원(152)은 제2 금속부(113e)에 제2 전압(V_{g2})을 인가할 수 있다. 제1 전압의 전위 및 제2 전압의 전위가 서로 상이할 수 있다. 그래핀 레이어(115)는 제1 금속부(113d) 및 제2 금속부(113e)에 인가된 제1 전압 및 제2 전압에 따라, 그래핀 레이어(115)의 각 위치마다 서로 다른 수준으로 도핑될 수 있다. 그래핀 레이어(115)의 적어도 일부는 pn 접합을 포함할 수 있다.

[0048] 제1 금속부(113d) 및 제2 금속부(113e)에 서로 다른 전위의 전압들(예를 들어, 서로 다른 부호의 전위의 전압들)이 인가되는 경우, 그래핀의 전기적 특성이 변경될 수 있다. 예를 들어, 제1 전압 및 제2 전압이 서로 상이한 부호의 전위들을 가지는 경우, 그래핀 레이어(115)의 제벡 계수들은 서로 다른 부호의 값들을 가질 수 있다. 그래핀 레이어(115)는 기준 위치를 기준으로 일측의 위치들에서 양의 제벡 계수를 가지고, 타측의 위치들에서 음의 제벡 계수를 가질 수 있다. 기준 위치는 실리콘 스트립(113a)의 중심을 지나고 너비 방향 축에 수직한 평면(도 2에서 x=0에 대응하는 평면) 상의 위치일 수 있다. 기준 위치의 주변에서 일측의 위치들로부터 타측의 위치들로의 위치 변화에 따라 제벡 계수의 천이가 나타날 수 있다.

[0049] 도 2에서 나타난 바와 같이, 제1 절연체(113b) 및 제2 절연체(113c)는 실리콘 스트립(113a)을 사이에 두고 위치될 수 있다. 제1 금속부(113d) 및 제2 금속부(113e)는 실리콘 스트립(113a)을 사이에 두고 위치될 수 있다. 예를 들어, 실리콘 스트립(113a)의 중심을 지나고 너비 방향의 축에 수직한 평면에 대하여, 나노 플라즈모닉 도파로(113)의 제1 절연체(113b)의 위치는 제2 절연체(113c)와 대칭적인 위치에 배치될 수 있고, 제1 금속부(113d)의 위치는 제2 금속부(113e)와 대칭적인 위치에 배치될 수 있다.

[0050] 절연층(114)는 나노 플라즈모닉 도파로(113)의 일면 중 적어도 일부를 커버할 수 있다. 절연층(114)는 실리콘 스트립(113a)의 적어도 일부, 상기 제1 절연체(113b)의 적어도 일부, 상기 제1 금속부(113d)의 적어도 일부, 상기 제2 절연체(113c)의 적어도 일부, 및 상기 제2 금속부(113e)의 적어도 일부를 커버할 수 있다. 도 1 및 도 2에서는 나타나지 않으나, 일 실시예에 따른 절연층(114)으로부터 연장된 절연층 연장 부분은 실리콘 포토닉 도파관(130)의 일면을 커버할 수도 있다.

[0051] 그래핀 레이어(115)는 절연층(114)의 적어도 일부를 커버할 수 있다. 절연층(114)는 그래핀 레이어(115)의 적어도 일부와 접촉할 수 있다. 절연층(114)은, 예시적으로, 하프늄 옥사이드, 실리콘 옥사이드, 알루미늄 옥사이드, 실리콘 나이트라이드, 보론 나이트라이드, 및 육방정계 보론 나이트라이드 중 한 소재로 구현될 수 있다. 특히, 절연층(114)이 육방정계 보론 나이트라이드로 구현되는 경우, 그래핀 레이어(115)의 이동도의 저하가 다른 소재로 구현되는 경우보다 적을 수 있다.

[0052] 그래핀 레이어(115)는 절연층(114)에 의하여 나노 플라즈모닉 도파로(113)의 제1 금속부(113d) 및 제2 금속부(113e)와 이격될 수 있다. 그래핀 레이어(115)는 절연층(114) 상에 그래핀을 전사시킴으로써 형성될 수 있다. 본 명세서에서 그래핀 레이어(115)는 단일층인 것으로 주로 설명되나, 이에 한정하는 것은 아니다. 예를 들어, 그래핀 레이어(115)는 2 층 이상의 그래핀 레이어를 포함할 수도 있다.

[0053] 광이 나노 플라즈모닉 도파로(113)를 통해 전파됨에 따라, 그래핀 레이어(115)로 흡수될 수 있다. 나노 플라즈모닉 도파로(113)의 제1 절연체(113b) 및 제2 절연체(113c)는 나노 플라즈모닉 도파로(113)의 나머지 부분(예를 들어, 실리콘 스트립(113a))에 비해 상대적으로 강한 세기의 광이 투과될 수 있다. 열전자는 제1 절연체(113b)

및 제2 절연체(113c)와 인접한 그래핀 레이어(115)의 일부를 중심으로 형성될 수 있다. 형성된 열전자는 열을 발생시킴으로써 그래핀 레이어(115)의 적어도 일부의 온도를 상승시킬 수 있다. 그래핀 레이어(115)는 형성된 열 전자를 방출할 수 있다. 열 전자 방출에 따른 열 방출은 제1 전극(117) 및 제2 전극(118)에 관한 설명에서 이어서 후술한다.

[0054] 제1 전극(117) 및 제2 전극(118)은 그래핀 레이어(115)에 연결될 수 있다. 제1 전극(117) 및 제2 전극(118)은 서로 이격되어 그래핀 레이어(115)에 연결될 수 있다. 제1 전극(117)은 나노 플라즈모닉 도파로(113)의 중심을 지나고 너비 방향 축에 수직인 평면을 기준으로 일측에 배치될 수 있다. 제2 전극(118)은 나노 플라즈모닉 도파로(113)의 중심을 지나고 너비 방향 축에 수직인 평면을 기준으로 타측에 배치될 수 있다. 예를 들어, 제1 전극(117) 및 제2 전극(118)은 나노 플라즈모닉 도파로(113)의 중심을 지나고 너비 방향 축에 수직인 평면에 대하여 서로 대칭적으로 배치될 수 있다.

[0055] 제1 전극(117) 및 제2 전극(118)은 나노 플라즈모닉 도파로(113)를 통해 투과되는 광을 방해하지 않도록 배치될 수 있다. 예를 들어, 제1 전극 및 제2 전극은 제1 절연체(113b) 및 제2 절연체(113c)와 이격되어 배치될 수 있다. 제1 전극(117) 및 제2 전극(118)과 접촉하는 그래핀 레이어(115)는 광의 통과영역에 배치됨으로써, 광 흡수를 통해 광 전압 및/또는 광 전류를 생성할 수 있다. 광의 통과영역은 나노 플라즈모닉 도파로(113) 중 광을 투과시키는 일부로서, 예를 들어, 제1 절연체(113b) 및 제2 절연체(113c)를 포함할 수 있다.

[0056] 광 전압 및/또는 광 전류는 제1 전극(117) 및 제2 전극(118) 간의 간격이 좁을 때 효과적으로 검출될 수 있다. 일 실시예에 따른 그래핀 기반의 도파관(110)은 제1 전극 및 제2 전극의 간격이 비교 실시예보다 좁을 수 있다. 예를 들어, 제1 금속부(113d) 및 제2 금속부(113e)에 의하여 광의 통과영역은 비교 실시예보다 일 실시예에서 더 좁은 너비를 가질 수 있다. 광의 통과영역에 배치되는 그래핀 레이어는 비교 실시예보다 일 실시예에서 더 좁은 너비에 걸쳐 배치될 수 있다. 결론적으로, 그래핀 레이어에 연결되는 제1 전극 및 제2 전극은 비교 실시예보다 일 실시예에서 더 좁은 간격으로 배치될 수 있다.

[0057] 제1 전극(117) 및 제2 전극(118)의 간의 전압 차이 및/또는 전류가 측정됨으로써, 나노 플라즈모닉 도파로(113)를 통해서 전파되는 광이 검출될 수 있다. 제1 전극(117) 및 제2 전극(118)에 전압(예를 들어, 바이어스 전압)이 인가되지 않는 경우에도, 광전압이 측정될 수 있다. 일 실시예에 따른 광 검출기는 광전압을 측정함에 있어서, 암전류(dark current)에 의한 영향을 배제할 수 있다. 암전류는 빛이 광 검출기의 적어도 일부에 조사되지 않았음에도 불구하고 노이즈에 의하여 흐르는 전류를 나타낼 수 있다.

[0058] 제1 전극(117) 및 제2 전극(118)은 열 싱크(heat sink)로서 동작을 수행할 수 있다. 방출된 열 전자는 제1 전극(117) 및 제2 전극(118)에 의하여 방출될 수 있다. 결과적으로, 그래핀 레이어(115)는 그래핀 레이어(115)의 중심을 지나고 너비 방향에 따른 축에 수직한 평면에서 최대 온도를 가질 수 있다. 그래핀 레이어(115)의 제1 지점에서의 온도는, 제1 지점보다 제1 전극(117)으로부터 가깝고 그래핀 레이어(115)의 중심으로부터 먼 그래핀 레이어(115)의 제2 지점에서의 온도보다 높을 수 있다. 예를 들어, 그래핀 레이어(115)의 중심을 지나고 너비 방향의 축에 수직한 평면으로부터 제1 전극(117)까지 그래핀 레이어(115)의 위치들의 온도들은 감소할 수 있다. 유사하게, 그래핀 레이어(115)의 중심을 지나고 너비 방향의 축에 수직한 평면으로부터 제2 전극(118)까지 그래핀 레이어(115)의 위치들의 온도들은 감소할 수 있다.

[0059] 제1 전극(117) 및 제2 전극(118)은 같은 소재로 구현될 수 있거나, 서로 다른 소재로 구현될 수도 있다. 제1 전극(117)은, 예시적으로 구리, 금, 은, 인듐틴옥사이드, 알루미늄, 및 티타늄나이트라이드 중 하나 또는 둘 이상의 조합의 소재로 구현될 수 있다. 제2 전극(118)은, 예시적으로 구리, 금, 은, 인듐틴옥사이드, 알루미늄, 및 티타늄나이트라이드 중 하나 또는 둘 이상의 조합의 소재로 구현될 수 있다.

[0060] 다른 절연층(116)은 그래핀 레이어(115)의 적어도 일부를 커버할 수 있다. 다른 절연층(116)은, 그래핀 레이어(115)가 절연층(114)과 접촉하는 면의 반대 면에서 그래핀 레이어(115)와 접촉함으로써, 그래핀 레이어(115)를 커버할 수 있다. 다른 절연층(116)은 제1 전극(117)의 일부 및 제2 전극(118)의 일부와 접촉할 수 있다. 절연층(114)와 유사하게, 다른 절연층(116)은, 예시적으로, 하프늄 옥사이드, 실리콘 옥사이드, 알루미늄 옥사이드, 실리콘 나이트라이드, 보론 나이트라이드, 및 육방정계 보론 나이트라이드 중 한 소재로 구현될 수 있다. 특히, 다른 절연층(116)가 육방정계 보론 나이트라이드로 구현되는 경우, 그래핀 레이어(115)의 이동도의 저하가 다른 소재로 구현되는 경우보다 적을 수 있다.

[0061] 실리콘 포토닉 도파관(130)은 다른 실리콘 스트립(131)을 포함할 수 있다. 실리콘 포토닉 도파관(130)의 다른 실리콘 스트립(131) 및 그래핀 기반의 도파관(110)의 실리콘 스트립(113a)의 너비는 서로 다를 수 있다. 일 실

시예에 따른 실리콘 포토닉 도파관(130)의 다른 실리콘 스트립(131)은 그래핀 기반의 도파관(110)의 실리콘 스트립(113a)의 너비보다 클 수 있다.

[0062] 커플러(120)는 그래핀 기반의 도파관(110)과 실리콘 포토닉 도파관(130)을 결합시킬 수 있다. 커플러(120)에 의하여 그래핀 기반의 도파관(110) 및 실리콘 포토닉 도파관(130)을 결합하는 경우는 그래핀 기반의 도파관(110)과 실리콘 포토닉 도파관(130)을 직접 결합하는 경우보다 작은 결합 손실을 가질 수 있다.

[0063] 참고로, 커플러는 입력 커플러 및 출력 커플러를 포함할 수 있다. 입력 커플러는 실리콘 포토닉 도파관으로부터 그래핀 기반의 도파관으로 광이 전파되는 지점에서 실리콘 포토닉 도파관 및 그래핀 기반의 도파관을 결합하는 커플러를 나타낼 수 있다. 출력 커플러는, 그래핀 기반의 도파관으로부터 실리콘 포토닉 도파관으로 광이 전파되는 지점에서 실리콘 포토닉 도파관 및 그래핀 기반의 도파관을 결합하는 커플러를 나타낼 수 있다. 예를 들어, 입력 커플러는 그래핀 기반의 도파관의 일부를 일측으로 연장된 연장 부분을 포함할 수 있다. 출력 커플러는 해당 그래핀 기반의 도파관의 일부를 타측으로 연장된 연장 부분을 포함할 수 있다.

[0064] 커플러(120)는 기판(111) 및 산화물층(112)의 적어도 일부를 포함할 수 있다. 또한, 커플러는 실리콘 스트립(예를 들어, 실리콘 스트립 연장 부분)을 중심으로 양측에 위치되는 절연체들(예를 들어, 제1 절연체 연장 부분 및 제2 절연체 연장 부분)을 포함할 수 있다. 추가적으로, 커플러는 절연체들을 중심으로 양측에 위치되는 금속부들(예를 들어, 제1 금속부 연장 부분 및 제2 금속부 연장 부분)을 포함할 수 있다.

[0065] 일 실시예에 따른 커플러(120)는 실리콘 스트립(113a)으로부터 연장되는 실리콘 스트립 연장 부분, 제1 절연체(113b)로부터 연장되는 제1 절연체 연장 부분, 제1 금속부(113d)로부터 연장되는 제1 금속부 연장 부분, 제2 절연체(113c)로부터 연장되는 제2 절연체 연장 부분, 및 제2 금속부(113e)로부터 연장되는 제2 금속부 연장 부분을 포함할 수 있다.

[0066] 커플러(120)의 실리콘 스트립 연장 부분은 그래핀 기반의 도파관(110)의 실리콘 스트립(113a)으로부터 실리콘 포토닉 도파관의 다른 실리콘 스트립(131)을 결합할 수 있다. 실리콘 스트립 연장 부분 중 제1 지점의 너비는 그래핀 기반의 도파관(110)으로부터 길이 방향으로 상기 제1 지점보다 먼 제2 지점의 너비보다 작을 수 있다. 예를 들어, 실리콘 스트립 연장 부분의 너비는 길이 방향 축을 따라 그래핀 기반의 도파관(110)에 인접한 지점부터 실리콘 포토닉 도파관(130)에 인접한 지점까지 선형적으로 증가할 수 있다. 실리콘 스트립 연장 부분의 너비는 그래핀 기반의 도파관에 인접한 지점에서 실리콘 스트립(113a)의 너비와 같을 수 있다. 실리콘 스트립 연장 부분의 너비는 실리콘 포토닉 도파관(130)에 인접한 지점에서 다른 실리콘 스트립(131)의 너비와 같을 수 있다.

[0067] 커플러(120)의 제1 절연체 연장 부분 및 제2 절연체 연장 부분은 길이 방향을 따라 일정한 너비를 가질 수 있다. 제1 절연체 연장 부분의 너비는 제1 절연체(113b)의 너비와 같을 수 있다. 제2 절연체 연장 부분의 너비는 제2 절연체(113c)의 너비와 같을 수 있다.

[0068] 도 3 내지 도 5는 일 실시예에 따른 그래핀 기반의 도파관의 나노 플라즈모닉 도파로의 제1 금속부 및 제2 금속부(예를 들어, 도 2의 제1 금속부(113d) 및 제2 금속부(113e))에 서로 다른 전압이 가해지는 경우를 나타낸다. 예를 들어, -1 V의 전압이 제1 금속부에 인가되고, +1 V의 전압이 제2 금속부에 인가될 수 있다. 도 3은 일 실시예에 따른 그래핀 기반의 도파관을 투과하는 광의 세기 분포를 나타내고, 도 4는 해당 그래핀 기반의 도파관의 그래핀 레이어에서의 제벡 계수 분포를 나타내며, 도 5는 해당 그래핀 레이어의 위치들에서의 온도 분포 및 온도 그래디언트(gradient)를 나타낸다.

[0069] 도 3에서, 나노 플라즈모닉 도파로의 제1 절연체 및 제2 절연체는 나노 플라즈모닉 도파로의 나머지 부분에 비해 상대적으로 강한 세기의 광이 투과되는 것이 나타날 수 있다.

[0070] 도 4에서, 제1 금속부에 인가되는 제1 전압 및 제2 금속부에 인가되는 제2 전압의 전위의 부호가 서로 다를 수 있다. 그래핀 레이어의 제벡 계수들은 서로 다른 부호의 값들을 가질 수 있다. 그래핀 레이어는 기준 위치(예를 들어, x=0에 대응하는 평면)를 기준으로 일측의 위치들(예를 들어, x<0에 대응하는 위치들)에서 양의 제벡 계수를 가지고, 타측의 위치들(예를 들어, x>0에 대응하는 위치들)에서 음의 제벡 계수를 가질 수 있다.

[0071] 도 5에서, 그래핀 레이어의 기준 위치(예를 들어, x=0에 대응하는 평면)에 대응하는 위치들에서 방출되는 열 전자들에 의하여, 그래핀 레이어의 온도는 기준 위치에서 최대일 수 있다. 그래핀 레이어의 기준 위치에서 발생된 열은 제1 전극 및 제2 전극에서 방출될 수 있다. 따라서, 그래핀 레이어의 위치들에서의 온도는 기준 위치로부터 해당 위치까지의 거리가 증가하면 감소할 수 있다.

[0072] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0073] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0074] 100: 광 검출기

110: 그래핀 기반의 도파관

111: 기판

112: 산화물

113: 나노 플라즈모닉 도파로

113a: 실리콘 스트립

113b: 제1 절연체

113c: 제2 절연체

113d: 제1 금속부

113e: 제2 금속부

114: 절연층

115: 그래핀 레이어

116: 다른 절연층

117: 제1 전극

118: 제2 전극

120: 커플러

130: 실리콘 포토닉 도파관

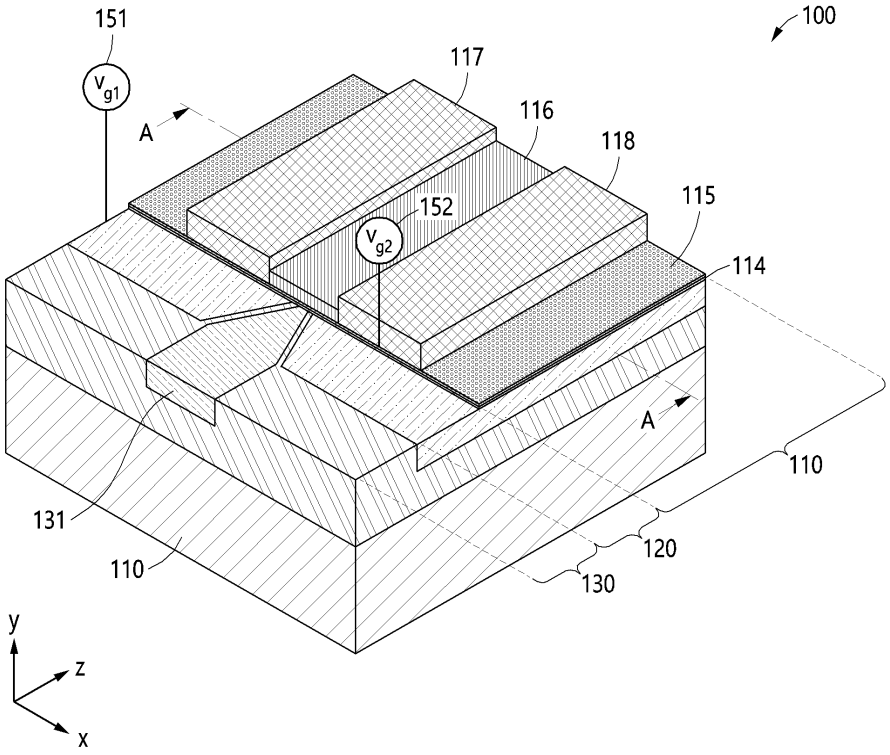
131: 다른 실리콘 스트립

151: 제1 전압원

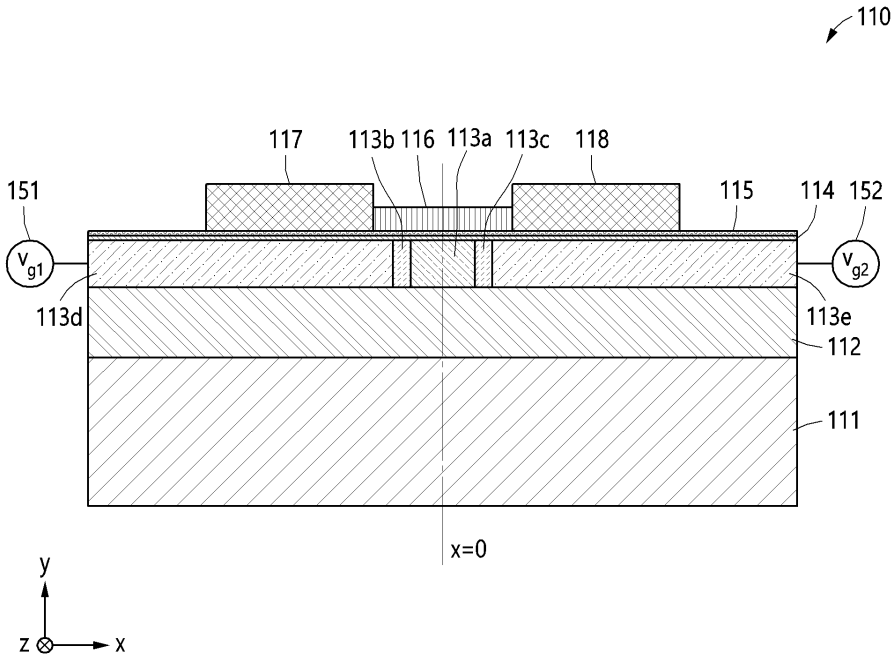
152: 제2 전압원

도면

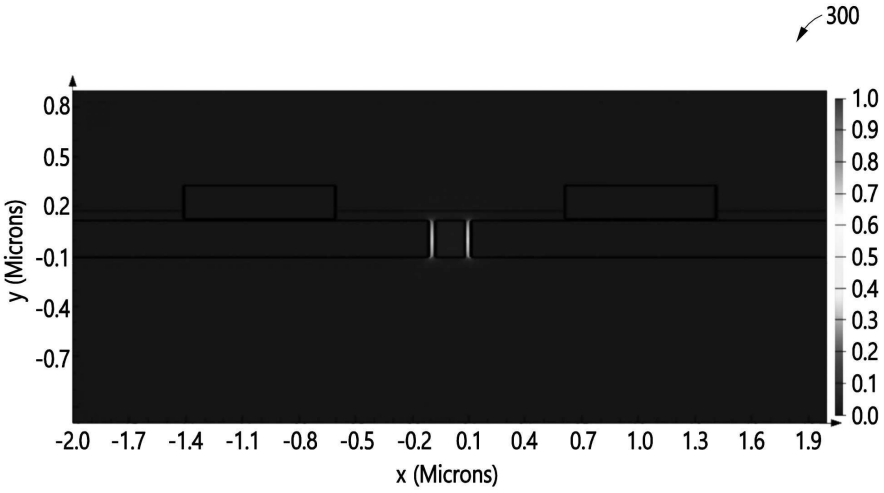
도면1


151
100
117
V_{g1}
A
116
118
115
152
V_{g2}
114
A
110
131
120
110
130
y
z
x

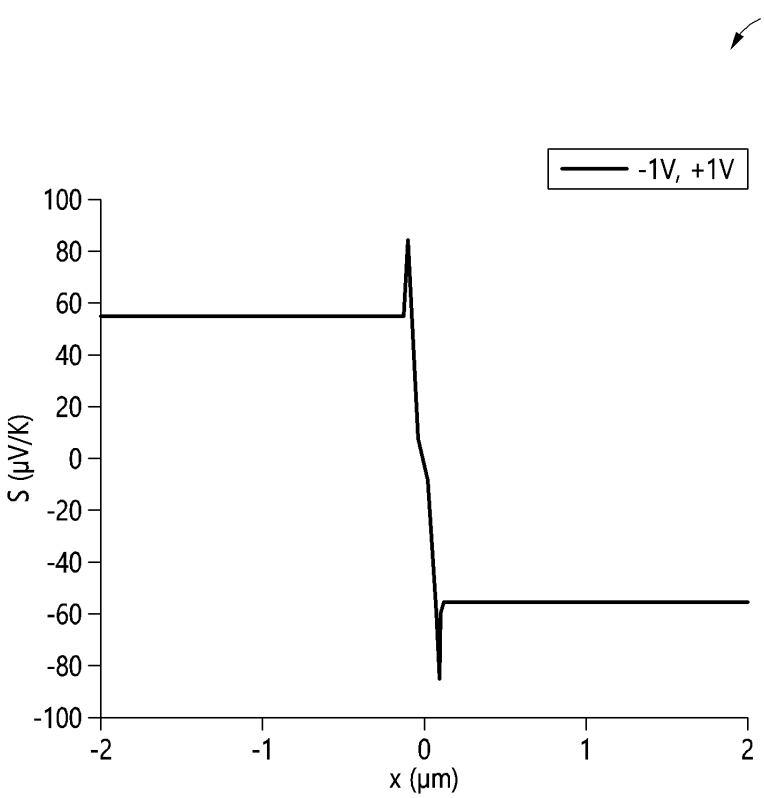
도면2


110
117
113b
116
113a
113c
118
151
115
114
152
V_{g1}
V_{g2}
113d
113e
112
111
x=0
y
z
x

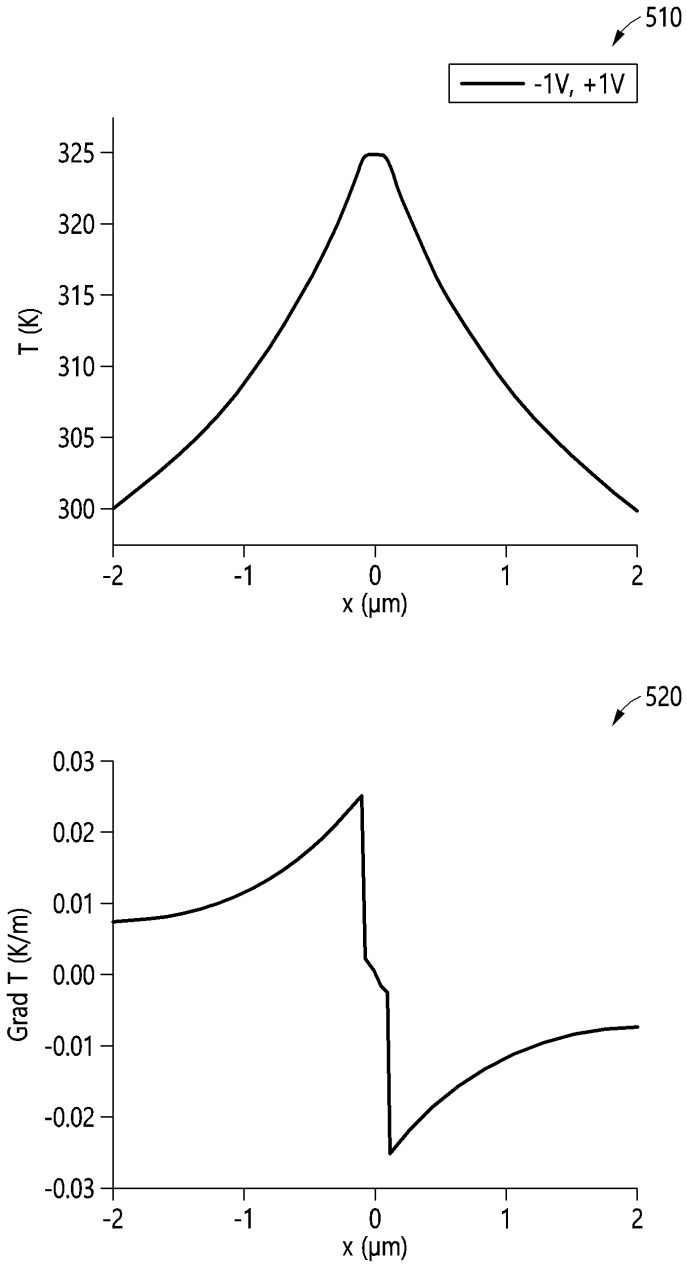
도면3


300
0.8
0.5
0.2
-0.1
-0.4
-0.7
y (Microns)
-2.0 -1.7 -1.4 -1.1 -0.8 -0.5 -0.2 0.1 0.4 0.7 1.0 1.3 1.6 1.9
x (Microns)
1.0
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0.0

도면4


400
-1V, +1V
100
80
60
40
20
0
-20
-40
-60
-80
-100
S (μV/K)
-2
-1
0
1
2
x (μm)

도면5


510
-1V, +1V
325
320
315
310
305
300
T (K)
-2
-1
0
1
2
x (μm)
520
0.03
0.02
0.01
0.00
-0.01
-0.02
-0.03
Grad T (K/m)
-2
-1
0
1
2
x (μm)