

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5865881号
(P5865881)

(45) 発行日 平成28年2月17日 (2016. 2. 17)

(24) 登録日 平成28年1月8日 (2016. 1. 8)

(51) Int. Cl.

F I

H O 1 L 21/3205 (2006. 01)

H O 1 L 21/88 J

H O 1 L 21/768 (2006. 01)

H O 1 L 27/10 4 9 5

H O 1 L 23/522 (2006. 01)

H O 1 L 21/90 N

H O 1 L 27/10 (2006. 01)

H O 1 L 25/08 Z

H O 1 L 23/532 (2006. 01)

請求項の数 28 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2013-197964 (P2013-197964)
 (22) 出願日 平成25年9月25日 (2013. 9. 25)
 (65) 公開番号 特開2014-68014 (P2014-68014A)
 (43) 公開日 平成26年4月17日 (2014. 4. 17)
 審査請求日 平成27年9月24日 (2015. 9. 24)
 (31) 優先権主張番号 10-2012-0106707
 (32) 優先日 平成24年9月25日 (2012. 9. 25)
 (33) 優先権主張国 韓国 (KR)

早期審査対象出願

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 g t o n g - g u, S u w o n - s i, G
 y e o n g g i - d o, R e p u b l i c
 o f K o r e a

(74) 代理人 100110364

弁理士 実広 信哉

(72) 発明者 文 光辰

大韓民国京畿▲道▼華城市半月洞 (番地な
 し) ドサンウェーブアパート202棟
 1003号

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1面及び前記第1面に対向する第2面を含む基板と、
 前記基板を貫通するビアホール内の貫通電極と、を含む半導体装置であって、
 前記貫通電極は、
 前記ビアホールの一部を満たす金属層と、
 前記ビアホールの残りの部分を満たす合金層と、を含み、
前記合金層の結晶粒の大きさは、前記金属層の結晶粒の大きさより小さく、
 前記合金層は、前記金属層に含まれた金属元素及び前記金属層に含まれた金属元素と異
 なる金属元素の少なくとも二つの金属元素を含み、
前記貫通電極は、前記金属層と前記合金層との間の分離導電層をさらに含み、
前記金属層と前記合金層とは、前記分離導電層によって分離されている半導体装置。

【請求項 2】

前記貫通電極は、前記第1面に隣接する上面及び前記第2面に隣接する下面を含み、
 前記合金層は、前記貫通電極の上面の少なくとも一部を提供している請求項1に記載の
 半導体装置。

【請求項 3】

前記金属層は、前記合金層の側壁と前記ビアホールの側壁との間に介在した延長部を含
 む請求項1に記載の半導体装置。

【請求項 4】

前記合金層上面の直径は、前記延長部の水平方向の厚さより大きい請求項 3 に記載の半導体装置。

【請求項 5】

前記貫通電極と隣接して前記第 1 面上に提供された集積回路と、

前記貫通電極と前記集積回路とを電氣的に連結する上部配線をさらに含み、

前記金属層と前記合金層とは、前記上部配線と共通的に接している請求項 3 に記載の半導体装置。

【請求項 6】

前記貫通電極は、前記ビアホール（ビアホール）の側壁に沿って提供されるバリアー層をさらに含み、

前記合金層は、前記バリアー層と接している請求項 1 に記載の半導体装置。

10

【請求項 7】

前記合金層の厚さは、前記貫通電極の全体の垂直方向の長さの約 2 % 乃至約 15 %である請求項 1 に記載の半導体装置。

【請求項 8】

前記金属層の平均結晶粒の大きさは、前記合金層の平均結晶粒の大きさの少なくとも 2 倍より大きい請求項 1 に記載の半導体装置。

【請求項 9】

前記合金層は、銅合金又はタングステン合金を含む請求項 1 に記載の半導体装置。

【請求項 10】

前記金属層は、銅（Cu）を含み、前記合金層は、Cu - Mn 合金（Mn は 5 at m % 乃至 8 at m %）、Cu - Au 合金（Au は 10 at m % 以上）、又は Cu - Ni 合金（Ni は 2 at m % 以上）の中の少なくとも 1 つを含む請求項 1 に記載の半導体装置。

20

【請求項 11】

前記金属層は、タングステン（W）を含み、前記合金層は、W - Mn 合金（Mn は 5 at m % 乃至 8 at m %）、W - Au 合金（Au は 10 at m % 以上）、又は W - Ni 合金（Ni は 2 at m % 以上）の中の少なくとも 1 つを含む請求項 1 に記載の半導体装置。

【請求項 12】

前記貫通電極と隣接して前記第 1 面上に提供された集積回路と、

前記集積回路を覆う第 1 層間絶縁膜をさらに含み、

前記貫通電極は、前記第 1 層間絶縁膜の上面まで延長された請求項 1 に記載の半導体装置。

30

【請求項 13】

前記合金層は、前記第 1 面より高い下面を有している請求項 12 に記載の半導体装置。

【請求項 14】

前記貫通電極と隣接して前記第 1 面上に提供された集積回路と、

前記集積回路を覆う第 1 層間絶縁膜をさらに含み、

前記第 1 層間絶縁膜は、前記貫通電極の上面を覆っている請求項 1 に記載の半導体装置。

。

【請求項 15】

前記貫通電極と隣接して前記第 1 面上に提供された集積回路と、

前記集積回路を覆う第 1 層間絶縁膜と、

前記第 1 層間絶縁膜上の金属配線と、

前記金属配線上の第 2 層間絶縁膜と、をさらに含み、

前記貫通電極は、前記第 2 層間絶縁膜の上面まで延長された請求項 1 に記載の半導体装置。

40

【請求項 16】

活性面、前記活性面と対向する非活性面を含む基板であって、前記基板を貫通して前記活性面から前記非活性面まで延在しているビアホールをさらに含む基板と、

前記ビアホールの側壁に沿って提供されるバリアー層と、

前記ビアホール内の貫通電極と、を含み、

50

前記貫通電極は、前記ビアホールの一部を満たす金属層、及び前記金属層上に提供され、前記金属層に含まれた金属元素と異なる少なくとも一つの金属元素を含む合金層を含み、

前記金属層は、前記合金層の側壁と前記バリアー層との間に介在した延長部を含み、
前記貫通電極は、前記金属層と前記合金層との間の分離導電層をさらに含み、
前記金属層と前記合金層とは、前記分離導電層によって分離されている半導体装置。

【請求項 17】

前記金属層は、前記合金層下のボディー部をさらに含み、
前記延長部の結晶粒の大きさは、前記ボディー部の結晶粒大きさより小さい請求項 16
に記載の半導体装置。

10

【請求項 18】

前記貫通電極と隣接して前記基板の活性面上に提供された集積回路と、
前記貫通電極と前記集積回路とを電気的に連結する上部配線と、をさらに含み、
前記金属層と前記合金層とは、前記上部配線と共通的に接している請求項 16 に記載の
半導体装置。

【請求項 19】

前記集積回路を覆う層間絶縁膜をさらに含み、
前記貫通電極は、前記層間絶縁膜を貫通して前記上部配線と連結される請求項 18 に記
載の半導体装置。

【請求項 20】

前記合金層は、前記活性面より高い下面を有している請求項 19 に記載の半導体装置。

20

【請求項 21】

前記延長部は、前記ビアホールの前記側壁に対して斜めに傾いた内側壁を有している請
求項 16 に記載の半導体装置。

【請求項 22】

前記合金層は、前記金属層に含まれた金属元素をさらに含む請求項 16 に記載の半導体
装置。

【請求項 23】

半導体基板及び前記半導体基板上の層間絶縁膜を含む半導体チップを含み、
前記半導体チップは、前記半導体チップの少なくとも一部を貫通するように垂直延長す
る貫通電極を含み、
前記貫通電極は、金属層及び前記金属層に隣接する合金層を含み、
前記合金層は、少なくとも 2 つの金属元素を含み、前記少なくとも 2 つの金属元素は、
前記金属層に含まれた金属元素及び前記金属層に含まれた金属元素と異なる金属元素を含
み、

30

前記合金層の結晶粒の大きさは、前記金属層の結晶粒の大きさより小さく、
前記貫通電極は、前記金属層と前記合金層との間の分離導電層をさらに含み、
前記金属層と前記合金層とは、前記分離導電層によって分離されている半導体装置。

【請求項 24】

前記層間絶縁膜は、順に積層された第 1 層間絶縁膜及び第 2 層間絶縁膜を含み、前記貫
通電極は、前記基板及び前記第 1 層間絶縁膜を貫通する請求項 23 に記載の半導体装置。

40

【請求項 25】

前記貫通電極は、前記第 2 層間絶縁膜を貫通しない請求項 24 に記載の半導体装置。

【請求項 26】

前記層間絶縁膜は、順に積層された第 1 層間絶縁膜及び第 2 層間絶縁膜を含み、前記貫
通電極は、前記半導体基板を貫通する請求項 23 に記載の半導体装置。

【請求項 27】

前記貫通電極は、前記第 1 及び第 2 層間絶縁膜を貫通しない請求項 26 に記載の半導体
装置。

【請求項 28】

50

前記層間絶縁膜は、順に積層された第1層間絶縁膜及び第2層間絶縁膜を含み、前記貫通電極は、前記基板、前記第1層間絶縁膜、及び前記第2層間絶縁膜を貫通する請求項23に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体に関し、より具体的には貫通電極を具備する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

最近、電子産業の趨勢は軽量化、小型化、高速化、多機能化、及び高性能化された製品を低廉な価額に製造することである。このような目標を達成するためにマルチチップ積層パッケージ(multi-chip stacked package)技術又はシステム-イン-パッケージ(system in package)技術が使用される。

【0003】

マルチチップ積層パッケージ又はシステム-イン-パッケージは複数個の単位半導体装置の機能を1つの半導体パッケージで遂行することができる。マルチチップ積層パッケージ又はシステム-イン-パッケージは通常的な単一チップパッケージに比べて若干厚くなるが、平面的には単一チップパッケージと大きさと概ね類似であるので、携帯電話機、ノートブック型コンピューター、メモリカード、携帯用カムコーダー等のような高機能でありながら、同時に小型乃至移動性が要求される製品に主に使用される。マルチチップ積層パッケージ技術又はシステム-イン-パッケージ技術はシリコン貫通電極(through silicon via:TSV)技術を使用する。前記貫通電極は半導体装置の性能に影響を及ぼすことができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許公開2011/0177655号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、貫通電極をなす結晶粒の熱的ストレスによる突出現象を緩和して半導体パッケージの接続不良又はクラックを防止することにある。

【課題を解決するための手段】

【0006】

前記目的を達成することができる本発明の一実施形態による半導体装置は、第1面及び前記第1面に対向する第2面を含む基板と、前記基板を貫通するビアホール内の貫通電極と、前記貫通電極と隣接して前記第1面に提供された集積回路と、を含み、前記貫通電極は、前記ビアホールの一部を満たす金属層と、前記ビアホールの残りの部分を満たす合金層と、を含み、前記合金層は、前記金属層に含まれた金属元素及び前記金属層に含まれた金属元素と異なる金属元素を包含することができる。

【0007】

前記貫通電極は、前記第1面に隣接する上面及び前記第2面に隣接する下面を含み、前記合金層は、貫通電極の上面で露出され得る。

【0008】

前記金属層は、前記合金層と前記ビアホールの側壁との間に延長された延長部を包含することができる。

【0009】

前記合金層上面の直径は、前記延長部の厚さより大きくなり得る。

【0010】

10

20

30

40

50

前記貫通電極と前記集積回路とを電氣的に連結する上部配線をさらに含み、前記金属層と前記合金層とは、前記上部配線と共通的に接することができる。

【0011】

前記貫通電極は、前記ビアホール側の壁に沿って提供されるバリア層をさらに含み、前記合金層は、前記バリア層と接することができる。

【0012】

前記貫通電極は、前記金属層と前記合金層との間の分離導電層をさらに含み、前記金属層と前記合金層は、前記分離導電層によって分離され得る。

【0013】

前記合金層の厚さは、前記貫通電極の総長さの約2%乃至約15%であり得る。

10

【0014】

前記合金層の結晶粒の大きさは、前記金属層の結晶粒の大きさより小さいことがあり得る。

【0015】

前記金属層の平均結晶粒の大きさは、前記合金層の平均結晶粒の大きさの約2倍以上であり得る。

【0016】

前記合金層は、銅合金又はタングステン合金を包含することができる。

【0017】

前記金属層は、銅(Cu)を含み、前記合金層は、Cu-Mn合金(Mnは5atm%乃至8atm%)、Cu-Au合金(Auは10atm%以上)、又はCu-Ni合金(Niは2atm%以上)の中の少なくとも1つを包含することができる。

20

【0018】

前記金属層は、タングステン(W)を含み、前記合金層は、W-Mn合金(Mnは5atm%乃至8atm%)、W-Au合金(Auは10atm%以上)、又はW-Ni合金(Niは2atm%以上)の中の少なくとも1つを包含することができる。

【0019】

前記集積回路を覆う第1層間絶縁膜をさらに含み、前記貫通電極は、前記第1面に対向する、前記第1層間絶縁膜の上面まで延長され得る。

【0020】

30

前記合金層の下面は、前記第1面より高いことがあり得る。

【0021】

前記集積回路を覆う第1層間絶縁膜をさらに含み、前記第1層間絶縁膜は、前記貫通電極の上面を覆うことができる。

【0022】

前記集積回路を覆う第1層間絶縁膜と、前記第1層間絶縁膜上の金属配線と、前記金属配線上の第2層間絶縁膜と、をさらに含み、前記貫通電極は、前記第1層間絶縁膜に対向する、前記第2層間絶縁膜の上面まで延長され得る。

【0023】

本発明の他の実施形態による半導体装置は、活性面、前記活性面と対向する非活性面、及び前記活性面と前記非活性面を貫通するビアホールを含む基板と、前記ビアホール内の貫通電極と、を含み、前記貫通電極は、前記ビアホールの一部を満たす金属層、及び前記金属層上に提供され、前記金属層に含まれた金属元素と異なる金属元素を含む合金層を含み、前記金属層は、前記合金層と前記ビアホール側の壁間に延長された延長部を包含することができる。

40

【0024】

前記金属層は、前記合金層下のボディー部をさらに含み、前記延長部の結晶粒の大きさは、前記ボディー部の結晶粒の大きさより小さいことがあり得る。

【0025】

前記貫通電極と隣接して前記基板の活性面上に提供された集積回路と、前記貫通電極と

50

前記集積回路とを電氣的に連結する上部配線と、をさらに含み、前記金属層と前記合金層とは、前記上部配線と共通的に接することができる。

【0026】

前記集積回路を覆う層間絶縁膜をさらに含み、前記貫通電極は、前記層間絶縁膜を貫通して前記上部配線と連結され得る。

【0027】

前記合金層の下面は、前記活性面より高いことがあり得る。

【0028】

前記延長部の内側壁は、垂直ではない傾斜を有することができる。

【0029】

前記合金層は、前記金属層に含まれた金属元素をさらに包含することができる。

【0030】

前記目的を達成することができる本発明の一実施形態による半導体装置は、基板の第1面を貫通するビアホールを形成することと、前記ビアホール内に金属層を形成することと、前記金属層上に前記ビアホールを満たし、前記金属層に含まれた金属元素と異なる金属元素を含む合金層を形成することと、前記基板の第1面と対向する前記基板の第2面を研磨して前記金属層を露出させることと、を包含することができる。

【0031】

前記金属層を形成することは、前記ビアホールの側壁上にバリアー層及びシード層を順に形成することを包含することができる。

【0032】

前記金属層は、ビアホールの下面より前記ビアホールの上面の側壁上で相対的に薄く形成され得る。

【0033】

前記金属層は、前記シード層を利用する電解鍍金で形成され、前記金属層を形成することは、前記シード層に印加される電流を中止して前記ビアホールの側壁上に形成された前記金属層の一部を溶解させることをさらに含むことができる。

【0034】

前記金属層の溶解によって前記シード層の一部が露出され、前記合金層は、前記露出されたシード層を利用する電解鍍金で形成され得る。

【0035】

前記ビアホールの側壁上に形成された前記金属層の溶解の時、前記シード層の一部が共に溶解されて前記バリアー層が露出され得る。

【0036】

前記合金層は、前記金属層と異なる方法によって形成され、前記合金層を形成する前に、前記金属層の表面に分離導電層を形成することをさらに包含することができる。

【0037】

前記基板の第1面上に集積回路を形成することと、前記集積回路を覆う第1層間絶縁膜を形成することと、をさらに含み、前記金属層及び前記合金層を形成することは、前記集積回路及び前記第1層間絶縁膜を形成した後及び前記金属配線を形成する前に遂行されることができる。

【0038】

前記基板の第1面上に集積回路を形成することをさらに含み、前記金属層及び前記合金層を形成することは、前記集積回路の形成する前に遂行されることができる。

【0039】

前記基板の第1面上に集積回路を形成することと、前記集積回路を覆う第1層間絶縁膜を形成することと、前記第1層間絶縁膜上に金属配線を形成することと、前記金属配線の上に第2層間絶縁膜を形成することと、をさらに含み、前記金属層及び前記合金層を形成することは、前記第2層間絶縁膜を形成した後に遂行されることができる。

【発明の効果】

10

20

30

40

50

【 0 0 4 0 】

本発明によると、貫通電極の上部の結晶粒が微細化されて貫通電極上部の突出現象を緩和させることができる。また、貫通電極上の層間絶縁膜の変形及びクラック等を防止し、上部配線との接合部分での剥離を防止することによって接触抵抗を改善することができる。

【図面の簡単な説明】

【 0 0 4 1 】

【図 1】本発明の実施形態による半導体装置を示した断面図である。

【図 2】本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

10

【図 3】本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

【図 4】本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

【図 5】本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

【図 6】本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

【図 7 A】本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

20

【図 7 B】本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

【図 8 A】本発明の他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

【図 8 B】本発明の他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

【図 9 A】本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

【図 9 B】本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

30

【図 9 C】本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

【図 1 0 A】本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

【図 1 0 B】本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

【図 1 0 C】本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

【図 1 0 D】本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。

40

【図 1 1 A】貫通電極の形成が集積回路の形成と金属配線の形成との間に遂行されるビアミドル構造の製造方法の工程フローチャートである。

【図 1 1 B】図 1 1 A によって形成された半導体装置の断面図である。

【図 1 2 A】貫通電極が集積回路と配線の形成以前に形成されるビアファースト構造の製造方法の工程フローチャートである。

【図 1 2 B】図 1 2 A によって形成された半導体装置の断面図である。

【図 1 3 A】貫通電極が集積回路形成以後、及び第 1 金属配線と第 2 金属配線の形成との間に形成されるビアラスト構造の製造方法の工程フローチャートである。

【図 1 3 B】図 1 3 A によって形成された半導体装置の断面図である。

【図 1 4】本発明の実施形態による半導体パッケージの断面図である。

50

【図 1 5】本発明の実施形態による半導体パッケージの断面図である。

【図 1 6】本発明の実施形態による半導体パッケージの断面図である。

【図 1 7】本発明の実施形態によるパッケージモジュールを示す平面図である。

【図 1 8】本発明の実施形態によるメモリカードを示す概略図である。

【図 1 9】本発明の実施形態による電子システムを示すブロック図である。

【図 2 0】電子システムがモバイルフォンに適用される例を図示する。

【発明を実施するための形態】

【0042】

以下、本発明によるエアーギャップ絶縁構造を有する貫通電極を具備する半導体装置及びその製造方法を添付した図面を参照して詳細に説明する。

10

【0043】

本発明と従来技術とを比較した長所は添付された図面を参照した詳細な説明と特許請求の範囲とを通じて明確になり得る。特に、本発明は特許請求の範囲で明確に請求されている。しかし、本発明は添付された図面に関連して次の詳細な説明を参照することによって最も良く理解できる。図面において、同一の参照符号は多様な図面を通じて同一の構成要素を示す。

【0044】

<装置例>

図 1 は本発明の実施形態による半導体装置 10 を示した断面図である。

【0045】

20

図 1 を参照すれば、半導体装置 10 は電氣的信号を基板 100 を貫通して伝達する導電性連結部 120 を包含することができる。前記導電性連結部 120 は前記基板 100 を貫通する貫通電極 TS を包含することができる。前記導電性連結部 120 は前記貫通電極 TS と接触され、前記基板 100 の上面 100 a 上に配置された上部配線 110 と、前記貫通電極 TS と接触され、前記基板 100 の下面 100 c 上に配置された下部配線 116 の中で少なくとも 1 つを包含することができる。前記上面 100 a は前記基板 100 の活性面と称し、前記下面 100 c は前記基板 100 の非活性面と称され得る。前記上面 100 a 及び前記下面 100 c の各々は基板 100 の厚さ方向と垂直する水平方向に延長された実質的に平らな面であり得る。

【0046】

30

前記上部配線 110 は前記基板 100 の上面 100 a にしたがって水平に延長されることができ、前記下部配線 116 は前記基板 100 の下面 100 c にしたがって水平に延長され得る。前記上部配線 110 と前記下部配線 116 との中で少なくともいずれか 1 つは再配線されることができる。前記下部配線 116 には前記半導体装置 10 を他の装置、例えば他の半導体装置或いは印刷回路基板に電氣的に連結できる連結端子で第 1 パンプ 118 が付着されることができる。前記上部配線 110 に連結端子がさらに付着され得る。

【0047】

前記貫通電極 TS は前記基板 100 を垂直貫通して前記上部配線 110 及び前記下部配線 116 と連結され得る。前記上部配線 110 を通じて伝達される電氣的信号は前記貫通電極 TS にしたがって前記基板 100 を垂直貫通して前記下部配線 116 に或いはその逆に伝達され得る。

40

【0048】

前記基板 100 の上面 100 a 及び下面 100 c は上部保護膜 124 及び下部保護膜 114 によって各々覆われることができる。前記上部保護膜 124 及び前記下部保護膜 114 は前記基板 100 を外部環境から保護し、電氣的に絶縁させ得る。前記導電性連結部 120 は基板 100 と電氣的に絶縁され得る。例えば、前記上部保護膜 124 は前記上部配線 110 を前記基板 100 の上面 100 a から離隔させて電氣的に絶縁させ、前記下部保護膜 114 は前記下部配線 116 を前記基板 100 の下面 100 c から離隔させて電氣的に絶縁させ得る。一例として、前記上部保護膜 124 及び前記下部保護膜 114 はシリコン酸化物、シリコン窒化物、又はシリコン酸化窒化物を包含することができる。前記貫通

50

電極TSは前記基板100を貫通するビアホール171内に提供され得る。前記ビアホール171は前記基板100の内表面によって定義される部分であり得る。前記貫通電極TSはライナー絶縁膜133によって前記基板100と電氣的に絶縁され得る。前記ビアホール171は前記上面100aと前記下面100cとを継ぐ実質的に垂直になる面であり得る。前記ライナー絶縁膜133は酸化膜或いは窒化膜を包含することができる。前記ライナー絶縁膜133は前記貫通電極TSを囲み、その側壁に沿って前記上部配線110から前記下部配線116まで延長され得る。

【0049】

前記貫通電極TSは前記ビアホール171の一部を満たす金属層108及び前記ビアホール171内で、前記金属層108上に提供される合金層107を包含することができる。前記合金層107は前記基板100の上面110aに隣接する前記貫通電極TSの上面に露出されて前記上部配線110に連結され得る。前記合金層107は前記基板100の下面110cに隣接する前記貫通電極TSの下面に露出されないこともあり得る。一例として、前記合金層107の前記上面110aと垂直する方向の厚さT1は前記貫通電極TSの総高さH1の約2%乃至約15%であり得る。前記貫通電極TSは前記ライナー絶縁膜133と前記金属層108との間に提供されるバリアー層131を包含することができる。前記バリアー層131は前記金属層108から金属原子が前記基板100へ拡散することを減らし得る。前記バリアー層131はチタニウム、チタニウム窒化物、タンタル、タンタル窒化物、ルテニウム、コバルト、マンガン、タングステン窒化物、ニッケル、ニッケルホウ化物、又はチタニウム/チタニウム窒化物のような二重膜を包含することができる。

【0050】

前記金属層108は銅、タングステン、銀、金、又はインジウムを包含することができる。前記合金層107は前記金属層108に含まれた金属元素と異なる金属元素を包含することができる。一例として、前記合金層107は前記金属層108に含まれた金属元素と異なる金属元素と、前記金属層108に含まれた金属元素の合金物質を包含することができる。前記金属層108が銅である場合、前記合金層107は銅と異なる金属元素又は金属元素、一例として、W、Mn、Cr、Ag、Au、Ni、又はSgAGの中で少なくとも1つを含む合金であり得る。前記合金層107は2種又は3種以上の金属元素を含む合金であり得る。前記合金層107は非金属不純物元素をさらに包含することができる。一例として、前記銅と異なる金属元素を含む合金物質はCu-Mn合金(Mnは5atm%乃至8atm%)、Cu-Au合金(Auは10atm%以上)、Cu-Ni合金(Niは2atm%以上)等であり得る。一例として、前記金属層108がタングステンである場合、前記合金層107はタングステンと異なる金属元素を含む合金であり得る。一例として、前記タングステンと異なる金属元素を含む合金物質はW-Mn合金(Mnは5atm%乃至8atm%)、W-Au合金(Auは10atm%以上)、W-Ni合金(Niは2atm%以上)等であり得る。

【0051】

前記金属層108は合金ではないことがあり得る。本明細書で、合金は金属間の化合物に限定され、金属と非金属との間の化合物を含まないことを意味している。しかし、前記金属間の化合物は非金属物質をさらに包含することができる。

【0052】

前記合金層107は前記金属層108に含まれた金属元素を包含しないことがあり得る。一例として、前記金属層108が銅である場合、前記合金層107は銅を包含しない合金物質で形成され得る。一例として、前記銅を包含しない合金物質はAg-Ni合金、Ag-Mn合金、Ag-Au合金、W-Ni合金、W-Mn合金、W-Au合金、W-Ti合金、又はW-Ta合金の中から少なくとも1つを包含することができる。

【0053】

前記合金層107は以後遂行される高温工程によって、前記金属層108の結晶粒サイズが増加されることを防止することができる。一例として、前記高温工程は前記貫通電極

T Sの形成以後に遂行される金属配線の形成工程であり得る。一例として、前記高温工程は約400 以上であり得る。前記金属層108の結晶粒は高温工程で粒界 (grain boundary) の移動によって相対的に小さい結晶粒は消滅され、大きい結晶粒は続いて成長されることができる。その結果、前記基板100の上面100aに隣接する前記貫通電極T Sの上面の結晶粒は熱的ストレス (thermal stress) によって、局部的に突出 (extrusion) されることがあり得る。前記突出現象は前記貫通電極T Sと前記貫通電極T S上の金属配線 (一例として、前記上部配線110) との間の断線又は接触抵抗不良を発生させるか、或いは前記貫通電極T S上の絶縁膜のクラックを発生させ得る。

【0054】

10

前記金属層108上に前記合金層107を提供する場合、前記貫通電極T Sと前記上部配線110とが接触する部分で前記貫通電極T Sの結晶粒成長が抑制され得る。一例として、図1に示したように、前記金属層108が前記合金層107下のボディー部B Dと前記合金層107と前記バリアー層131との間の延長部E Xを包含する場合、前記延長部E Xの結晶粒成長は前記ボディー部B Dの結晶粒成長に比べて抑制され得る。即ち、前記高温工程以後、前記延長部E Xの結晶粒の大きさは前記ボディー部B Dの結晶粒の大きさに比べて小さいことがあり得る。

【0055】

前記合金層107は前記合金層107に含まれた異種金属元素によって結晶粒成長が抑制され得る。一例として、前記合金層107の平均結晶粒の大きさは前記ボディー部B Dの平均結晶粒の大きさの1/2倍以下であり得る。一例として、前記ボディー部B Dの平均結晶粒の大きさは約3 μm ~ 約4 μmであり、前記合金層107の平均結晶粒の大きさは約1 μm ~ 約2 μmであり得る。

20

【0056】

前記合金層107は前記金属層108の結晶粒成長による突出現象を緩和し、前記貫通電極T Sと前記上部配線110との間の接触抵抗を改善することができる。

【0057】

前記半導体装置10において、前記金属層108及び前記合金層107の形態や構造は後述する実施形態を参照して多様に変形され得る。また、前記ライナー絶縁膜133、前記バリアー層131、及び前記ビアホール171の形態は多様に変形され得る。

30

【0058】

< 方法例 >

図2乃至図7Bは本発明の一実施形態による半導体装置の製造方法を示した断面図及び平面図である。

【0059】

図2を参照すれば、基板100が提供される。基板100はシリコン或いはシリコンを含む半導体を包含することができる。前記基板100の第1面11上に上部絶縁膜102が形成され得る。一例として、前記上部絶縁膜102はシリコン酸化物、シリコン窒化物、又はシリコン酸化窒化物を包含することができる。前記上部絶縁膜102を貫通し、前記基板100の第2面12方向に延長されるビアホール171が形成され得る。前記第1面11は基板の活性面と称し、前記第2面12は前記基板の非活性面と称され得る。平面的観点で、前記ビアホール171は円形、楕円形又は四角形であり得る。前記ビアホール171はドリルリング方法、ボッシュ (Bosch) エッチング、又はステディー (Steady State) エッチング方法で形成され得る。前記ビアホール171は前記基板100を貫通しない深さまで延長され得る。即ち、前記ビアホール171の深さは前記基板100全体の厚さより小さいことがあり得る。一例として、前記ビアホール171の深さは大略50 μm以上であり得る。前記ビアホール171の深さはデザインルール (Design Rule) や素子要求特性によって変化され得る。

40

【0060】

図3を参照すれば、前記ビアホール171内にライナー絶縁膜133が形成され得る。

50

前記ライナー絶縁膜 133 は酸化膜（例： SiO_x ）や窒化膜（例： SiN_x ）のような絶縁性物質を蒸着して形成することができる。前記ライナー絶縁膜 133 はビアホール 171 の内壁にしたがって実質的にコンフォーマルに蒸着され得る。前記ライナー絶縁膜 133 は前記上部絶縁膜 102 の上に延長されるように形成され得る。一例として、前記ライナー絶縁膜 133 の形成は化学気相蒸着（Chemical Vapor Deposition: CVD）によって形成され得る。

【0061】

前記ライナー絶縁膜 133 上にバリアー層 131 が形成され得る。前記バリアー層 131 はチタニウム、チタニウム窒化物、タンタル、タンタル窒化物、ルテニウム、コバルト、マンガン、タングステン窒化物、ニッケル、ニッケルホウ化物、又はチタニウム/チタニウム窒化物のような二重膜を包含することができる。一例として、前記バリアー層 131 はスパッタリング、CVD、又は原子層蒸着（Atomic Layer Deposition: ALD）によって形成され得る。

10

【0062】

前記バリアー層 131 上にシード層（seed layer、106）が形成され得る。前記シード層 106 は以下説明される金属層の蒸着のための層で、前記金属層と同一な物質を包含することができる。前記シード層 106 は銅、タングステン、銀、金、又はインジウムを包含することができる。一例として、前記シード層 106 はスパッタリング方法によって形成され得る。

【0063】

20

図 4 を参照すれば、前記シード層 106 上に金属層 108 が形成され得る。一例として、前記金属層 108 は銅、タングステン、銀、金、又はインジウムで形成され得る。前記金属層 108 は前記シード層 106 を利用する電解鍍金工程で形成され得る。他の実施形態で、前記金属層 108 は無電解鍍金又はスパッタリングで形成され得る。前記金属層 108 は前記シード層 106 にしたがって、前記上部絶縁膜 102 の上に延長されるように形成され得る。一例として、前記電解鍍金工程は CuSO_4 、 H_2SO_4 、及び Cl を含む電解溶液にウエハーを浸けて遂行されることができる。前記金属層 108 は前記ビアホール 171 を完全に満たさないように形成され得る、その結果、前記金属層 108 の上部に前記金属層 108 の側壁によって定義されるホール領域 172 が形成され得る。一例として、前記金属層 108 は前記ビアホール 171 の下面より前記ビアホール 171 の側壁上に相対的に薄く形成され得る。このような前記金属層 108 の厚さ調節は電解鍍金工程に使用されるサプレッサ（suppressor）及びアクセラレーター（accelerator）の調節又は電流密度分布調節によって達成され得る。一例として、前記サプレッサは PEG（Poly Ethylene Glycol）を包含でき、前記アクセラレーターは SPS（Sulfo propyl Disulfide）又は Bis-（3-sulfo propyl）disulfide を包含することができる。前記サプレッサは前記ビアホール 171 の側壁上に前記金属層 108 が形成されることを抑制することができる。

30

【0064】

図 5 を参照すれば、前記ホール領域 172 を満たす合金層 107 が形成され得る。一例として、前記合金層 107 は既に形成された前記合金層 107 を電流の供給通路として使用して電解鍍金工程で形成され得る。他の実施形態において、前記合金層 107 の形成は無電解鍍金、又はスパッタリングで形成され得る。前記合金層 107 は前記金属層 108 にしたがって、前記上部絶縁膜 102 の上に延長されるように形成され得る。前記合金層 107 は前記金属層 108 に含まれた金属元素と異なる金属元素を含む物質で形成され得る。一例として、前記合金層 107 は前記金属層 108 に含まれた金属元素と異なる金属元素と、前記合金層 107 は前記金属層 108 に含まれた金属元素の合金に形成され得る。一例として、前記金属層 108 が銅である場合、前記合金層 107 は銅と異なる金属元素又は金属元素、一例として、W、Mn、Cr、Ag、Au、Ni、又は Sg AG の中で少なくとも 1 つを含む合金であり得る。前記合金層 107 は 2 種又は 3 種以上の金属元素

40

50

を含む合金であり得る。前記合金層 107 は非金属不純物元素をさらに包含することができる。一例として、前記銅と異なる金属元素を含む合金物質は Cu - Mn 合金 (Mn は 5 at m % 乃至 8 at m %)、Cu - Au 合金 (Au は 10 at m % 以上)、Cu - Ni 合金 (Ni は 2 at m % 以上) 等であり得る。一例として、前記金属層 108 がタングステンである場合、前記合金層 107 はタングステンと異なる金属元素を含む合金であり得る。一例として、前記タングステンと異なる金属元素を含む合金物質は W - Mn 合金 (Mn は 5 at m % 乃至 8 at m %)、W - Au 合金 (Au は 10 at m % 以上)、W - Ni 合金 (Ni は 2 at m % 以上) 等であり得る。このような前記合金層 107 の形成は電解溶液内に前記合金層 107 を構成する金属元素の供給源を追加して遂行されることができる。前記合金層 107 の形成の後、アニーリング工程が遂行されることができる。前記アニーリング工程は約 200 乃至約 500 で遂行されることができる。前記アニーリング工程によって前記金属層 108 内の結晶粒が一部成長され、前記金属層 108 と前記合金層 107 内の残留応力が緩和され得る。

10

【0065】

前記合金層 107 は前記金属層 108 に含まれた金属元素を包含しない合金で形成され得る。一例として、前記金属層 108 が銅である場合、前記合金層 107 は銅を包含しない合金物質で形成され得る。一例として、前記銅を包含しない合金物質は Ag - Ni 合金、Ag - Mn 合金、Ag - Au 合金、W - Ni 合金、W - Mn 合金、W - Au 合金、W - Ti 合金、又は W - Ta 合金の中で少なくとも 1 つを包含することができる。

20

【0066】

図 6 を参照すれば、平坦化工程を遂行して前記上部絶縁膜 102 上の層が除去されることができる。一例として、前記平坦化工程は化学的物理的な研磨膜 (Chemical Mechanical Polishing: CMP) を包含することができる。前記平坦化工程によって、前記ビアホール 171 内に限定された貫通電極 TS が形成され得る。

【0067】

図 7 A 及び図 7 B を参照すれば、前記基板 100 の第 2 面 12 が研磨されて前記貫通電極 TS が露出され得る。図 7 B は図 7 A の前記貫通電極 TS の上面を図示する平面図である。前記研磨工程がより詳細に説明される。

【0068】

先ず、前記基板 100 の第 1 面 11 上に、接着層を利用して、キャリアー基板 (carrier substrate、図示せず) が付着され得る。前記キャリアー基板は前記基板 100 の前記第 2 面 12 を研磨する過程で前記基板 100 に作用する機械的なストレスを緩和し、研磨工程の以後に薄型化された前記基板 100 で発生する歪みを防止することができる。前記キャリアー基板はガラス基板、又は樹脂基板を包含することができる。前記接着層は紫外線接着剤又は熱可塑性接着剤を包含することができる。次に、前記ライナー絶縁膜 133 が露出されるように、前記基板 100 の前記第 2 面 12 が研磨される。前記基板 100 を研磨することは、例えば、CMP、エッチバック (Etch-back)、スピンエッチ (Spin Etch) 方法を各々又は混用するグラインディング (grinding) 方法を利用して遂行されることができる。

30

【0069】

次に、前記貫通電極 TS が前記基板 100 の前記第 2 面 12 から突出されるように、前記基板 100 が選択的に蝕刻されることができる。前記選択的蝕刻は前記ライナー絶縁膜 133 に比べて大きい蝕刻選択比を有する湿式蝕刻又は乾式蝕刻工程を利用して前記基板 100 を選択的に蝕刻することであり得る。例えば、前記ライナー絶縁膜 133 がシリコン酸化膜である場合、SF₆ 蝕刻ガスを利用して前記基板 100 が選択的に蝕刻されることができる。前記第 2 面 12 上に前記貫通電極 TS を覆う下部絶縁膜 103 が形成された後、前記貫通電極 TS が露出されるように前記下部絶縁膜 103 の一部を除去することができる。前記下部絶縁膜 103 はシリコン酸化膜、シリコン窒化膜、又はシリコン酸化窒化膜であり得る。

40

【0070】

50

前記基板 100 の第 1 面 11 上に前記貫通電極 TS と連結される上部配線 110 が形成され得る。前記基板 100 の第 2 面 12 上に前記貫通電極 TS と連結される下部配線 116 が形成され得る。一例として、前記上部配線 110 と前記下部配線 116 とは銅、タングステン、銀、金、又はインジウムを含む物質で形成され得る。前記上部配線 110 及び前記下部配線 116 の位置、前記貫通電極 TS との関係は以下説明される貫通電極の形成順序にしたがって変更されることができる。

【0071】

本発明の一実施形態による貫通電極 TS は前記ビアホール 171 の一部を満たす前記金属層 108 及び前記金属層 108 上の前記合金層 107 を包含することができる。前記合金層 107 は前記金属層 108 の上面によって定義されたホール領域 172 内に提供され得る。前記金属層 108 は前記合金層 107 と前記バリアー層 131 との間に延長され得る。前記貫通電極 TS の上面には前記合金層 107 が露出され、前記合金層 107 の周囲に順に形成された前記金属層 108、前記シード層 106、前記バリアー層 131、及び前記ライナー絶縁膜 133 が露出される。前記合金層 107 上面の直径 D1 は前記延長部の厚さ D2 より大きくなり得る。他の実施形態で、前記合金層 107 上面の直径 D1 は前記延長部の厚さ D2 より小さいことがあり得る。

【0072】

前記ホール領域 172 の側壁は垂直ではない傾斜を有することと図示されたが、これと異なり前記基板 100 の第 1 面 11 及び / 又は第 2 面 12 と実質的に垂直であり得る。

【0073】

図 8 A 及び図 8 B は本発明の他の実施形態による貫通電極の形状を図示する断面図及び平面図である。説明を簡単にするために同一の構成に対する説明は省略される。本実施形態において、前記貫通電極 TS は前記金属層 108 と前記合金層 107 との間に分離導電層 109 をさらに包含することができる。前記分離導電層 109 は前記金属層 108 と前記合金層 107 とを分離することができる。前記分離導電層 109 は前記金属層 108 と前記合金層 107 とが互に異なる工程によって形成される場合に提供され得る。一例として、前記分離導電層 109 はチタニウム、チタニウム窒化物、タンタル、タンタル窒化物、ルテニウム、コバルト、マンガン、タングステン窒化物、ニッケル、ニッケルホウ化物、又はチタニウム / チタニウム窒化物のような二重膜を包含することができる。前記分離導電層 109 は前記合金層 107 と前記金属層 108 との間に延長されて前記貫通電極 TS の上面に露出され得る。前記分離導電層 109 は本実施形態に限定されなく、以後説明される他の実施形態に追加され得る。

【0074】

図 9 A、図 9 B、及び図 9 C は本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。説明を簡単にするために同一の構成に対する説明は省略される。本実施形態において、合金層 107 a はシード層 106 と接し、前記金属層 108 は貫通電極 TS の上面に露出されないこともあり得る。即ち、前記合金層 107 a は前記シード層 106 の側壁を露出するホール領域 173 内に提供され得る。前記合金層 107 a の形状は図 9 C に示したように金属層 108 a が前記シード層 106 の一部を露出するように形成することにしたがって決定され得る。このような前記金属層 108 a の形状は電解鍍金工程の時、前記シード層 106 に印加される電流を中止して前記シード層 106 の側壁上に形成された金属層の一部を溶解させて形成され得る。例えば、具体的に前記金属層 108 a の上部が形成される時に、電解鍍金工程に使用されるサプレッサ (suppressor) を相対的に強く調節して前記シード層 106 の上部側壁には鍍金がなされないように調節することができる。

【0075】

図 10 A 乃至図 10 D は本発明のその他の実施形態による貫通電極の形状を図示する断面図及び平面図である。説明を簡単にするために同一の構成に対する説明は省略される。本実施形態において、合金層 107 b はバリアー層 131 と接し、金属層 108 a 及びシード層 106 a は貫通電極 TS の上面に露出されないこともあり得る。即ち、前記合金層

107bは前記バリアー層131の側壁を露出するホール領域174内に提供され得る。前記合金層107bの形状は図10Cに示したように前記金属層108a及び前記シード層106aが前記バリアー層131の一部を露出するように形成することにしたがって決定され得る。このような前記金属層108a及び前記シード層106aの形状は電解鍍金工程の時、前記シード層106aに印加される電流を中止して前記シード層106の側壁上に形成された金属層及び前記シード層106層の一部を溶解させて形成され得る。この時、前記金属層108a上の前記合金層107bは鍍金方式ではないCVD方式又はPVD方式で合金層を形成した後、熱処理を通じてリフロ(Reflow)する方式で形成され得る。

【0076】

10

図10Dは前記合金層107b下に追加的な合金層107dが形成された実施形態を示す。前記追加的な合金層107dは前記合金層107bと類似な物質又は同一の物質で形成され得る。

【0077】

上述した貫通電極及びその製造方法は貫通電極を含む半導体装置の多様な形成方法に各々適用され得る。貫通電極はビアラスト(Via Last)、ピアミドル(Via Middle)及びピアファースト(Via First)構造の中でいずれか1つに分類され得る。以下、前記各構造及び形成方法に対してより詳細に説明される。

【0078】

<Via Middle>

20

図11Aは貫通電極の形成が集積回路の形成と金属配線の形成との間に遂行されるピアミドル構造の製造方法の工程フローチャートである。図11Bは図11Aによって形成された半導体装置の断面図である。説明を簡単にするために貫通電極は図7A及び図7Bを参照して説明された実施形態の形状に図示されたが、これに限定されなく、他の実施形態による貫通電極の形状また適用され得る。説明を簡単にするために同一の構成に対する説明は省略され得る。

【0079】

図11A及び図11Bを参照すれば、貫通電極TSの形成(S12)は集積回路95の形成(S11)の以後に、そして第1及び第2金属配線(上部配線110及び金属配線111)が形成(S14)される以前に遂行されることができる。前記貫通電極TSの形成(S12)以後、図7A及び図7Bを参照して説明された基板研磨(S13)が遂行され、その後、前記上部配線110及び前記金属配線111が形成され得る。

30

【0080】

層間絶縁膜101は基板100の上面100a上に形成されて前記集積回路95を覆う第1層間絶縁膜101aと、前記第1層間絶縁膜101a上に形成されて前記上部配線110及び前記金属配線111を覆う第2層間絶縁膜101bを包含することができる。前記上部配線110は前記第1層間絶縁膜101aと前記第2層間絶縁膜101bとの間に提供されて、前記貫通電極TSと前記集積回路95とを電気的に連結することができる。前記金属配線111は前記上部配線110上に提供され、前記上部配線110と前記第2層間絶縁膜101bとの上部に形成されたボンディングパッド105を連結することができる。貫通電極TSは基板100と第1層間絶縁膜101aとを貫通することができる。上部保護膜124は第2層間絶縁膜101b上に形成され得り、金属配線111に連結された前記ボンディングパッド105を開放させることができる。

40

【0081】

本実施形態で、前記貫通電極TSは前記基板100の上面100aに対向する、前記第1層間絶縁膜101aの上面に延長されて前記上部配線110に連結される。前記貫通電極TSを構成する合金層107の下面BSは前記基板100の上面100aより高いことがあり得る。

【0082】

前記基板100及び多様な絶縁層(例えば、前記基板100上の層間絶縁膜101)は

50

半導体チップの一部であり得る。

【0083】

<Via First>

図12Aは貫通電極が集積回路と配線の形成以前に形成されるビアファースト構造の製造方法の工程フローチャートである。図12Bは図12Aによって形成された半導体装置の断面図である。説明を簡単にするために同一の構成に対する説明は省略され得る。

【0084】

図12A及び図12Bを参照すれば、貫通電極TSの形成(S21)は集積回路95の形成(S22)の以前に遂行されることができる。より詳細に、前記貫通電極TSの形成(S21)以後、集積回路95が形成され(S22)、第1及び第2金属配線(上部配線110及び金属配線111)が形成(S23)されることができる。その後、図7A及び図7Bを参照して説明された基板研磨(S24)が遂行されることができる。

【0085】

前記基板100の上面100aには層間絶縁膜101が形成され得る。前記層間絶縁膜101は前記集積回路95と上部配線110を覆う第1層間絶縁膜101aと、第1層間絶縁膜101a上に形成された金属配線111を覆いボンディングパッド105を露出させる第2層間絶縁膜101bを包含することができる。前記上部配線110は第1金属配線M1、前記金属配線111は第2金属配線M2と称され得る。

【0086】

本実施形態で、前記第1層間絶縁膜101aは前記貫通電極TSの上面を覆うことができる。前記上部配線110は前記第1層間絶縁膜101aと前記貫通電極TSとの間に提供され得る。前記金属配線111は前記第1層間絶縁膜101aと前記第2層間絶縁膜101bとの間に提供されて前記上部配線110と前記集積回路95とを電気的に連結することができる。前記貫通電極TSは前記上部配線110下に提供された蝕刻防止層115を貫通して前記上部配線110と連結され得る。

【0087】

前記貫通電極TSを構成する合金層107の下面BSは前記基板100の上面100aより低いことがあり得る。

【0088】

本実施形態において、前記貫通電極TSは図11Bに図示された実施形態とは異なり前記第1層間絶縁膜101aの上面に延長されないことがあり得る。

【0089】

<Via Last>

図13Aは貫通電極が集積回路形成の以後、及び第1金属配線と第2金属配線の形成との間に形成されるピアラスト構造の製造方法の工程フローチャートである。図13Bは図13Aによって形成された半導体装置の断面図である。説明を簡単にするために同一の構成に対する説明は省略され得る。

【0090】

図13A及び図13Bを参照すれば、貫通電極TSの形成(S33)は集積回路95の形成(S31)及び第1金属配線(金属配線111)の形成の以後に遂行されることができる。より詳細に、前記集積回路95の形成(S31)以後、前記集積回路95を覆う第1層間絶縁膜101aが形成され得る。前記第1層間絶縁膜101a上に金属配線111を形成した後、前記金属配線111を覆う第2層間絶縁膜101bが形成され得る。前記第1及び第2層間絶縁膜101a、101bを貫通する前記貫通電極TSが形成された後(S33)、前記貫通電極TSと前記集積回路95とを電気的に連結する第2金属配線(上部配線110)が形成され得る。即ち、前記貫通電極TSは前記第1及び第2層間絶縁膜101a、101bを形成した後に形成され得る。前記金属配線111は第1金属配線M1と称され、前記上部配線110は第2金属配線M2と称され得る。その後、図7A及び図7Bを参照して説明された基板研磨(S35)が遂行されることができる。

【0091】

本実施形態で、前記貫通電極ＴＳは前記第１層間絶縁膜１０１ａに対向する、前記第２層間絶縁膜１０１ｂの上面に延長され得る。前記貫通電極ＴＳを構成する合金層１０７の下面ＢＳは前記第１層間絶縁膜１０１ａの上面より高いことがあり得る。

【００９２】

< 応用例 >

図１４乃至図１６は本発明の実施形態による半導体パッケージの断面図である。

【００９３】

図１４を参照して、本発明の実施形態による半導体パッケージ４０１の一例はパッケージ基板２００とその上に実装された半導体装置１０とを包含することができる。前記パッケージ基板２００は印刷回路基板であり得る。前記パッケージ基板２００は絶縁基板２０１、前記絶縁基板２０１を貫通するパッケージ基板貫通ビア２０７、前記絶縁基板２０１の上下面に配置される導電パターン２０９、２１１及び前記導電パターン２０９、２１１を一部覆うパッケージ基板絶縁膜２０５、２０３を包含することができる。前記半導体装置１０は図１乃至図１３を参照して説明された半導体装置に対応され得る。

【００９４】

前記半導体装置１０は、前記基板１００の第２面１２が前記パッケージ基板２００に対向するように、前記パッケージ基板２００上に実装され得る。即ち、前記半導体装置１０は第１ bumps １１８によって前記パッケージ基板２００に電氣的に連結され得る。前記パッケージ基板２００の下部には第２ bumps ７３が付着され得る。前記 bumps １１８、７３は溶ダボール、導電性 bumps、導電性 spacers、pingrids 又はこれらの組合であり得る。前記半導体パッケージ４０１は前記半導体装置１０を覆う mold 膜 ３１０をさらに包含することができる。前記 mold 膜 ３１０はエポキシ mold ディングコンパウンドを包含することができる。

【００９５】

図１５を参照して、本発明の実施形態による半導体パッケージ４０２の他の例はパッケージ基板２００、その上に実装された第１半導体装置１０、及び前記第１半導体装置１０上の第２半導体装置３００を含む。前記パッケージ基板２００は印刷回路基板であり得る。前記パッケージ基板２００は絶縁基板２０１、前記絶縁基板２０１を貫通するパッケージ基板貫通ビア２０７、前記絶縁基板２０１の上下面に配置される導電パターン２０９、２１１、及び前記導電パターン２０９、２１１を一部覆うパッケージ基板絶縁膜２０５、２０３を包含することができる。前記第１半導体装置１０は図１乃至図１３を参照して説明された半導体装置に対応され得る。前記第２半導体装置３００は前記第１半導体装置１０とは他の半導体装置で、メモリチップやロジックチップに対応され得る。前記第２半導体装置３００は前記貫通電極を包含しないことがあり得る。

【００９６】

前記第１半導体装置１０は第１ bumps １１８によって前記パッケージ基板２００に電氣的に連結され得る。前記第１半導体装置１０は上部配線１１０と電氣的に連結された再配線構造を包含することができる。前記再配線構造はコンタクト６６及び接続パッド６７を包含することができる。前記第２半導体装置３００は前記第１半導体装置１０に flip チップボンディング方式で実装され得る。前記第２半導体装置３００は第３ bumps ７５によって前記第１半導体装置１０の接続パッド６７に連結され得る。前記第１半導体装置１０はインタポーザの機能を遂行することができる。前記第３ bumps ７５及び貫通電極ＴＳは複数個であり得る。

【００９７】

前記パッケージ基板２００の下部には第２ bumps ７３が付着され得る。前記 bumps １１８、７３、７５は溶ダボール、導電性 bumps、導電性 spacers、pingrids 又はこれらの組合であり得る。前記半導体パッケージ４０２は前記第１及び第２半導体装置１０、３００を覆う mold 膜 ３１０をさらに包含することができる。前記 mold 膜 ３１０はエポキシ mold ディングコンパウンドを包含することができる。

【００９８】

10

20

30

40

50

図16を参照して、本発明の実施形態による半導体パッケージ403のその他の例はパッケージ基板200、その上に実装された第1半導体装置10、及び第2半導体装置20を含む。本発明の実施形態による半導体パッケージ403はマルチチップパッケージであり得る。前記第1半導体装置10と第2半導体装置20とは同一の種類及び構造を有することができる。

【0099】

前記パッケージ基板200は印刷回路基板であり得る。前記パッケージ基板200は絶縁基板201、前記絶縁基板201を貫通するパッケージ基板貫通ビア207、前記絶縁基板201の上下面に配置される導電パターン209、211、及び前記導電パターン209、211を一部覆うパッケージ基板絶縁膜205、203を包含することができる。

10

【0100】

前記第1半導体装置10及び前記第2半導体装置20は各々第1貫通電極TS1及び第2貫通電極TS2を包含することができる。前記第1貫通電極TS1と前記第2貫通電極TS2とは互いに重畳されて連結され得る。前記第2貫通電極TS2と前記第1貫通電極TS1とは第3バンプ75によって互いに連結され得る。

【0101】

第1バンプ118によって前記第1半導体装置10は前記パッケージ基板200に電氣的に連結され得る。前記第1半導体装置10はインタポーザの機能を遂行することができる。前記パッケージ基板200の下部には第2バンプ73が付着され得る。前記バンプ118、73、75はソルダボール、導電性バンプ、導電性スペーサー、ピングリッドアレイ、又はこれらの組合であり得る。前記半導体パッケージ403は前記第1及び第2半導体装置10、20を覆うモールド膜310をさらに包含することができる。前記モールド膜310はエポキシモールドイングコンパウンドを包含することができる。

20

【0102】

前述した本発明の実施形態によるパッケージは貫通電極を通じて前記パッケージ基板に電氣的に連結されることを説明しているが、これに限定されない。例えば一部のパッドはワイヤボンディングによって前記パッケージ基板と電氣的に連結され得る。

【0103】

30

図17は本発明の実施形態によるパッケージモジュール500を示す平面図である。図17を参照して、前記パッケージモジュール500は外部連結端子508が具備されたモジュール基板502と、前記モジュール基板502に実装された半導体チップ504及びQFP(Quad Flat Package)された半導体パッケージ506を包含することができる。前記半導体チップ504及び/又は前記半導体パッケージ506は本発明の実施形態による半導体装置を包含することができる。前記パッケージモジュール500は前記外部連結端子508を通じて外部電子装置と連結され得る。

【0104】

図18は本発明の実施形態によるメモリカード600を示す概略図である。図18を参照して、前記メモリカード600はハウジング610内に制御器620とメモリ630とを包含することができる。前記制御器620と前記メモリ630とは電氣的な信号を交換することができる。例えば、前記制御器620の命令によって、前記メモリ630と前記制御器620とはデータを交換することができる。これによって、前記メモリカード600は前記メモリ630にデータを格納するか、或いは又は前記メモリ630からデータを外部へ出力することができる。

40

【0105】

前記制御器620及び/又は前記メモリ630は本発明の実施形態による半導体装置又は半導体パッケージの中の少なくとも1つを包含することができる。このような前記メモリカード600は多様な携帯用機器のデータ格納媒体に利用され得る。例えば、前記メモリカード600はマルチメディアカード(multi media card; MMC)

50

又は保安デジタル (s e c u r e d i g i t a l ; S D) カードを包含することができる。

【 0 1 0 6 】

図 1 9 は本発明の実施形態による電子システム 7 0 0 を示すブロック図である。図 1 9 を参照して、前記電子システム 7 0 0 は本発明の実施形態による半導体装置又は半導体パッケージを少なくとも 1 つ包含することができる。前記電子システム 7 0 0 はモバイル機器やコンピューター等を包含することができる。例えば、前記電子システム 7 0 0 はメモリシステム 7 1 2、プロセッサ 7 1 4、R A M 7 1 6、及びユーザーインターフェイス 7 1 8 を包含することができ、これらはバス (B u s 、 7 2 0) を利用して互いにデータを通信することができる。前記プロセッサ 7 1 4 はプログラムを実行し、前記電子システム 7 0 0 を制御する役割を果たし得る。前記 R A M 7 1 6 は前記プロセッサ 7 1 4 の動作メモリとして使用され得る。例えば、前記プロセッサ 7 1 4 及び前記 R A M 7 1 6 は各々本発明の実施形態による半導体装置又は半導体パッケージを包含することができる。又は前記プロセッサ 7 1 4 と前記 R A M 7 1 6 が 1 つのパッケージに包含され得る。前記ユーザーインターフェイス 7 1 8 は前記電子システム 7 0 0 にデータを入力又は出力するのに利用され得る。前記メモリシステム 7 1 2 は前記プロセッサ 7 1 4 の動作のためのコード、前記プロセッサ 7 1 4 によって処理されたデータ又は外部から入力されたデータを格納することができる。前記メモリシステム 7 1 2 は制御器及びメモリを包含でき、図 1 7 のメモリカード 6 0 0 と実質的に同様に構成されることができる。

【 0 1 0 7 】

前記電子システム (図 1 9 の 7 0 0) は多様な電子機器の電子制御装置に適用され得る。図 2 0 は前記電子システム (図 1 9 の 7 0 0) がモバイルフォン 8 0 0 に適用される例を図示する。その他に、前記電子システム (図 1 9 の 7 0 0) は携帯用ノートブック型コンピューター、M P 3 プレーヤー、ナビゲーション (N a v i g a t i o n)、固相ディスク (S o l i d s t a t e d i s k ; S S D)、自動車又は家電製品 (H o u s e h o l d a p p l i a n c e s) に適用され得る。

【 0 1 0 8 】

発明の特定実施形態に対する以上の説明は例示及び説明のために提供された。したがって、本発明は前記実施形態に限定されなく、本発明の技術的思想内で該当分野で通常の知識を有する者によって前記実施形態を組合して実施する等様々な多い修正及び変更が可能であるのは明白である。

【 符号の説明 】

【 0 1 0 9 】

1 0 . . . 半導体装置
 1 0 0 . . . 基板
 1 0 8 . . . 金属層
 1 0 7 . . . 合金層
 1 1 0 . . . 上部配線
 1 1 4 . . . 下部保護膜
 1 1 6 . . . 下部配線
 1 1 8 . . . バンプ
 1 2 0 . . . 導電性連結部
 1 2 4 . . . 上部保護膜
 1 3 1 . . . バリアー層
 1 3 3 . . . ライナー絶縁膜
 1 7 1 . . . ピアホール
 B D . . . ボディー部
 E X . . . 延長部
 T S . . . 貫通電極

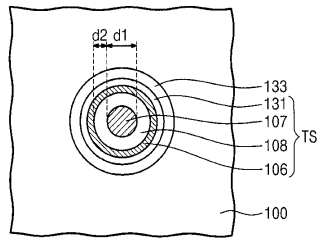
10

20

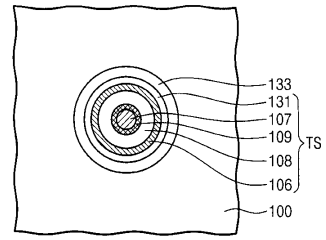
30

40

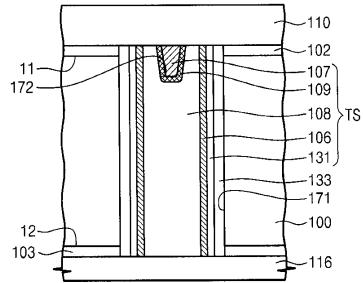
【図 7 B】



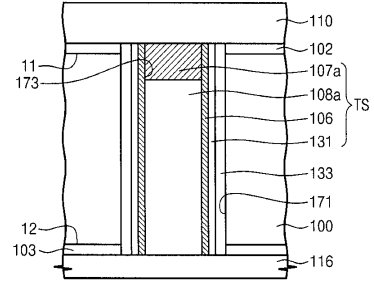
【図 8 B】



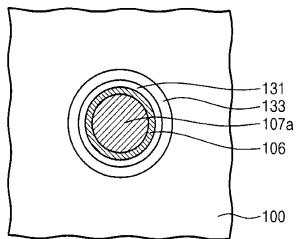
【図 8 A】



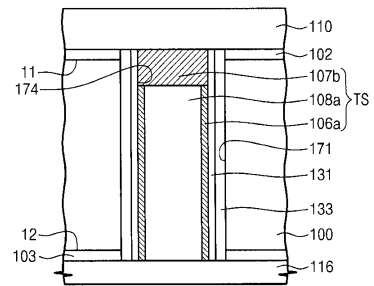
【図 9 A】



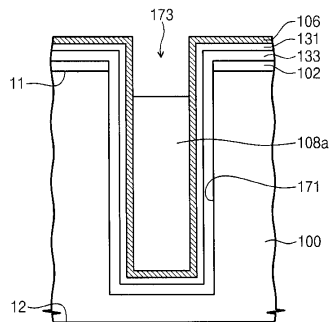
【図 9 B】



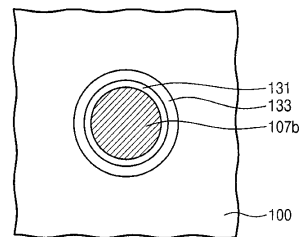
【図 10 A】



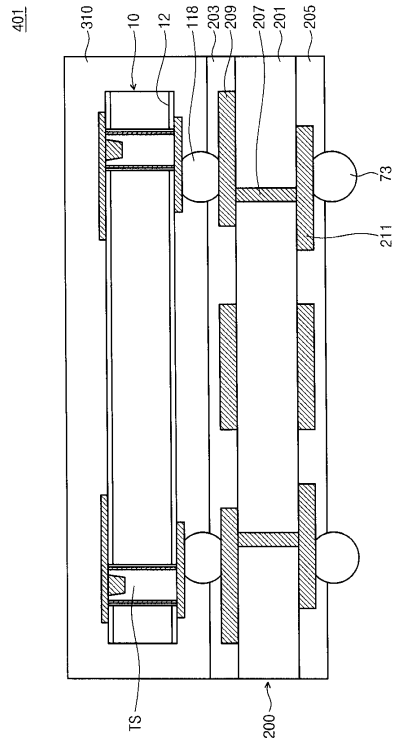
【図 9 C】



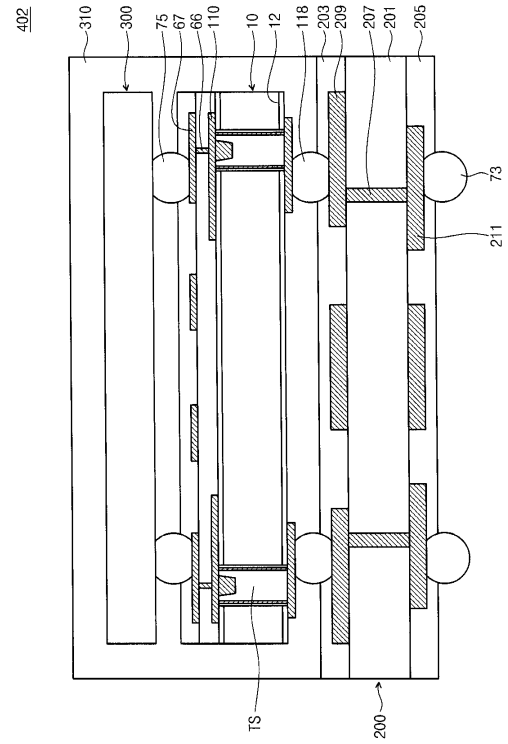
【図 10 B】



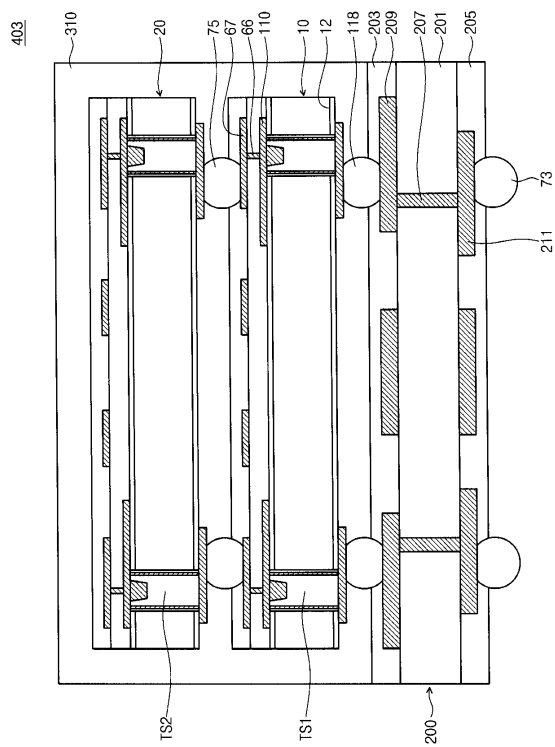
【 図 1 4 】



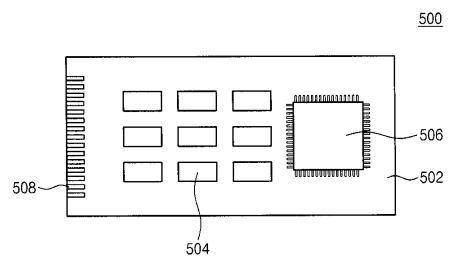
【 図 1 5 】



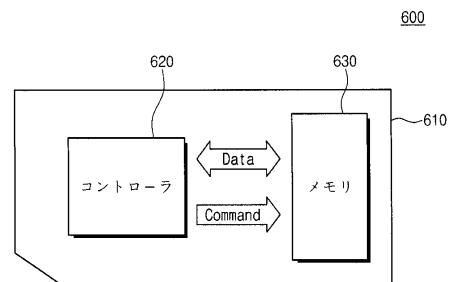
【 図 1 6 】



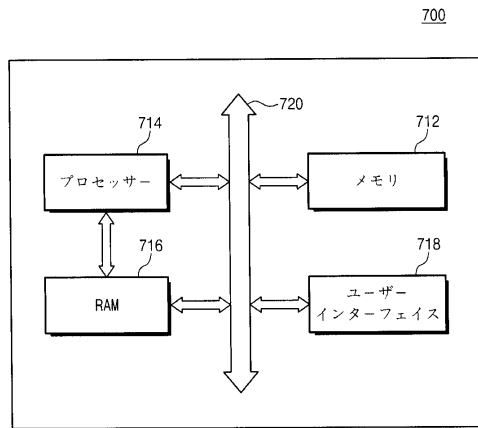
【 図 1 7 】



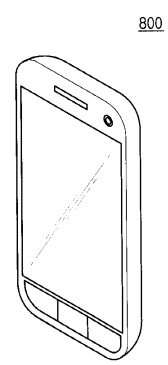
【 図 1 8 】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

(72)発明者 姜 聖嬉

大韓民国京畿 道 城南市寿井区高登洞 1 6 2

(72)発明者 金 泰成

大韓民国京畿 道 水原市靈通区靈通 2 洞 (番地なし) ビョクジョクゴル 8 ダンジウースンアパート 8 2 3 棟 1 5 0 3 号

(72)発明者 朴 炳律

大韓民国ソウル特別市江南区大峙洞 (番地なし) ククジェアパート 3 棟 1 0 2 号

(72)発明者 朴 然相

大韓民国京畿 道 龍仁市処仁区麻坪洞 6 2 0 - 8

(72)発明者 方 碩哲

大韓民国京畿 道 龍仁市水枝区竹田 1 洞 (番地なし) ハラプロヴェンス 2 チャアパート 3 0 3 棟 7 0 4 号

審査官 小山 満

(56)参考文献 特開平 5 - 3 4 3 5 3 2 (J P , A)

特開 2 0 1 2 - 1 5 1 4 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 3、
 2 1 / 7 6 8、
 2 1 / 8 2 2 9、
 2 1 / 8 2 4 2 - 2 1 / 8 2 4 7、
 2 3 / 5 2 - 2 3 / 5 2 2、
 2 7 / 1 0 - 2 7 / 1 1 5