

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7624389号
(P7624389)

(45)発行日 令和7年1月30日(2025.1.30)

(24)登録日 令和7年1月22日(2025.1.22)

(51)国際特許分類	F I			
H 1 0 F 39/12 (2025.01)	H 0 1 L	27/146		D
H 1 0 F 39/18 (2025.01)	H 0 1 L	27/146		F
H 0 1 L 21/768 (2006.01)	H 0 1 L	21/90		B
H 0 1 L 23/522 (2006.01)	H 0 1 L	21/88		J
H 0 1 L 21/3205(2006.01)	H 0 1 L	21/88		P

請求項の数 12 (全72頁) 最終頁に続く

(21)出願番号	特願2021-527747(P2021-527747)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	令和2年6月25日(2020.6.25)	(74)代理人	110001357 弁理士法人つばさ国際特許事務所
(86)国際出願番号	PCT/JP2020/025103	(72)発明者	森 茂貴 神奈川県厚木市旭町四丁目14番1号
(87)国際公開番号	WO2020/262558	(72)発明者	高橋 洋 神奈川県厚木市旭町四丁目14番1号
(87)国際公開日	令和2年12月30日(2020.12.30)	審査官	加藤 俊哉
審査請求日	令和5年6月16日(2023.6.16)		
(31)優先権主張番号	特願2019-118481(P2019-118481)		
(32)優先日	令和1年6月26日(2019.6.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 撮像装置

(57)【特許請求の範囲】

【請求項1】

第1半導体基板に、センサ画素を構成する光電変換部および第1のトランジスタを有する第1基板と、

前記第1基板に積層され、第2半導体基板に、前記センサ画素を構成する第2のトランジスタを有すると共に、積層方向に貫通する開口を有する第2基板と、

前記開口を通り、前記第1基板と前記第2基板とを電氣的に接続する貫通配線と、

少なくとも前記第2半導体基板と前記貫通配線との間に設けられると共に、固定電位に接続されている導電膜とを備え、

前記導電膜と前記第2半導体基板との最短距離は、前記導電膜と前記貫通配線との最短距離よりも小さい、撮像装置。

【請求項2】

前記導電膜はグラウンド電極に接続されている、請求項1に記載の撮像装置。

【請求項3】

前記導電膜は、前記第2半導体基板を貫通している、請求項1に記載の撮像装置。

【請求項4】

前記導電膜は、前記第1半導体基板まで延在している、請求項1に記載の撮像装置。

【請求項5】

前記導電膜は、絶縁膜を間に前記貫通配線の周囲に設けられている、請求項1に記載の撮像装置。

【請求項 6】

前記第 1 半導体基板の前記第 2 半導体基板と対向する一の面に設けられると共に、固定電位に接続された導電領域をさらに有し、

前記導電膜の一端は前記導電領域に接続されている、請求項 1 に記載の撮像装置。

【請求項 7】

前記第 1 半導体基板と前記第 2 半導体基板との間に設けられた層間絶縁層と、

前記導電膜は、前記層間絶縁層を貫通する接続配線を介して前記導電領域と電氣的に接続されている、請求項 6 に記載の撮像装置。

【請求項 8】

前記センサ画素は、前記第 1 のトランジスタを介して、前記光電変換部から出力された電荷を一時的に保持するフローティングディフュージョンをさらに有し、

前記貫通配線は、前記第 1 のトランジスタのゲートまたは前記フローティングディフュージョンと接続されている、請求項 1 に記載の撮像装置。

10

【請求項 9】

前記導電膜は、耐熱性の高い導電材料を用いて形成されている、請求項 1 に記載の撮像装置。

【請求項 10】

前記導電材料は、600 以上の耐熱性を有する、請求項 9 に記載の撮像装置。

【請求項 11】

前記導電材料は、850 以上の耐熱性を有する、請求項 9 に記載の撮像装置。

20

【請求項 12】

前記導電膜は、ポリシリコン、タングステンまたは 2 次元材料を用いて形成されている、請求項 1 に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、3次元構造を有する撮像装置に関する。

【背景技術】

【0002】

従来、2次元構造の撮像装置の1画素あたりの面積の微細化は、微細プロセスの導入と実装密度の向上によって実現されてきた。近年、撮像装置のさらなる小型化および画素の高密度化を実現するため、3次元構造の撮像装置が開発されている。3次元構造の撮像装置では、例えば、複数のセンサ画素を有する半導体基板と、各センサ画素で得られた信号を処理する信号処理回路を有する半導体基板とが互いに積層されている。

30

【先行技術文献】

【特許文献】

【0003】

【文献】特開2010-245506号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0004】

ところで、3次元構造の撮像装置では、信頼性の向上が望まれている。

【0005】

信頼性を向上させることが可能な撮像装置を提供することが望ましい。

【課題を解決するための手段】

【0006】

本開示の一実施形態の撮像装置は、第1半導体基板に、センサ画素を構成する光電変換部および第1のトランジスタを有する第1基板と、第1基板に積層され、第2半導体基板に、センサ画素を構成する第2のトランジスタを有すると共に、積層方向に貫通する開口を有する第2基板と、開口を通り、第1基板と第2基板とを電氣的に接続する貫通配線と

50

、少なくとも第2半導体基板と貫通配線との間に設けられると共に、固定電位に接続されている導電膜とを備え、導電膜と第2半導体基板との最短距離は、導電膜と貫通配線との最短距離よりも小さいものである。

【0007】

本開示の一実施形態の撮像装置では、第2半導体基板と、第2半導体基板に設けられた開口を通して第1基板と第2基板とを電氣的に接続する貫通配線との間に、固定電位に接続された導電膜を形成するようにした。これにより、第2基板に設けられるトランジスタに対する貫通配線からの電界の影響を低減する。

【図面の簡単な説明】

【0008】

【図1】本開示の一実施の形態に係る撮像装置の機能構成の一例を表すブロック図である。

【図2】図1に示した撮像装置の概略構成を表す平面模式図である。

【図3】図2に示したI I I - I I I ' 線に沿った断面構成を表す模式図である。

【図4】図1に示した画素共有ユニットの等価回路図である。

【図5】複数の画素共有ユニットと複数の垂直信号線との接続態様の一例を表す図である。

【図6】図3に示した撮像装置の具体的な構成の一例を表す断面模式図である。

【図7A】図6に示した第1基板の要部の平面構成の一例を表す模式図である。

【図7B】図7Aに示した第1基板の要部とともにパッド部の平面構成を表す模式図である。

【図8】図6に示した第2基板(半導体層)の平面構成の一例を表す模式図である。

【図9】図6に示した第1配線層とともに、画素回路および第1基板の要部の平面構成の一例を表す模式図である。

【図10】図6に示した第1配線層および第2配線層の平面構成の一例を表す模式図である。

【図11】図6に示した第2配線層および第3配線層の平面構成の一例を表す模式図である。

【図12】図6に示した第3配線層および第4配線層の平面構成の一例を表す模式図である。

【図13A】図1に示した撮像装置の要部の断面構成を表す模式図である。

【図13B】図13Aに示した第2基板の主面に対して水平方向の平面構成を表す模式図である。

【図14】シールド電極を設けない場合の $I_d - V_{gs}$ 特性を表す図である。

【図15】シールド電極を設けた場合の $I_d - V_{gs}$ 特性を表す図である。

【図16】図3に示した撮像装置への入力信号の経路について説明するための模式図である。

【図17】図3に示した撮像装置の画素信号の信号経路について説明するための模式図である。

【図18A】本開示の変形例1に係る撮像装置の要部の断面構成を表す模式図である。

【図18B】図18Aに示した第2基板の主面に対して水平方向の平面構成を表す模式図である。

【図19A】本開示の変形例2に係る撮像装置の要部の断面構成を表す模式図である。

【図19B】図19Aに示した第2基板の主面に対して水平方向の平面構成を表す模式図である。

【図20A】本開示の変形例3に係る撮像装置の要部の断面構成を表す模式図である。

【図20B】図20Aに示した第2基板の主面に対して水平方向の平面構成を表す模式図である。

【図21】本開示の第2の実施の形態に係る撮像装置の要部の断面構成を表す模式図である。

【図22】図21に示した撮像装置の第2基板の主面に対して水平方向の平面構成の一例を表す模式図である。

10

20

30

40

50

【図 2 3 A】図 2 1 に示した撮像装置の製造工程の一例を説明する断面模式図である。

【図 2 3 B】図 2 3 A に続く工程を表す断面模式図である。

【図 2 3 C】図 2 3 B に続く工程を表す断面模式図である。

【図 2 4】本開示の変形例 4 に係る撮像装置の要部の断面構成の一例を表す模式図である。

【図 2 5 A】図 2 4 に示した撮像装置の製造工程の一例を説明する断面模式図である。

【図 2 5 B】図 2 5 A に続く工程を表す断面模式図である。

【図 2 5 C】図 2 5 B に続く工程を表す断面模式図である。

【図 2 6】本開示の変形例 4 に係る撮像装置の要部の断面構成の他の例を表す模式図である。

【図 2 7】図 8 に示した第 2 基板（半導体層）の平面構成の一変形例を表す模式図である。 10

【図 2 8】図 2 7 に示した画素回路とともに、第 1 配線層および第 1 基板の要部の平面構成を表す模式図である。

【図 2 9】図 2 8 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 3 0】図 2 9 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

【図 3 1】図 3 0 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

【図 3 2】図 7 A に示した第 1 基板の平面構成の一変形例を表す模式図である。

【図 3 3】図 3 2 に示した第 1 基板に積層される第 2 基板（半導体層）の平面構成の一例を表す模式図である。 20

【図 3 4】図 3 3 に示した画素回路とともに、第 1 配線層の平面構成の一例を表す模式図である。

【図 3 5】図 3 4 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 3 6】図 3 5 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

【図 3 7】図 3 6 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

【図 3 8】図 2 0 に示した第 1 基板の平面構成の他の例を表す模式図である。 30

【図 3 9】図 3 8 に示した第 1 基板に積層される第 2 基板（半導体層）の平面構成の一例を表す模式図である。

【図 4 0】図 3 9 に示した画素回路とともに、第 1 配線層の平面構成の一例を表す模式図である。

【図 4 1】図 4 0 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 4 2】図 4 1 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

【図 4 3】図 4 2 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。 40

【図 4 4】図 3 に示した撮像装置の他の例を表す断面模式図である。

【図 4 5】図 4 4 に示した撮像装置への入力信号の経路について説明するための模式図である。

【図 4 6】図 4 4 に示した撮像装置の画素信号の信号経路について説明するための模式図である。

【図 4 7】図 6 に示した撮像装置の他の例を表す断面模式図である。

【図 4 8】図 4 に示した等価回路の他の例を表す図である。

【図 4 9】図 7 A 等 に示した画素分離部の他の例を表す平面模式図である。

【図 5 0】本開示の変形例 1 2 に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 5 1】本開示の変形例 1 2 に係る撮像装置の構成例を示す厚さ方向の断面図である。 50

【図 5 2】本開示の変形例 1 2 に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 5 3】本開示の変形例 1 2 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 5 4】本開示の変形例 1 2 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 5 5】本開示の変形例 1 2 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 5 6】本開示の変形例 3 と変形例 1 2 とを組み合わせた撮像装置の構成例を示す厚さ方向の断面図である。

【図 5 7】図 5 6 に示した第 2 基板の主面に対して水平方向の平面構成を表す模式図である。

10

【図 5 8】上記実施の形態およびその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図である。

【図 5 9】図 5 8 に示した撮像システムの撮像手順の一例を表す図である。

【図 6 0】車両制御システムの概略的な構成の一例を示すブロック図である。

【図 6 1】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【図 6 2】内視鏡手術システムの概略的な構成の一例を示す図である。

【図 6 3】カメラヘッド及び C C U の機能構成の一例を示すブロック図である。

【発明を実施するための形態】

【0009】

20

以下、本開示における一実施形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 第 1 の実施の形態 (3 つの基板の積層構造を有し、第 2 半導体基板と貫通配線との間にシールド電極を有する撮像装置)

2. 変形例

2 - 1. 変形例 1 (シールド電極が第 1 半導体基板まで延在した例)

2 - 2. 変形例 2 (貫通配線の周囲にシールド電極を設けた例)

2 - 3. 変形例 3 (貫通配線周囲のシールド電極の一部が第 2 基板の V S S コンタクトに接する例)

30

3. 第 2 の実施の形態 (第 2 半導体基板の周囲に遮蔽膜を設けた例)

4. 変形例 4 (遮蔽膜と貫通配線とが、第 1 基板と第 2 基板との接合面側で接続される例)

5. 変形例 5 (平面構成の例 1)

6. 変形例 6 (平面構成の例 2)

7. 変形例 7 (平面構成の例 3)

8. 変形例 8 (画素アレイ部の中央部に基板間のコンタクト部を有する例)

9. 変形例 9 (プレーナー型の転送トランジスタを有する例)

10. 変形例 10 (1 つの画素回路に 1 つの画素が接続される例)

40

11. 変形例 11 (画素分離部の構成例)

12. 変形例 12 (複数のセンサ画素毎に 1 つのウェル用コンタクトを設けた例)

13. 適用例 (撮像システム)

14. 応用例

【0010】

< 1. 第 1 の実施の形態 >

[撮像装置の機能構成]

図 1 は、本開示の一実施の形態に係る撮像装置 (撮像装置 1) の機能構成の一例を示すブロック図である。

【0011】

50

図1の撮像装置1は、例えば、入力部510A、行駆動部520、タイミング制御部530、画素アレイ部540、列信号処理部550、画像信号処理部560および出力部510Bを含んでいる。

【0012】

画素アレイ部540には、画素541がアレイ状に繰り返し配置されている。より具体的には、複数の画素を含んだ画素共有ユニット539が繰り返し単位となり、これが、行方向と列方向とからなるアレイ状に繰り返し配置されている。なお、本明細書では、便宜上、行方向をH方向、行方向と直交する列方向をV方向、と呼ぶ場合がある。図1の例において、1つの画素共有ユニット539が、4つの画素（画素541A、541B、541C、541D）を含んでいる。画素541A、541B、541C、541Dは各々、フォトダイオードPD（後述の図6等に図示）を有している。画素共有ユニット539は、1つの画素回路（後述の図3の画素回路210）を共有する単位である。換言すれば、4つの画素（画素541A、541B、541C、541D）毎に、1つの画素回路（後述の画素回路210）を有している。この画素回路を時分割で動作させることにより、画素541A、541B、541C、541D各々の画素信号が順次読み出されるようになっている。画素541A、541B、541C、541Dは、例えば2行×2列で配置されている。画素アレイ部540には、画素541A、541B、541C、541Dとともに、複数の行駆動信号線542および複数の垂直信号線（列読出し線）543が設けられている。行駆動信号線542は、画素アレイ部540において行方向に並んで配列された、複数の画素共有ユニット539各々に含まれる画素541を駆動する。画素共有ユニット539のうち、行方向に並んで配列された各画素を駆動する。後に図4を参照して詳しく説明するが、画素共有ユニット539には、複数のトランジスタが設けられている。これら複数のトランジスタをそれぞれ駆動するために、1つの画素共有ユニット539には複数の行駆動信号線542が接続されている。垂直信号線（列読出し線）543には、画素共有ユニット539が接続されている。画素共有ユニット539に含まれる画素541A、541B、541C、541D各々から、垂直信号線（列読出し線）543を介して画素信号が読み出される。

【0013】

行駆動部520は、例えば、画素駆動するための行の位置を決める行アドレス制御部、言い換えれば、行デコーダ部と、画素541A、541B、541C、541Dを駆動するための信号を発生させる行駆動回路部とを含んでいる。

【0014】

列信号処理部550は、例えば、垂直信号線543に接続され、画素541A、541B、541C、541D（画素共有ユニット539）とソースフォロア回路を形成する負荷回路部を備える。列信号処理部550は、垂直信号線543を介して画素共有ユニット539から読み出された信号を増幅する増幅回路部を有していてもよい。列信号処理部550は、ノイズ処理部を有していてもよい。ノイズ処理部では、例えば、光電変換の結果として画素共有ユニット539から読み出された信号から、系のノイズレベルが取り除かれる。

【0015】

列信号処理部550は、例えば、アナログデジタルコンバータ（ADC）を有している。アナログデジタルコンバータでは、画素共有ユニット539から読み出された信号もしくは上記ノイズ処理されたアナログ信号がデジタル信号に変換される。ADCは、例えば、コンパレータ部およびカウンタ部を含んでいる。コンパレータ部では、変換対象となるアナログ信号と、これと比較対象となる参照信号とが比較される。カウンタ部では、コンパレータ部での比較結果が反転するまでの時間が計測されるようになっている。列信号処理部550は、読出し列を走査する制御を行う水平走査回路部を含んでいてもよい。

【0016】

タイミング制御部530は、装置へ入力された基準クロック信号やタイミング制御信号を基にして、行駆動部520および列信号処理部550へ、タイミングを制御する信号を

10

20

30

40

50

供給する。

【0017】

画像信号処理部560は、光電変換の結果得られたデータ、言い換えれば、撮像装置1における撮像動作の結果得られたデータに対して、各種の信号処理を施す回路である。画像信号処理部560は、例えば、画像信号処理回路部およびデータ保持部を含んでいる。画像信号処理部560は、プロセッサ部を含んでいてもよい。

【0018】

画像信号処理部560において実行される信号処理の一例は、AD変換された撮像データが、暗い被写体を撮影したデータである場合には階調を多く持たせ、明るい被写体を撮影したデータである場合には階調を少なくするトーンカーブ補正処理である。この場合、撮像データの階調をどのようなトーンカーブに基づいて補正するか、トーンカーブの特性データを予め画像信号処理部560のデータ保持部に記憶させておくことが望ましい。

【0019】

入力部510Aは、例えば、上記基準クロック信号、タイミング制御信号および特性データなどを装置外部から撮像装置1へ入力するためのものである。タイミング制御信号は、例えば、垂直同期信号および水平同期信号などである。特性データは、例えば、画像信号処理部560のデータ保持部へ記憶させるためのものである。入力部510Aは、例えば、入力端子511、入力回路部512、入力振幅変更部513、入力データ変換回路部514および電源供給部(不図示)を含んでいる。

【0020】

入力端子511は、データを入力するための外部端子である。入力回路部512は、入力端子511へ入力された信号を撮像装置1の内部へと取り込むためのものである。入力振幅変更部513では、入力回路部512で取り込まれた信号の振幅が、撮像装置1の内部で利用しやすい振幅へと変更される。入力データ変換回路部514では、入力データのデータ列の並びが変更される。入力データ変換回路部514は、例えば、シリアルパラレル変換回路により構成されている。このシリアルパラレル変換回路では、入力データとして受け取ったシリアル信号がパラレル信号へと変換される。なお、入力部510Aでは、入力振幅変更部513および入力データ変換回路部514が、省略されていてもよい。電源供給部は、外部から撮像装置1へ供給された電源をもとにして、撮像装置1の内部で必要となる各種の電圧に設定された電源を供給する。

【0021】

撮像装置1が外部のメモリデバイスと接続されるとき、入力部510Aには、外部のメモリデバイスからのデータを受け取るメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、SRAMおよびDRAM等である。

【0022】

出力部510Bは、画像データを装置外部へと出力する。この画像データは、例えば、撮像装置1で撮影された画像データ、および、画像信号処理部560で信号処理された画像データ等である。出力部510Bは、例えば、出力データ変換回路部515、出力振幅変更部516、出力回路部517および出力端子518を含んでいる。

【0023】

出力データ変換回路部515は、例えば、パラレルシリアル変換回路により構成されており、出力データ変換回路部515では、撮像装置1内部で使用したパラレル信号がシリアル信号へと変換される。出力振幅変更部516は、撮像装置1の内部で用いた信号の振幅を変更する。変更された振幅の信号は、撮像装置1の外部に接続される外部デバイスで利用しやすくなる。出力回路部517は、撮像装置1の内部から装置外部へとデータを出力する回路であり、出力回路部517により、出力端子518に接続された撮像装置1外部の配線が駆動される。出力端子518では、撮像装置1から装置外部へとデータが出力される。出力部510Bでは、出力データ変換回路部515および出力振幅変更部516が、省略されていてもよい。

10

20

30

40

50

【 0 0 2 4 】

撮像装置 1 が外部のメモリデバイスと接続される時、出力部 5 1 0 B には、外部のメモリデバイスへとデータを出力するメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、S R A M および D R A M 等である。

【 0 0 2 5 】

[撮像装置 1 の概略構成]

図 2 および図 3 は、撮像装置 1 の概略構成の一例を表したものである。撮像装置 1 は、3 つの基板（第 1 基板 1 0 0、第 2 基板 2 0 0、第 3 基板 3 0 0）を備えている。図 2 は、第 1 基板 1 0 0、第 2 基板 2 0 0、第 3 基板 3 0 0 各々の平面構成を模式的に表したものであり、図 3 は、互いに積層された第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の断面構成を模式的に表している。図 3 は、図 2 に示した I I I - I I I ' 線に沿った断面構成に対応する。撮像装置 1 は、3 つの基板（第 1 基板 1 0 0、第 2 基板 2 0 0、第 3 基板 3 0 0）を貼り合わせて構成された 3 次元構造の撮像装置である。第 1 基板 1 0 0 は、半導体層 1 0 0 S および配線層 1 0 0 T を含む。第 2 基板 2 0 0 は、半導体層 2 0 0 S および配線層 2 0 0 T を含む。第 3 基板 3 0 0 は、半導体層 3 0 0 S および配線層 3 0 0 T を含む。ここで、第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の各基板に含まれる配線とその周囲の層間絶縁膜を合せたものを、便宜上、それぞれの基板（第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0）に設けられた配線層（1 0 0 T、2 0 0 T、3 0 0 T）と呼ぶ。第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 は、この順に積層されており、積層方向に沿って、半導体層 1 0 0 S、配線層 1 0 0 T、半導体層 2 0 0 S、配線層 2 0 0 T、配線層 3 0 0 T および半導体層 3 0 0 S の順に配置されている。第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の具体的な構成については後述する。図 3 に示した矢印は、撮像装置 1 への光 L の入射方向を表す。本明細書では、便宜上、以降の断面図で、撮像装置 1 における光入射側を「下」「下側」「下方」、光入射側と反対側を「上」「上側」「上方」と呼ぶ場合がある。また、本明細書では、便宜上、半導体層と配線層を備えた基板に関して、配線層の側を表面、半導体層の側を裏面と呼ぶ場合がある。なお、明細書の記載は、上記の呼び方に限定されない。撮像装置 1 は、例えば、フォトダイオードを有する第 1 基板 1 0 0 の裏面側から光が入射する、裏面照射型撮像装置となっている。

【 0 0 2 6 】

画素アレイ部 5 4 0 および画素アレイ部 5 4 0 に含まれる画素共有ユニット 5 3 9 は、ともに、第 1 基板 1 0 0 および第 2 基板 2 0 0 の双方を用いて構成されている。第 1 基板 1 0 0 には、画素共有ユニット 5 3 9 が有する複数の画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D が設けられている。これらの画素 5 4 1 のそれぞれが、フォトダイオード（後述のフォトダイオード P D）および転送トランジスタ（後述の転送トランジスタ T R）を有している。第 2 基板 2 0 0 には、画素共有ユニット 5 3 9 が有する画素回路（後述の画素回路 2 1 0）が設けられている。画素回路は、画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D 各々のフォトダイオードから転送トランジスタを介して転送された画素信号を読み出し、あるいは、フォトダイオードをリセットする。この第 2 基板 2 0 0 は、このような画素回路に加えて、行方向に延在する複数の行駆動信号線 5 4 2 および列方向に延在する複数の垂直信号線 5 4 3 を有している。第 2 基板 2 0 0 は、更に、行方向に延在する電源線 5 4 4（後述の電源線 V D D 等）を有している。第 3 基板 3 0 0 は、例えば、入力部 5 1 0 A、行駆動部 5 2 0、タイミング制御部 5 3 0、列信号処理部 5 5 0、画像信号処理部 5 6 0 および出力部 5 1 0 B を有している。行駆動部 5 2 0 は、例えば、第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の積層方向（以下、単に積層方向という）において、一部が画素アレイ部 5 4 0 に重なる領域に設けられている。より具体的には、行駆動部 5 2 0 は、積層方向において、画素アレイ部 5 4 0 の H 方向の端部近傍に重なる領域に設けられている（図 2）。列信号処理部 5 5 0 は、例えば、積層方向において、一部が画素アレイ部 5 4 0 に重なる領域に設けられている。より具体的には、列信号処理部 5 5 0 は、積層方向において、画素アレイ部 5 4 0 の V 方向の端部近傍に重なる領域に設けら

れている（図2）。図示は省略するが、入力部510Aおよび出力部510Bは、第3基板300以外の部分に配置されていてもよく、例えば、第2基板200に配置されていてもよい。あるいは、第1基板100の裏面（光入射面）側に入力部510Aおよび出力部510Bを設けるようにしてもよい。なお、上記第2基板200に設けられた画素回路は、別の呼称として、画素トランジスタ回路、画素トランジスタ群、画素トランジスタ、画素読み出し回路または読出回路と呼ばれることもある。本明細書では、画素回路との呼称を用いる。

【0027】

第1基板100と第2基板200とは、例えば、貫通電極（後述の図6の貫通電極120E, 121E）により電氣的に接続されている。第2基板200と第3基板300とは、例えば、コンタクト部201, 202, 301, 302を介して電氣的に接続されている。第2基板200にコンタクト部201, 202が設けられ、第3基板300にコンタクト部301, 302が設けられている。第2基板200のコンタクト部201が第3基板300のコンタクト部301に接し、第2基板200のコンタクト部202が第3基板300のコンタクト部302に接している。第2基板200は、複数のコンタクト部201が設けられたコンタクト領域201Rと、複数のコンタクト部202が設けられたコンタクト領域202Rとを有している。第3基板300は、複数のコンタクト部301が設けられたコンタクト領域301Rと、複数のコンタクト部302が設けられたコンタクト領域302Rとを有している。コンタクト領域201R, 301Rは、積層方向において、画素アレイ部540と行駆動部520との間に設けられている（図3）。換言すれば、コンタクト領域201R, 301Rは、例えば、行駆動部520（第3基板300）と、画素アレイ部540（第2基板200）とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域201R, 301Rは、例えば、このような領域のうち、H方向の端部に配置されている（図2）。第3基板300では、例えば、行駆動部520の一部、具体的には行駆動部520のH方向の端部に重なる位置にコンタクト領域301Rが設けられている（図2, 図3）。コンタクト部201, 301は、例えば、第3基板300に設けられた行駆動部520と、第2基板200に設けられた行駆動信号線542とを接続するものである。コンタクト部201, 301は、例えば、第3基板300に設けられた入力部510Aと電源線544および基準電位線（後述の基準電位線VSS）とを接続していてもよい。コンタクト領域202R, 302Rは、積層方向において、画素アレイ部540と列信号処理部550との間に設けられている（図3）。換言すれば、コンタクト領域202R, 302Rは、例えば、列信号処理部550（第3基板300）と画素アレイ部540（第2基板200）とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域202R, 302Rは、例えば、このような領域のうち、V方向の端部に配置されている（図2）。第3基板300では、例えば、列信号処理部550の一部、具体的には列信号処理部550のV方向の端部に重なる位置にコンタクト領域301Rが設けられている（図2, 図3）。コンタクト部202, 302は、例えば、画素アレイ部540が有する複数の画素共有ユニット539各々から出力された画素信号（フォトダイオードでの光電変換の結果発生した電荷の量に対応した信号）を、第3基板300に設けられた列信号処理部550へと接続するためのものである。画素信号は、第2基板200から第3基板300に送られるようになっている。

【0028】

図3は、上記のように、撮像装置1の断面図の一例である。第1基板100、第2基板200、第3基板300は、配線層100T, 200T, 300Tを介して電氣的に接続される。例えば、撮像装置1は、第2基板200と第3基板300とを電氣的に接続する電氣的接続部を有する。具体的には、導電材料で形成された電極でコンタクト部201, 202, 301, 302を形成する。導電材料は、例えば、銅（Cu）、アルミニウム（Al）、金（Au）、などの金属材料で形成される。コンタクト領域201R, 202R, 301R, 302Rは、例えば電極として形成された配線同士を直接接合することで、第2基板と第3基板とを電氣的に接続し、第2基板200と第3基板300との信号の入

10

20

30

40

50

力及び/又は出力を可能にする。

【0029】

第2基板200と第3基板300とを電氣的に接続する電氣的接続部は、所望の箇所に設けることができる。例えば、図3においてコンタクト領域201R、202R、301R、302Rとして述べたように、画素アレイ部540と積層方向に重なる領域に設けても良い。また、電氣的接続部を画素アレイ部540と積層方向に重ならない領域に設けても良い。具体的には、画素アレイ部540の外側に配置された周辺部と、積層方向に重なる領域に設けても良い。

【0030】

第1基板100および第2基板200には、例えば、接続孔部H1、H2が設けられている。接続孔部H1、H2は、第1基板100および第2基板200を貫通している(図3)。接続孔部H1、H2は、画素アレイ部540(または画素アレイ部540に重なる部分)の外側に設けられている(図2)。例えば、接続孔部H1は、H方向において画素アレイ部540より外側に配置されており、接続孔部H2は、V方向において画素アレイ部540よりも外側に配置されている。例えば、接続孔部H1は、第3基板300に設けられた入力部510Aに達しており、接続孔部H2は、第3基板300に設けられた出力部510Bに達している。接続孔部H1、H2は、空洞でもよく、少なくとも一部に導電材料を含んでいても良い。例えば、入力部510A及び/又は出力部510Bとして形成された電極に、ボンディングワイヤを接続する構成がある。または、入力部510A及び/又は出力部510Bとして形成された電極と、接続孔部H1、H2に設けられた導電材料とを接続する構成がある。接続孔部H1、H2に設けられた導電材料は、接続孔部H1、H2の一部または全部に埋め込まれていても良く、導電材料が接続孔部H1、H2の側壁に形成されていても良い。

【0031】

なお、図3では第3基板300に入力部510A、出力部510Bを設ける構造としたが、これに限定されない。例えば、配線層200T、300Tを介して第3基板300の信号を第2基板200へ送ることで、入力部510A及び/又は出力部510Bを第2基板200に設けることもできる。同様に、配線層100T、200Tを介して、第2基板200の信号を第1基板100へ送ることで、入力部510A及び/又は出力部510Bを第1基板100に設けることもできる。

【0032】

図4は、画素共有ユニット539の構成の一例を表す等価回路図である。画素共有ユニット539は、複数の画素541(図4では、画素541A、541B、541C、541Dの4つの画素541を表す)と、この複数の画素541に接続された1の画素回路210と、画素回路210に接続された垂直信号線543とを含んでいる。画素回路210は、例えば、4つのトランジスタ、具体的には、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含んでいる。上述のように、画素共有ユニット539は、1の画素回路210を時分割で動作させることにより、画素共有ユニット539に含まれる4つの画素541(画素541A、541B、541C、541D)それぞれの画素信号を順次垂直信号線543へ出力するようになっている。複数の画素541に1の画素回路210が接続されており、この複数の画素541の画素信号が、1の画素回路210により時分割で出力される態様を、「複数の画素541が1の画素回路210を共有する」という。

【0033】

画素541A、541B、541C、541Dは、互いに共通の構成要素を有している。以降、画素541A、541B、541C、541Dの構成要素を互いに区別するために、画素541Aの構成要素の符号の末尾には識別番号1、画素541Bの構成要素の符号の末尾には識別番号2、画素541Cの構成要素の符号の末尾には識別番号3、画素541Dの構成要素の符号の末尾には識別番号4を付与する。画素541A、541B、541C、541Dの構成要素を互いに区別する必要のない場合には、画素541A、54

10

20

30

40

50

1 B , 5 4 1 C , 5 4 1 D の構成要素の符号の末尾の識別番号を省略する。

【 0 0 3 4 】

画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D は、例えば、フォトダイオード P D と、フォトダイオード P D と電氣的に接続された転送トランジスタ T R と、転送トランジスタ T R に電氣的に接続されたフローティングディフュージョン F D とを有している。フォトダイオード P D (P D 1 , P D 2 , P D 3 , P D 4) では、カソードが転送トランジスタ T R のソースに電氣的に接続されており、アノードが基準電位線 (例えばグラウンド) に電氣的に接続されている。フォトダイオード P D は、入射した光を光電変換し、その受光量に応じた電荷を発生する。転送トランジスタ T R (転送トランジスタ T R 1 , T R 2 , T R 3 , T R 4) は、例えば、n 型の C M O S (Complementary Metal Oxide Semiconductor) トランジスタである。転送トランジスタ T R では、ドレインがフローティングディフュージョン F D に電氣的に接続され、ゲートが駆動信号線に電氣的に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 (図 1 参照) のうちの一部である。転送トランジスタ T R は、フォトダイオード P D で発生した電荷をフローティングディフュージョン F D へと転送する。フローティングディフュージョン F D (フローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4) は、p 型半導体層中に形成された n 型拡散層領域である。フローティングディフュージョン F D は、フォトダイオード P D から転送された電荷を一時的に保持する電荷保持手段であり、かつ、その電荷量に応じた電圧を発生させる、電荷 電圧変換手段である。

【 0 0 3 5 】

1 の画素共有ユニット 5 3 9 に含まれる 4 つのフローティングディフュージョン F D (フローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4) は、互いに電氣的に接続されるとともに、増幅トランジスタ A M P のゲートおよび F D 変換ゲイン切替トランジスタ F D G のソースに電氣的に接続されている。F D 変換ゲイン切替トランジスタ F D G のドレインはリセットトランジスタ R S T のソースに接続され、F D 変換ゲイン切替トランジスタ F D G のゲートは駆動信号線に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 のうちの一部である。リセットトランジスタ R S T のドレインは電源線 V D D に接続され、リセットトランジスタ R S T のゲートは駆動信号線に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 のうちの一部である。増幅トランジスタ A M P のゲートはフローティングディフュージョン F D に接続され、増幅トランジスタ A M P のドレインは電源線 V D D に接続され、増幅トランジスタ A M P のソースは選択トランジスタ S E L のドレインに接続されている。選択トランジスタ S E L のソースは垂直信号線 5 4 3 に接続され、選択トランジスタ S E L のゲートは駆動信号線に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 のうちの一部である。

【 0 0 3 6 】

転送トランジスタ T R は、転送トランジスタ T R がオン状態となると、フォトダイオード P D の電荷をフローティングディフュージョン F D に転送する。転送トランジスタ T R のゲート (転送ゲート T G) は、例えば、いわゆる縦型電極を含んでおり、後述の図 6 に示すように、半導体層 (後述の図 6 の半導体層 1 0 0 S) の表面から P D に達する深さまで延在して設けられている。リセットトランジスタ R S T は、フローティングディフュージョン F D の電位を所定の電位にリセットする。リセットトランジスタ R S T がオン状態となると、フローティングディフュージョン F D の電位を電源線 V D D の電位にリセットする。選択トランジスタ S E L は、画素回路 2 1 0 からの画素信号の出力タイミングを制御する。増幅トランジスタ A M P は、画素信号として、フローティングディフュージョン F D に保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタ A M P は、選択トランジスタ S E L を介して垂直信号線 5 4 3 に接続されている。この増幅トランジスタ A M P は、列信号処理部 5 5 0 において、垂直信号線 5 4 3 に接続された負荷回路部 (図 1 参照) とともにソースフォロアを構成している。増幅トランジスタ A M P は、

選択トランジスタ S E L がオン状態となると、フローティングディフュージョン F D の電圧を、垂直信号線 5 4 3 を介して列信号処理部 5 5 0 に出力する。リセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L は、例えば、N型の C M O S トランジスタである。

【 0 0 3 7 】

F D 変換ゲイン切替トランジスタ F D G は、フローティングディフュージョン F D での電荷 電圧変換のゲインを変更する際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。Q = C V に基づき、電荷電圧変換を行う際に、フローティングディフュージョン F D の容量 (F D 容量 C) が大きければ、増幅トランジスタ A M P で電圧に変換した際の V が小さくなってしまふ。一方、明るい場所では、画素信号が大きくなるので、F D 容量 C が大きくなければ、フローティングディフュージョン F D で、フォトダイオード P D の電荷を受けきれない。さらに、増幅トランジスタ A M P で電圧に変換した際の V が大きくなりすぎないように (言い換えると、小さくなるように)、F D 容量 C が大きくなっている必要がある。これらを踏まえると、F D 変換ゲイン切替トランジスタ F D G をオンにしたときには、F D 変換ゲイン切替トランジスタ F D G 分のゲート容量が増えるので、全体の F D 容量 C が大きくなる。一方、F D 変換ゲイン切替トランジスタ F D G をオフにしたときには、全体の F D 容量 C が小さくなる。このように、F D 変換ゲイン切替トランジスタ F D G をオンオフ切り替えることで、F D 容量 C を可変にし、変換効率を切り替えることができる。F D 変換ゲイン切替トランジスタ F D G は、例えば、N型の C M O S トランジスタである。

【 0 0 3 8 】

なお、F D 変換ゲイン切替トランジスタ F D G を設けない構成も可能である。このとき、例えば、画素回路 2 1 0 は、例えば増幅トランジスタ A M P、選択トランジスタ S E L およびリセットトランジスタ R S T の 3 つのトランジスタで構成される。画素回路 2 1 0 は、例えば、増幅トランジスタ A M P、選択トランジスタ S E L、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G などの画素トランジスタの少なくとも 1 つを有する。

【 0 0 3 9 】

選択トランジスタ S E L は、電源線 V D D と増幅トランジスタ A M P との間に設けられていてもよい。この場合、リセットトランジスタ R S T のドレインが電源線 V D D および選択トランジスタ S E L のドレインに電氣的に接続されている。選択トランジスタ S E L のソースが増幅トランジスタ A M P のドレインに電氣的に接続されており、選択トランジスタ S E L のゲートが行駆動信号線 5 4 2 (図 1 参照) に電氣的に接続されている。増幅トランジスタ A M P のソース (画素回路 2 1 0 の出力端) が垂直信号線 5 4 3 に電氣的に接続されており、増幅トランジスタ A M P のゲートがリセットトランジスタ R S T のソースに電氣的に接続されている。なお、図示は省略するが、1 の画素回路 2 1 0 を共有する画素 5 4 1 の数は、4 以外であってもよい。例えば、2 つまたは 8 つの画素 5 4 1 が 1 の画素回路 2 1 0 を共有してもよい。

【 0 0 4 0 】

図 5 は、複数の画素共有ユニット 5 3 9 と、垂直信号線 5 4 3 との接続態様の一例を表したものである。例えば、列方向に並ぶ 4 つの画素共有ユニット 5 3 9 が 4 つのグループに分けられており、この 4 つのグループ各々に垂直信号線 5 4 3 が接続されている。図 5 には、説明を簡単にするため、4 つのグループが各々、1 つの画素共有ユニット 5 3 9 を有する例を示したが、4 つのグループが各々、複数の画素共有ユニット 5 3 9 を含むグループに分けられていてもよい。このように、撮像装置 1 では、列方向に並ぶ複数の画素共有ユニット 5 3 9 が、1 つまたは複数の画素共有ユニット 5 3 9 を含むグループに分けられていてもよい。例えば、このグループそれぞれに、垂直信号線 5 4 3 および列信号処理部 5 5 0 が接続されており、それぞれのグループから画素信号を同時に読み出すことができるようになっている。あるいは、撮像装置 1 では、列方向に並ぶ複数の画素共有ユニット 5 3 9 に 1 つの垂直信号線 5 4 3 が接続されていてもよい。このとき、1 つの垂直信号線 5 4 3 に接続され

10

20

30

40

50

た複数の画素共有ユニット539から、時分割で順次画素信号が読み出されるようになっている。

【0041】

[撮像装置1の具体的構成]

図6は、撮像装置1の第1基板100、第2基板200および第3基板300の主面に対して垂直方向の断面構成の一例を表したものである。図6は、構成要素の位置関係を分かりやすくするため、模式的に表したものであり、実際の断面と異なってもよい。撮像装置1では、第1基板100、第2基板200および第3基板300がこの順に積層されている。撮像装置1は、さらに、第1基板100の裏面側（光入射面側）に受光レンズ401を有している。受光レンズ401と第1基板100との間に、カラーフィルタ層（図示せず）が設けられていてもよい。受光レンズ401は、例えば、画素541A、541B、541C、541D各々に設けられている。撮像装置1は、例えば、裏面照射型の撮像装置である。撮像装置1は、中央部に配置された画素アレイ部540と、画素アレイ部540の外側に配置された周辺部540Bとを有している。

10

【0042】

第1基板100は、受光レンズ401側から順に、絶縁膜111、固定電荷膜112、半導体層100Sおよび配線層100Tを有している。半導体層100Sは、例えばシリコン基板により構成されている。半導体層100Sは、例えば、表面（配線層100T側の面）の一部およびその近傍に、pウェル層115を有しており、それ以外の領域（pウェル層115よりも深い領域）に、n型半導体領域114を有している。例えば、このn型半導体領域114およびpウェル層115によりpn接合型のフォトダイオードPDが構成されている。pウェル層115は、p型半導体領域である。

20

【0043】

図7Aは、第1基板100の平面構成の一例を表したものである。図7Aは、主に、第1基板100の画素分離部117、フォトダイオードPD、フローティングディフュージョンFD、VSSコンタクト領域118および転送トランジスタTRの平面構成を表している。図6とともに、図7Aを用いて第1基板100の構成について説明する。

【0044】

半導体層100Sの表面近傍には、フローティングディフュージョンFDおよびVSSコンタクト領域118が設けられている。フローティングディフュージョンFDは、pウェル層115内に設けられたn型半導体領域により構成されている。画素541A、541B、541C、541D各々のフローティングディフュージョンFD（フローティングディフュージョンFD1、FD2、FD3、FD4）は、例えば、画素共有ユニット539の中央部に互いに近接して設けられている（図7A）。詳細は後述するが、この画素共有ユニット539に含まれる4つのフローティングディフュージョン（フローティングディフュージョンFD1、FD2、FD3、FD4）は、第1基板100内（より具体的には配線層100Tの内）で、電気的接続手段（後述のパッド部120）を介して互いに電気的に接続されている。更に、フローティングディフュージョンFDは、第1基板100から第2基板200へ（より具体的には、配線層100Tから配線層200Tへ）と電気的手段（後述の貫通電極120E）を介して接続されている。第2基板200（より具体的には配線層200Tの内部）では、この電気的手段により、フローティングディフュージョンFDが、増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソースに電気的に接続されている。

30

40

【0045】

VSSコンタクト領域118は、基準電位線VSSに電気的に接続される領域であり、フローティングディフュージョンFDと離間して配置されている。例えば、画素541A、541B、541C、541Dでは、各画素のV方向の一端にフローティングディフュージョンFDが配置され、他端にVSSコンタクト領域118が配置されている（図7A）。VSSコンタクト領域118は、例えば、p型半導体領域により構成されている。VSSコンタクト領域118は、例えば接地電位や固定電位に接続されている。これにより

50

、半導体層 100S に基準電位が供給される。

【0046】

第1基板100には、フォトダイオードPD、フローティングディフュージョンFDおよびVSSコンタクト領域118とともに、転送トランジスタTRが設けられている。このフォトダイオードPD、フローティングディフュージョンFD、VSSコンタクト領域118および転送トランジスタTRは、画素541A, 541B, 541C, 541D各々に設けられている。転送トランジスタTRは、半導体層100Sの表面側（光入射面側とは反対側、第2基板200側）に設けられている。転送トランジスタTRは、転送ゲートTGを有している。転送ゲートTGは、例えば、半導体層100Sの表面に対向する水平部分Tgbと、半導体層100S内に設けられた垂直部分Tgaとを含んでいる。垂直部分Tgaは、半導体層100Sの厚み方向に延在している。垂直部分Tgaの一端は水平部分Tgbに接し、他端はn型半導体領域114内に設けられている。転送トランジスタTRを、このような縦型トランジスタにより構成することにより、画素信号の転送不良が生じにくくなり、画素信号の読み出し効率を向上させることができる。

10

【0047】

転送ゲートTGの水平部分Tgbは、垂直部分Tgaに対向する位置から例えば、H方向において画素共有ユニット539の中央部に向かって延在している（図7A）。これにより、転送ゲートTGに達する貫通電極（後述の貫通電極TGV）のH方向の位置を、フローティングディフュージョンFD、VSSコンタクト領域118に接続される貫通電極（後述の貫通電極120E, 121E）のH方向の位置に近づけることができる。例えば、第1基板100に設けられた複数の画素共有ユニット539は、互いに同じ構成を有している（図7A）。

20

【0048】

半導体層100Sには、画素541A, 541B, 541C, 541Dを互いに分離する画素分離部117が設けられている。画素分離部117は、半導体層100Sの法線方向（半導体層100Sの表面に対して垂直な方向）に延在して形成されている。画素分離部117は、画素541A, 541B, 541C, 541Dを互いに仕切るように設けられており、例えば格子状の平面形状を有している（図7A, 図7B）。画素分離部117は、例えば、画素541A, 541B, 541C, 541Dを互いに電気的および光学的に分離する。画素分離部117は、例えば、遮光膜117Aおよび絶縁膜117Bを含んでいる。遮光膜117Aには、例えば、タンゲステン（W）等が用いられる。絶縁膜117Bは、遮光膜117Aとpウェル層115またはn型半導体領域114との間に設けられている。絶縁膜117Bは、例えば、酸化シリコン（SiO）によって構成されている。画素分離部117は、例えば、FTI（Full Trench Isolation）構造を有しており、半導体層100Sを貫通している。図示しないが、画素分離部117は半導体層100Sを貫通するFTI構造に限定されない。例えば、半導体層100Sを貫通しないDTI（Deep Trench Isolation）構造であっても良い。画素分離部117は、半導体層100Sの法線方向に延在して、半導体層100Sの一部の領域に形成される。

30

【0049】

半導体層100Sには、例えば、第1ピニング領域113および第2ピニング領域116が設けられている。第1ピニング領域113は、半導体層100Sの裏面近傍に設けられており、n型半導体領域114と固定電荷膜112との間に配置されている。第2ピニング領域116は、画素分離部117の側面、具体的には、画素分離部117とpウェル層115またはn型半導体領域114との間に設けられている。第1ピニング領域113および第2ピニング領域116は、例えば、p型半導体領域により構成されている。

40

【0050】

半導体層100Sと絶縁膜111の間には、負の固定電荷を有する固定電荷膜112が設けられている。固定電荷膜112が誘起する電界により、半導体層100Sの受光面（裏面）側の界面に、ホール蓄積層の第1ピニング領域113が形成される。これにより、半導体層100Sの受光面側の界面準位に起因した暗電流の発生が抑えられる。固定電

50

荷膜 1 1 2 は、例えば、負の固定電荷を有する絶縁膜によって形成されている。この負の固定電荷を有する絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。

【 0 0 5 1 】

固定電荷膜 1 1 2 と絶縁膜 1 1 1 との間には、遮光膜 1 1 7 A が設けられている。この遮光膜 1 1 7 A は、画素分離部 1 1 7 を構成する遮光膜 1 1 7 A と連続して設けられていてもよい。この固定電荷膜 1 1 2 と絶縁膜 1 1 1 との間には、遮光膜 1 1 7 A は、例えば、半導体層 1 0 0 S 内の画素分離部 1 1 7 に対向する位置に選択的に設けられている。絶縁膜 1 1 1 は、この遮光膜 1 1 7 A を覆うように設けられている。絶縁膜 1 1 1 は、例えば、酸化シリコンにより構成されている。

10

【 0 0 5 2 】

半導体層 1 0 0 S と第 2 基板 2 0 0 との間に設けられた配線層 1 0 0 T は、半導体層 1 0 0 S 側から、層間絶縁膜 1 1 9、パッド部 1 2 0、1 2 1、パッシベーション膜 1 2 2、層間絶縁膜 1 2 3 および接合膜 1 2 4 をこの順に有している。転送ゲート T G の水平部分 T G b は、例えば、この配線層 1 0 0 T に設けられている。層間絶縁膜 1 1 9 は、半導体層 1 0 0 S の表面全面にわたって設けられており、半導体層 1 0 0 S に接している。層間絶縁膜 1 1 9 は、例えば酸化シリコン膜により構成されている。なお、配線層 1 0 0 T の構成は上述の限りでなく、配線と絶縁膜とを有する構成であれば良い。

【 0 0 5 3 】

図 7 B は、図 7 A に示した平面構成とともに、パッド部 1 2 0、1 2 1 の構成を表している。パッド部 1 2 0、1 2 1 は、層間絶縁膜 1 1 9 上の選択的な領域に設けられている。パッド部 1 2 0 は、画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D 各々のフローティングディフュージョン F D (フローティングディフュージョン F D 1、F D 2、F D 3、F D 4) を互いに接続するためのものである。パッド部 1 2 0 は、例えば、画素共有ユニット 5 3 9 毎に、平面視で画素共有ユニット 5 3 9 の中央部に配置されている (図 7 B)。このパッド部 1 2 0 は、画素分離部 1 1 7 を跨ぐように設けられており、フローティングディフュージョン F D 1、F D 2、F D 3、F D 4 各々の少なくとも一部に重畳して配置されている (図 6、図 7 B)。具体的には、パッド部 1 2 0 は、画素回路 2 1 0 を共有する複数のフローティングディフュージョン F D (フローティングディフュージョン F D 1、F D 2、F D 3、F D 4) 各々の少なくとも一部と、その画素回路 2 1 0 を共有する複数のフォトダイオード P D (フォトダイオード P D 1、P D 2、P D 3、P D 4) の間に形成された画素分離部 1 1 7 の少なくとも一部とに対して、半導体層 1 0 0 S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 1 1 9 には、パッド部 1 2 0 とフローティングディフュージョン F D 1、F D 2、F D 3、F D 4 とを電気的に接続するための接続ビア 1 2 0 C が設けられている。接続ビア 1 2 0 C は、画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D 各々に設けられている。例えば、接続ビア 1 2 0 C にパッド部 1 2 0 の一部が埋め込まれることにより、パッド部 1 2 0 とフローティングディフュージョン F D 1、F D 2、F D 3、F D 4 とが電気的に接続されている。

20

30

【 0 0 5 4 】

パッド部 1 2 1 は、複数の V S S コンタクト領域 1 1 8 を互いに接続するためのものである。例えば、V 方向に隣り合う一方の画素共有ユニット 5 3 9 の画素 5 4 1 C、5 4 1 D に設けられた V S S コンタクト領域 1 1 8 と、他方の画素共有ユニット 5 3 9 の画素 5 4 1 A、5 4 1 B に設けられた V S S コンタクト領域 1 1 8 とがパッド部 1 2 1 により電気的に接続されている。パッド部 1 2 1 は、例えば、画素分離部 1 1 7 を跨ぐように設けられており、これら 4 つの V S S コンタクト領域 1 1 8 各々の少なくとも一部に重畳して配置されている。具体的には、パッド部 1 2 1 は、複数の V S S コンタクト領域 1 1 8 各々の少なくとも一部と、その複数の V S S コンタクト領域 1 1 8 の間に形成された画素分離部 1 1 7 の少なくとも一部とに対して、半導体層 1 0 0 S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 1 1 9 には、パッド部 1 2 1 と V S S コンタクト領域 1 1 8 とを電気的に接続するための接続ビア 1 2 1 C が設けられている。接続ビア 1 2

40

50

1 C は、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D 各々に設けられている。例えば、接続ビア 1 2 1 C にパッド部 1 2 1 の一部が埋め込まれることにより、パッド部 1 2 1 と V S S コンタクト領域 1 1 8 とが電氣的に接続されている。例えば、V 方向に並ぶ複数の画素共有ユニット 5 3 9 各々のパッド部 1 2 0 およびパッド部 1 2 1 は、H 方向において略同じ位置に配置されている (図 7 B) 。

【 0 0 5 5 】

パッド部 1 2 0 を設けることで、チップ全体において、各フローティングディフュージョン F D から画素回路 2 1 0 (例えば増幅トランジスタ A M P のゲート電極) へ接続するための配線を減らすことができる。同様に、パッド部 1 2 1 を設けることで、チップ全体において、各 V S S コンタクト領域 1 1 8 への電位を供給する配線を減らすことができる。これにより、チップ全体の面積の縮小、微細化された画素における配線間の電氣的干渉の抑制、及び / 又は部品点数の削減によるコスト削減などが可能になる。

10

【 0 0 5 6 】

パッド部 1 2 0 、 1 2 1 は、第 1 基板 1 0 0 、第 2 基板 2 0 0 の所望の位置に設けることができる。具体的には、パッド部 1 2 0 、 1 2 1 を配線層 1 0 0 T 、半導体層 2 0 0 S の絶縁領域 2 1 2 のいずれかに設けることができる。配線層 1 0 0 T に設ける場合には、パッド部 1 2 0 、 1 2 1 を半導体層 1 0 0 S に直接接触させても良い。具体的には、パッド部 1 2 0 、 1 2 1 が、フローティングディフュージョン F D 及び / 又は V S S コンタクト領域 1 1 8 の各々の少なくとも一部と直接接続される構成でも良い。また、パッド部 1 2 0 、 1 2 1 に接続するフローティングディフュージョン F D 及び / 又は V S S コンタクト領域 1 1 8 の各々から接続ビア 1 2 0 C , 1 2 1 C を設け、配線層 1 0 0 T 、半導体層 2 0 0 S の絶縁領域 2 1 2 の所望の位置にパッド部 1 2 0 、 1 2 1 を設ける構成でも良い。

20

【 0 0 5 7 】

特に、パッド部 1 2 0 、 1 2 1 を配線層 1 0 0 T に設ける場合には、半導体層 2 0 0 S の絶縁領域 2 1 2 におけるフローティングディフュージョン F D 及び / 又は V S S コンタクト領域 1 1 8 に接続される配線を減らすことができる。これにより、画素回路 2 1 0 を形成する第 2 基板 2 0 0 のうち、フローティングディフュージョン F D から画素回路 2 1 0 に接続するための貫通配線を形成するための絶縁領域 2 1 2 の面積を削減することができる。よって、画素回路 2 1 0 を形成する第 2 基板 2 0 0 の面積を大きく確保することができる。画素回路 2 1 0 の面積を確保することで、画素トランジスタを大きく形成することができ、ノイズ低減などによる画質向上に寄与することができる。

30

【 0 0 5 8 】

特に、画素分離部 1 1 7 に F T I 構造を用いた場合、フローティングディフュージョン F D 及び / 又は V S S コンタクト領域 1 1 8 は、各画素 5 4 1 に設けることが好ましいため、パッド部 1 2 0 、 1 2 1 の構成を用いることで、第 1 基板 1 0 0 と第 2 基板 2 0 0 とを接続する配線を大幅に削減することができる。

【 0 0 5 9 】

また、図 7 B のように、例えば複数のフローティングディフュージョン F D が接続されるパッド部 1 2 0 と、複数の V S S コンタクト領域 1 1 8 が接続されるパッド部 1 2 1 とは、V 方向において直線状に交互に配置される。また、パッド部 1 2 0 、 1 2 1 は、複数のフォトダイオード P D や、複数の転送ゲート T G や、複数のフローティングディフュージョン F D に囲まれる位置に形成される。これにより、複数の素子を形成する第 1 基板 1 0 0 において、フローティングディフュージョン F D と V S S コンタクト領域 1 1 8 以外の素子を自由に配置することができ、チップ全体のレイアウトの効率化を図ることができる。また、各画素共有ユニット 5 3 9 に形成される素子のレイアウトにおける対称性が確保され、各画素 5 4 1 の特性のばらつきを抑えることができる。

40

【 0 0 6 0 】

パッド部 1 2 0 , 1 2 1 は、例えば、ポリシリコン (Poly Si) 、より具体的には、不純物が添加されたドーパドポリシリコンにより構成されている。パッド部 1 2 0 , 1 2 1 はポリシリコン、タングステン (W) 、チタン (Ti) および窒化チタン (Ti N) 等の耐

50

熱性の高い導電性材料により構成されていることが好ましい。これにより、第1基板100に第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成することが可能となる。以下、この理由について説明する。なお、以下の説明において、第1基板100と第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成する方法を、第1の製造方法と呼ぶ。

【0061】

ここで、第2基板200に画素回路210を形成した後に、これを第1基板100に貼り合わせることも考え得る（以下第2の製造方法という）。この第2の製造方法では、第1基板100の表面（配線層100Tの表面）および第2基板200の表面（配線層200Tの表面）それぞれに、電氣的接続用の電極を予め形成しておく。第1基板100と第2基板200を貼り合わせると、これと同時に、第1基板100の表面と第2基板200の表面のそれぞれに形成された電氣的接続用の電極同士が接触する。これにより、第1基板100に含まれる配線と第2基板200に含まれる配線との間で電氣的接続が形成される。よって、第2の製造方法を用いた撮像装置1の構成とすることで、例えば第1基板100と第2基板200の各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。

【0062】

このような第2の製造方法では、第1基板100と第2基板200とを貼り合わせる際に、貼り合せ用の製造装置に起因して、位置合わせの誤差が生じることがある。また、第1基板100および第2基板200は、例えば、直径数十cm程度の大きさを有するが、第1基板100と第2基板200とを貼り合わせる際に、この第1基板100、第2基板200各部の微視的領域で、基板の伸び縮みが発生するおそれがある。この基板の伸び縮みは、基板同士が接触するタイミングが多少ずれることに起因する。このような第1基板100および第2基板200の伸び縮みに起因して、第1基板100の表面および第2基板200の表面それぞれに形成された電氣的接続用の電極の位置に、誤差が生じることがある。第2の製造方法では、このような誤差が生じても、第1基板100および第2基板200それぞれの電極同士が接触するように対処しておくことが好ましい。具体的には、第1基板100および第2基板200の電極の少なくとも一方、好ましくは両方を、上記誤差を考慮して大きくしておく。このため、第2の製造方法を用いると、例えば、第1基板100または第2基板200の表面に形成された電極の大きさ（基板平面方向の大きさ）が、第1基板100または第2基板200の内部から表面に厚み方向へ延在する内部電極の大きさよりも大きくなる。

【0063】

一方、パッド部120, 121を耐熱性の導電材料により構成することで、上記第1の製造方法を用いることが可能となる。第1の製造方法では、フォトダイオードPDおよび転送トランジスタTRなどを含む第1基板100を形成した後、この第1基板100と第2基板200（半導体層200S）とを貼り合わせる。このとき、第2基板200は、画素回路210を構成する能動素子および配線層などのパターンは未形成の状態である。第2基板200はパターンを形成する前の状態であるため、仮に、第1基板100と第2基板200を貼り合わせる際、その貼り合せ位置に誤差が生じたとしても、この貼り合せ誤差によって、第1基板100のパターンと第2基板200のパターンとの間の位置合わせに誤差が生じることはない。なぜならば、第2基板200のパターンは、第1基板100と第2基板200を貼り合わせた後に、形成するからである。なお、第2基板にパターンを形成する際には、例えば、パターン形成のための露光装置において、第1基板に形成されたパターンを位置合わせの対象としながらパターン形成する。上記理由により、第1基板100と第2基板200との貼り合せ位置の誤差は、第1の製造方法においては、撮像装置1を製造する上で問題とならない。同様の理由で、第2の製造方法で生じる基板の伸び縮みに起因した誤差も、第1の製造方法においては、撮像装置1を製造する上で問題とならない。

【0064】

第1の製造方法では、このようにして第1基板100と第2基板200（半導体層200S）とを貼り合せた後、第2基板200上に能動素子を形成する。この後、貫通電極120E、121Eおよび貫通電極TGV（図6）を形成する。この貫通電極120E、121E、TGVの形成では、例えば、第2基板200の上方から、露光装置による縮小投影露光を用いて貫通電極のパターンを形成する。縮小露光投影を用いるため、仮に、第2基板200と露光装置との位置合わせに誤差が生じても、その誤差の大きさは、第2基板200においては、上記第2の製造方法の誤差の数分の一（縮小露光投影倍率の逆数）にしかない。よって、第1の製造方法を用いた撮像装置1の構成とすることで、第1基板100と第2基板200の各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。

10

【0065】

このような第1の製造方法を用いて製造された撮像装置1は、第2の製造方法で製造された撮像装置と異なる特徴を有する。具体的には、第1の製造方法により製造された撮像装置1では、例えば、貫通電極120E、121E、TGVが、第2基板200から第1基板100に至るまで、略一定の太さ（基板平面方向の大きさ）となっている。あるいは、貫通電極120E、121E、TGVがテーパ形状を有するときには、一定の傾きのテーパ形状を有している。このような貫通電極120E、121E、TGVを有する撮像装置1は、画素541を微細化しやすい。

【0066】

ここで、第1の製造方法により撮像装置1を製造すると、第1基板100と第2基板200（半導体層200S）とを貼り合わせた後に、第2基板200に能動素子を形成するので、第1基板100にも、能動素子の形成の際に必要な加熱処理の影響が及ぶことになる。このため、上記のように、第1基板100に設けられたパッド部120、121には、耐熱性の高い導電材料を用いることが好ましい。例えば、パッド部120、121には、第2基板200の配線層200Tに含まれる配線材の少なくとも一部よりも、融点の高い（すなわち耐熱性の高い）材料を用いていることが好ましい。例えば、パッド部120、121にドーフトポリシリコン、タングステン、チタンあるいは窒化チタン等の耐熱性の高い導電材を用いる。これにより、上記第1の製造方法を用いて撮像装置1を製造することが可能となる。

20

【0067】

パッシベーション膜122は、例えば、パッド部120、121を覆うように、半導体層100Sの表面全面にわたって設けられている（図6）。パッシベーション膜122は、例えば、窒化シリコン（SiN）膜により構成されている。層間絶縁膜123は、パッシベーション膜122を間にしてパッド部120、121を覆っている。この層間絶縁膜123は、例えば、半導体層100Sの表面全面にわたって設けられている。層間絶縁膜123は、例えば酸化シリコン（SiO）膜により構成されている。接合膜124は、第1基板100（具体的には配線層100T）と第2基板200との接合面に設けられている。即ち、接合膜124は、第2基板200に接している。この接合膜124は、第1基板100の主面全面にわたって設けられている。接合膜124は、例えば、窒化シリコン膜や酸化シリコン膜により構成されている。

30

40

【0068】

受光レンズ401は、例えば、固定電荷膜112および絶縁膜111を間にして半導体層100Sに対向している（図6）。受光レンズ401は、例えば画素541A、541B、541C、541D各々のフォトダイオードPDに対向する位置に設けられている。

【0069】

第2基板200は、第1基板100側から、半導体層200Sおよび配線層200Tをこの順に有している。半導体層200Sは、シリコン基板で構成されている。半導体層200Sでは、厚み方向にわたって、ウェル領域211が設けられている。ウェル領域211は、例えば、p型半導体領域である。第2基板200には、画素共有ユニット539毎に配置された画素回路210が設けられている。この画素回路210は、例えば、半導体

50

層 200S の表面側（配線層 200T 側）に設けられている。撮像装置 1 では、第 1 基板 100 の表面側（配線層 100T 側）に第 2 基板 200 の裏面側（半導体層 200S 側）が向かうようにして、第 2 基板 200 が第 1 基板 100 に貼り合わされている。つまり、第 2 基板 200 は、第 1 基板 100 に、フェイストウーバックで貼り合わされている。

【0070】

図 8 ~ 図 12 は、第 2 基板 200 の平面構成の一例を模式的に表している。図 8 には、半導体層 200S の表面近傍に設けられた画素回路 210 の構成を表す。図 9 は、配線層 200T（具体的には後述の第 1 配線層 W1）と、配線層 200T に接続された半導体層 200S および第 1 基板 100 の各部の構成を模式的に表している。図 10 ~ 図 12 は、配線層 200T の平面構成の一例を表している。以下、図 6 とともに、図 8 ~ 図 12 を用いて第 2 基板 200 の構成について説明する。図 8 および図 9 ではフォトダイオード PD の外形（画素分離部 117 とフォトダイオード PD との境界）を破線で表し、画素回路 210 を構成する各トランジスタのゲート電極に重なる部分の半導体層 200S と素子分離領域 213 または絶縁領域 212 との境界を点線で表す。増幅トランジスタ AMP のゲート電極に重なる部分では、チャンネル幅方向の一方に、半導体層 200S と素子分離領域 213 との境界、および素子分離領域 213 と絶縁領域 212 との境界が設けられている。

10

【0071】

第 2 基板 200 には、半導体層 200S を分断する絶縁領域 212 と、半導体層 200S の厚み方向の一部に設けられた素子分離領域 213 とが設けられている（図 6）。例えば、H 方向に隣り合う 2 つの画素回路 210 の間に設けられた絶縁領域 212 に、この 2 つの画素回路 210 に接続された 2 つの画素共有ユニット 539 の貫通電極 120E, 121E および貫通電極 TGV（貫通電極 TGV1, TGV2, TGV3, TGV4）が配置されている（図 9）。

20

【0072】

絶縁領域 212 は、半導体層 200S の厚みと略同じ厚みを有している（図 6）。半導体層 200S は、この絶縁領域 212 により分断されている。この絶縁領域 212 に、貫通電極 120E, 121E および貫通電極 TGV が配置されている。絶縁領域 212 は、例えば酸化シリコンにより構成されている。

【0073】

貫通電極 120E, 121E は、絶縁領域 212 を厚み方向に貫通して設けられている。貫通電極 120E, 121E の上端は、配線層 200T の配線（後述の第 1 配線層 W1, 第 2 配線層 W2, 第 3 配線層 W3, 第 4 配線層 W4）に接続されている。この貫通電極 120E, 121E は、絶縁領域 212、接合膜 124、層間絶縁膜 123 およびパッシベーション膜 122 を貫通して設けられ、その下端はパッド部 120, 121 に接続されている（図 6）。貫通電極 120E は、パッド部 120 と画素回路 210 とを電氣的に接続するためのものである。即ち、貫通電極 120E により、第 1 基板 100 のフローティングディフュージョン FD が第 2 基板 200 の画素回路 210 に電氣的に接続される。貫通電極 121E は、パッド部 121 と配線層 200T の基準電位線 VSS とを電氣的に接続するためのものである。即ち、貫通電極 121E により、第 1 基板 100 の VSS コンタクト領域 118 が第 2 基板 200 の基準電位線 VSS に電氣的に接続される。

30

40

【0074】

貫通電極 TGV は、絶縁領域 212 を厚み方向に貫通して設けられている。貫通電極 TGV の上端は、配線層 200T の配線に接続されている。この貫通電極 TGV は、絶縁領域 212、接合膜 124、層間絶縁膜 123、パッシベーション膜 122 および層間絶縁膜 119 を貫通して設けられ、その下端は転送ゲート TG に接続されている（図 6）。このような貫通電極 TGV は、画素 541A, 541B, 541C, 541D 各々の転送ゲート TG（転送ゲート TG1, TG2, TG3, TG4）と、配線層 200T の配線（行駆動信号線 542 の一部、具体的には、後述の図 11 の配線 TRG1, TRG2, TRG3, TRG4）とを電氣的に接続するためのものである。即ち、貫通電極 TGV により、第 1 基板 100 の転送ゲート TG が第 2 基板 200 の配線 TRG に電氣的に接続され、転

50

送トランジスタTR（転送トランジスタTR1，TR2，TR3，TR4）各々に駆動信号が送られるようになっている。

【0075】

絶縁領域212は、第1基板100と第2基板200とを電氣的に接続するための前記貫通電極120E，121Eおよび貫通電極TGVを、半導体層200Sと絶縁して設けるための領域である。例えば、H方向に隣り合う2つの画素回路210（画素共有ユニット539）の間に設けられた絶縁領域212に、この2つの画素回路210に接続された貫通電極120E，121Eおよび貫通電極TGV（貫通電極TGV1，TGV2，TGV3，TGV4）が配置されている。絶縁領域212は、例えば、V方向に延在して設けられている（図8，図9）。ここでは、転送ゲートTGの水平部分TGbの配置を工夫することにより、垂直部分TGaの位置に比べて、貫通電極TGVのH方向の位置が貫通電極120E，121EのH方向の位置に近づくように配置されている（図7A，図9）。例えば、貫通電極TGVは、H方向において、貫通電極120E，120Eと略同じ位置に配置されている。これにより、V方向に延在する絶縁領域212に、貫通電極120E，121Eおよび貫通電極TGVをまとめて設けることができる。別の配置例として、垂直部分TGaに重畳する領域のみに水平部分TGbを設けることも考え得る。この場合には、垂直部分TGaの略直上に貫通電極TGVが形成され、例えば、各画素541のH方向およびV方向の略中央部に貫通電極TGVが配置される。このとき、貫通電極TGVのH方向の位置と貫通電極120E，121EのH方向の位置とが大きくずれる。貫通電極TGVおよび貫通電極120E，121Eの周囲には、近接する半導体層200Sから電氣的に絶縁するため、例えば、絶縁領域212を設ける。貫通電極TGVのH方向の位置と貫通電極120E，121EのH方向の位置とが大きく離れる場合には、貫通電極120E，121E，TGV各々の周囲に絶縁領域212を独立して設けることが必要となる。これにより、半導体層200Sが細かく分断されることになる。これに比べ、V方向に延在する絶縁領域212に、貫通電極120E，121Eおよび貫通電極TGVをまとめて配置するレイアウトは、半導体層200SのH方向の大きさを大きくすることができる。よって、半導体層200Sにおける半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

【0076】

画素共有ユニット539は、図4を参照して説明したように、複数の画素541のそれぞれに設けられたフローティングディフュージョンFDの間を電氣的に接続し、これら複数の画素541が1つの画素回路210を共有する構造を有している。そして、前記フローティングディフュージョンFD間の電氣的接続は、第1基板100に設けられたパッド部120によってなされている（図6，図7B）。第1基板100に設けられた電氣的接続部（パッド部120）と第2基板200に設けられた画素回路210は、1つの貫通電極120Eを介して電氣的に接続されている。別の構造例として、フローティングディフュージョンFD間の電氣的接続部を第2基板200に設けることも考え得る。この場合、画素共有ユニット539には、フローティングディフュージョンFD1，FD2，FD3，FD4各々に接続される4つの貫通電極が設けられる。したがって、第2基板200において、半導体層200Sを貫通する貫通電極の数が増え、これら貫通電極の周囲を絶縁する絶縁領域212が大きくなる。これに比べ、第1基板100にパッド部120を設ける構造（図6，図7B）は、貫通電極の数を減らし、絶縁領域212を小さくすることができる。よって、半導体層200Sにおける半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

【0077】

素子分離領域213は、半導体層200Sの表面側に設けられている。素子分離領域213は、STI（Shallow Trench Isolation）構造を有している。この素子分離領域213では、半導体層200Sが厚み方向（第2基板200の主面に対して垂直方向）に掘

10

20

30

40

50

り込まれており、この掘り込みに絶縁膜が埋め込まれている。この絶縁膜は、例えば、酸化シリコンにより構成されている。素子分離領域 213 は、画素回路 210 を構成する複数のトランジスタ間を、画素回路 210 のレイアウトに応じて素子分離するものである。素子分離領域 213 の下方（半導体層 200S の深部）には、半導体層 200S（具体的には、ウェル領域 211）が延在している。

【0078】

ここで、図 7A、図 7B および図 8 を参照して、第 1 基板 100 での画素共有ユニット 539 の外形形状（基板平面方向の外形形状）と、第 2 基板 200 での画素共有ユニット 539 の外形形状との違いを説明する。

【0079】

撮像装置 1 では、第 1 基板 100 および第 2 基板 200 の両方にわたり、画素共有ユニット 539 が設けられている。例えば、第 1 基板 100 に設けられた画素共有ユニット 539 の外形形状と、第 2 基板 200 に設けられた画素共有ユニット 539 の外形形状とは互いに異なっている。

【0080】

図 7A、図 7B では、画素 541A、541B、541C、541D の外形線を一点鎖線で表し、画素共有ユニット 539 の外形形状を太線で表している。例えば、第 1 基板 100 の画素共有ユニット 539 は、H 方向に隣接して配置された 2 つの画素 541（画素 541A、541B）と、これに V 方向に隣接して配置された 2 つの画素 541（画素 541C、541D）により構成されている。即ち、第 1 基板 100 の画素共有ユニット 539 は、隣接する 2 行 × 2 列の 4 つの画素 541 により構成されており、第 1 基板 100 の画素共有ユニット 539 は、略正方形の外形形状を有している。画素アレイ部 540 では、このような画素共有ユニット 539 が、H 方向へ 2 画素ピッチ（画素 541 の 2 個分に相当するピッチ）、かつ、V 方向へ 2 画素ピッチ（画素 541 の 2 個分に相当するピッチ）、で隣接して配列されている。

【0081】

図 8 および図 9 では、画素 541A、541B、541C、541D の外形線を一点鎖線で表し、画素共有ユニット 539 の外形形状を太線で表している。例えば、第 2 基板 200 の画素共有ユニット 539 の外形形状は、H 方向において第 1 基板 100 の画素共有ユニット 539 よりも小さく、V 方向において第 1 基板 100 の画素共有ユニット 539 よりも大きくなっている。例えば、第 2 基板 200 の画素共有ユニット 539 は、H 方向には画素 1 個分に相当する大きさ（領域）で形成され、V 方向には、画素 4 個分に相当する大きさで形成されている。即ち、第 2 基板 200 の画素共有ユニット 539 は、隣接する 1 行 × 4 列に配列された画素に相当する大きさで形成されており、第 2 基板 200 の画素共有ユニット 539 は、略長方形の外形形状を有している。

【0082】

例えば、各画素回路 210 では、選択トランジスタ SEL、増幅トランジスタ AMP、リセットトランジスタ RST および FD 変換ゲイン切替トランジスタ FDG がこの順に V 方向に並んで配置されている（図 8）。各画素回路 210 の外形形状を、上記のように、略長形状に設けることにより、一方向（図 8 では V 方向）に 4 つのトランジスタ（選択トランジスタ SEL、増幅トランジスタ AMP、リセットトランジスタ RST および FD 変換ゲイン切替トランジスタ FDG）を並べて配置することができる。これにより、増幅トランジスタ AMP のドレインと、リセットトランジスタ RST のドレインとを一の拡散領域（電源線 VDD に接続される拡散領域）で共有することができる。例えば、各画素回路 210 の形成領域を略正方形に設けることも可能である（後述の図 33 参照）。この場合には、一方向に沿って 2 つのトランジスタが配置され、増幅トランジスタ AMP のドレインと、リセットトランジスタ RST のドレインとを一の拡散領域で共有することが困難となる。よって、画素回路 210 の形成領域を略長形状に設けることにより、4 つのトランジスタを近接して配置しやすくなり、画素回路 210 の形成領域を小さくすることができる。即ち、画素の微細化を行うことができる。また、画素回路 210 の形成領域を

10

20

30

40

50

小さくすることが不要であるときには、増幅トランジスタAMPの形成領域を大きくし、ノイズを抑えることが可能となる。

【0083】

例えば、半導体層200Sの表面近傍には、選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGに加えて、基準電位線VSSに接続されるVSSコンタクト領域218が設けられている。VSSコンタクト領域218は、例えば、p型半導体領域により構成されている。VSSコンタクト領域218は、配線層200Tの配線および貫通電極121Eを介して第1基板100（半導体層100S）のVSSコンタクト領域118に電氣的に接続されている。このVSSコンタクト領域218は、例えば、素子分離領域213を間にして、FD変換ゲイン切替トランジスタFDGのソースと隣り合う位置に設けられている（図8）。

10

【0084】

次に、図7Bおよび図8を参照して、第1基板100に設けられた画素共有ユニット539と第2基板200に設けられた画素共有ユニット539との位置関係を説明する。例えば、第1基板100のV方向に並ぶ2つの画素共有ユニット539のうち、一方（例えば図7Bの紙面上側）の画素共有ユニット539は、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち一方（例えば、図8の紙面左側）の画素共有ユニット539に接続されている。例えば、第1基板100のV方向に並ぶ2つの画素共有ユニット539のうち、他方（例えば図7Bの紙面下側）の画素共有ユニット539は、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち他方（例えば、図8の紙面右側）の画素共有ユニット539に接続されている。

20

【0085】

例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539では、一方の画素共有ユニット539の内部レイアウト（トランジスタ等の配置）が、他方の画素共有ユニット539の内部レイアウトをV方向およびH方向に反転させたレイアウトに略等しくなっている。以下、このレイアウトによって得られる効果を説明する。

【0086】

第1基板100のV方向に並ぶ2つの画素共有ユニット539では、各々のパッド部120が、画素共有ユニット539の外形形状の中央部、即ち、画素共有ユニット539のV方向およびH方向の中央部に配置される（図7B）。一方、第2基板200の画素共有ユニット539は、上記のように、V方向に長い略長方形の外形形状を有しているので、例えば、パッド部120に接続される増幅トランジスタAMPは、画素共有ユニット539のV方向の中央から紙面上方にずれた位置に配置されている。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトが同じであるとき、一方の画素共有ユニット539の増幅トランジスタAMPと、パッド部120（例えば、図7Bの紙面上側の画素共有ユニット539のパッド部120）との距離は比較的短くなる。しかし、他方の画素共有ユニット539の増幅トランジスタAMPと、パッド部120（例えば、図7Bの紙面下側の画素共有ユニット539のパッド部120）との距離が長くなる。このため、この増幅トランジスタAMPとパッド部120との接続に要する配線の面積が大きくなり、画素共有ユニット539の配線レイアウトが複雑になるおそれがある。このことは、撮像装置1の微細化に影響を及ぼす可能性がある。

30

40

【0087】

これに対して、第2基板200のH方向に並ぶ2つの画素共有ユニット539で、互いの内部レイアウトを少なくともV方向に反転させることにより、これら2つの画素共有ユニット539の両方の増幅トランジスタAMPとパッド部120との距離を短くすることができる。したがって、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトを同じにした構成と比べて、撮像装置1の微細化を行いやすくなる。なお、第2基板200の複数の画素共有ユニット539各々の平面レイアウトは、図8に記載の範囲では左右対称であるが、後述する図9に記載の第1配線層W1のレイアウトまで含めると、左右非対称のものとなる。

50

【 0 0 8 8 】

また、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の内部レイアウトは、互いに、H 方向にも反転されていることが好ましい。以下、この理由について説明する。図 9 に示したように、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 はそれぞれ、第 1 基板 1 0 0 のパッド部 1 2 0 , 1 2 1 に接続されている。例えば、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の H 方向の中央部（H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の間）にパッド部 1 2 0 , 1 2 1 が配置されている。したがって、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の内部レイアウトを、互いに、H 方向にも反転させることにより、第 2 基板 2 0 0 の複数の画素共有ユニット 5 3 9 それぞれとパッド部 1 2 0 , 1 2 1 との距離を小さくすることができる。即ち、撮像装置 1 の微細化を更に行いやすくなる。

10

【 0 0 8 9 】

また、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の外形線の位置は、第 1 基板 1 0 0 の画素共有ユニット 5 3 9 のいずれかの外形線の位置に揃っていなくてもよい。例えば、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうち、一方（例えば図 9 の紙面左側）の画素共有ユニット 5 3 9 では、V 方向の一方（例えば図 9 の紙面上側）の外形線が、対応する第 1 基板 1 0 0 の画素共有ユニット 5 3 9（例えば図 7 B の紙面上側）の V 方向の一方の外形線の外側に配置されている。また、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうち、他方（例えば図 9 の紙面右側）の画素共有ユニット 5 3 9 では、V 方向の他方（例えば図 9 の紙面下側）の外形線が、対応する第 1 基板 1 0 0 の画素共有ユニット 5 3 9（例えば図 7 B の紙面下側）の V 方向の他方の外形線の外側に配置されている。このように、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 と、第 1 基板 1 0 0 の画素共有ユニット 5 3 9 とを互いに配置することにより、増幅トランジスタ AMP とパッド部 1 2 0 との距離を短くすることが可能となる。したがって、撮像装置 1 の微細化を行いやすくなる。

20

【 0 0 9 0 】

また、第 2 基板 2 0 0 の複数の画素共有ユニット 5 3 9 の間で、互いの外形線の位置は揃っていなくてもよい。例えば、第 2 基板 2 0 0 の H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 は、V 方向の外形線の位置がずれて配置されている。これにより、増幅トランジスタ AMP とパッド部 1 2 0 との距離を短くすることが可能となる。したがって、撮像装置 1 の微細化を行いやすくなる。

30

【 0 0 9 1 】

図 7 B および図 9 を参照して、画素アレイ部 5 4 0 での画素共有ユニット 5 3 9 の繰り返し配置について説明する。第 1 基板 1 0 0 の画素共有ユニット 5 3 9 は、H 方向に 2 つ分の画素 5 4 1 の大きさ、および V 方向に 2 つ分の画素 5 4 1 の大きさを有している（図 7 B）。例えば、第 1 基板 1 0 0 の画素アレイ部 5 4 0 では、この 4 つの画素 5 4 1 に相当する大きさの画素共有ユニット 5 3 9 が、H 方向へ 2 画素ピッチ（画素 5 4 1 の 2 つ分に相当するピッチ）、かつ、V 方向へ 2 画素ピッチ（画素 5 4 1 の 2 つ分に相当するピッチ）、で隣接して繰り返し配列されている。あるいは、第 1 基板 1 0 0 の画素アレイ部 5 4 0 に、画素共有ユニット 5 3 9 が V 方向に 2 つ隣接して配置された一対の画素共有ユニット 5 3 9 が設けられていてもよい。第 1 基板 1 0 0 の画素アレイ部 5 4 0 では、例えば、この一対の画素共有ユニット 5 3 9 が、H 方向へ 2 画素ピッチ（画素 5 4 1 の 2 つ分に相当するピッチ）、かつ、V 方向へ 4 画素ピッチ（画素 5 4 1 の 4 つ分に相当するピッチ）、で隣接して繰り返し配列している。第 2 基板 2 0 0 の画素共有ユニット 5 3 9 は、H 方向に 1 つ分の画素 5 4 1 の大きさ、および V 方向に 4 つ分の画素 5 4 1 の大きさを有している（図 9）。例えば、第 2 基板 2 0 0 の画素アレイ部 5 4 0 には、この 4 つの画素 5 4 1 に相当する大きさの画素共有ユニット 5 3 9 を 2 つ含む、一対の画素共有ユニット 5 3 9 が設けられている。この画素共有ユニット 5 3 9 は、H 方向に隣接して配置され、かつ、V 方向にはずらして配置されている。第 2 基板 2 0 0 の画素アレイ部 5 4 0 では、例えば、この一対の画素共有ユニット 5 3 9 が、H 方向へ 2 画素ピッチ（画素 5 4 1 の 2 個

40

50

分に相当するピッチ)、かつ、V方向へ4画素ピッチ(画素541の4個分に相当するピッチ)、で隙間なく隣接して繰り返し配列されている。このような画素共有ユニット539の繰り返し配置により、画素共有ユニット539を隙間なく配置することが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

【0092】

増幅トランジスタAMPは、例えば、プレーナー構造を有していてもよいが、例えば、チャンネル領域が凹凸構造を有する、Fin型等の三次元構造(例えば、Fin-FET(Field-Effect Transistor)、Tri-Gate FETまたはダブルゲートFET)を有していることが好ましい(図6)。これにより、実効のゲート幅の大きさが大きくなり、ノイズを抑えることが可能となる。選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGは、例えば、プレーナー構造を有している。増幅トランジスタAMPがプレーナー構造を有していてもよい。あるいは、選択トランジスタSEL、リセットトランジスタRSTまたはFD変換ゲイン切替トランジスタFDGが、三次元構造を有していてもよい。

10

【0093】

配線層200Tは、例えば、パッシベーション膜221、層間絶縁膜222および複数の配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)を含んでいる。パッシベーション膜221は、例えば、半導体層200Sの表面に接しており、半導体層200Sの表面全面を覆っている。このパッシベーション膜221は、選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDG各々のゲート電極を覆っている。層間絶縁膜222は、パッシベーション膜221と第3基板300との間に設けられている。この層間絶縁膜222により、複数の配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)が分離されている。層間絶縁膜222は、例えば、酸化シリコンにより構成されている。

20

【0094】

配線層200Tには、例えば、半導体層200S側から、第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4およびコンタクト部201、202がこの順に設けられ、これらが互いに層間絶縁膜222により絶縁されている。層間絶縁膜222には、第1配線層W1、第2配線層W2、第3配線層W3または第4配線層W4と、これらの下層とを接続する接続部が複数設けられている。接続部は、層間絶縁膜222に設けた接続孔に、導電材料を埋設した部分である。例えば、層間絶縁膜222には、第1配線層W1と半導体層200SのVSSコンタクト領域218とを接続する接続部218Vが設けられている。例えば、このような第2基板200の素子同士を接続する接続部の孔径は、貫通電極120E、121Eおよび貫通電極TGVの孔径と異なっている。具体的には、第2基板200の素子同士を接続する接続孔の孔径は、貫通電極120E、121Eおよび貫通電極TGVの孔径よりも小さくなっていることが好ましい。以下、この理由について説明する。配線層200T内に設けられた接続部(接続部218V等)の深さは、貫通電極120E、121Eおよび貫通電極TGVの深さよりも小さい。このため接続部は、貫通電極120E、121Eおよび貫通電極TGVに比べて、容易に接続孔へ導電材を埋めることができる。この接続部の孔径を、貫通電極120E、121Eおよび貫通電極TGVの孔径よりも小さくすることにより、撮像装置1の微細化を行いやすくなる。

30

40

【0095】

例えば、第1配線層W1により、貫通電極120Eと増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソース(具体的にはFD変換ゲイン切替トランジスタFDGのソースに達する接続孔)とが接続されている。第1配線層W1は、例えば、貫通電極121Eと接続部218Vとを接続しており、これにより、半導体層200SのVSSコンタクト領域218と半導体層100SのVSSコンタクト領域118とが電氣的に接続される。

【0096】

50

次に、図10～図12を用いて、配線層200Tの平面構成について説明する。図10は、第1配線層W1および第2配線層W2の平面構成の一例を表したものである。図11は、第2配線層W2および第3配線層W3の平面構成の一例を表したものである。図12は、第3配線層W3および第4配線層W4の平面構成の一例を表したものである。

【0097】

例えば、第3配線層W3は、H方向（行方向）に延在する配線TRG1, TRG2, TRG3, TRG4, SELL, RSTL, FDGLを含んでいる（図11）。これらの配線は、図4を参照して説明した複数の行駆動信号線542に該当する。配線TRG1, TRG2, TRG3, TRG4は各々、転送ゲートTG1, TG2, TG3, TG4に駆動信号を送るためのものである。配線TRG1, TRG2, TRG3, TRG4は各々、第2配線層W2、第1配線層W1および貫通電極120Eを介して転送ゲートTG1, TG2, TG3, TG4に接続されている。配線SELLは選択トランジスタSELのゲートに、配線RSTLはリセットトランジスタRSTのゲートに、配線FDGLは、FD変換ゲイン切替トランジスタFDGのゲートに各々駆動信号を送るためのものである。配線SELL, RSTL, FDGLは各々、第2配線層W2、第1配線層W1および接続部を介して、選択トランジスタSEL, リセットトランジスタRST, FD変換ゲイン切替トランジスタFDG各々のゲートに接続されている。

10

【0098】

例えば、第4配線層W4は、V方向（列方向）に延在する電源線VDD、基準電位線VSSおよび垂直信号線543を含んでいる（図12）。電源線VDDは、第3配線層W3、第2配線層W2、第1配線層W1および接続部を介して増幅トランジスタAMPのドレインおよびリセットトランジスタRSTのドレインに接続されている。基準電位線VSSは、第3配線層W3、第2配線層W2、第1配線層W1および接続部218Vを介してVSSコンタクト領域218に接続されている。また、基準電位線VSSは、第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121Eおよびパッド部121を介して第1基板100のVSSコンタクト領域118に接続されている。垂直信号線543は、第3配線層W3、第2配線層W2、第1配線層W1および接続部を介して選択トランジスタSELのソース（Vout）に接続されている。

20

【0099】

コンタクト部201, 202は、平面視で画素アレイ部540に重なる位置に設けられていてもよく（例えば、図3）、あるいは、画素アレイ部540の外側の周辺部540Bに設けられていてもよい（例えば、図6）。コンタクト部201, 202は、第2基板200の表面（配線層200T側の面）に設けられている。コンタクト部201, 202は、例えば、Cu（銅）およびAl（アルミニウム）などの金属により構成されている。コンタクト部201, 202は、配線層200Tの表面（第3基板300側の面）に露出している。コンタクト部201, 202は、第2基板200と第3基板300との電気的な接続および、第2基板200と第3基板300との貼り合わせに用いられる。

30

【0100】

図6には、第2基板200の周辺部540Bに周辺回路を設けた例を図示した。この周辺回路は、行駆動部520の一部または列信号処理部550の一部等を含んでいてもよい。また、図3に記載のように、第2基板200の周辺部540Bには周辺回路を配置せず、接続孔部H1, H2を画素アレイ部540の近傍に配置するようにしてもよい。

40

【0101】

図13Aは、本実施の形態の撮像装置1の要部である第1基板100と第2基板200との貫通配線を介した電気的な接続部およびその近傍の断面構成を模式的に表している。図13Aでは、一例として、第1基板のフローティングディフュージョンFD（具体的には、複数のフローティングディフュージョンFDを接続するパッド部120）と、第2基板200の画素回路210とを電気的に接続する貫通電極120Eおよびその近傍に配置された、例えば増幅トランジスタAMP近傍の構成を表している。図13Bは、図13Aに示した第2基板200の主面に対して水平方向の平面構成の一例を模式的に表している

50

。本実施の形態では、貫通電極 120E 等の絶縁領域 212 に配置された貫通配線と、増幅トランジスタ AMP 等の画素回路 210 を構成する各トランジスタが設けられた半導体層 200S との間には、シールド電極 220 が設けられている。このシールド電極 220 が、本開示の「導電膜」の一具体例に相当する。

【0102】

シールド電極 220 は、画素回路 210 を構成する各トランジスタに対する、貫通配線に印加されるバイアスの影響を低減するためのものである。シールド電極 220 は、絶縁領域 212 に配置された貫通配線と、画素回路 210 を構成する各トランジスタとの間、例えば、貫通電極 120E と、増幅トランジスタ AMP との間に設けられている。

【0103】

具体的には、シールド電極 220 は、貫通電極 120E と増幅トランジスタ AMP との間の絶縁領域 212 に設けられている。シールド電極 220 の一端（下端）は、絶縁領域 212 を貫通し、第 1 基板 100 の層間絶縁膜 123 内に設けられている。具体的には、シールド電極 220 の下端は、例えば、貫通電極 120E と同じ深さ、即ち、パッド部 120 の上面と同じ高さに位置している。シールド電極 220 の他端（上端）は、第 2 基板 200 の配線層 200T 内まで延在しており、例えば、第 1 配線層 W1 と接している。シールド電極 220 に接する第 1 配線層 W1 は、例えば、グランド（GND）電極に接続されており、これにより、シールド電極 220 には固定電位が印加されるようになっている。

【0104】

例えば、図 13B に示したように、貫通電極 120E が半導体層 200S を跨ぐ増幅トランジスタ AMP のゲート G の中心線 A の延長線上に配置されている場合には、シールド電極 220 は、少なくとも、水平方向においてゲート G と貫通電極 120E との間を分断するように形成することが好ましい。また、シールド電極 220 は、少なくとも、垂直方向において増幅トランジスタ AMP のゲート G の上面から半導体層 200S の裏面（面 S2）にまで形成することが好ましい。

【0105】

図 14 は、シールド電極 220 を設けていない場合の、例えば増幅トランジスタ AMP の $I_d - V_{gs}$ 特性を表したものである。シールド電極 220 を設けていない場合に貫通配線（例えば、貫通電極 TGV）に +3.0V のバイアスを印加すると、バイアスを印加していない状態（オフ状態：-2V）と比較して、ドレインからソースに電流が流れている。即ち、貫通電極 TGV にバイアスが印加されると、リーク電流が発生することがわかる。

【0106】

図 15 は、貫通電極 TGV と増幅トランジスタ AMP との間にシールド電極 220 を設けた場合の、例えば増幅トランジスタ AMP の $I_d - V_{gs}$ 特性を表したものである。貫通電極 TGV と増幅トランジスタ AMP との間にシールド電極 220 を設けた場合には、貫通電極 TGV に +3.0V のバイアスを印加した状態でも、オフ状態の $I_d - V_{gs}$ 特性と変わらない特性を示している。即ち、貫通電極 TGV と増幅トランジスタ AMP との間にシールド電極 220 を設けることで、貫通電極 TGV に印加されるバイアスの影響によるトランジスタ特性の変動を防ぐことができる。

【0107】

シールド電極 220 は、例えば、貫通電極 120E と同じ材料、例えば、銅（Cu）やタングステン（W）を用いて形成することができる。これにより、シールド電極 220 を、貫通電極 120E の形成する際に、同時に形成することができる。また、シールド電極 220 は、導電性を有し、さらに耐熱性の高い材料（例えば、600 以上、より好ましくは、850 以上）であれば、貫通電極 120E とは異なる材料を用いることができる。シールド電極 220 の材料としては、例えば、グラフェンおよび遷移金属ジカルコゲナイド（TMD）等の 2 次元材料やポリシリコン（Poly Si）が挙げられる。

【0108】

なお、本実施の形態では、一例として、貫通電極 120E と増幅トランジスタ AMP と

10

20

30

40

50

の間にシールド電極 2 2 0 を設けた例を示したが、本技術は、図 1 5 に示したように、その他の貫通配線（例えば、貫通電極 1 2 1 E および貫通電極 T G V）と、その他の画素回路 2 1 0 を構成するトランジスタ（例えば、リセットトランジスタ R S T、選択トランジスタ S E L および F D 変換ゲイン切替トランジスタ F D G）との間にも適用でき、同様の効果を得ることができる。

【 0 1 0 9 】

第 3 基板 3 0 0 は、例えば、第 2 基板 2 0 0 側から配線層 3 0 0 T および半導体層 3 0 0 S をこの順に有している。例えば、半導体層 3 0 0 S の表面は、第 2 基板 2 0 0 側に設けられている。半導体層 3 0 0 S は、シリコン基板で構成されている。この半導体層 3 0 0 S の表面側の部分には、回路が設けられている。具体的には、半導体層 3 0 0 S の表面側の部分には、例えば、入力部 5 1 0 A、行駆動部 5 2 0、タイミング制御部 5 3 0、列信号処理部 5 5 0、画像信号処理部 5 6 0 および出力部 5 1 0 B のうちの少なくとも一部が設けられている。半導体層 3 0 0 S と第 2 基板 2 0 0 との間に設けられた配線層 3 0 0 T は、例えば、層間絶縁膜と、この層間絶縁膜により分離された複数の配線層と、コンタクト部 3 0 1、3 0 2 とを含んでいる。コンタクト部 3 0 1、3 0 2 は、配線層 3 0 0 T の表面（第 2 基板 2 0 0 側の面）に露出されており、コンタクト部 3 0 1 は第 2 基板 2 0 0 のコンタクト部 2 0 1 に、コンタクト部 3 0 2 は第 2 基板 2 0 0 のコンタクト部 2 0 2 に各々接している。コンタクト部 3 0 1、3 0 2 は、半導体層 3 0 0 S に形成された回路（例えば、入力部 5 1 0 A、行駆動部 5 2 0、タイミング制御部 5 3 0、列信号処理部 5 5 0、画像信号処理部 5 6 0 および出力部 5 1 0 B の少なくともいずれか）に電気的に接続されている。コンタクト部 3 0 1、3 0 2 は、例えば、C u（銅）およびアルミニウム（A l）等の金属により構成されている。例えば、接続孔部 H 1 を介して外部端子 T A が入力部 5 1 0 A に接続されており、接続孔部 H 2 を介して外部端子 T B が出力部 5 1 0 B に接続されている。

【 0 1 1 0 】

ここで、撮像装置 1 の特徴について説明する。

【 0 1 1 1 】

一般に、撮像装置は、主な構成として、フォトダイオードと画素回路とからなる。ここで、フォトダイオードの面積を大きくすると光電変換の結果発生する電荷が増加し、その結果画素信号のシグナル / ノイズ比（S / N 比）が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。一方、画素回路に含まれるトランジスタのサイズ（特に増幅トランジスタのサイズ）を大きくすると、画素回路で発生するノイズが減少し、その結果撮像信号の S / N 比が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。

【 0 1 1 2 】

しかし、フォトダイオードと画素回路とを同一の半導体基板に設けた撮像装置において、半導体基板の限られた面積の中でフォトダイオードの面積を大きくすると、画素回路に備わるトランジスタのサイズが小さくなってしまふことが考えられる。また、画素回路に備わるトランジスタのサイズを大きくすると、フォトダイオードの面積が小さくなってしまふことが考えられる。

【 0 1 1 3 】

これらの課題を解決するために、例えば、本実施の形態の撮像装置 1 は、複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有し、かつ、共有した画素回路 2 1 0 をフォトダイオード P D に重畳して配置する構造を用いる。これにより、半導体基板の限られた面積の中で、フォトダイオード P D の面積をできるだけ大きくすることと、画素回路 2 1 0 に備わるトランジスタのサイズをできるだけ大きくすることとを実現することができる。これにより、画素信号の S / N 比を改善し、撮像装置 1 がよりよい画像データ（画像情報）を出力することができる。

【 0 1 1 4 】

複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有し、これをフォトダイオード P D に重

10

20

30

40

50

置して配置する構造を実現する際、複数の画素 5 4 1 各々のフローティングディフュージョン F D から 1 つの画素回路 2 1 0 に接続される複数の配線が延在する。画素回路 2 1 0 を形成する半導体層 2 0 0 S の面積を大きく確保するためには、例えばこれらの延在する複数の配線の間を相互に接続し、1 つにまとめる接続配線を形成することができる。V S S コンタクト領域 1 1 8 から延在する複数の配線についても同様に、延在する複数の配線の間を相互に接続し、1 つにまとめる接続配線を形成することができる。

【 0 1 1 5 】

例えば、複数の画素 5 4 1 各々のフローティングディフュージョン F D から延在する複数の配線の間を相互に接続する接続配線を、画素回路 2 1 0 を形成する半導体層 2 0 0 S において形成すると、画素回路 2 1 0 に含まれるトランジスタを形成する面積が小さくなってしまふことが考えられる。同様に、複数の画素 5 4 1 各々の V S S コンタクト領域 1 1 8 から延在する複数の配線の間を相互接続して 1 つにまとめる接続配線を、画素回路 2 1 0 を形成する半導体層 2 0 0 S に形成すると、これにより画素回路 2 1 0 に含まれるトランジスタを形成する面積が小さくなってしまふことが考えられる。

10

【 0 1 1 6 】

これらの課題を解決するために、例えば本実施の形態の撮像装置 1 は、複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有し、かつ、共有した画素回路 2 1 0 をフォトダイオード P D に重畳して配置する構造であって、前記複数の画素 5 4 1 各々のフローティングディフュージョン F D の間を相互に接続して 1 つにまとめる接続配線と、前記複数の画素 5 4 1 のそれぞれに備わる V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線と、を第 1 基板 1 0 0 に設けた構造を備えることができる。

20

【 0 1 1 7 】

ここで、前記複数の画素 5 4 1 各々のフローティングディフュージョン F D の間を相互に接続して 1 つにまとめる接続配線と、前記複数の画素 5 4 1 各々の V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線とを、第 1 基板 1 0 0 に設けるための製造方法として、先に述べた第 2 の製造方法を用いると、例えば、第 1 基板 1 0 0 および第 2 基板 2 0 0 各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。また、容易なプロセスで第 1 基板 1 0 0 および第 2 基板 2 0 0 の接続配線を形成することができる。具体的には、上記第 2 の製造方法を用いる場合、第 1 基板 1 0 0 と第 2 基板 2 0 0 の貼り合せ境界面となる第 1 基板 1 0 0 の表面と第 2 基板 2 0 0 の表面とに、フローティングディフュージョン F D に接続する電極と V S S コンタクト領域 1 1 8 に接続する電極とをそれぞれ設ける。さらに、第 1 基板 1 0 0 と第 2 基板 2 0 0 を貼り合せた際にこれら 2 つの基板表面に設けた電極間で位置ずれが発生してもこれら 2 つの基板表面に形成した電極同士が接触するように、これら 2 つの基板表面に形成する電極を大きくすることが好ましい。この場合、撮像装置 1 に備わる各画素の限られた面積の中に上記電極を配置することが難しくなってしまうことが考えられる。

30

【 0 1 1 8 】

第 1 基板 1 0 0 と第 2 基板 2 0 0 の貼り合せ境界面に大きな電極が必要となる課題を解決するために、例えば本実施の形態の撮像装置 1 は、複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有し、かつ、共有した画素回路 2 1 0 をフォトダイオード P D に重畳して配置する製造方法として、先に述べた第 1 の製造方法を用いることができる。これにより、第 1 基板 1 0 0 および第 2 基板 2 0 0 各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。さらに、この製造方法を用いることによって生じる固有の構造を備えることができる。すなわち、第 1 基板 1 0 0 の半導体層 1 0 0 S と配線層 1 0 0 T と第 2 基板 2 0 0 の半導体層 2 0 0 S と配線層 2 0 0 T をこの順で積層した構造、言い換えれば、第 1 基板 1 0 0 と第 2 基板 2 0 0 をフェイストゥーバックで積層した構造を備え、かつ、第 2 基板 2 0 0 の半導体層 2 0 0 S の表面側から、半導体層 2 0 0 S と第 1 基板 1 0 0 の配線層 1 0 0 T を貫通して、第 1 基板 1 0 0 の半導体層 1 0 0 S の表面へと至る、貫通電極 1 2 0 E , 1 2 1 E を備える。

40

50

【 0 1 1 9 】

前記複数の画素 5 4 1 各々のフローティングディフュージョン F D の間を相互に接続して 1 つにまとめる接続配線と、前記複数の画素 5 4 1 各々の V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線と、を第 1 基板 1 0 0 に設けた構造において、この構造と第 2 基板 2 0 0 とを前記第 1 の製造方法を用いて積層し第 2 基板 2 0 0 に画素回路 2 1 0 を形成すると、画素回路 2 1 0 に備わる能動素子を形成する際に必要となる加熱処理の影響が、第 1 基板 1 0 0 に形成した上記接続配線に及んでしまう可能性がある。

【 0 1 2 0 】

そこで、上記接続配線に対して、上記能動素子を形成する際の加熱処理の影響が及んでしまう課題を解決するために、本実施の形態の撮像装置 1 は、前記複数の画素 5 4 1 各々のフローティングディフュージョン F D 同士を相互に接続して 1 つにまとめる接続配線と、前記複数の画素 5 4 1 各々の V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線と、に耐熱性の高い導電材料を用いることが望ましい。具体的には、耐熱性の高い導電材料は、第 2 基板 2 0 0 の配線層 2 0 0 T に含まれる配線材の少なくとも一部よりも、融点の高い材料を用いることができる。

10

【 0 1 2 1 】

このように、例えば本実施の形態の撮像装置 1 は、(1) 第 1 基板 1 0 0 と第 2 基板 2 0 0 をフェイストゥバックで積層した構造(具体的には、第 1 基板 1 0 0 の半導体層 1 0 0 S と配線層 1 0 0 T と第 2 基板 2 0 0 の半導体層 2 0 0 S と配線層 2 0 0 T をこの順で積層する構造) と、(2) 第 2 基板 2 0 0 の半導体層 2 0 0 S の表面側から、半導体層 2 0 0 S と第 1 基板 1 0 0 の配線層 1 0 0 T を貫通して、第 1 基板 1 0 0 の半導体層 1 0 0 S の表面へと至る、貫通電極 1 2 0 E , 1 2 1 E を設けた構造と、(3) 複数の画素 5 4 1 のそれぞれに備わるフローティングディフュージョン F D の間を相互に接続して 1 つにまとめる接続配線と、複数の画素 5 4 1 のそれぞれに備わる V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線と、を耐熱性の高い導電材料で形成した構造と、を備えることで、第 1 基板 1 0 0 と第 2 基板 2 0 0 との界面に大きな電極を備えることなく、第 1 基板 1 0 0 に、複数の画素 5 4 1 のそれぞれに備わるフローティングディフュージョン F D の間を相互に接続して 1 つにまとめる接続配線と、複数の画素 5 4 1 のそれぞれに備わる V S S コンタクト領域 1 1 8 の間を相互に接続して 1 つにまとめる接続配線と、を設けることを可能としている。

20

30

【 0 1 2 2 】

[撮像装置 1 の動作]

次に、図 1 6 および図 1 7 を用いて撮像装置 1 の動作について説明する。図 1 6 および図 1 7 は、図 3 に各信号の経路を表す矢印を追記したものである。図 1 6 は、外部から撮像装置 1 に入力される入力信号と、電源電位および基準電位の経路を矢印で表したものである。図 1 7 は、撮像装置 1 から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部 5 1 0 A を介して撮像装置 1 に入力された入力信号(例えば、画素クロックおよび同期信号) は、第 3 基板 3 0 0 の行駆動部 5 2 0 へ伝送され、行駆動部 5 2 0 で行駆動信号が作り出される。この行駆動信号は、コンタクト部 3 0 1 , 2 0 1 を介して第 2 基板 2 0 0 に送られる。更に、この行駆動信号は、配線層 2 0 0 T 内の行駆動信号線 5 4 2 を介して、画素アレイ部 5 4 0 の画素共有ユニット 5 3 9 各々に到達する。第 2 基板 2 0 0 の画素共有ユニット 5 3 9 に到達した行駆動信号のうち、転送ゲート T G 以外の駆動信号は画素回路 2 1 0 に入力されて、画素回路 2 1 0 に含まれる各トランジスタが駆動される。転送ゲート T G の駆動信号は貫通電極 T G V を介して第 1 基板 1 0 0 の転送ゲート T G 1 , T G 2 , T G 3 , T G 4 に入力され、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D が駆動される(図 1 6)。また、撮像装置 1 の外部から、第 3 基板 3 0 0 の入力部 5 1 0 A (入力端子 5 1 1) に供給された電源電位および基準電位は、コンタクト部 3 0 1 , 2 0 1 を介して第 2 基板 2 0 0 に送られ、配線層 2 0 0 T 内の配線を介して、画素共有ユニット 5 3 9 各々の画素回路 2 1 0 に供給される。基準電位は、さらに貫通電極

40

50

121Eを介して、第1基板100の画素541A, 541B, 541C, 541Dへも供給される。一方、第1基板100の画素541A, 541B, 541C, 541Dで光電変換された画素信号は、貫通電極120Eを介して画素共有ユニット539毎に第2基板200の画素回路210に送られる。この画素信号に基づく画素信号は、画素回路210から垂直信号線543およびコンタクト部202, 302を介して第3基板300に送られる。この画素信号は、第3基板300の列信号処理部550および画像信号処理部560で処理された後、出力部510Bを介して外部に出力される。

【0123】

[効果]

本実施の形態では、絶縁領域212を厚み方向に貫通する貫通配線（例えば、貫通電極120E）と、画素回路210を構成するトランジスタ（例えば、増幅トランジスタAMP）との間に、固定電位（例えば、グランド電極）に接続されたシールド電極220を設けるようにした。これにより、増幅トランジスタAMPに対する貫通電極120Eからの電界の影響が遮蔽される。

10

【0124】

複数のセンサ画素を有する半導体基板と、各センサ画素で得られた信号を処理する信号処理回路を有する半導体基板とが互いに積層された3次元構造の撮像装置では、信号処理回路を構成するトランジスタの近傍に貫通配線が配置される。このため、信号処理回路を構成するトランジスタは、貫通配線に印加されるバイアスの影響をチャンネル部に受けて、貫通配線がない場合と比較してリーク電流が増加する（図14参照）。

20

【0125】

これに対して、本実施の形態の撮像装置1では、例えば貫通電極120Eと、画素回路210を構成する、例えば増幅トランジスタAMPとの間に、例えばグランド電極に接続されたシールド電極220を設けるようにした。これにより、貫通電極120Eの電界を遮蔽し、増幅トランジスタAMPへの影響を低減できるようになる。即ち、貫通電極120Eに印加されるバイアスの有無、あるいは変化によるトランジスタ特性の変動を低減することが可能となる。

【0126】

以上により、本実施の形態では、絶縁領域212を厚み方向に貫通する貫通配線（例えば、貫通電極120E）と、半導体層200Sに設けられたトランジスタ（例えば、増幅トランジスタAMP）との間に、固定電位に接続されたシールド電極220を設けるようにしたので、増幅トランジスタAMPに対する貫通電極120Eの電界がシールド電極220によって遮蔽される。これにより、貫通電極120Eに印加されるバイアスによる増幅トランジスタAMPのトランジスタ特性の変動が低減される。よって、高い信頼性を有する撮像装置1を提供することが可能となる。

30

【0127】

本実施の形態では、画素541A, 541B, 541C, 541D（画素共有ユニット539）と画素回路210とが互いに異なる基板（第1基板100および第2基板200）に設けられている。これにより、画素541A, 541B, 541C, 541Dおよび画素回路210を同一基板に形成した場合と比べて、画素541A, 541B, 541C, 541Dおよび画素回路210の面積を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路210のトランジスタノイズを低減することが可能となる。これらにより、画素信号のシグナル/ノイズ比を改善して、撮像装置1は、よりよい画素データ（画像情報）を出力することが可能となる。また、撮像装置1の微細化（言い換えれば、画素サイズの縮小および撮像装置1の小型化）が可能となる。撮像装置1は、画素サイズの縮小により、単位面積当たりの画素数を増加させることができ、高画質の画像を出力することができる。

40

【0128】

また、撮像装置1では、第1基板100および第2基板200が、絶縁領域212に設けられた貫通電極120E, 121Eによって互いに電氣的に接続されている。例えば、

50

第1基板100と第2基板200とをパッド電極同士の接合により接続する方法や、半導体層を貫通する貫通配線（例えばTSV（Thorough Si Via））により接続する方法も考え得る。このような方法に比べて、絶縁領域212に貫通電極120E, 121Eを設けることにより、第1基板100および第2基板200の接続に要する面積を小さくすることができる。これにより、画素サイズを縮小し、撮像装置1をより小型化することができる。また、1画素あたりの面積の更なる微細化により、解像度をより高くすることができる。チップサイズの小型化が不要なときには、画素541A, 541B, 541C, 541Dおよび画素回路210の形成領域を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路210に備わるトランジスタのノイズを低減することが可能となる。これにより、画素信号のシグナル/ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

10

【0129】

また、撮像装置1では、画素回路210と列信号処理部550および画像信号処理部560とが互いに異なる基板（第2基板200および第3基板300）に設けられている。これにより、画素回路210と列信号処理部550および画像信号処理部560とを同一基板に形成した場合と比べて、画素回路210の面積と、列信号処理部550および画像信号処理部560の面積とを拡大することができる。これにより、列信号処理部550で生じるノイズを低減したり、画像信号処理部560により高度な画像処理回路を搭載することが可能となる。よって、画素信号のシグナル/ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

20

【0130】

また、撮像装置1では、画素アレイ部540が、第1基板100および第2基板200に設けられ、かつ、列信号処理部550および画像信号処理部560が第3基板300に設けられている。また、第2基板200と第3基板300とを接続するコンタクト部201, 202, 301, 302は、画素アレイ部540の上方に形成されている。このため、コンタクト部201, 202, 301, 302は、画素アレイに備わる各種配線からレイアウト上の干渉を受けずに自由にレイアウトにすることが可能となる。これにより、第2基板200と第3基板300との電気的な接続に、コンタクト部201, 202, 301, 302を用いることが可能となる。コンタクト部201, 202, 301, 302を用いることにより、例えば、列信号処理部550および画像信号処理部560はレイアウトの自由度が高くなる。これにより、列信号処理部550で生じるノイズを低減したり、画像信号処理部560により高度な画像処理回路を搭載することが可能となる。したがって、画素信号のシグナル/ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

30

【0131】

また、撮像装置1では、画素分離部117が半導体層100Sを貫通している。これにより、1画素あたりの面積の微細化によって隣り合う画素（画素541A, 541B, 541C, 541D）の距離が近づいた場合であっても、画素541A, 541B, 541C, 541Dの間での混色を抑制できる。これにより、画素信号のシグナル/ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

40

【0132】

また、撮像装置1では、画素共有ユニット539毎に画素回路210が設けられている。これにより、画素541A, 541B, 541C, 541D各々に画素回路210を設けた場合に比べて、画素回路210を構成するトランジスタ（増幅トランジスタAMP, リセットトランジスタRST, 選択トランジスタSEL, FD変換ゲイン切替トランジスタFDG）の形成領域を大きくすることが可能となる。例えば、増幅トランジスタAMPの形成領域を大きくすることにより、ノイズを抑えることが可能となる。これにより、画素信号のシグナル/ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

【0133】

50

更に、撮像装置 1 では、4つの画素（画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D ）のフローティングディフュージョン F D （フローティングディフュージョン F D 1 , F D 2 , F D 3 , F D 4 ）を電氣的に接続するパッド部 1 2 0 が、第 1 基板 1 0 0 に設けられている。これにより、このようなパッド部 1 2 0 を第 2 基板 2 0 0 に設ける場合に比べて、第 1 基板 1 0 0 と第 2 基板 2 0 0 とを接続する貫通電極（貫通電極 1 2 0 E ）の数を減らすことができる。したがって、絶縁領域 2 1 2 を小さくし、画素回路 2 1 0 を構成するトランジスタの形成領域（半導体層 2 0 0 S ）を十分な大きさを確保することができる。これにより、画素回路 2 1 0 に備わるトランジスタのノイズを低減することが可能となり、画素信号のシグナル/ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

10

【 0 1 3 4 】

また、本実施の形態では、第 2 基板 2 0 0 に関して、画素回路 2 1 0 を構成することのできる増幅トランジスタ A M P 、リセットトランジスタ R S T 、選択トランジスタ S E L は、1つの半導体層 2 0 0 S に形成される例を示したが、少なくとも1つのトランジスタを半導体層 2 0 0 S - 1 に形成し、残りのトランジスタを半導体層 1 0 0 S および半導体層 2 0 0 S - 1 とは異なる、半導体層 2 0 0 S - 2 に形成してもよい。半導体層 2 0 0 S - 2 は、図示しないが、例えば、半導体層 2 0 0 S - 1 （半導体層 2 0 0 S に相当）上に、絶縁層、接続部および接続配線を形成し、さらに半導体層 2 0 0 S - 2 を積層する。この新たな半導体層 2 0 0 S - 2 は、層間絶縁膜 1 2 3 の半導体層 1 0 0 S に積層される面と反対側の面に積層され、所望のトランジスタを形成することができる。一例として、半導体層 2 0 0 S - 1 に増幅トランジスタ A M P を形成し、リセットトランジスタ R S T 及び/又は選択トランジスタ S E L を半導体層 2 0 0 S - 2 に形成することができる。

20

【 0 1 3 5 】

また、新たな半導体層を複数設け、それぞれに所望の画素回路 2 1 0 のトランジスタを設けても良い。一例として、半導体層 2 0 0 S - 1 に増幅トランジスタ A M P を形成することができる。さらに、半導体層 2 0 0 S に絶縁層、接続部および接続配線を積層し、さらに半導体層 2 0 0 S - 2 を積層すると、半導体層 2 0 0 S - 2 にリセットトランジスタ R S T を形成することができる。半導体層 2 0 0 S - 2 に絶縁層、接続部および接続配線を積層し、さらに半導体層 2 0 0 S - 3 を積層すると、半導体層 2 0 0 S - 3 に選択トランジスタ S E L を形成することができる。半導体層 2 0 0 S - 1 , 2 0 0 S - 2 , 2 0 0 S - 3 に形成するトランジスタは、画素回路 2 1 0 を構成するいずれのトランジスタでもよい。

30

【 0 1 3 6 】

このように、第 2 基板 2 0 0 に複数の半導体層を設ける構成により、1つの画素回路 2 1 0 が占める半導体層 2 0 0 S の面積を小さくすることができる。各画素回路 2 1 0 の面積を小さくしたり、各トランジスタを微細化することができるのであれば、チップの面積を小さくすることも可能になる。また、画素回路 2 1 0 を構成することのできる増幅トランジスタ、リセットトランジスタ、選択トランジスタのうち、所望のトランジスタの面積を拡大することができる。特に、増幅トランジスタの面積を拡大することで、ノイズ低減効果も期待できる。

40

【 0 1 3 7 】

なお、上述したように、画素回路 2 1 0 を複数の半導体層（例えば、半導体層 2 0 0 S - 1 , 2 0 0 S - 2 , 2 0 0 S - 3 ）に分けて形成する場合においても、例えば貫通電極 1 2 0 E と、各半導体層に設けられた各画素トランジスタとの間に、それぞれシールド電極 2 2 0 を設けるようにしてもよい。

【 0 1 3 8 】

以下、第 2 の実施の形態および変形例 1 ~ 1 1 について説明する。以下では、上記第 1 の実施の形態と同様の構成要素については同一の符号を付し、適宜その説明を省略する。

【 0 1 3 9 】

< 2 . 変形例 >

50

(2 - 1 . 変形例 1)

図 1 8 A は、上記第 1 の実施の形態の一変形例（変形例 1）に係る撮像装置（撮像装置 1 A）の要部である第 1 基板 1 0 0 と第 2 基板 2 0 0 との貫通配線を介した電氣的な接続部およびその近傍の断面構成を模式的に表している。図 1 8 B は、図 1 8 A に示した第 2 基板 2 0 0 の主面に対して水平方向の平面構成の一例を模式的に表している。本変形例の撮像装置 1 A は、シールド電極 2 2 0 が第 1 基板 1 0 0 の半導体層 1 0 0 S の表面まで延在している点が、上記第 1 の実施の形態とは異なる。

【 0 1 4 0 】

本変形例のシールド電極 2 2 0 の一端（下端）は、絶縁領域 2 1 2 および第 1 基板 1 0 0 の配線層 1 0 0 T を貫通して半導体層 1 0 0 S の表面に接している。シールド電極 2 2 0 の他端（上端）は、上記第 1 の実施の形態と同様に、第 2 基板 2 0 0 の配線層 2 0 0 T 内まで延在しており、例えば、第 1 配線層 W 1 と接している。シールド電極 2 2 0 に接する第 1 配線層 W 1 は、例えば、グランド（GND）電極に接続されており、これにより、シールド電極 2 2 0 には固定電位が印加されるようになっている。

10

【 0 1 4 1 】

シールド電極 2 2 0 が接する半導体層 1 0 0 S の表面には、例えば、p 型半導体領域（例えば、VSS コンタクト領域 1 1 8）が形成されている。

【 0 1 4 2 】

本変形例の構成は、例えば、フローティングディフュージョン F D の周囲に VSS コンタクト領域 1 1 8 を形成する場合に有用である。即ち、貫通電極 1 2 1 E をシールド電極 2 2 0 として用いることができる。

20

【 0 1 4 3 】

(2 - 2 . 変形例 2)

図 1 9 A は、上記第 1 の実施の形態の一変形例（変形例 2）に係る撮像装置（撮像装置 1 B）の要部である第 1 基板 1 0 0 と第 2 基板 2 0 0 との貫通配線を介した電氣的な接続部およびその近傍の断面構成を模式的に表している。図 1 9 B は、図 1 9 A に示した第 2 基板 2 0 0 の主面に対して水平方向の平面構成の一例を模式的に表している。本変形例の撮像装置 1 B は、貫通電極 1 2 0 E を囲うようにシールド電極 2 2 0 を設けている点が、上記第 1 の実施の形態とは異なる。

【 0 1 4 4 】

本変形例のシールド電極 2 2 0 は、絶縁膜を間に、貫通電極 1 2 0 E の周囲に連続して設けられている。シールド電極 2 2 0 の一端（下端）は、例えば、上記変形例 1 と同様に、第 1 基板 1 0 0 の配線層 1 0 0 T を貫通して半導体層 1 0 0 S の表面に接している。シールド電極 2 2 0 の他端（上端）は、上記第 1 の実施の形態と同様に、第 2 基板 2 0 0 の配線層 2 0 0 T 内まで延在しており、例えば、第 1 配線層 W 1 と接している。シールド電極 2 2 0 に接する第 1 配線層 W 1 は、例えば、グランド（GND）電極に接続されており、これにより、シールド電極 2 2 0 には固定電位が印加されるようになっている。

30

【 0 1 4 5 】

シールド電極 2 2 0 が接する半導体層 1 0 0 S の表面には、例えば、p 型半導体領域（例えば、VSS コンタクト領域 1 1 8）が形成されている。本変形例では、半導体層 1 0 0 S の表面に接するシールド電極 2 2 0 は、その少なくとも一部が、半導体層 1 0 0 S の表面に設けられた、例えば、VSS コンタクト領域 1 1 8 と接していればよい。

40

【 0 1 4 6 】

本変形例の構成は、例えば、フローティングディフュージョン F D の周囲に VSS コンタクト領域 1 1 8 を形成する場合に有用である。即ち、貫通電極 1 2 1 E をシールド電極 2 2 0 として用いることができる。また本変形例では、貫通電極 1 2 0 E の周囲をシールド電極 2 2 0 で囲うようにしたので、上記第 1 の実施の形態の効果に加えて、例えば、貫通電極 1 2 0 E の周囲に複数のトランジスタ（例えば、増幅トランジスタ A M P、選択トランジスタ S E L、リセットトランジスタ R S T および F D 変換ゲイン切替トランジスタ F D G）が配置されている場合に、全周囲に対して貫通電極 1 2 0 E にバイアスが印加さ

50

れることに影響を低減できるという効果を奏する。

【0147】

(2-3. 変形例3)

図20Aは、上記第1の実施の形態の一変形例(変形例3)に係る撮像装置(撮像装置1C)の要部である第1基板100と第2基板200との貫通配線を介した電気的な接続部およびその近傍の断面構成を模式的に表している。図20Bは、図20Aに示した第2基板200の主面に対して水平方向の平面構成の一例を模式的に表している。本変形例の撮像装置1Cは、貫通電極120Eを囲うシールド電極220の一部が、半導体層200Sの表面近傍に形成されたVSSコンタクト領域218と接している点が上記第1の実施の形態とは異なる。

10

【0148】

このように、貫通電極120Eの周囲に設けられ、第1基板100のVSSコンタクト領域118に接するシールド電極220の一部を、第2基板200のVSSコンタクト領域218と接続することで、VSSコンタクト領域118およびVSSコンタクト領域218と、電源線VSSとを電気的に接続する配線を一括形成することが可能となる。これにより、第2基板のVSSコンタクト領域218と、上層配線(例えば、第1配線層W1等)の電気的接続を、別途、例えば第1配線層W1を引き回すことで実現する場合と比較して、半導体層200Sを他のトランジスタの配置面積として用いることができる。即ち、上記第1の実施の形態の効果に加えて、面積効率を向上させることが可能となるという効果を奏する。

20

【0149】

なお、上記第1の実施の形態で述べたように、画素回路210を複数の半導体層(例えば、半導体層200S-1, 200S-2, 200S-3)に分けて形成する場合においては、例えば、後述する変形例12に対応する図56および図57に示したように、画素トランジスタ(例えば増幅トランジスタAMP)が設けられた半導体層1211(半導体層200S-1に相当)ではシールドと電極220は絶縁領域212を貫通し、他の画素トランジスタ(例えばリセットトランジスタRSTや選択トランジスタSEL等)が設けられた半導体層1221(半導体層200S-2に相当)では、例えばVSSコンタクト領域218と接していてもよい。

【0150】

<3. 第2の実施の形態>

図21は、本開示の第2の実施の形態に係る撮像装置(撮像装置2)の要部である第1基板100と第2基板200との貫通配線を介した電気的な接続部の断面構成を模式的に表している。図22は、撮像装置2の第2基板の主面に対して水平方向の平面構成の一例を模式的に表したものであり、平面視における遮蔽膜230の形成位置を表している。本実施の形態の撮像装置2は、半導体層200Sの周囲に、絶縁膜を挟んで遮蔽膜230を形成したものである。この遮蔽膜230が本開示の「導電膜」の一具体例に相当する。

30

【0151】

遮蔽膜230は、画素回路210を構成する各トランジスタに対する、貫通配線に印加されるバイアスの影響を低減するためのものである。遮蔽膜230は、第2基板200を構成する半導体層200Sの周囲に、絶縁膜を間に設けられている。具体的には、遮蔽膜230は、半導体層200Sを分断する絶縁領域212に設けられている。

40

【0152】

遮蔽膜230は、絶縁領域212に設けられた貫通配線(例えば、貫通電極120E, 121E, 貫通電極TGV)よりも半導体層200Sに近接した位置に配置されており、絶縁領域212を貫通している。換言すると、例えば、遮蔽膜230は、平面視において、半導体層200Sまでの最短距離が、貫通配線(例えば、貫通電極120E, 121E, 貫通電極TGV)までの最短距離よりも小さい位置に配置することが好ましい。遮蔽膜230は、例えば、グランド(GND)電極に接続されており、遮蔽膜230には固定電位が印加されるようになっている。これにより、貫通配線にバイアスが印加された際に生

50

じる貫通配線からの電界を遮蔽することができる。遮蔽膜 230 と半導体層 200S との距離、即ち、遮蔽膜 230 と半導体層 200S との間の絶縁膜の厚みは、遮蔽膜 230 と半導体層 200S との絶縁性が確保できればよい。

【0153】

遮蔽膜 230 は、例えば、貫通電極 120E と同じ材料、例えば、銅 (Cu) やタングステン (W) を用いて形成することができる。これにより、貫通電極 120E の形成する際に、同時に形成することができる。また、遮蔽膜 230 は、導電性を有し、さらに耐熱性の高い材料 (例えば、600 以上、より好ましくは、850 以上) であれば、貫通電極 120E とは異なる材料を用いて形成するようにしてもよい。遮蔽膜 230 の材料としては、例えば、グラフェンおよび遷移金属ジカルコゲナイド (TMD) 等の二次元材料やポリシリコン (Poly Si) が挙げられる。

10

【0154】

このような撮像装置 2 は、例えば、以下のようにして製造することができる。図 23A ~ 図 23C は、撮像装置 2 の製造工程の一例を表したものである。

【0155】

まず、第 1 基板 100 (層間絶縁膜 123) 上に接合膜 124 を介して半導体層 200S を貼り合せ、半導体層 200S を必要に応じて薄肉化したのち、半導体層 200S を分離し、絶縁領域 212 および素子分離領域 213 を構成する開口を形成する。続いて、開口を埋め込むように、絶縁膜 (例えば酸化シリコン膜) を形成し、絶縁領域 212 および素子分離領域 213 を形成する。

20

【0156】

続いて、図 23A に示したように、絶縁領域 212 の半導体層 200S の近傍に、絶縁領域 212 を貫通する開口 212H を形成する。次に、図 23B に示したように、開口 212H に、例えばポリシリコン (Poly Si) を埋め込み、遮蔽膜 230 を形成する。また、図示していないが、遮蔽膜 230 をグランド (GND) 電極に接続する。

【0157】

続いて、図 23C に示したように、半導体層 200S および絶縁領域 212 上にパッシベーション膜 221 および層間絶縁膜 222 を形成したのち、絶縁領域 212 の所定の位置 (例えば、パッド部 120, 121 および転送ゲート TG と対向する位置) に、それぞれ、パッド部 120, 121 および転送ゲート TG まで達する貫通孔を形成し、この貫通孔に、例えばタングステン (W) を埋め込むことにより、貫通孔内に貫通電極 120E, 121E および貫通電極 TGV を形成する。これにより、図 21 に示した遮蔽膜 230 および第 1 基板 100 と第 2 基板 200 との貫通配線を介した電気的な接続部が形成される。

30

【0158】

以上のように、本実施の形態では、画素回路 210 を構成する各トランジスタ (例えば、増幅トランジスタ AMP、リセットトランジスタ RST、選択トランジスタ SEL および FD 変換ゲイン切替トランジスタ FDG) が形成される半導体層 200S を分断する絶縁領域 212 に、半導体層 200S を囲うように遮蔽膜 230 を設けるようにした。これにより、各トランジスタのチャンネル領域に対する、絶縁領域 212 に設けられた貫通配線 (例えば、貫通電極 120E, 121R および貫通電極 TGV) からの電界の影響を遮蔽し、ノイズの発生を低減することが可能となる。よって、高い信頼性を有する撮像装置 2 を提供することが可能となる。

40

【0159】

なお、上記第 1 の実施の形態で述べたように、画素回路 210 を複数の半導体層 (例えば、半導体層 200S-1, 200S-2, 200S-3) に分けて形成する場合においては、遮光膜 230 は、各半導体層にそれぞれ設けるようにしてもよい。

【0160】

< 4. 変形例 4 >

図 24 は、上記第 2 の実施の形態の一変形例 (変形例 4) に係る撮像装置 (撮像装置 2A) の要部である第 1 基板 100 と第 2 基板 200 との貫通配線を介した電気的な接続部

50

の断面構成を模式的に表している。本変形例の撮像装置 2 A は、遮蔽膜 2 3 0 と、配線層 1 0 0 T を貫通する貫通電極 4 2 1 E とを、第 1 基板 1 0 0 との接合面側で電氣的に接続した点が、上記第 2 の実施の形態とは異なる。

【 0 1 6 1 】

本変形例の遮蔽膜 2 3 0 は、複数の V S S コンタクト領域 1 1 8 を互いに接続するパッド部 1 2 1 と略対向する位置において、例えば、遮蔽膜 2 3 0 が第 1 基板 1 0 0 と第 2 基板 2 0 0 との接合面に延在した配線 2 3 0 E を介して、貫通電極 4 2 1 E と接続されている。貫通電極 4 2 1 E は、配線層 1 0 0 T を貫通する貫通配線であり、複数の V S S コンタクト領域 1 8 1 を接続するパッド部 1 2 1 上に設けられている。また、本変形例の遮蔽膜 2 3 0 は、半導体層 2 0 0 S に設けられた V S S コンタクト領域 2 1 8 と電氣的に接続

10

【 0 1 6 2 】

これにより、遮蔽膜 2 3 0 は、配線層 2 0 0 T に設けられた電源線 V S S と V S S コンタクト領域 2 1 8 を介して電氣的に接続されるようになっている。更に、第 1 基板 1 0 0 の V S S コンタクト領域 1 1 8 は、V S S コンタクト領域 2 1 8、遮蔽膜 2 3 0 および貫通電極 4 2 1 E を介して電氣的に接続される。なお、遮蔽膜 2 3 0 と V S S コンタクト領域 2 1 8 とが電氣的に接続されている場合、各遮蔽膜 2 3 0 は、互いに電氣的に接続されている。その接続方法は、図中には示していないが、例えば、半導体層 2 0 0 S 内において平面的に接続されていてもよいし、配線層 2 0 0 T 内に形成されるコンタクトで互いに電氣的に接続されていてもよい。

20

【 0 1 6 3 】

このような撮像装置 2 A は、例えば、以下のようにして製造することができる。図 2 5 A ~ 図 2 5 C は、撮像装置 2 A の製造工程の一例を表したものである。

【 0 1 6 4 】

まず、第 1 基板 1 0 0 (層間絶縁膜 1 2 3) 上に接合膜 1 2 4 を介して半導体層 2 0 0 S を貼り合せ、半導体層 2 0 0 S を必要に応じて薄肉化したのち、半導体層 2 0 0 S を分離し、絶縁領域 2 1 2 および素子分離領域 2 1 3 を構成する開口 2 1 2 H を形成する。続いて、図 2 5 A に示したように、例えば熱酸化により、半導体層 2 0 0 S の表面に絶縁膜 (酸化シリコン膜) を形成する。また、配線層 1 0 0 T をパッド部 1 2 1 まで貫通する開口 1 0 0 T H を形成する。

30

【 0 1 6 5 】

次に、図 2 5 B に示したように、開口 2 1 2 H および開口 1 0 0 T H に、例えばポリシリコン (Poly Si) を埋め込んだのり、所望の領域以外を除去して遮蔽膜 2 3 0 および遮蔽膜 2 3 0 から連続する配線 2 3 0 E および貫通電極 4 2 1 E を形成する。

【 0 1 6 6 】

続いて、図 2 5 C に示したように、開口 2 1 2 H を埋め込むように、絶縁膜 (例えば酸化シリコン膜) を形成したのち、パッシベーション膜 2 2 1 および層間絶縁膜 2 2 2 を順に形成する。次に、絶縁領域 2 1 2 の所定の位置 (例えば、パッド部 1 2 0 および転送ゲート T G と対向する位置) に、それぞれ、パッド部 1 2 0 および転送ゲート T G まで達する貫通孔を形成し、この貫通孔に、例えばタングステン (W) を埋め込んで貫通電極 1 2 0 E および貫通電極 T G V を形成する。これにより、図 2 4 に示した構成を有する撮像装置 2 A が形成される。

40

【 0 1 6 7 】

また、上述した製造工程では、予め素子分離領域 2 1 3 を形成した半導体層 2 0 0 S に遮蔽膜 2 3 0 および貫通電極 4 2 1 E を形成する例を示したが、素子分離領域 2 1 3 は、遮蔽膜 2 3 0 および貫通電極 4 2 1 E を形成し、開口 2 1 2 H を絶縁膜で埋設した後に形成するようにしてもよい。

【 0 1 6 8 】

以上のように、本変形例では、遮蔽膜 2 3 0 と、配線層 1 0 0 T を貫通する貫通電極 4 2 1 E とを第 1 基板 1 0 0 側で接続し、第 1 基板 1 0 0 の V S S コンタクト領域 1 1 8 と

50

電源線VSSとの電気的な接続を、第2基板200のVSSコンタクト領域218、遮蔽膜230、貫通電極421Eおよびパッド部121を介して行うようにした。これにより、上記第2の実施の形態のように、絶縁領域212を貫通する貫通電極121Eを形成する分の絶縁領域212の面積を削減することができるようになる。即ち、上記第2の実施の形態の効果に加えて、面積効率を向上させることが可能となる。

【0169】

なお、本変形例では、貫通電極421Eと遮蔽膜230とを、第1基板100と第2基板200との接合面側で接続し、第1基板100のVSSコンタクト領域181と、第2基板200のVSSコンタクト領域218とを、貫通電極421Eおよび遮蔽膜230を介して電気的に接続した例を示したが、本技術は、その他の貫通配線にも適用できる。

10

【0170】

具体的には、例えば、図26に示したように、複数のフローティングディフュージョンFDを互いに接続するパッド部120上に設けられ、配線層100Tを貫通する貫通電極420Eを設け、この貫通電極420Eと遮蔽膜230とを、第1基板100と第2基板200との接合面側で接続するようにしてもよい。これにより、フローティングディフュージョンFDと増幅トランジスタAMPのゲートとは、遮蔽膜230、貫通電極420Eおよびパッド部120を介して電気的に接続されるため、絶縁領域212を貫通する貫通電極120Eを形成する分の絶縁領域212の面積を削減することができる。即ち、貫通電極121Eを形成する分の面積に加えて、貫通電極120Eを形成する面積を削減することができるようになる。よって、面積効率をさらに向上させることが可能となる。

20

【0171】

また、第1基板100の配線層100Tから第2基板200の配線層200Tにかけて貫通する貫通配線の数および互いに並走する高さを削減できるため、各貫通配線間に発生する寄生容量を低減することが可能となる。

【0172】

なお、本変形例のように、VSSコンタクト領域118に接続された貫通電極421Eと、遮蔽膜230とを電気的に接続させることが難しい場合には、遮蔽膜230には、別途、VSSコンタクト領域118またはVSSコンタクト領域218と電気的に接続されるコンタクト配線を形成することが好ましい。これにより、各トランジスタのチャネル領域に対する、絶縁領域212に設けられた貫通配線（例えば、貫通電極120E、121Rおよび貫通電極TGV）からの電界の影響を遮蔽し、ノイズの発生を低減することが可能となる。

30

【0173】

<5. 変形例5>

図27～図31は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図27は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図8に対応する。図28は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図9に対応する。図29は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図10に対応する。図30は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図11に対応する。図31は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図12に対応する。

40

【0174】

本変形例では、図28に示したように、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち、一方（例えば紙面右側）の画素共有ユニット539の内部レイアウトが、他方（例えば紙面左側）の画素共有ユニット539の内部レイアウトをH方向にのみ反転させた構成となっている。また、一方の画素共有ユニット539の外形線と他方の画素共有ユニット539の外形線との間のV方向のずれが、上記実施の形態で説明した

50

ずれ（図 9）よりも大きくなっている。このように、V 方向のずれを大きくすることにより、他方の画素共有ユニット 5 3 9 の増幅トランジスタ AMP と、これに接続されたパッド部 1 2 0（図 7 B に記載の V 方向に並ぶ 2 つの画素共有ユニット 5 3 9 のうちの他方（紙面下側）のパッド部 1 2 0）との間の距離を小さくすることができる。このようなレイアウトにより、図 2 7 ~ 図 3 1 に記載の撮像装置 1 の変形例 5 は、H 方向に並ぶ 2 つの画素共有ユニット 5 3 9 の平面レイアウトを互いに V 方向に反転させることなく、その面積を、上記実施の形態で説明した第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の面積と同じにすることができる。なお、第 1 基板 1 0 0 の画素共有ユニット 5 3 9 の平面レイアウトは、上記実施の形態で説明した平面レイアウト（図 7 A , 図 7 B）と同じである。したがって、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と同様の効果を得ることができる。第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

10

【 0 1 7 5 】

< 6 . 変形例 6 >

図 3 2 ~ 図 3 7 は、上記実施の形態に係る撮像装置 1 の平面構成の一変形例を表したものである。図 3 2 は、第 1 基板 1 0 0 の平面構成を模式的に表しており、上記実施の形態で説明した図 7 A に対応する。図 3 3 は、第 2 基板 2 0 0 の半導体層 2 0 0 S の表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図 8 に対応する。図 3 4 は、第 1 配線層 W 1 と、第 1 配線層 W 1 に接続された半導体層 2 0 0 S および第 1 基板 1 0 0 の各部の構成を模式的に表しており、上記実施の形態で説明した図 9 に対応する。図 3 5 は、第 1 配線層 W 1 および第 2 配線層 W 2 の平面構成の一例を表しており、上記実施の形態で説明した図 1 0 に対応する。図 3 6 は、第 2 配線層 W 2 および第 3 配線層 W 3 の平面構成の一例を表しており、上記実施の形態で説明した図 1 1 に対応する。図 3 7 は、第 3 配線層 W 3 および第 4 配線層 W 4 の平面構成の一例を表しており、上記実施の形態で説明した図 1 2 に対応する。

20

【 0 1 7 6 】

本変形例では、各画素回路 2 1 0 の外形が、略正方形の平面形状を有している（図 3 3 等）。この点において、本変形例の撮像装置 1 の平面構成は、上記実施の形態で説明した撮像装置 1 の平面構成と異なっている。

【 0 1 7 7 】

例えば、第 1 基板 1 0 0 の画素共有ユニット 5 3 9 は、上記実施の形態で説明したのと同様に、2 行 x 2 列の画素領域にわたって形成されており、略正方形の平面形状を有している（図 3 2）。例えば、各々の画素共有ユニット 5 3 9 では、一方の画素列の画素 5 4 1 A および画素 5 4 1 C の転送ゲート T G 1 , T G 3 の水平部分 T G b が、垂直部分 T G a に重畳する位置から H 方向において画素共有ユニット 5 3 9 の中央部に向かう方向（より具体的には、画素 5 4 1 A , 5 4 1 C の外縁に向かう方向、かつ画素共有ユニット 5 3 9 の中央部に向かう方向）に延在し、他方の画素列の画素 5 4 1 B および画素 5 4 1 D の転送ゲート T G 2 , T G 4 の水平部分 T G b が、垂直部分 T G a に重畳する位置から H 方向において画素共有ユニット 5 3 9 の外側に向かう方向（より具体的には、画素 5 4 1 B , 5 4 1 D の外縁に向かう方向、かつ画素共有ユニット 5 3 9 の外側に向かう方向）に延在している。フローティングディフュージョン F D に接続されたパッド部 1 2 0 は、画素共有ユニット 5 3 9 の中央部（画素共有ユニット 5 3 9 の H 方向および V 方向の中央部）に設けられ、V S S コンタクト領域 1 1 8 に接続されたパッド部 1 2 1 は、少なくとも H 方向において（図 3 2 では H 方向および V 方向において）画素共有ユニット 5 3 9 の端部に設けられている。

30

40

【 0 1 7 8 】

別の配置例として、転送ゲート T G 1 , T G 2 , T G 3 , T G 4 の水平部分 T G b を垂直部分 T G a に対向する領域のみに設けることも考え得る。このときには、上記実施の形態で説明したのと同様に、半導体層 2 0 0 S が細かく分断されやすい。したがって、画素回路 2 1 0 のトランジスタを大きく形成することが困難となる。一方、転送ゲート T G 1

50

、TG2、TG3、TG4の水平部分Tgbを、上記変形例のように、垂直部分Tgaに重畳する位置からH方向に延在させると、上記実施の形態で説明したのと同様に、半導体層200Sの幅を大きくすることが可能となる。具体的には、転送ゲートTG1、TG3に接続された貫通電極TGV1、TGV3のH方向の位置を、貫通電極120EのH方向の位置に近接させて配置し、転送ゲートTG2、TG4に接続された貫通電極TGV2、TGV4のH方向の位置を、貫通電極121EのH方向の位置に近接して配置することが可能となる(図34)。これにより、上記実施の形態で説明したのと同様に、V方向に延在する半導体層200Sの幅(H方向の大きさ)を大きくすることができる。よって、画素回路210のトランジスタのサイズ、特に増幅トランジスタAMPのサイズを大きくすることが可能となる。その結果、画素信号のシグナル/ノイズ比を改善して、撮像装置1

10

【0179】

第2基板200の画素共有ユニット539は、例えば、第1基板100の画素共有ユニット539のH方向およびV方向の大きさと略同じであり、例えば、略2行×2列の画素領域に対応する領域にわたって設けられている。例えば、各画素回路210では、V方向に延在する1の半導体層200Sに選択トランジスタSELおよび増幅トランジスタAMPがV方向に並んで配置され、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTがV方向に延在する1の半導体層200Sに、V方向に並んで配置されている。この選択トランジスタSELおよび増幅トランジスタAMPが設けられた1の半導体層200Sと、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタ

20

RSTが設けられた1の半導体層200Sとは、絶縁領域212を介してH方向に並んでいる。この絶縁領域212はV方向に延在している(図33)。

【0180】

ここで、第2基板200の画素共有ユニット539の外形について、図33および図34を参照して説明する。例えば、図32に示した第1基板100の画素共有ユニット539は、パッド部120のH方向の一方(図34の紙面左側)に設けられた増幅トランジスタAMPおよび選択トランジスタSELと、パッド部120のH方向の他方(図34の紙面右側)に設けられたFD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTとに接続されている。この増幅トランジスタAMP、選択トランジスタSEL、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTを含む第2基板200の画素共有ユニット539の外形は、次の4つの外縁により決まる。

30

【0181】

第1の外縁は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200SのV方向の一端(図34の紙面上側の端)の外縁である。この第1の外縁は、当該画素共有ユニット539に含まれる増幅トランジスタAMPと、この画素共有ユニット539のV方向の一方(図34の紙面上側)に隣り合う画素共有ユニット539に含まれる選択トランジスタSELとの間に設けられている。より具体的には、第1の外縁は、これら増幅トランジスタAMPと選択トランジスタSELとの間の素子分離領域213のV方向の中央部に設けられている。第2の外縁は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200SのV方向の他端(図34の紙面下側の端)の外縁である。この第2の外縁は、当該画素共有ユニット539に含まれる選択トランジスタSELと、この画素共有ユニット539のV方向の他方(図34の紙面下側)に隣り合う画素共有ユニット539に含まれる増幅トランジスタAMPとの間に設けられている。より具体的には、第2の外縁は、これら選択トランジスタSELと増幅トランジスタAMPとの間の素子分離領域213のV方向の中央部に設けられている。第3の外縁は、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200SのV方向の他端(図34の紙面下側の端)の外縁である。この第3の外縁は、当該画素共有ユニット539に含まれるFD変換ゲイン切替トランジスタFDGと、この画素共有ユニット539のV方向の他方(図34の紙面下側)に隣り合う画素共有ユニット539に含まれるリセットトランジスタRSTとの間に設けられている。より具体的には、第3

40

50

の外縁は、これらFD変換ゲイン切替トランジスタFDGとリセットトランジスタRSTとの間の素子分離領域213のV方向の中央部に設けられている。第4の外縁は、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200SのV方向の一端(図34の紙面上側の端)の外縁である。この第4の外縁は、当該画素共有ユニット539に含まれるリセットトランジスタRSTと、この画素共有ユニット539のV方向の一方(図34の紙面上側)に隣り合う画素共有ユニット539に含まれるFD変換ゲイン切替トランジスタFDG(不図示)との間に設けられている。より具体的には、第4の外縁は、これらリセットトランジスタRSTとFD変換ゲイン切替トランジスタFDGとの間の素子分離領域213(不図示)のV方向の中央部に設けられている。

【0182】

このような第1,第2,第3,第4の外縁を含む第2基板200の画素共有ユニット539の外形では、第1,第2の外縁に対して、第3,第4の外縁がV方向の一方側にずれて配置されている(言い換えればV方向の一方側にオフセットされている)。このようなレイアウトを用いることにより、増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソースをともに、パッド部120にできるだけ近接して配置することが可能となる。したがって、これらを接続する配線の面積を小さくし、撮像装置1の微細化を行いやすくなる。なおVSSコンタクト領域218は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200Sと、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200Sとの間に設けられている。例えば、複数の画素回路210は、互いに同じ配置を有している。

【0183】

このような第2基板200を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

【0184】

<7.変形例7>

図38~図43は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図38は、第1基板100の平面構成を模式的に表しており、上記実施の形態で説明した図7Bに対応する。図39は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図8に対応する。図40は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図9に対応する。図41は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図10に対応する。図42は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図11に対応する。図43は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図12に対応する。

【0185】

本変形例では、第2基板200の半導体層200Sが、H方向に延在している(図40)。即ち、上記図33等に示した撮像装置1の平面構成を90度回転させた構成に略対応している。

【0186】

例えば、第1基板100の画素共有ユニット539は、上記実施の形態で説明したのと同様に、2行×2列の画素領域にわたって形成されており、略正方形の平面形状を有している(図38)。例えば、各々の画素共有ユニット539では、一方の画素行の画素541Aおよび画素541Bの転送ゲートTG1, TG2が、V方向において画素共有ユニット539の中央部に向かって延在し、他方の画素行の画素541Cおよび画素541Dの転送ゲートTG3, TG4が、V方向において画素共有ユニット539の外側方向に延在している。フローティングディフュージョンFDに接続されたパッド部120は、画素共有ユニット539の中央部に設けられ、VSSコンタクト領域118に接続されたパッド

10

20

30

40

50

部 1 2 1 は、少なくとも V 方向において（図 3 8 では V 方向および H 方向において）画素共有ユニット 5 3 9 の端部に設けられている。このとき、転送ゲート T G 1 , T G 2 の貫通電極 T G V 1 , T G V 2 の V 方向の位置が貫通電極 1 2 0 E の V 方向の位置に近づき、転送ゲート T G 3 , T G 4 の貫通電極 T G V 3 , T G V 4 の V 方向の位置が貫通電極 1 2 1 E の V 方向の位置に近づく（図 4 0）。したがって、上記実施の形態で説明したのと同様の理由により、H 方向に延在する半導体層 2 0 0 S の幅（V 方向の大きさ）を大きくすることができる。よって、増幅トランジスタ A M P のサイズを大きくし、ノイズを抑えることが可能となる。

【 0 1 8 7 】

各々の画素回路 2 1 0 では、選択トランジスタ S E L および増幅トランジスタ A M P が H 方向に並んで配置され、選択トランジスタ S E L と絶縁領域 2 1 2 を間にして V 方向に隣り合う位置にリセットトランジスタ R S T が配置されている（図 3 9）。F D 変換ゲイン切替トランジスタ F D G は、リセットトランジスタ R S T と H 方向に並んで配置されている。V S S コンタクト領域 2 1 8 は、絶縁領域 2 1 2 に島状に設けられている。例えば、第 3 配線層 W 3 は H 方向に延在し（図 4 2）、第 4 配線層 W 4 は V 方向に延在している（図 4 3）。

【 0 1 8 8 】

このような第 2 基板 2 0 0 を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。例えば、上記実施の形態および変形例 1 で説明した半導体層 2 0 0 S が、H 方向に延在していてもよい。

【 0 1 8 9 】

< 8 . 変形例 8 >

図 4 4 は、上記実施の形態に係る撮像装置 1 の断面構成の一変形例を模式的に表したものである。図 4 4 は、上記実施の形態で説明した図 3 に対応する。本変形例では、撮像装置 1 が、コンタクト部 2 0 1 , 2 0 2 , 3 0 1 , 3 0 2 に加えて、画素アレイ部 5 4 0 の中央部に対向する位置にコンタクト部 2 0 3 , 2 0 4 , 3 0 3 , 3 0 4 を有している。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

【 0 1 9 0 】

コンタクト部 2 0 3 , 2 0 4 は、第 2 基板 2 0 0 に設けられており、第 3 基板 3 0 0 との接合面の露出されている。コンタクト部 3 0 3 , 3 0 4 は、第 3 基板 3 0 0 に設けられており、第 2 基板 2 0 0 との接合面に露出されている。コンタクト部 2 0 3 は、コンタクト部 3 0 3 と接しており、コンタクト部 2 0 4 は、コンタクト部 3 0 4 と接している。即ち、この撮像装置 1 では、第 2 基板 2 0 0 と第 3 基板 3 0 0 とが、コンタクト部 2 0 1 , 2 0 2 , 3 0 1 , 3 0 2 に加えてコンタクト部 2 0 3 , 2 0 4 , 3 0 3 , 3 0 4 により接続されている。

【 0 1 9 1 】

次に、図 4 5 および図 4 6 を用いてこの撮像装置 1 の動作について説明する。図 4 5 には、外部から撮像装置 1 に入力される入力信号と、電源電位および基準電位の経路を矢印で表す。図 4 6 には、撮像装置 1 から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部 5 1 0 A を介して撮像装置 1 に入力された入力信号は、第 3 基板 3 0 0 の行駆動部 5 2 0 へ伝送され、行駆動部 5 2 0 で行駆動信号が作り出される。この行駆動信号は、コンタクト部 3 0 3 , 2 0 3 を介して第 2 基板 2 0 0 に送られる。更に、この行駆動信号は、配線層 2 0 0 T 内の行駆動信号線 5 4 2 を介して、画素アレイ部 5 4 0 の画素共有ユニット 5 3 9 各々に到達する。第 2 基板 2 0 0 の画素共有ユニット 5 3 9 に到達した行駆動信号のうち、転送ゲート T G 以外の駆動信号は画素回路 2 1 0 に入力されて、画素回路 2 1 0 に含まれる各トランジスタが駆動される。転送ゲート T G の駆動信号は貫通電極 T G V を介して第 1 基板 1 0 0 の転送ゲート T G 1 , T G 2 , T G 3 , T G 4 に入力され、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D が駆動される。また、撮像

10

20

30

40

50

装置 1 の外部から、第 3 基板 3 0 0 の入力部 5 1 0 A (入力端子 5 1 1) に供給された電源電位および基準電位は、コンタクト部 3 0 3 , 2 0 3 を介して第 2 基板 2 0 0 に送られ、配線層 2 0 0 T 内の配線を介して、画素共有ユニット 5 3 9 各々の画素回路 2 1 0 に供給される。基準電位は、さらに貫通電極 1 2 1 E を介して、第 1 基板 1 0 0 の画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D へも供給される。一方、第 1 基板 1 0 0 の画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D で光電変換された画素信号は、画素共有ユニット 5 3 9 毎に第 2 基板 2 0 0 の画素回路 2 1 0 に送られる。この画素信号に基づく画素信号は、画素回路 2 1 0 から垂直信号線 5 4 3 およびコンタクト部 2 0 4 , 3 0 4 を介して第 3 基板 3 0 0 に送られる。この画素信号は、第 3 基板 3 0 0 の列信号処理部 5 5 0 および画像信号処理部 5 6 0 で処理された後、出力部 5 1 0 B を介して外部に出力される。

10

【 0 1 9 2 】

このようなコンタクト部 2 0 3 , 2 0 4 , 3 0 3 , 3 0 4 を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。コンタクト部 3 0 3 , 3 0 4 を介した配線の接続先である、第 3 基板 3 0 0 の回路等の設計に応じてコンタクト部の位置および数等を変えることができる。

【 0 1 9 3 】

< 9 . 変形例 9 >

図 4 7 は、上記実施の形態に係る撮像装置 1 の断面構成の一変形例を表したものである。図 4 7 は、上記実施の形態で説明した図 6 に対応する。本変形例では、第 1 基板 1 0 0 にプレーナ構造を有する転送トランジスタ T R が設けられている。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

20

【 0 1 9 4 】

この転送トランジスタ T R は、水平部分 T G b のみにより転送ゲート T G が構成されている。換言すれば、転送ゲート T G は、垂直部分 T G a を有しておらず、半導体層 1 0 0 S に対向して設けられている。

【 0 1 9 5 】

このようなプレーナ構造の転送トランジスタ T R を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。更に、第 1 基板 1 0 0 にプレーナ型の転送ゲート T G を設けることにより、縦型の転送ゲート T G を第 1 基板 1 0 0 に設ける場合に比べて、より半導体層 1 0 0 S の表面近くまでフォトダイオード P D を形成し、これにより、飽和信号量 (Q s) を増加させることも考え得る。また、第 1 基板 1 0 0 にプレーナ型の転送ゲート T G を形成する方法は、第 1 基板 1 0 0 に縦型の転送ゲート T G を形成する方法に比べて、製造工程数が少なく、製造工程に起因したフォトダイオード P D への悪影響が生じにくい、とも考え得る。

30

【 0 1 9 6 】

< 1 0 . 変形例 1 0 >

図 4 8 は、上記実施の形態に係る撮像装置 1 の画素回路の一変形例を表したものである。図 4 8 は、上記実施の形態で説明した図 4 に対応する。本変形例では、1 つの画素 (画素 5 4 1 A) 毎に画素回路 2 1 0 が設けられている。即ち、画素回路 2 1 0 は、複数の画素で共有されていない。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

40

【 0 1 9 7 】

本変形例の撮像装置 1 は、画素 5 4 1 A と画素回路 2 1 0 とを互いに異なる基板 (第 1 基板 1 0 0 および第 2 基板 2 0 0) に設ける点では、上記実施の形態で説明した撮像装置 1 と同じである。このため、本変形例に係る撮像装置 1 も、上記実施の形態で説明したのと同様の効果を得ることができる。

【 0 1 9 8 】

< 1 1 . 変形例 1 1 >

図 4 9 は、上記実施の形態で説明した画素分離部 1 1 7 の平面構成の一変形例を表したものである。画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D 各々を囲む画素分離部 1 1 7

50

に、隙間が設けられていてもよい。即ち、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D の全周が画素分離部 1 1 7 に囲まれていなくてもよい。例えば、画素分離部 1 1 7 の隙間は、パッド部 1 2 0 , 1 2 1 近傍に設けられている (図 7 B 参照) 。

【 0 1 9 9 】

上記実施の形態では、画素分離部 1 1 7 が半導体層 1 0 0 S を貫通する F T I 構造を有する例 (図 6 参照) を説明したが、画素分離部 1 1 7 は F T I 構造以外の構成を有していてもよい。例えば、画素分離部 1 1 7 は、半導体層 1 0 0 S を完全に貫通するように設けられていなくてもよく、いわゆる、D T I (Deep Trench Isolation) 構造を有していてもよい。

【 0 2 0 0 】

< 1 2 . 変形例 1 2 >

上記の第 1 の実施の形態では、複数のセンサ画素の各々に、フローティングディフュージョン F D に電氣的に接続する配線 (すなわち、フローティングディフュージョン用コンタクト) と、ウェル層 W E に電氣的に接続する配線 (すなわち、ウェル用コンタクト) とがそれぞれ 1 つずつ配置される構造を説明した。しかしながら、本開示の実施形態はこれに限定されない。本開示の実施形態では、複数のセンサ画素ごとに、1 つのフローティングディフュージョン用コンタクトが配置されていてもよい。例えば、互いに隣り合う 4 つのセンサ画素が、1 つのフローティングディフュージョン用コンタクトを共有していてもよい。同様に、複数のセンサ画素ごとに、1 つのウェル用コンタクトが配置されていてもよい。例えば、互いに隣り合う 4 つのセンサ画素が、1 つのウェル用コンタクトを共有していてもよい。

【 0 2 0 1 】

図 5 0 から図 5 2 は、本開示の変形例 1 2 に係る撮像装置 1 A の構成例を示す厚さ方向の断面図である。図 5 3 から図 5 5 は、本開示の変形例 1 2 に係る複数の画素ユニット P U のレイアウト例を示す水平方向の断面図である。なお、図 5 0 から図 5 2 に示す断面図は、あくまで模式図であり、実際の構造を厳密に正しく示すことを目的とした図ではない。図 5 0 から図 5 2 に示す断面図は、撮像装置 1 A の構成を紙面でわかり易く説明するために、位置 s e c 1 から s e c 3 で、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している。

【 0 2 0 2 】

具体的には、図 5 0 に示す撮像装置 1 A の画素ユニット P U において、位置 s e c 1 における断面は図 5 3 を A 1 - A 1 ' 線で切断した断面であり、位置 s e c 2 における断面は図 5 4 を B 1 - B 1 ' 線で切断した断面であり、位置 s e c 3 における断面は図 5 5 を C 1 - C 1 ' 線で切断した断面である。同様に、図 5 1 に示す撮像装置 1 A において、位置 s e c 1 における断面は図 5 3 を A 2 - A 2 ' 線で切断した断面であり、位置 s e c 2 における断面は図 5 4 を B 2 - B 2 ' 線で切断した断面であり、位置 s e c 3 における断面は図 5 5 を C 2 - C 2 ' 線で切断した断面である。図 5 2 に示す撮像装置 1 A において、位置 s e c 1 における断面は図 5 3 を A 3 - A 3 ' 線で切断した断面であり、位置 s e c 2 における断面は図 5 4 を B 3 - B 3 ' 線で切断した断面であり、位置 s e c 3 における断面は図 5 5 を C 3 - C 3 ' 線で切断した断面である。

【 0 2 0 3 】

図 5 1 及び図 5 5 に示すように、撮像装置 1 A は、複数のセンサ画素 1 0 1 2 に跨るように配置された共通パッド電極 1 1 0 2 と、共通パッド電極 1 1 0 2 上に設けられた 1 つの配線 L 1 0 0 2 と、を共有する。例えば、撮像装置 1 A には、平面視で、4 つのセンサ画素 1 0 1 2 の各フローティングディフュージョン F D 1 から F D 4 が素子分離層 1 0 1 6 を介して互いに隣り合う領域が存在する。この領域に共通パッド電極 1 1 0 2 が設けられている。共通パッド電極 1 1 0 2 は、4 つのフローティングディフュージョン F D 1 から F D 4 に跨るように配置されており、4 つのフローティングディフュージョン F D 1 から F D 4 とそれぞれ電氣的に接続している。共通パッド電極 1 1 0 2 は、例えば、n 型不純物又は p 型不純物がドーブされたポリシリコン膜で構成されている。

10

20

30

40

50

【0204】

共通パッド電極1102の中心部上に1つの配線L1002（すなわち、フローティングディフュージョン用コンタクト）が設けられている。図51、図53から図55に示すように、共通パッド電極1102の中心部上に設けられた配線L1002は、第1基板部1010から、第2基板部1020の下側基板1210を貫いて第2基板部1020の上側基板1220まで延設されており、上側基板1220に設けられた配線等を介して、増幅トランジスタAMPのゲート電極AGに接続している。

【0205】

また、図50及び図55に示すように、撮像装置1Aは、複数のセンサ画素1012に跨るように配置された共通パッド電極1110と、共通パッド電極1110上に設けられた1つの配線L1010と、を共有する。例えば、撮像装置1Aには、平面視で、4つのセンサ画素1012の各ウェル層WEが素子分離層1016を介して互いに隣り合う領域が存在する。この領域に共通パッド電極1110が設けられている。共通パッド電極1110は、4つのセンサ画素1012の各ウェル層WEに跨るように配置されており、4つのセンサ画素1012の各ウェル層WEとそれぞれ電氣的に接続している。一例を挙げると、共通パッド電極1110は、Y軸方向に並ぶ一の共通パッド電極1102と他の共通パッド電極1102との間に配置されている。Y軸方向において、共通パッド電極1102、1110は交互に並んで配置されている。共通パッド電極1110は、例えば、n型不純物又はp型不純物がドーブされたポリシリコン膜で構成されている。

【0206】

共通パッド電極1110の中心部上に1つの配線L1010（すなわち、ウェル用コンタクト）が設けられている。図50、図52から図55に示すように、共通パッド電極1110の中心部上に設けられた配線L1010は、第1基板部1010から、第2基板部1020の下側基板1210を貫いて第2基板部1020の上側基板1220まで延設されており、上側基板1220に設けられた配線等を介して、基準電位（例えば、接地電位：0V）を供給する基準電位線に接続している。

【0207】

共通パッド電極1110の中心部上に設けられた配線L1010は、共通パッド電極1110の上面と、下側基板1210に設けられた貫通孔の内側面と、上側基板1220に設けられた貫通孔の内側面とに、それぞれ電氣的に接続している。これにより、第1基板部1010の半導体基板1011のウェル層WEと、第2基板部1020の下側基板1210のウェル層及び上側基板1220のウェル層は、基準電位（例えば、接地電位：0V）に接続される。

【0208】

本開示の変形例12に係る撮像装置1Aは、第1の実施の形態に係る撮像装置1と同様の効果を奏する。また、撮像装置1Aは、第1基板部1010を構成する半導体基板1011のおもて面11a側に設けられ、互いに隣り合う複数（例えば、4つ）のセンサ画素1012に跨るように配置された共通パッド電極1102、1110、をさらに備える。共通パッド電極1102は、4つのセンサ画素1012のフローティングディフュージョンFDと電氣的に接続している。共通パッド電極1110は、4つのセンサ画素1012のウェル層WEと電氣的に接続している。これによれば、4つのセンサ画素1012ごとに、フローティングディフュージョンFDに接続する配線L1002を共通化することができる。4つのセンサ画素1012ごとに、ウェル層WEに接続する配線L1010を共通化することができる。これにより、配線L1002、L1010の本数を低減することができるので、センサ画素1012の面積低減が可能であり、撮像装置1Aの小型化が可能である。

【0209】

<13. 適用例>

図58は、上記実施の形態およびその変形例に係る撮像装置1を備えた撮像システム7の概略構成の一例を表したものである。

【0210】

撮像システム7は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像システム7は、例えば、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248を備えている。撮像システム7において、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248は、バスライン249を介して相互に接続されている。

【0211】

上記実施の形態およびその変形例に係る撮像装置1は、入射光に応じた画像データを出
力する。DSP回路243は、上記実施の形態およびその変形例に係る撮像装置1から出
力される信号(画像データ)を処理する信号処理回路である。フレームメモリ244は、
DSP回路243により処理された画像データを、フレーム単位で一時的に保持する。表
示部245は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネ
ル型表示装置からなり、上記実施の形態およびその変形例に係る撮像装置1で撮像され
た動画又は静止画を表示する。記憶部246は、上記実施の形態およびその変形例に係る撮
像装置1で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等
の記録媒体に記録する。操作部247は、ユーザによる操作に従い、撮像システム7が有
する各種の機能についての操作指令を発する。電源部248は、上記実施の形態およびそ
の変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、
記憶部246および操作部247の動作電源となる各種の電源を、これら供給対象に対し
て適宜供給する。

【0212】

次に、撮像システム7における撮像手順について説明する。

【0213】

図59は、撮像システム7における撮像動作のフローチャートの一例を表す。ユーザは
、操作部247を操作することにより撮像開始を指示する(ステップS101)。すると
、操作部247は、撮像指令を撮像装置1に送信する(ステップS102)。撮像装置1
(具体的にはシステム制御回路36)は、撮像指令を受けると、所定の撮像方式での撮像
を実行する(ステップS103)。

【0214】

撮像装置1は、撮像により得られた画像データをDSP回路243に出力する。ここで
、画像データとは、フローティングディフュージョンFDに一時的に保持された電荷に基
づいて生成された画素信号の全画素分のデータである。DSP回路243は、撮像装置1
から入力された画像データに基づいて所定の信号処理(例えばノイズ低減処理など)を行
う(ステップS104)。DSP回路243は、所定の信号処理がなされた画像データを
フレームメモリ244に保持させ、フレームメモリ244は、画像データを記憶部246
に記憶させる(ステップS105)。このようにして、撮像システム7における撮像が行
われる。

【0215】

本適用例では、上記実施の形態およびその変形例に係る撮像装置1が撮像システム7に
適用される。これにより、撮像装置1を小型化もしくは高精細化することができるので、
小型もしくは高精細な撮像システム7を提供することができる。

【0216】

<14. 応用例>

[応用例1]

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示
に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パ
ーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に
搭載される装置として実現されてもよい。

10

20

30

40

50

【 0 2 1 7 】

図 6 0 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【 0 2 1 8 】

車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 6 0 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F (i n t e r f a c e) 1 2 0 5 3 が図示されている。

10

【 0 2 1 9 】

駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【 0 2 2 0 】

ボディ系制御ユニット 1 2 0 2 0 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 1 2 0 2 0 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 1 2 0 2 0 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 1 2 0 2 0 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

20

【 0 2 2 1 】

車外情報検出ユニット 1 2 0 3 0 は、車両制御システム 1 2 0 0 0 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 1 2 0 3 0 には、撮像部 1 2 0 3 1 が接続される。車外情報検出ユニット 1 2 0 3 0 は、撮像部 1 2 0 3 1 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 1 2 0 3 0 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

30

【 0 2 2 2 】

撮像部 1 2 0 3 1 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 1 2 0 3 1 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 1 2 0 3 1 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【 0 2 2 3 】

車内情報検出ユニット 1 2 0 4 0 は、車内の情報を検出する。車内情報検出ユニット 1 2 0 4 0 には、例えば、運転者の状態を検出する運転者状態検出部 1 2 0 4 1 が接続される。運転者状態検出部 1 2 0 4 1 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 1 2 0 4 0 は、運転者状態検出部 1 2 0 4 1 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

40

【 0 2 2 4 】

マイクロコンピュータ 1 2 0 5 1 は、車外情報検出ユニット 1 2 0 3 0 又は車内情報検出ユニット 1 2 0 4 0 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 1 2 0 1 0 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両の衝

50

突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

【0225】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0226】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0227】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図59の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0228】

図61は、撮像部12031の設置位置の例を示す図である。

【0229】

図61では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

【0230】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【0231】

なお、図61には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

【0232】

撮像部12101ないし12104の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも一つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0233】

10

20

30

40

50

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0234】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバーが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバーに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【0235】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

【0236】

以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像装置1は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

【0237】

[応用例2]

図62は、本開示に係る技術(本技術)が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

【0238】

図62では、術者(医師)11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

10

20

30

40

50

【0239】

内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

【0240】

鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

10

【0241】

カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU：Camera Control Unit）11201に送信される。

【0242】

CCU11201は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

20

【0243】

表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

【0244】

光源装置11203は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

30

【0245】

入力装置11204は、内視鏡手術システム11000に対する入力インタフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

【0246】

処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

40

【0247】

なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。

50

また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

【0248】

また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

10

【0249】

また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び/又は励起光を供給可能に構成され得る。

20

【0250】

図63は、図62に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

【0251】

カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

30

【0252】

レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

【0253】

撮像部11402は、撮像素子で構成される。撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

40

【0254】

また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい

50

。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。

【 0 2 5 5 】

駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

【 0 2 5 6 】

通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を RAW データとして伝送ケーブル 1 1 4 0 0 を介して CCU 1 1 2 0 1 に送信する。

10

【 0 2 5 7 】

また、通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 から、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 1 1 4 0 5 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに / 又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

【 0 2 5 8 】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 1 1 2 0 1 の制御部 1 1 4 1 3 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 1 1 1 0 0 に搭載されていることになる。

20

【 0 2 5 9 】

カメラヘッド制御部 1 1 4 0 5 は、通信部 1 1 4 0 4 を介して受信した CCU 1 1 2 0 1 からの制御信号に基づいて、カメラヘッド 1 1 1 0 2 の駆動を制御する。

【 0 2 6 0 】

通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 から、伝送ケーブル 1 1 4 0 0 を介して送信される画像信号を受信する。

30

【 0 2 6 1 】

また、通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 に対して、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

【 0 2 6 2 】

画像処理部 1 1 4 1 2 は、カメラヘッド 1 1 1 0 2 から送信された RAW データである画像信号に対して各種の画像処理を施す。

【 0 2 6 3 】

制御部 1 1 4 1 3 は、内視鏡 1 1 1 0 0 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 1 1 4 1 3 は、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を生成する。

40

【 0 2 6 4 】

また、制御部 1 1 4 1 3 は、画像処理部 1 1 4 1 2 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 1 1 2 0 2 に表示させる。この際、制御部 1 1 4 1 3 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 1 1 4 1 3 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 1 1 1 1 2 の使用時のミス等を認識することができる。制御部 1 1 4 1 3 は、表示装置 1 1 2 0 2 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 1 1 1 3 1 に提示

50

されることにより、術者 1 1 1 3 1 の負担を軽減することや、術者 1 1 1 3 1 が確実に手術を進めることが可能になる。

【 0 2 6 5 】

カメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 を接続する伝送ケーブル 1 1 4 0 0 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

【 0 2 6 6 】

ここで、図示する例では、伝送ケーブル 1 1 4 0 0 を用いて有線で通信が行われていたが、カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 との間の通信は無線で行われてもよい。

【 0 2 6 7 】

以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡 1 1 1 0 0 のカメラヘッド 1 1 1 0 2 に設けられた撮像部 1 1 4 0 2 に好適に適用され得る。撮像部 1 1 4 0 2 に本開示に係る技術を適用することにより、撮像部 1 1 4 0 2 を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡 1 1 1 0 0 を提供することができる。

【 0 2 6 8 】

以上、第 1 , 第 2 の実施の形態およびその変形例 1 ~ 1 1、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【 0 2 6 9 】

なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていてもよい。

【 0 2 7 0 】

なお、本開示は以下のような構成をとることも可能である。以下の構成の一実施形態の本技術によれば、第 2 半導体基板と、第 1 基板と第 2 基板とを電氣的に接続する貫通配線との間に、固定電位に接続された導電膜を形成するようにしたので、第 2 基板に設けられるトランジスタに対する貫通配線からの電界が低減される。よって、信頼性を向上させることが可能となる。

(1)

第 1 半導体基板に、センサ画素を構成する光電変換部および第 1 のトランジスタを有する第 1 基板と、

前記第 1 基板に積層され、第 2 半導体基板に、前記センサ画素を構成する第 2 のトランジスタを有すると共に、積層方向に貫通する開口を有する第 2 基板と、

前記開口を通り、前記第 1 基板と前記第 2 基板とを電氣的に接続する貫通配線と、
少なくとも前記第 2 半導体基板と前記貫通配線との間に設けられると共に、固定電位に接続されている導電膜と
を備えた撮像装置。

(2)

前記導電膜はグラウンド電極に接続されている、前記 (1) に記載の撮像装置。

(3)

前記導電膜は、前記第 2 半導体基板を貫通している、前記 (1) または (2) に記載の撮像装置。

(4)

前記導電膜は、前記第 1 半導体基板まで延在している、前記 (1) 乃至 (3) のうちのいずれか 1 つに記載の撮像装置。

(5)

前記導電膜は、絶縁膜を間に前記貫通配線の周囲に設けられている、前記 (1) 乃至 (4) のうちのいずれか 1 つに記載の撮像装置。

(6)

10

20

30

40

50

前記第1半導体基板の前記第2半導体基板と対向する一の面に設けられると共に、固定電位に接続された導電領域をさらに有し、

前記導電膜の一端は前記導電領域に接続されている、前記(1)乃至(5)のうちのいずれか1つに記載の撮像装置。

(7)

前記第1半導体基板と前記第2半導体基板との間に設けられた層間絶縁層と、

前記導電膜は、前記層間絶縁層を貫通する接続配線を介して前記導電領域と電氣的に接続されている、前記(6)に記載の撮像装置。

(8)

前記導電膜と前記第2半導体基板との最短距離は、前記導電膜と前記貫通配線との最短距離よりも小さい、前記(1)乃至(7)のうちのいずれか1つに記載の撮像装置。

10

(9)

前記センサ画素は、前記第1のトランジスタを介して、前記光電変換部から出力された電荷を一時的に保持するフローティングディフュージョンをさらに有し、

前記貫通配線は、前記第1のトランジスタのゲートまたは前記フローティングディフュージョンと接続されている、前記(1)乃至(8)のうちのいずれか1つに記載の撮像装置。

(10)

前記導電膜は、耐熱性の高い導電材料を用いて形成されている、前記(1)乃至(9)のうちのいずれか1つに記載の撮像装置。

20

(11)

前記導電材料は、600以上の耐熱性を有する、前記(10)に記載の撮像装置。

(12)

前記導電材料は、850以上の耐熱性を有する、前記(10)に記載の撮像装置。

(13)

前記導電膜は、ポリシリコン、タングステンまたは2次元材料を用いて形成されている、前記(1)乃至(12)のうちのいずれか1つに記載の撮像装置。

【0271】

本出願は、日本国特許庁において2019年6月26日に出願された日本特許出願番号2019-118481号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

30

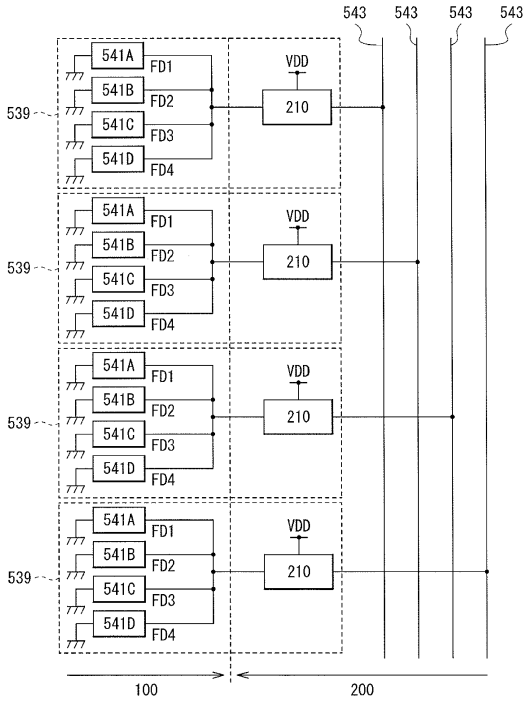
【0272】

当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

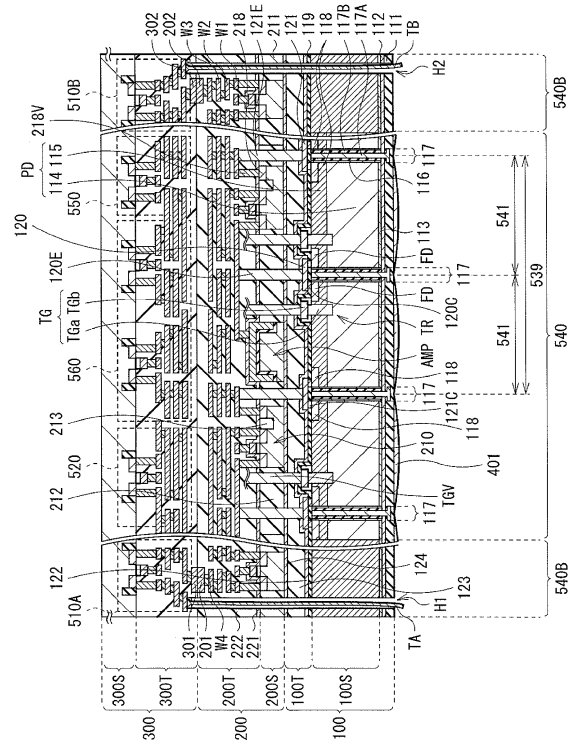
40

50

【 図 5 】



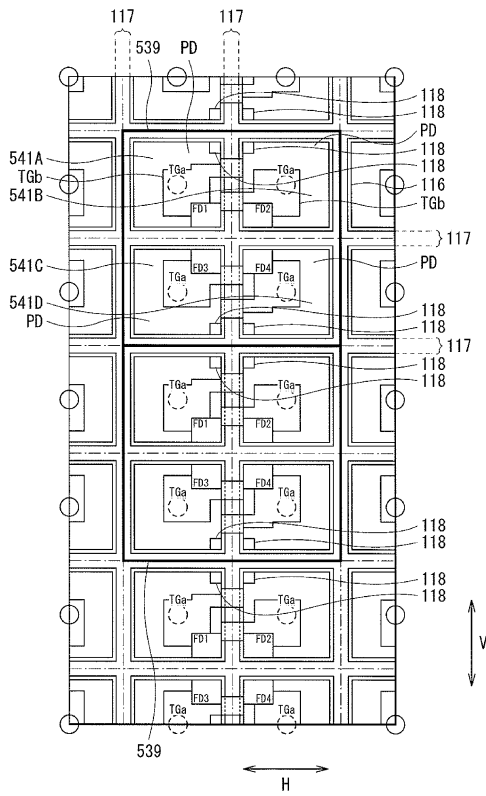
【 図 6 】



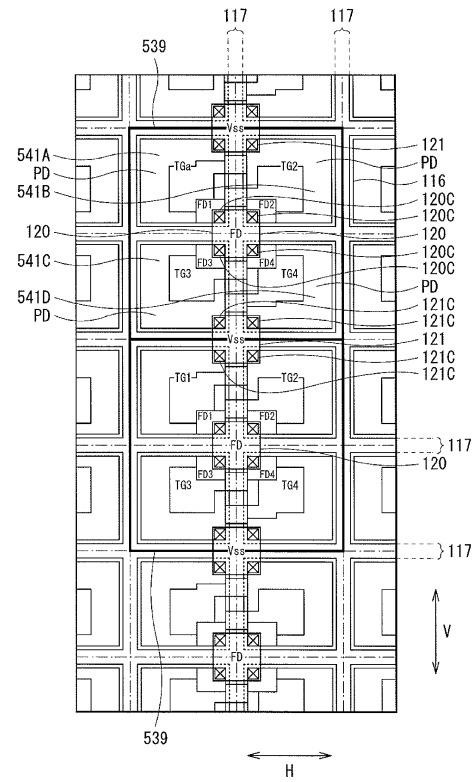
10

20

【 図 7 A 】



【 図 7 B 】

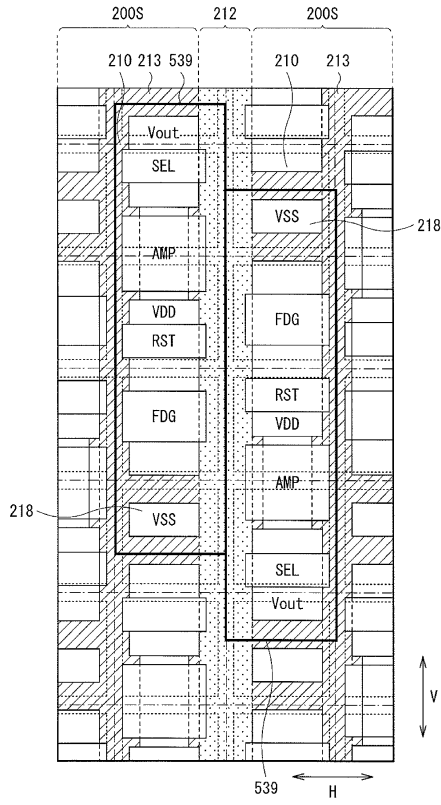


30

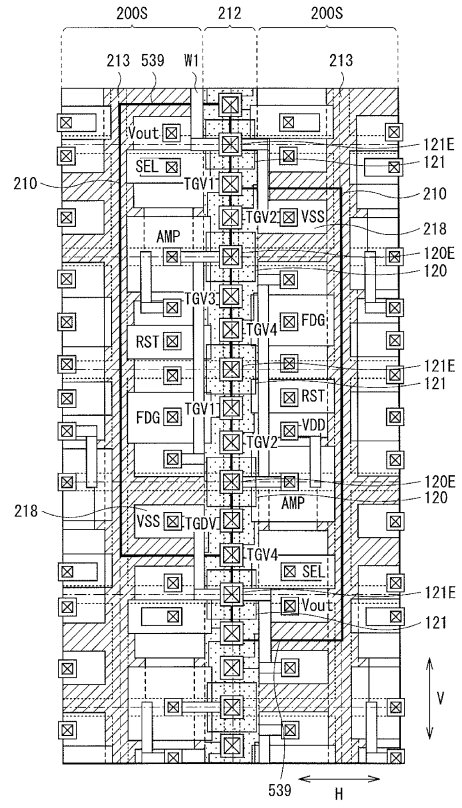
40

50

【 8 】



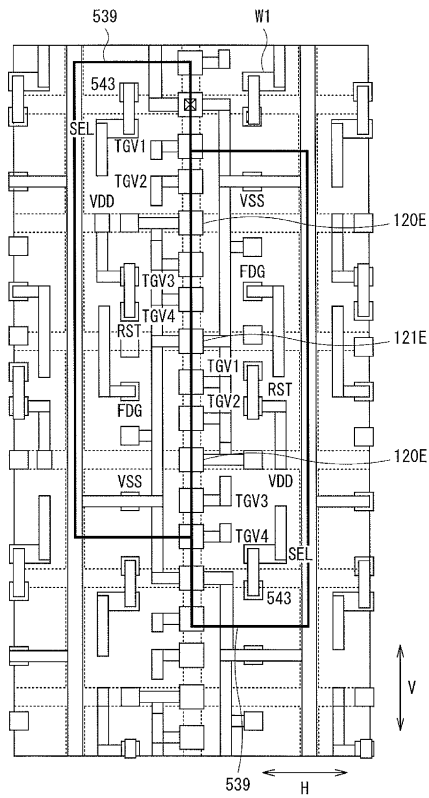
【 9 】



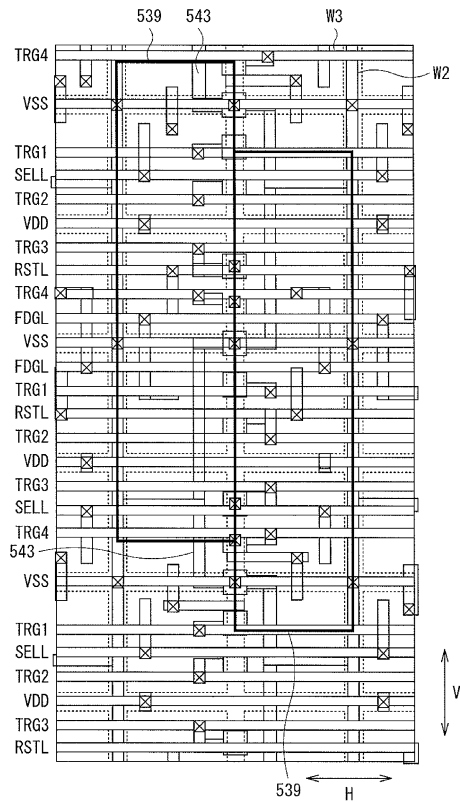
10

20

【 10 】



【 11 】

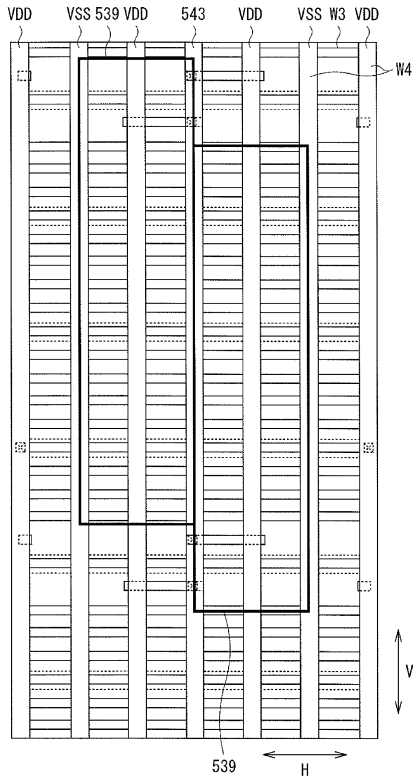


30

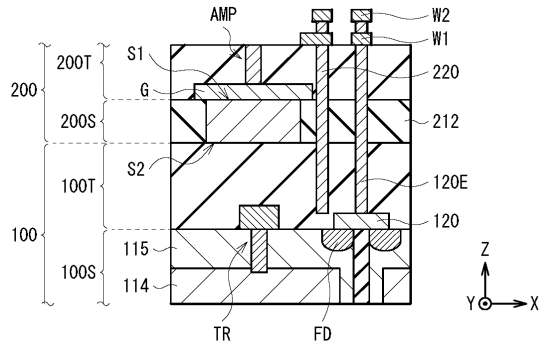
40

50

【 1 2 】



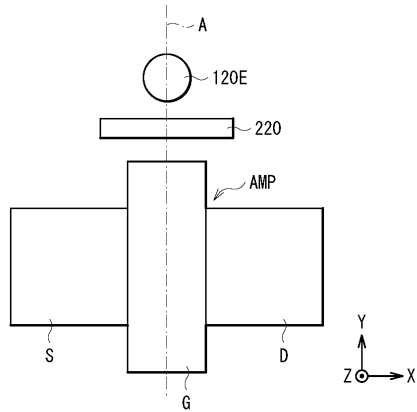
【 1 3 A 】



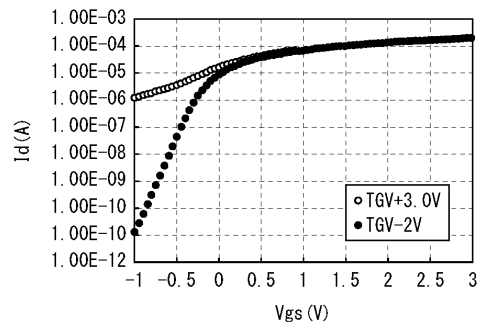
10

20

【 1 3 B 】



【 1 4 】

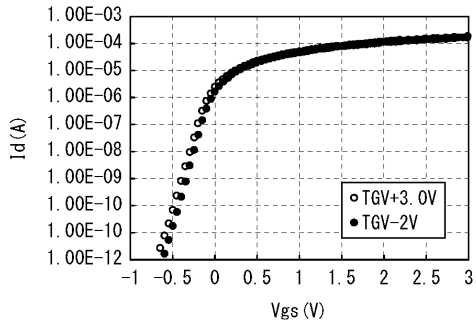


30

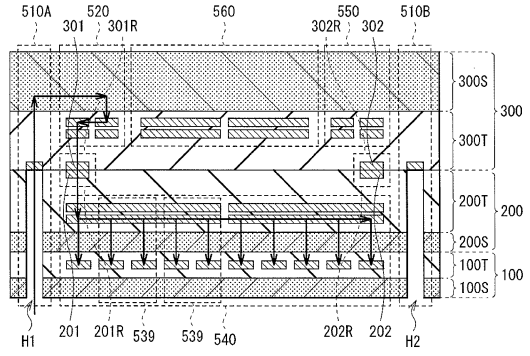
40

50

【 図 1 5 】

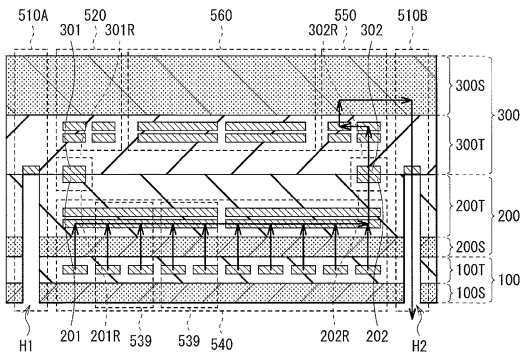


【 図 1 6 】

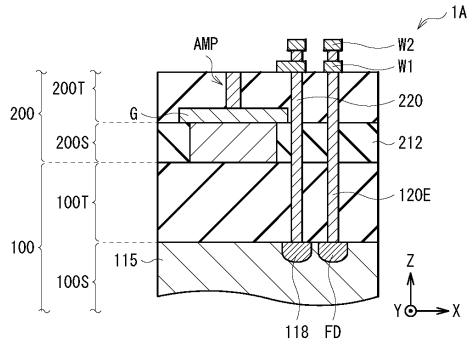


10

【 図 1 7 】

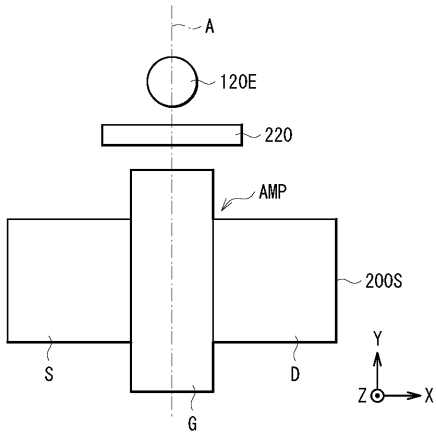


【 図 1 8 A 】

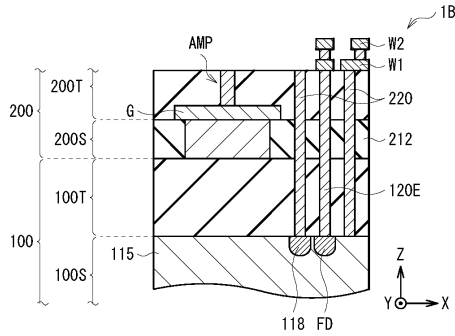


20

【 図 1 8 B 】



【 図 1 9 A 】

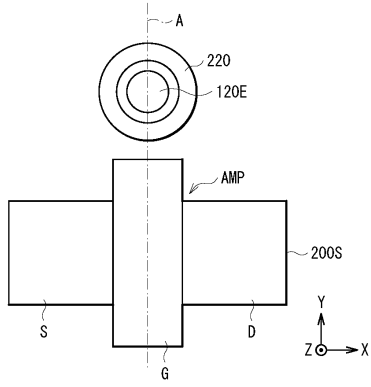


30

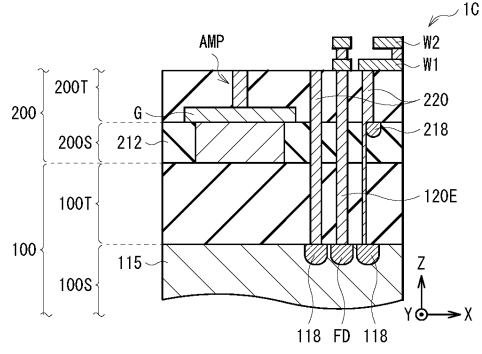
40

50

【 19 B 】

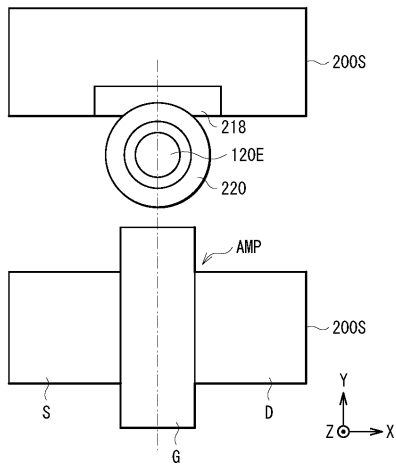


【 20 A 】

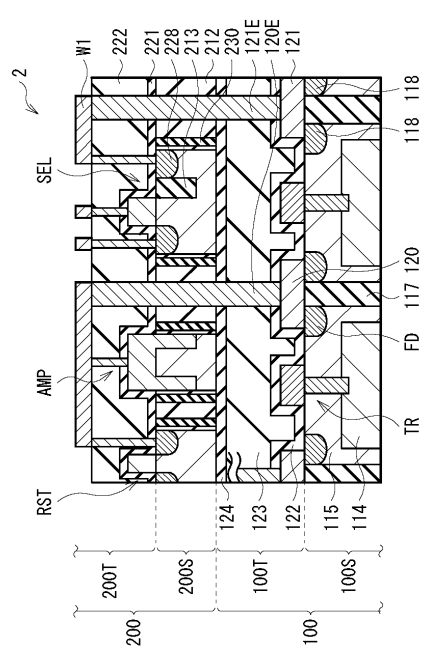


10

【 20 B 】



【 21 】



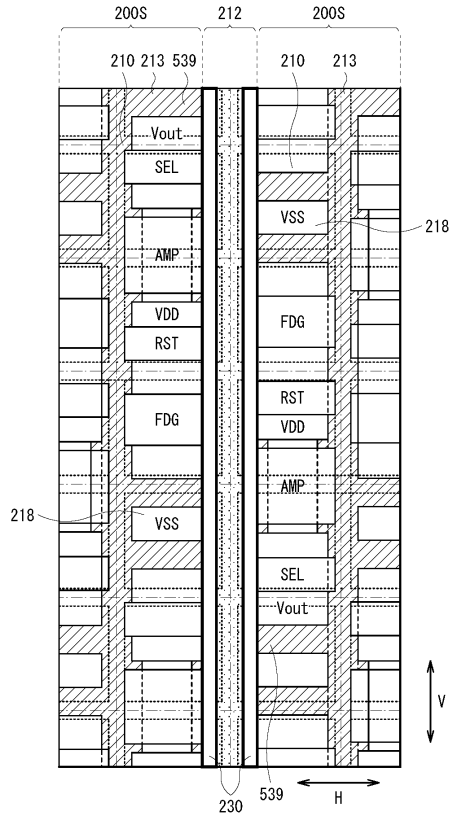
20

30

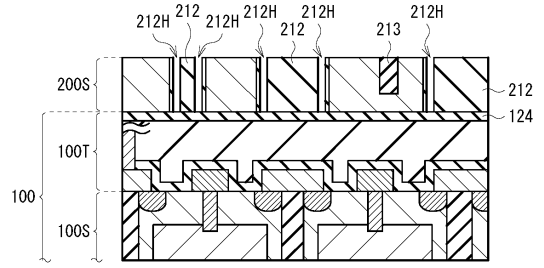
40

50

【 2 2 】



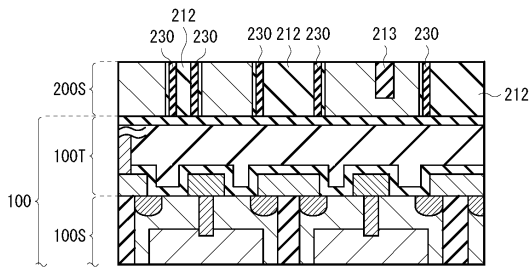
【 2 3 A 】



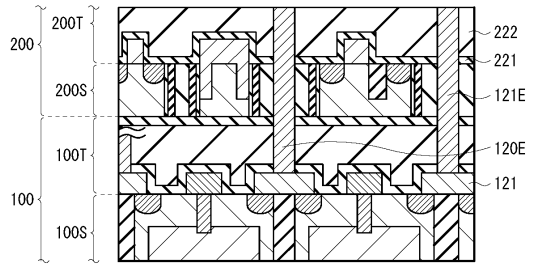
10

20

【 2 3 B 】



【 2 3 C 】

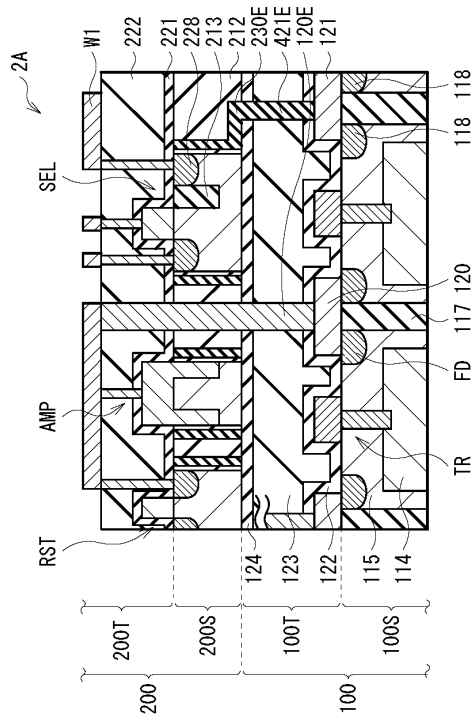


30

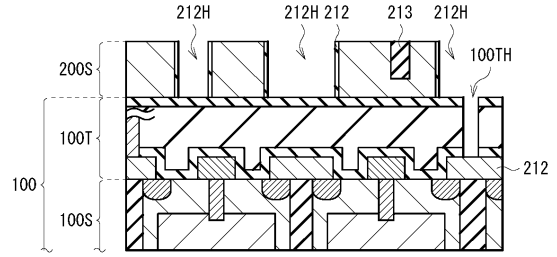
40

50

【 2 4 】



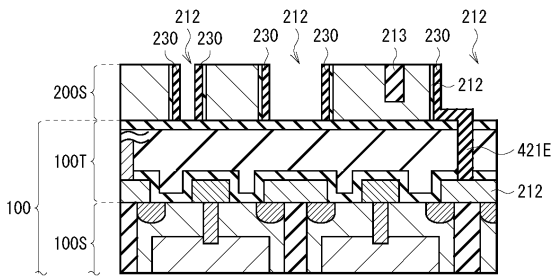
【 2 5 A 】



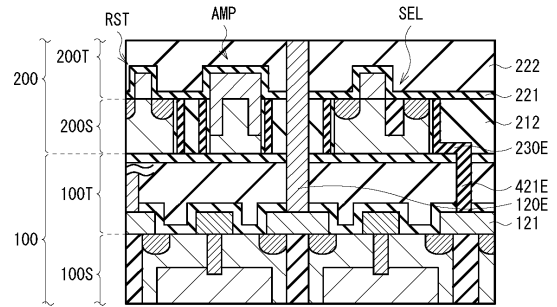
10

20

【 2 5 B 】



【 2 5 C 】

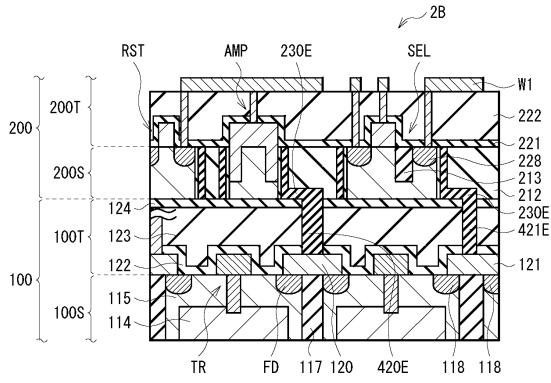


30

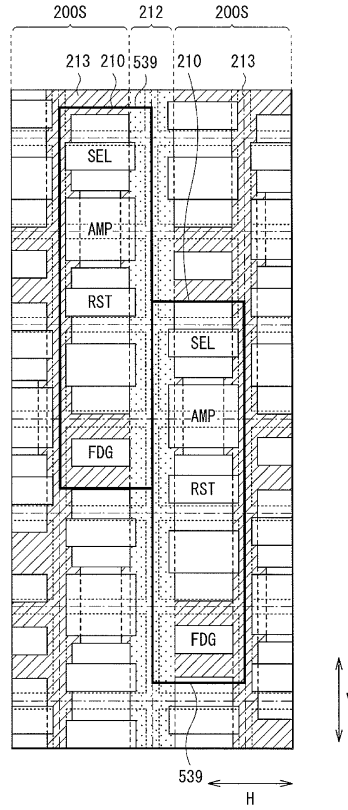
40

50

【図 26】



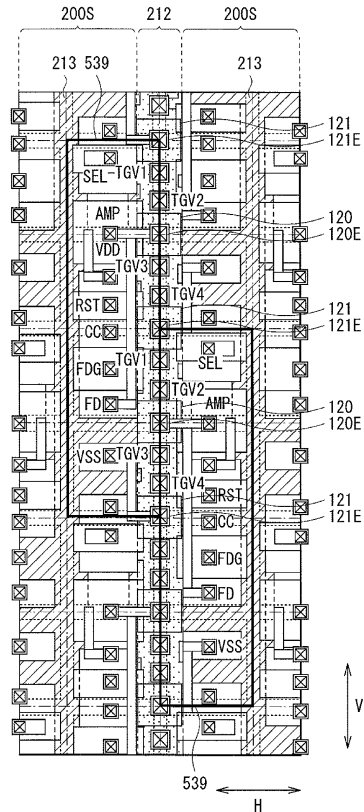
【図 27】



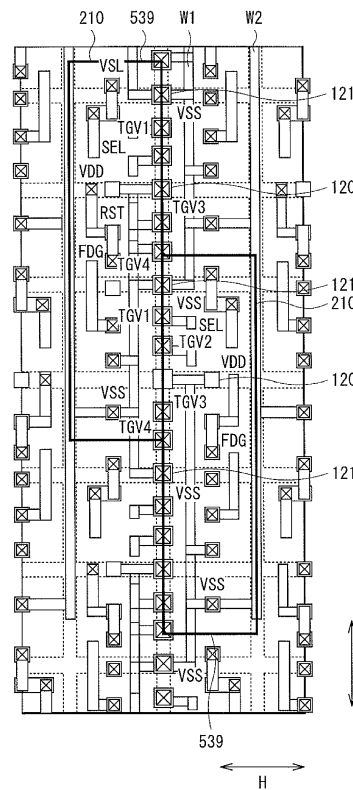
10

20

【図 28】



【図 29】

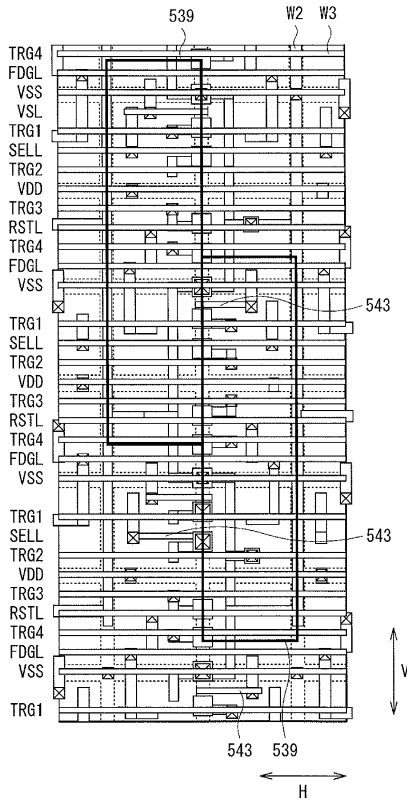


30

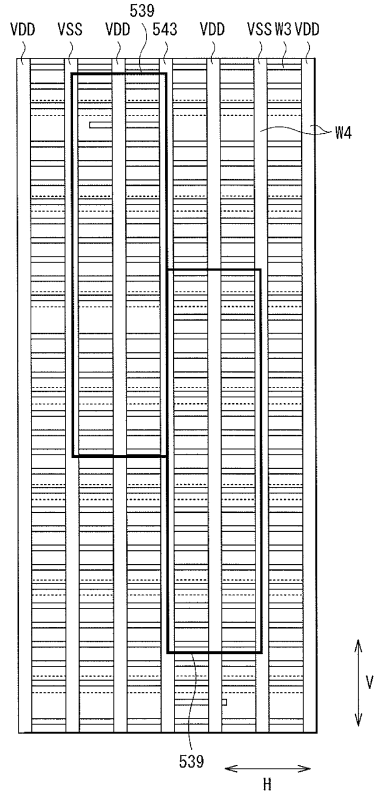
40

50

【図 3 0】



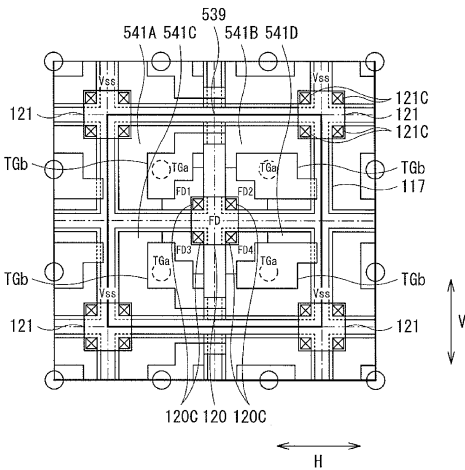
【図 3 1】



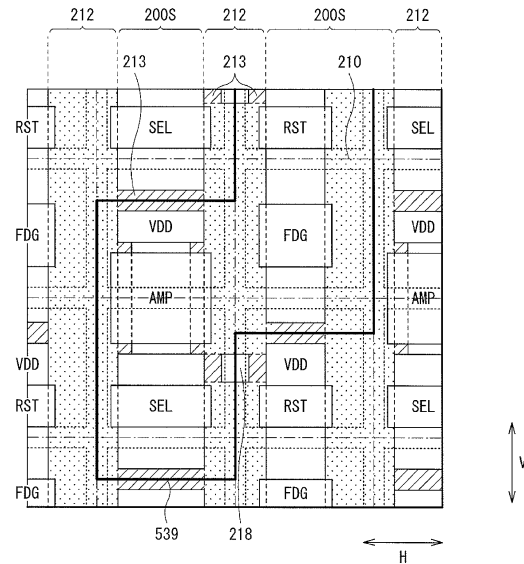
10

20

【図 3 2】



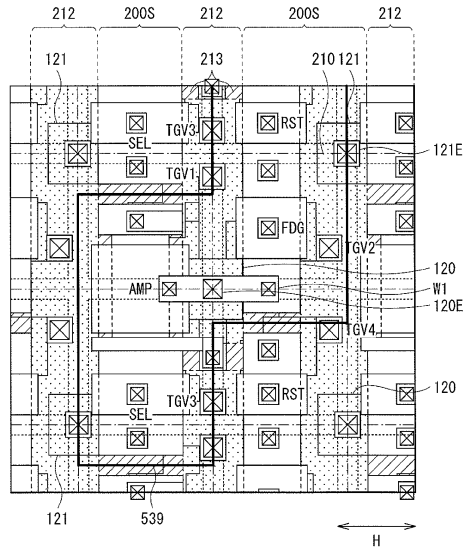
【図 3 3】



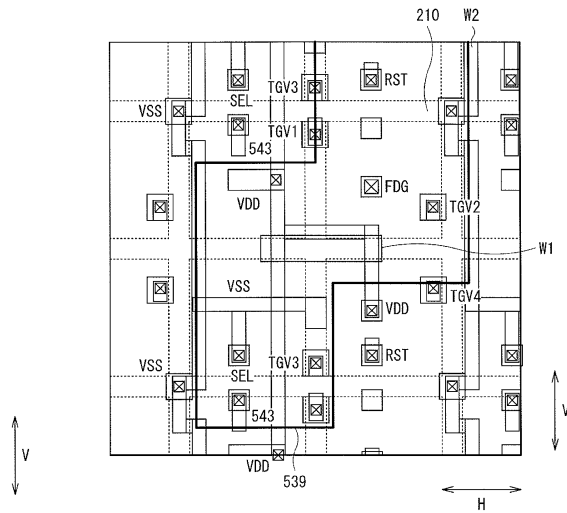
30

40

【 3 4 】

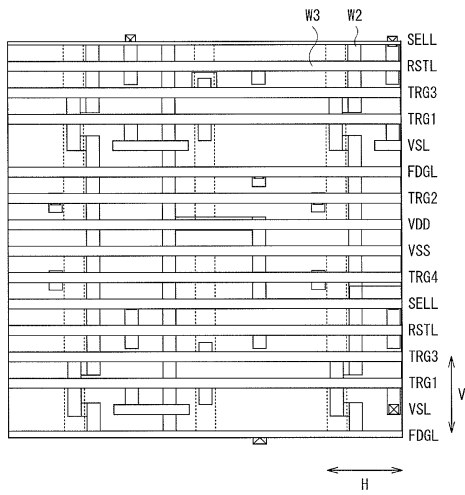


【 3 5 】

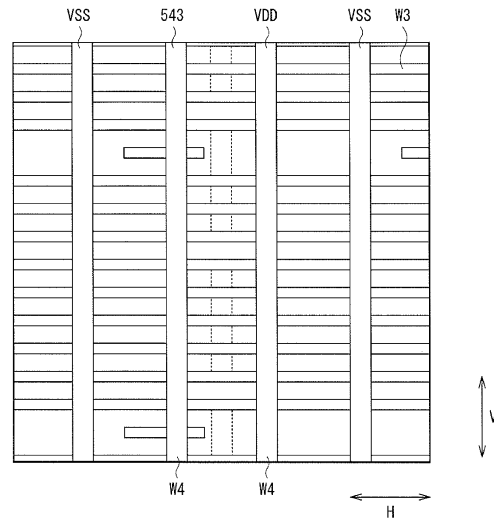


10

【 3 6 】



【 3 7 】



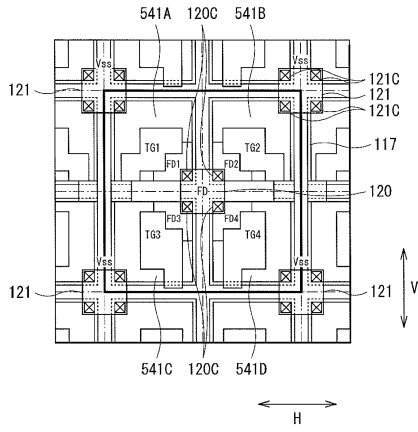
20

30

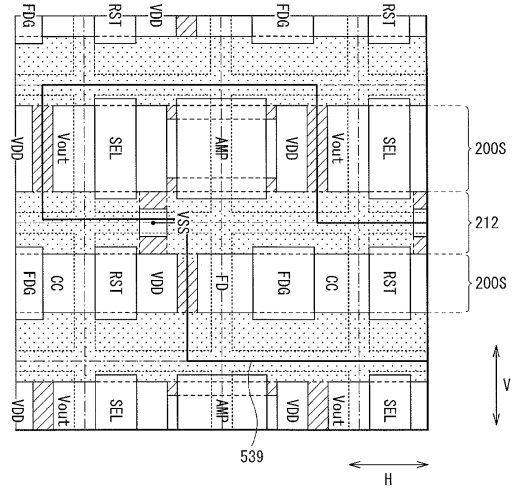
40

50

【 38 】

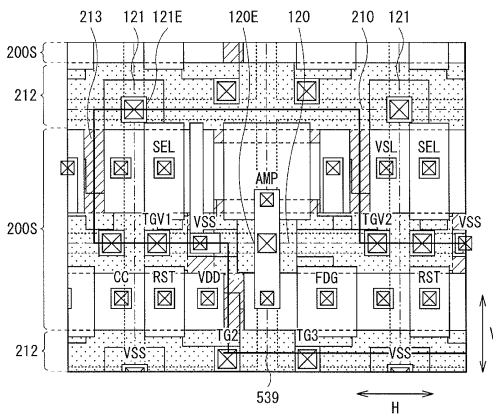


【 39 】

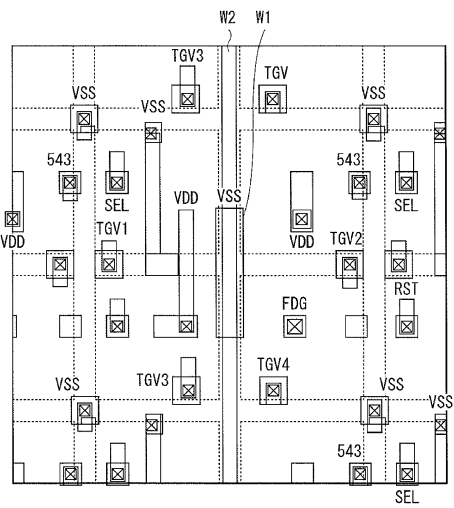


10

【 40 】



【 41 】



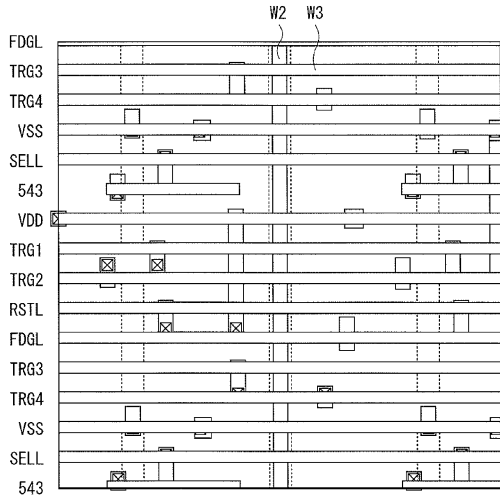
20

30

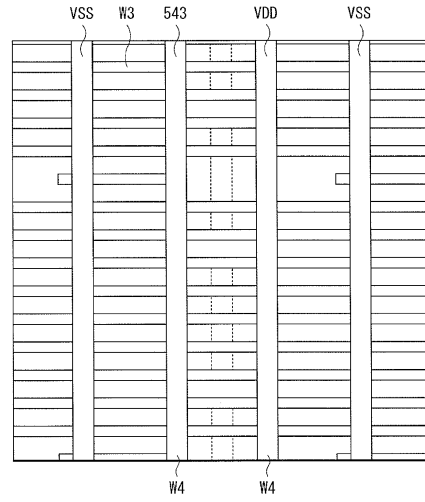
40

50

【 4 2 】

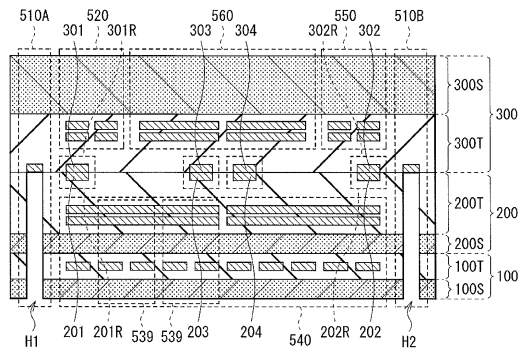


【 4 3 】

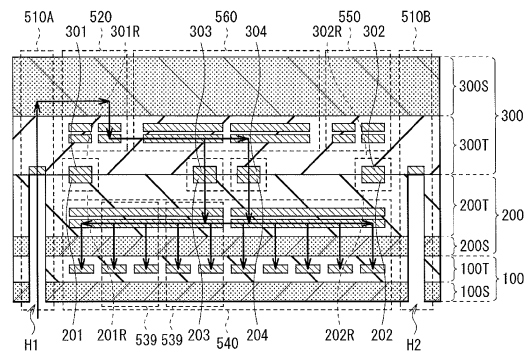


10

【 4 4 】



【 4 5 】



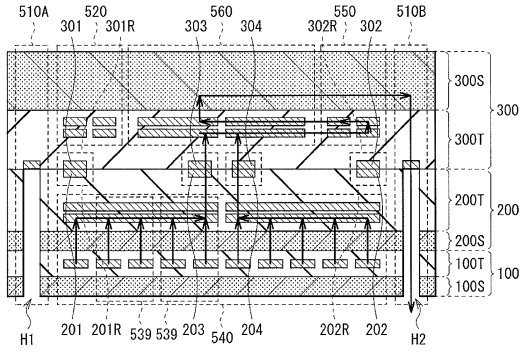
20

30

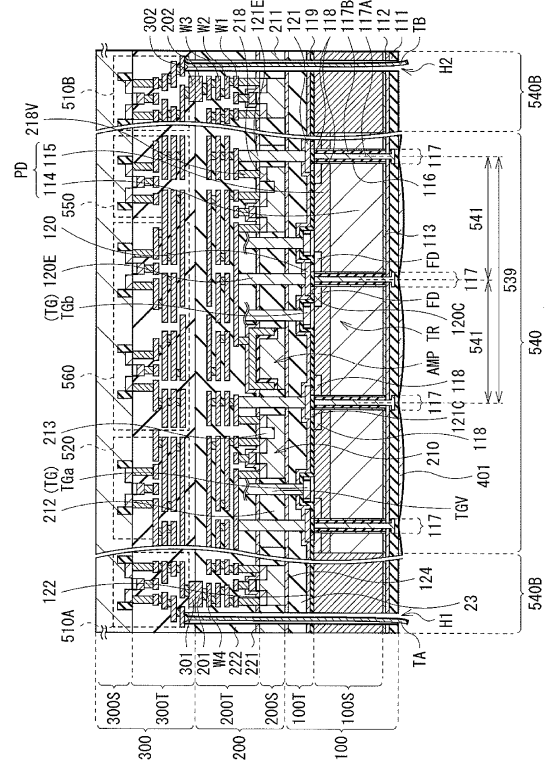
40

50

【 4 6 】



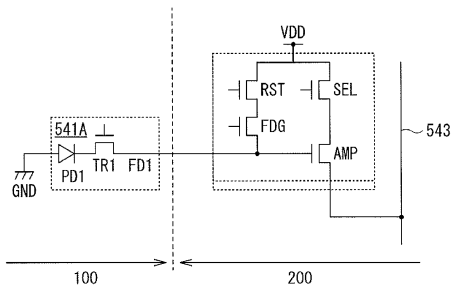
【 4 7 】



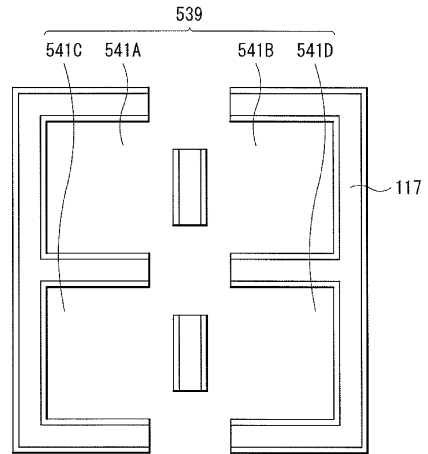
10

20

【 4 8 】



【 4 9 】

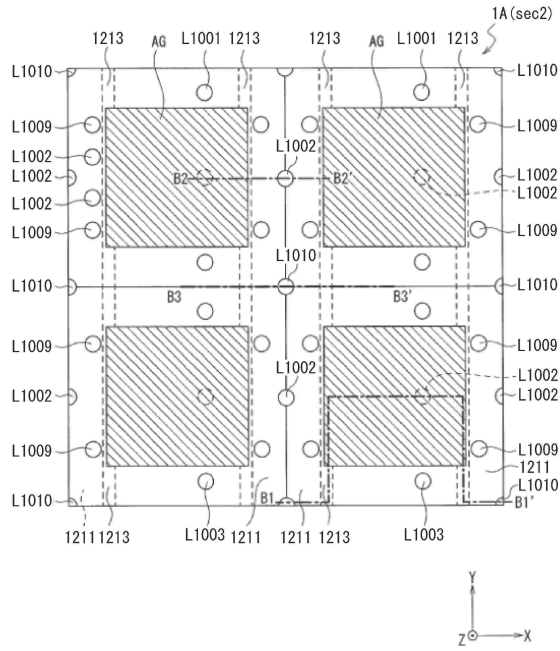


30

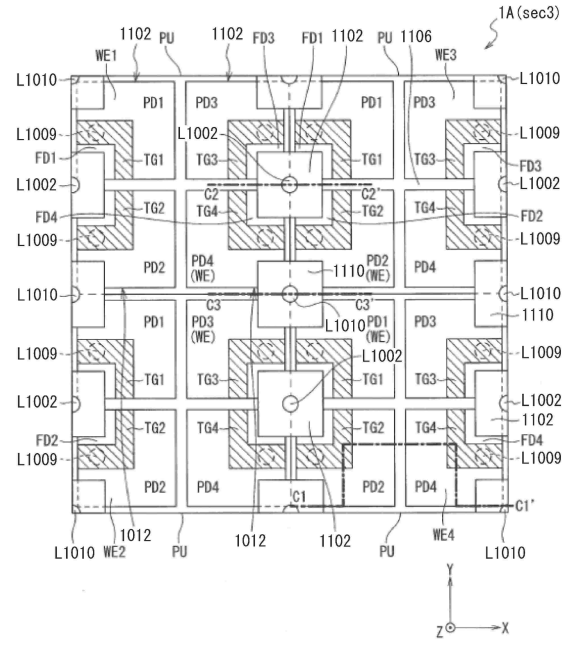
40

50

【 5 4 】



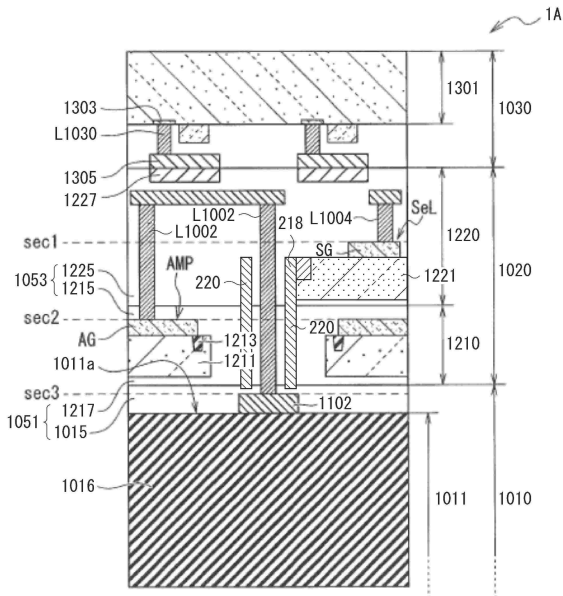
【 5 5 】



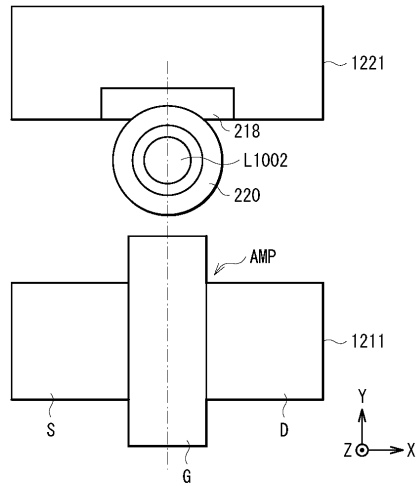
10

20

【 5 6 】



【 5 7 】

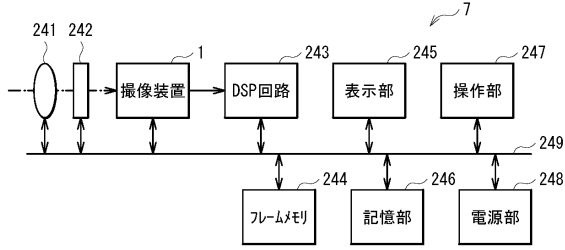


30

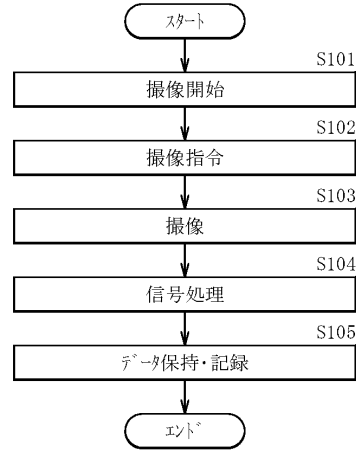
40

50

【図58】

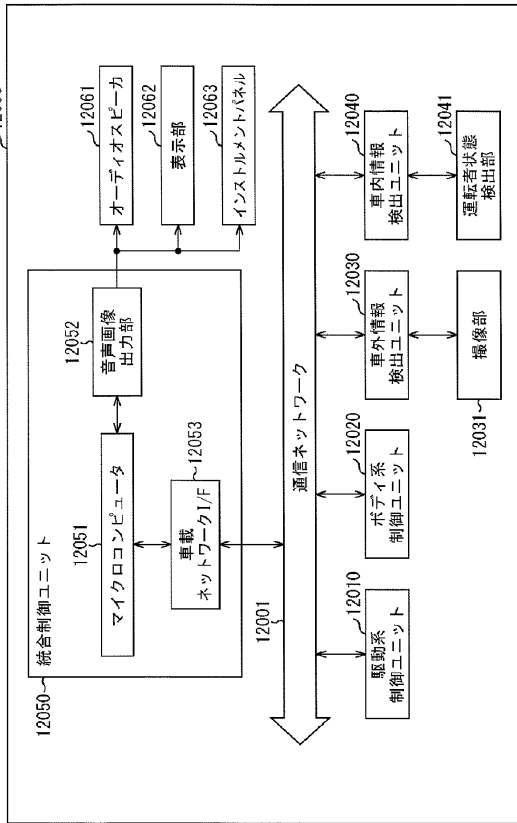


【図59】

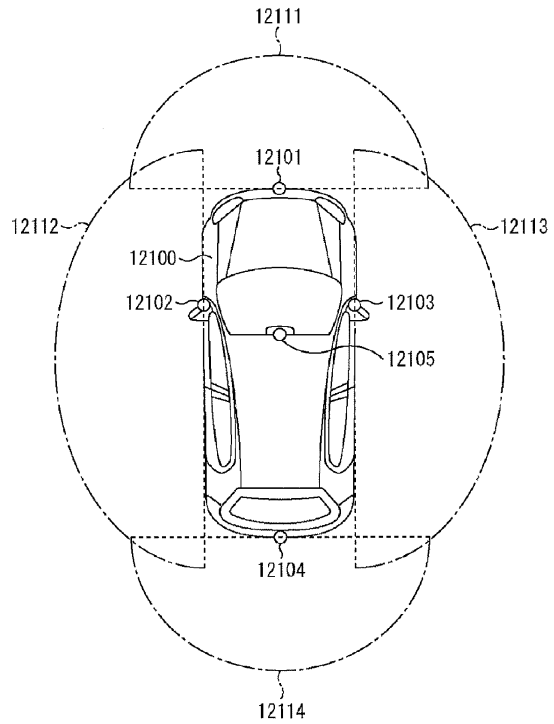


10

【図60】



【図61】



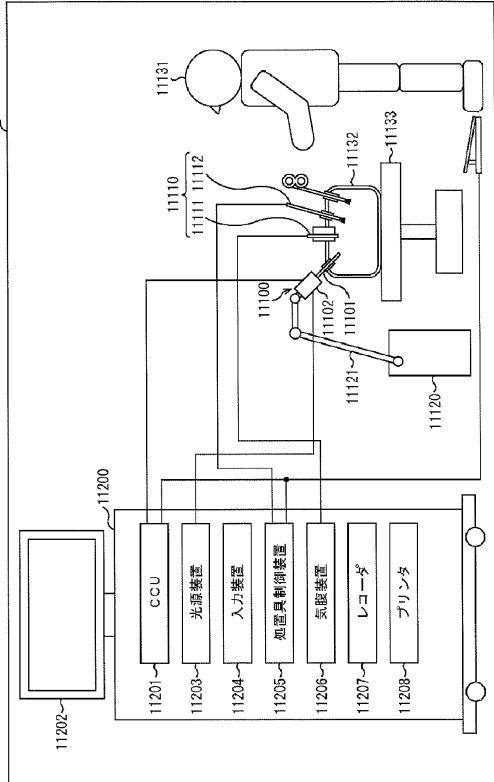
20

30

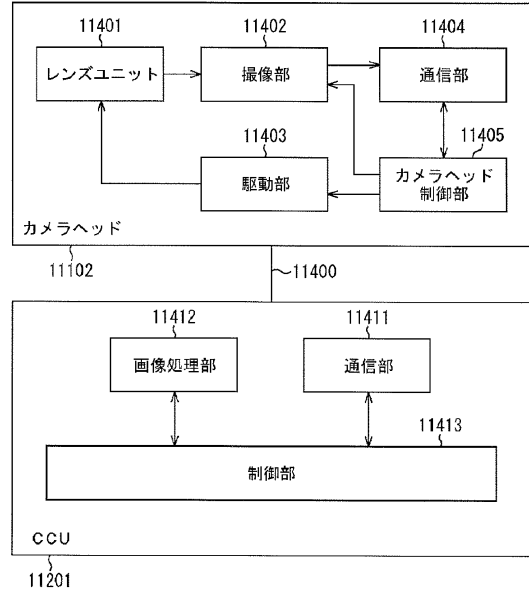
40

50

【図 6 2】



【図 6 3】



10

20

30

40

50

フロントページの続き

- (51)国際特許分類
- | | | | |
|-------------------------|---------|-------|---|
| | F I | | |
| H 0 1 L 23/532(2006.01) | H 0 1 L | 21/88 | M |
- (56)参考文献
- 国際公開第2018/186194(WO, A1)
特開2006-019455(JP, A)
特開2012-015400(JP, A)
特開2013-143532(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|---------|---------|
| H 0 1 L | 27/146 |
| H 0 1 L | 21/768 |
| H 0 1 L | 21/3205 |