

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月2日(02.03.2017)



(10) 国際公開番号
WO 2017/033244 A1

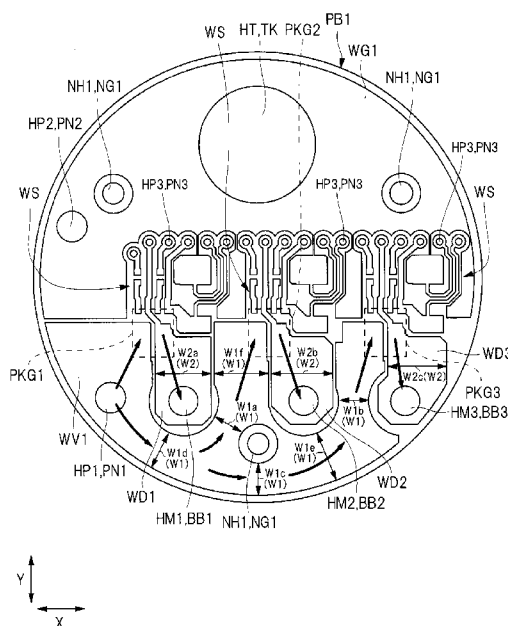
- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2015/073628
- (22) 国際出願日: 2015年8月21日(21.08.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENEAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目2番
24号 Tokyo (JP).
- (72) 発明者: 本橋 紀和(MOTOHASHI, Norikazu); 〒
1350061 東京都江東区豊洲三丁目2番24号
ルネサスエレクトロニクス株式会社内 Tokyo
(JP). 西山 知宏(NISHIYAMA, Tomohiro); 〒
1350061 東京都江東区豊洲三丁目2番24号
ルネサスエレクトロニクス株式会社内 Tokyo
(JP). 清水 忠(SHIMIZU, Tadashi); 〒1350061 東京
都江東区豊洲三丁目2番24号 ルネサスエレ
クトロニクス株式会社内 Tokyo (JP). 西園 晋二
(NISHIZONO, Shinji); 〒1350061 東京都江東区豊洲
三丁目2番24号 ルネサスエレクトロニクス
株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人筒井国際特許事務所
(TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿
区新宿2丁目3番10号 新宿御苑ビル3階
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子装置

図 25



(57) Abstract: A plurality of semiconductor devices, each of which has a semiconductor chip that is provided with a high-side MOSFET, and a semiconductor chip that is provided with a low-side MOSFET, are mounted on a wiring board (PB1). The wiring board (PB1) has: a power supply wiring line WV1 that is supplied with a power supply potential; and output wiring lines WD1, WD2, WD3, which electrically connect low-side drain terminals of the semiconductor devices to a plurality of output terminals. The minimum value and the maximum value of the width of a current path in the power supply wiring WV1 are set as a first minimum width and a first maximum width, respectively, and the minimum value and the maximum value of the width of a current path in the output wiring lines WD1, WD2, WD3 are set as a second minimum width and a second maximum width, respectively. In the cases where the first minimum width is smaller than the second minimum width, the first minimum width is larger than the half of the second maximum width, and in the cases where the second minimum width is smaller than the first minimum width, the second minimum width is larger than the half of the first maximum width.

(57) 要約: ハイサイドMOSFETを備えた半導体チップとロウサイドMOSFETを備えた半導体チップとを有する半導体装置が、配線基板(PB1)上に複数搭載されている。配線基板(PB1)は、電源電位が供給される電源配線WV1と、複数の半導体装置のロウサイド用ドレイン端子を複数の出力端子に電氣的に接続する出力配線WD1、WD2、WD3と、を有している。電源配線WV1における電流経路の幅の最小値と最大値とを、それぞれ第1最小幅と第1最大幅とし、出力配線WD1、WD2、WD3における電流経路の幅の最小値と最大値とを、それぞれ第2最小幅と第2最大幅とする。第1最小幅が第2最小幅よりも小さい場合は、第1最小幅は、第2最大幅の1/2よりも大きく、第2最小幅が第1最小幅よりも小さい場合は、第2最小幅は、第1最大幅の1/2よりも大きい。

の最小値と最大値とを、それぞれ第2最小幅と第2最大幅とする。第1最小幅が第2最小幅よりも小さい場合は、第1最小幅は、第2最大幅の1/2よりも大きく、第2最小幅が第1最小幅よりも小さい場合は、第2最小幅は、第1最大幅の1/2よりも大きい。

WO 2017/033244 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 電子装置

技術分野

[0001] 本発明は、電子装置に関し、例えば、モータ駆動用の電子装置に好適に利用できるものである。

背景技術

[0002] 特開 2 0 1 3 - 6 2 9 5 9 号公報（特許文献 1）、特開 2 0 1 1 - 1 7 6 9 9 9 号公報（特許文献 2）および特開 2 0 0 4 - 2 9 7 8 4 7 号公報（特許文献 3）には、モータ駆動装置に関する技術が記載されている。

先行技術文献

特許文献

[0003] 特許文献 1 : 特開 2 0 1 3 - 6 2 9 5 9 号公報
特許文献 2 : 特開 2 0 1 1 - 1 7 6 9 9 9 号公報
特許文献 3 : 特開 2 0 0 4 - 2 9 7 8 4 7 号公報

発明の概要

発明が解決しようとする課題

[0004] ハイサイド MOSFET を備えたハイサイド用半導体チップと、ロウサイド MOSFET を備えたロウサイド用半導体チップと、を備えた半導体装置を、配線基板上に複数搭載した電子装置において、性能を向上させることが望まれる。

[0005] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0006] 一実施の形態によれば、電子装置は、ハイサイド MOSFET を備えたハイサイド用半導体チップと、ロウサイド MOSFET を備えたロウサイド用半導体チップと、を備えた半導体装置を、配線基板上に複数搭載した電子装置である。前記複数の半導体装置のそれぞれは、内蔵する前記ロウサイド用

半導体チップのドレイン電極と電氣的に接続されたロウサイド用ドレイン端子を有している。前記配線基板は、電源電位が供給される第1導体パターンと、前記複数の半導体装置の前記ロウサイド用ドレイン端子を複数の出力端子に電氣的に接続する第2導体パターンと、を有している。前記配線基板において、前記第1導体パターンにおける電流経路の幅と、前記第2導体パターンにおける電流経路の幅は、均一化されている。

発明の効果

[0007] 一実施の形態によれば、電子装置の性能を向上させることができる。

図面の簡単な説明

[0008] [図1]一実施の形態の電子装置を用いたモータ駆動システムを示す回路図である。

[図2]一実施の形態の電子装置を用いたモータ駆動システム全体を示す模式図（側面図）である。

[図3]一実施の形態の電子装置を用いたモータ駆動システム全体を示す模式図（斜視図）である。

[図4]自動車の制御システムを示す説明図である。

[図5]自動車の制御システムを示す説明図である。

[図6]モータに取り付けられた一実施の形態の電子装置を示す説明図である。

[図7]図6の一部を拡大して示す部分拡大断面図である。

[図8]図6の一部を拡大して示す部分拡大断面図である。

[図9]パワー用配線基板の上面図である。

[図10]半導体装置の上面図である。

[図11]半導体装置の下面図である。

[図12]半導体装置の平面透視図である。

[図13]半導体装置の断面図である。

[図14]半導体装置の断面図である。

[図15]半導体装置の断面図である。

[図16]半導体装置の断面図である。

[図17]パワー用配線基板の上面側の平面図である。

[図18]パワー用配線基板の上面側の平面透視図である。

[図19]パワー用配線基板の下面側の平面透視図である。

[図20]パワー用配線基板の下面側の平面図である。

[図21]パワー用配線基板上に半導体装置が搭載された構造の断面図である。

[図22]パワー用配線基板上に半導体装置が搭載された構造の断面図である。

[図23]パワー用配線基板上に半導体装置が搭載された構造の断面図である。

[図24]パワー用配線基板上に半導体装置が搭載された構造の断面図である。

[図25]パワー用配線基板の上面側の平面透視図である。

[図26]パワー用配線基板の下面側の平面透視図である。

発明を実施するための形態

[0009] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。特に、本明細書中で用いる「円形状」は、「真円の形状」に限定されるものではなく、所謂「真円ではない略円形状」も含むものとする。

[0010] 以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を

説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0011] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

[0012] (実施の形態)

＜回路構成について＞

図1は、本実施の形態の電子装置を用いたモータ駆動システムを示す回路図である。

[0013] 図1に示されるモータ駆動システムは、パワー系回路構成部PKと、制御系回路構成部SKと、を有しており、パワー系回路構成部PKは、後述のパワー用配線基板PB1およびその上に搭載された電子部品により構成され、制御系回路構成部SKは、後述の制御用配線基板PB2およびその上に搭載された電子部品により構成されている。

[0014] なお、図1において、点線で囲まれた領域内の回路構成が、パワー系回路構成部PKに対応し、一点鎖線で囲まれた領域内の回路構成が、制御系回路構成部SKに対応している。

[0015] 制御系回路構成部SKは、レギュレータRGと制御回路部CTとを含んでいる。パワー系回路構成部PKは、パワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 1, 2, 3, 4, 5, 6と抵抗R1, R2, R3, R4, R5, R6, R7, R8, R9とを含んでおり、インバータ回路を構成している。

[0016] なお、本願において、MOSFETと言うときは、ゲート絶縁膜として酸化膜を用いる場合だけでなく、ゲート絶縁膜として酸化膜以外の絶縁膜を用いる場合も含むものとする。

[0017] パワー系回路構成部PK (インバータ回路) に供給された直流電力は、パワー系回路構成部PK (インバータ回路) で交流電力に変換されて、モータ

MOTに供給されるようになっている。モータMOTは、パワー系回路構成部PKから供給された交流電力によって駆動される。パワー系回路構成部PKは、制御系回路構成部SKの制御回路部CTによって制御される。

[0018] まず、パワー系回路構成部PKについて具体的に説明する。

[0019] パワー系回路構成部PKにおいては、パワーMOSFET1とパワーMOSFET2とが、電源電位（電源電圧）VINが供給される端子TE1とグラウンド電位（グラウンド電圧、基準電圧）GNDが供給される端子TE2との間に、直列に接続されている。パワーMOSFET1がハイサイド用MOSFETに対応し、パワーMOSFET2がロウサイド用MOSFETに対応している。パワーMOSFET1のドレインは、端子TE1（電源電位VIN）に接続され、パワーMOSFET1のソースは、パワーMOSFET2のドレインに接続され、パワーMOSFET2のソースは、抵抗（シャント抵抗）R1を介して、端子TE2（グラウンド電位GND）に接続されている。パワーMOSFET1とパワーMOSFET2との接続点は、モータMOT（より特定的にはモータMOTのU相コイルUC）に接続された端子TE3に接続されている。パワーMOSFET1のゲートは、抵抗R2を介して、制御回路部CT内の駆動回路に接続され、また、パワーMOSFET2のゲートは、抵抗R3を介して、制御回路部CT内の駆動回路に接続されている。

[0020] なお、端子TE1は、後述のパワー用配線基板PB1の孔HP1か、あるいは、孔HP1に挿通した後述の電源接続用ピンPN1に対応している。また、端子TE2は、後述のパワー用配線基板PB1の孔HP2か、あるいは、孔HP2に挿通した後述のグラウンド接続用ピンPN2に対応している。また、端子TE3は、後述のパワー用配線基板PB1の孔HM1か、あるいは、孔HM1に挿通した後述の接続ピンBB1に対応している。また、端子TE4は、後述のパワー用配線基板PB1の孔HM2か、あるいは、孔HM2に挿通した後述の接続ピンBB2に対応している。また、端子TE5は、後述のパワー用配線基板PB1の孔HM3か、あるいは、孔HM3に挿通した

後述の接続ピンBB3に対応している。

[0021] また、パワー系回路構成部PKにおいては、パワーMOSFET3とパワーMOSFET4とが、電源電位VINが供給される端子TE1とグランド電位GNDが供給される端子TE2との間に、直列に接続されている。パワーMOSFET3がハイサイド用MOSFETに対応し、パワーMOSFET4がロウサイド用MOSFETに対応している。パワーMOSFET3のドレインは、端子TE1（電源電位VIN）に接続され、パワーMOSFET3のソースは、パワーMOSFET4のドレインに接続され、パワーMOSFET4のソースは、抵抗（シャント抵抗）R4を介して、端子TE2（グランド電位GND）に接続されている。パワーMOSFET3とパワーMOSFET4との接続点は、モータMOT（より特定的にはモータMOTのV相コイルVC）に接続された端子TE4に接続されている。パワーMOSFET3のゲートは、抵抗R5を介して、制御回路部CT内の駆動回路に接続され、また、パワーMOSFET4のゲートは、抵抗R6を介して、制御回路部CT内の駆動回路に接続されている。

[0022] また、パワー系回路構成部PKにおいては、パワーMOSFET5とパワーMOSFET6とが、電源電位VINが供給される端子TE1とグランド電位GNDが供給される端子TE2との間に、直列に接続されている。パワーMOSFET5がハイサイド用MOSFETに対応し、パワーMOSFET6がロウサイド用MOSFETに対応している。パワーMOSFET5のドレインは、端子TE1（電源電位VIN）に接続され、パワーMOSFET5のソースは、パワーMOSFET6のドレインに接続され、パワーMOSFET6のソースは、抵抗（シャント抵抗）R7を介して、端子TE2（グランド電位GND）に接続されている。パワーMOSFET5とパワーMOSFET6との接続点は、モータMOT（より特定的にはモータMOTのW相コイルWC）に接続された端子TE5に接続されている。パワーMOSFET5のゲートは、抵抗R8を介して、制御回路部CT内の駆動回路に接続され、また、パワーMOSFET6のゲートは、抵抗R9を介して、制御

回路部C T内の駆動回路に接続されている。

[0023] モータMOTのU相コイルUC、V相コイルVCおよびW相コイルWCは、パワー系回路構成部PKの端子TE3、TE4、TE5にそれぞれ接続され、パワー系回路構成部PKの端子TE3、TE4、TE5から供給された交流電力によってモータMOTが駆動される。

[0024] なお、電源電位VINとグランド電位GNDとの間に直列に接続された一対のMOSFETのうち、電源電位VIN側（すなわち高電位側）のMOSFETが、ハイサイド用MOSFETに対応し、グランド電位GND側（すなわち低電位側）のMOSFETが、ロウサイド用MOSFETに対応する。ハイサイド用MOSFETは、ハイサイドスイッチ用の電界効果トランジスタであり、ロウサイド用MOSFETは、ロウサイドスイッチ用の電界効果トランジスタである。

[0025] 次に、制御系回路構成部SKについて、具体的に説明する。

[0026] 電源電位VINとグランド電位GNDは、制御系回路構成部SKにも供給される。すなわち、電源電位VINが、端子TE6に供給され、グランド電位GNDが、端子TE7に供給される。端子TE6は、後述の制御用配線基板PB2の電源配線における電源電位VIN供給用のケーブルCBの接続部に対応し、端子TE7は、後述の制御用配線基板PB2のグランド配線におけるグランド電位GND供給用のケーブルCBの接続部に対応している。

[0027] 電源電位VINが供給される端子TE6とグランド電位GNDが供給される端子TE7とに、レギュレータRGが接続され、端子TE6に供給された電源電位VINは、レギュレータRGに入力されてレギュレータRGで所定の定電圧（V1）に変換（降圧）され、レギュレータRGで生成された定電圧（V1）が制御回路部CTに供給される。レギュレータRGから制御回路部CTに供給された定電圧（V1）は、制御回路部CTの動作電圧として用いられる。また、端子TE6に供給された電源電位VINと、端子TE7に供給されたグランド電位GNDも、制御回路部CTに供給される。

[0028] 制御回路部CTは、パワーMOSFET1、2、3、4、5、6を制御（

駆動)する回路を含んでいる。制御回路部C T内の駆動回路は、パワーMOSFET 1, 2, 3, 4, 5, 6の各ゲートにゲート信号(ゲート電圧)を供給する。制御回路部C TからパワーMOSFET 1, 2, 3, 4, 5, 6の各ゲートに供給されるゲート信号によって、パワーMOSFET 1, 2, 3, 4, 5, 6のそれぞれのオン/オフを制御することができる。従って、制御回路部C Tは、パワー系回路構成部P Kを制御することができる。

[0029] パワーMOSFET 2のソースと端子TE 2(グランド電位GND)の間には、抵抗R 1が介在し、パワーMOSFET 4のソースと端子TE 2(グランド電位GND)の間には、抵抗R 4が介在し、パワーMOSFET 6のソースと端子TE 2(グランド電位GND)の間には、抵抗R 7が介在している。各抵抗R 1, R 4, R 7の両端は、制御回路部C T内の検出回路に接続されている。抵抗R 1, R 4, R 7に印加される電圧を制御回路部C Tで検知することにより、モータMOTのU相コイル、V相コイルおよびW相コイルにそれぞれ流れる電流を検出することができる。例えば、制御回路部C Tは、抵抗R 1, R 4, R 7のそれぞれに流れる電流を検出し、その検出電流を利用して、パワー系回路構成部P KからモータMOTに供給される電力が所望の波形になるように、パワーMOSFET 1, 2, 3, 4, 5, 6を制御することができる。

[0030] このように、図1に示されるモータ駆動システムにおいては、制御系回路構成部S Kの制御回路部C Tによってパワー系回路構成部P K(インバータ回路)を制御することにより、端子TE 1, TE 2からパワー系回路構成部P Kに供給された直流電力を交流電力に変換して端子TE 3, TE 4, TE 5からモータMOTに供給し、モータMOTを駆動することができる。

[0031] <全体構成について>

図2および図3は、本実施の形態の電子装置を用いたモータ駆動システム全体を示す模式図である。図2には、側面図が示され、図3には、斜視図が示されているが、図3では、パワー用配線基板PB 1と制御用配線基板PB 2との積層体をカバーする部材は、図示を省略している。なお、パワー用配

線基板 P B 1 と制御用配線基板 P B 2 とは、いずれも配線基板であるが、パワー用配線基板 P B 1 は、上記パワー系回路構成部 P K を形成するための配線基板であり、制御用配線基板 P B 2 は、上記制御系回路構成部 S K を形成するための配線基板である。

[0032] 図 2 および図 3 に示されるモータ駆動システムにおいては、モータ M O T にパワー用配線基板 P B 1 と制御用配線基板 P B 2 とが取り付けられている。具体的には、モータ M O T の上部（上面）に、パワー用配線基板 P B 1 と制御用配線基板 P B 2 とが、下から順に積み重なるようにして、取り付けられている。

[0033] モータ M O T は、例えば、燃料ポンプ（後述の燃料ポンプ P M に対応）用のモータであり、シャフト S F T とともに回転するインペラ（羽根車） I M P を有している。上述のように、パワー用配線基板 P B 1 およびその上に搭載された電子部品（図 2 および図 3 では図示せず）により、上記パワー系回路構成部 P K が形成され、制御用配線基板 P B 2 およびその上に搭載された電子部品（図 2 および図 3 では図示せず）により、上記制御系回路構成部 S K が形成される。上記パワー系回路構成部 P K から供給された交流電力により、モータ M O T のシャフト S F T が回転し、それによって、モータ M O T のシャフト S F T に固定されたインペラ I M P が回転するようになっている。

[0034] パワー用配線基板 P B 1 および制御用配線基板 P B 2 は、モータ M O T の上部に、積み重なるように、取り付けられているため、パワー用配線基板 P B 1 および制御用配線基板 P B 2 のそれぞれの平面寸法は、モータ M O T の平面寸法と同等以下であることが望ましい。但し、モータ M O T の平面形状は、円形であるため、モータ M O T の平面形状に合わせて、パワー用配線基板 P B 1 および制御用配線基板 P B 2 のそれぞれの平面形状も、同一平面寸法（直径または面積）の円形状とすれば、実装スペースに無駄が生じることなく空間を有効に活用することができるため、より好ましい。

[0035] また、モータ M O T の上面には、インペラ I M P の回転によって吸い上げ

た燃料を吐出する吐出口（管、配管）ＴＫが設けられている。吐出口ＴＫは、管状の部材であり、燃料が通過できるように構成されている。この吐出口ＴＫが貫通するように、パワー用配線基板ＰＢ１と制御用配線基板ＰＢ２とにそれぞれ貫通孔が設けられている。このため、吐出口ＴＫは、モータＭＯＴの上面から、パワー用配線基板ＰＢ１および制御用配線基板ＰＢ２の各貫通孔を通して、モータＭＯＴの上方に突出している。パワー用配線基板ＰＢ１における吐出口ＴＫが通る貫通孔（後述の孔ＨＴ１に対応）と、制御用配線基板ＰＢ２における吐出口ＴＫが通る貫通孔（後述の孔ＨＴ２に対応）とは、平面視において重なっている。

[0036] 図２および図３では、インペラＩＭＰの回転によって吸い上げられた燃料の流れＧＳＦを、矢印で模式的に示してある。図２および図３において、矢印（ＧＳＦ）で示されるように、インペラＩＭＰの回転によって吸い上げられた燃料は、モータＭＯＴ内における燃料が通過可能な空間（スペース）を通して、モータＭＯＴ内から吐出口ＴＫに流れ、吐出口ＴＫから、モータＭＯＴの外部に送られる。吐出口ＴＫには、燃料用の管（図示せず）などがつながれており、インペラＩＭＰの回転によって吸い上げられた燃料は、モータＭＯＴから吐出口ＴＫおよび燃料用の管などを通して、後述のエンジンＥＮＧに送られる。

[0037] 図４および図５は、自動車の制御システムを示す説明図である。なお、図５が、燃料ポンプＰＭに上記図１～図３のモータ駆動システムを適用した場合に対応している。また、図面を見やすくするために、燃料タンクＧＴ内に貯えられた燃料ＧＳについては、ハッチングを付してある。

[0038] 図４および図５に示される自動車の制御システムにおいては、燃料タンクＧＴ内に貯えられた燃料ＧＳが、燃料ポンプＰＭによって吸い上げられてエンジンＥＮＧに供給されるようになっている。図４および図５では、燃料ポンプＰＭから燃料用の管などを通してエンジンＥＮＧに送られる燃料ＧＳの流れＧＳＦを、矢印で模式的に示してある。エンジンＥＮＧは、エンジン制御用のＥＣＵ（Electronic Control Unit：電子制御ユニット）１１によって

制御される。

[0039] 図4の場合は、エンジン制御用のECU11が、燃料ポンプPMも制御する。すなわち、エンジン制御用のECU11が、モータ駆動用の電力を燃料ポンプPMに供給し、それによって、燃料ポンプPMのモータを駆動する。そして、エンジン制御用のECU11は、燃料ポンプPMに供給するモータ駆動用の電力を制御することによって、燃料ポンプPMのモータを制御し、それによって、燃料タンクGTから燃料ポンプPMによりエンジンENGに供給される燃料GSの量を制御する。

[0040] 図5の場合は、燃料ポンプPMに取り付けられた燃料ポンプ制御用のECU12が、燃料ポンプPMを制御する。すなわち、燃料ポンプ制御用のECU12が、モータ駆動用の電力を燃料ポンプPMに供給し、それによって、燃料ポンプPMのモータを駆動する。そして、燃料ポンプ制御用のECU12は、燃料ポンプPMに供給するモータ駆動用の電力を制御することによって、燃料ポンプPMのモータを制御し、それによって、燃料タンクGTから燃料ポンプPMによりエンジンENGに供給される燃料GSの量を制御する。エンジン制御用のECU11と、燃料ポンプ制御用のECU12の間では、必要に応じて、エンジン制御用のECU11から燃料ポンプ制御用のECU12への指令信号（制御信号）や、燃料ポンプ制御用のECU12からエンジン制御用のECU11へのフィードバック信号が伝送される。

[0041] すなわち、図4の場合は、エンジン制御用のECU11が、燃料ポンプ制御用のECU12に相当するものも兼ねており、燃料ポンプPMには、燃料ポンプ制御用のECU12に相当するものは取り付けられていない。一方、図5の場合は、燃料ポンプ制御用のECU12が、エンジン制御用のECU11から分離され、燃料ポンプPMに取り付けられている。

[0042] 図4の場合は、エンジン制御用のECU11が、燃料ポンプ制御用のECU12に相当するものも兼ねており、燃料ポンプPMから比較的離れた位置にあるエンジン制御用のECU11から燃料ポンプPMにモータ駆動用の電力が供給される。このため、電力損失が大きくなってしまう。また、自動車

内の配線配置のための重量増加とそれに伴う燃費悪化、及び必要なスペース増加が発生する。

[0043] それに対して、図5の場合は、燃料ポンプ制御用のECU12が燃料ポンプPMに取り付けられており、燃料ポンプ制御用のECU12は、燃料ポンプPMに近接している。燃料ポンプPMに取り付けられた燃料ポンプ制御用のECU12から燃料ポンプPMにモータ駆動用の電力が供給されるため、電力損失を抑制することができる。また、自動車内の配線配置のための重量増加を削減し、必要なスペースも減らすことができる。

[0044] なお、図5の場合の燃料ポンプ制御用のECU12および燃料ポンプPMが、上記図1～図3に示されるモータ駆動システムに対応している。すなわち、上記図1～図3に示されるモータMOTは、燃料ポンプPMのモータに対応している。そして、燃料ポンプ制御用のECU12の回路構成は、上記図に示される回路構成のうち、モータMOT以外の回路構成（上記パワー系回路構成部PKおよび上記制御系回路構成部SK）に対応している。このため、燃料ポンプ制御用のECU12は、上記図2および図3のパワー用配線基板PB1およびその上に搭載された電子部品（図2および図3では図示せず）と、制御用配線基板PB2およびその上に搭載された電子部品（図2および図3では図示せず）とにより、構成されている。

[0045] <電子装置の構成について>

図6は、モータMOTに取り付けられた本実施の形態の電子装置を示す説明図である。図6は、断面図に対応しているが、モータMOTの内部断面構造については、図示を省略している。また、図7および図8は、図6の一部を拡大して示す部分拡大断面図である。このうち、図7には、パワー用配線基板PB1および制御用配線基板PB2と接続ピンPN（PN1，PN2，PN3）とを接続する構造が示され、図8には、パワー用配線基板PB1と接続ピンBB（BB1，BB2，BB3）とを接続する構造が示されている。

[0046] 上記図2および図3を参照して説明したが、図6にも示されるように、モ

ータMOTの上面（上部）に、パワー用配線基板PB1と制御用配線基板PB2とが、下から順に積み重なるようにして、取り付けられている。図6に示されるように、パワー用配線基板PB1および制御用配線基板PB2は、例えばネジ（固定用ネジ）NG1によってモータMOTに取り付けられて固定されており、モータMOTとパワー用配線基板PB1との間と、パワー用配線基板PB1と制御用配線基板PB2との間には、所定の隙間が介在している。

[0047] 具体的には、図6に示されるように、制御用配線基板PB2には、ネジNG1が挿通される孔（貫通孔）NH2が形成されており、また、パワー用配線基板PB1にも、ネジNG1が挿通される孔（貫通孔）NH1が形成されている。モータMOTの上部には、ネジNG1をネジ止めするためのネジ穴NH3が形成されている。なお、制御用配線基板PB2における孔NH2と、パワー用配線基板PB1における孔NH1と、モータMOTにおけるネジ穴NH3とは、平面視において重なっている。そして、ネジNG1が、制御用配線基板PB2の孔NH2と、制御用配線基板PB2とパワー用配線基板PB1との間に配置されたスペーサSP2と、パワー用配線基板PB1の孔NH1と、パワー用配線基板PB1とモータMOTの上面との間に配置されたスペーサSP1とを、挿通し、モータMOTのネジ穴NH3に螺合されている。スペーサSP1により、モータMOTとパワー用配線基板PB1との間に所定の間隔が確保され、スペーサSP2により、パワー用配線基板PB1と制御用配線基板PB2との間に所定の間隔が確保されるとともに、ネジNG1により、制御用配線基板PB2とパワー用配線基板PB1とがモータMOTの上面（上部）に取り付けられて固定されている。なお、図6にはネジNG1は代表して1本だけ示されているが、後述するように、制御用配線基板PB2とパワー用配線基板PB1とをモータMOTに固定するのに、ネジNG1を3本用いている。

[0048] また、図6に示されるように、モータMOTの上部に取り付けられたパワー用配線基板PB1と制御用配線基板PB2とを覆うように、保護用のカバ

一部材（ケース、筐体）ＣＶを設けることもできる。このカバー部材ＣＶは、モータＭＯＴに固定されている。カバー部材ＣＶは、モータＭＯＴとは別部材としても、あるいは、モータＭＯＴと一体的な部材としてもよい。

[0049] また、パワー用配線基板ＰＢ１（の配線）と制御用配線基板ＰＢ２（の配線）とは、複数の接続ピンＰＮにより電氣的に接続されている。パワー用配線基板ＰＢ１（の配線）と制御用配線基板ＰＢ２（の配線）とを電氣的に接続する接続ピンＰＮには、電源接続用ピンＰＮ１とグランド接続用ピンＰＮ２と信号用ピンＰＮ３とがある。図６では、代表して２つの接続ピンＰＮが示され、そのうちの一本は、信号用ピンＰＮ３であり、もう一本は、電源接続用ピンＰＮ１またはグランド接続用ピンＰＮ２である。

[0050] ここで、パワー用配線基板ＰＢ１（の配線）と制御用配線基板ＰＢ２（の配線）とを接続ピンＰＮを介して電氣的に接続する構造について、図７を参照して説明する。

[0051] 制御用配線基板ＰＢ２には、それぞれ接続ピンＰＮが挿通される複数の孔（貫通孔）ＨＣが形成され、また、パワー用配線基板ＰＢ１には、それぞれ接続ピンＰＮが挿通される複数の孔（貫通孔）ＨＰが形成されているが、図７には、代表して、一对の孔ＨＣ、ＨＰとそれに挿通された１本の接続ピンＰＮとが示されている。なお、実際には、図６にも示されるように、信号用ピンＰＮ３の直径は、電源接続用ピンＰＮ１やグランド接続用ピンＰＮ２の各直径よりも小さくなっている。

[0052] 制御用配線基板ＰＢ２における孔ＨＣと、パワー用配線基板ＰＢ１における孔ＨＰとは、平面視において重なっており、図７に示されるように、各接続ピンＰＮの一方の端部側が制御用配線基板ＰＢ２の孔ＨＣに挿通され、各接続ピンＰＮの他方の端部側がパワー用配線基板ＰＢ１の孔ＨＰに挿通されている。接続ピンＰＮは導電体からなり、好ましくは金属材料からなる。

[0053] 各接続ピンＰＮにおいて、制御用配線基板ＰＢ２の孔ＨＣ内に位置する部分は、孔ＨＣの直径より若干小さな直径を有し、パワー用配線基板ＰＢ１の孔ＨＰ内に位置する部分は、孔ＨＰの直径より若干小さな直径を有している

。一方、各接続ピンP Nにおいて、孔H C，H Pの外部に位置し、かつ、パワー用配線基板P B 1と制御用配線基板P B 2との間に位置する部分は、孔H P，H Cの各直径よりも大きな直径を有することもでき、それによって、接続ピンP Nに対するパワー用配線基板P B 1と制御用配線基板P B 2との高さ位置を位置決めすることもできる。

[0054] 制御用配線基板P B 2およびパワー用配線基板P B 1は、例えば樹脂基板である。制御用配線基板P B 2は、絶縁性の基材層B S 2と、基材層B S 2の上面上に形成された配線パターン（導電膜C D 2 a）と、基材層B S 2の下面上に形成された配線パターン（導電膜C D 2 b）と、基材層B S 2の上面上に配線パターンを覆うように形成されたレジスト層R S 2 aと、基材層B S 2の下面上に配線パターンを覆うように形成されたレジスト層R S 2 bと、を有している。また、パワー用配線基板P B 1は、絶縁性の基材層B S 1と、基材層B S 1の上面上に形成された配線パターン（導電膜C D 1 a）と、基材層B S 1の下面上に形成された配線パターン（導電膜C D 1 b）と、基材層B S 1の上面上に配線パターンを覆うように形成されたレジスト層R S 1 aと、基材層B S 1の下面上に配線パターンを覆うように形成されたレジスト層R S 1 bと、を有している。基材層B S 1，B S 2は、絶縁材料（絶縁層）からなり、例えばガラスエポキシ樹脂などからなる。制御用配線基板P B 2の上面の配線パターンは、導電膜C D 2 aにより形成され、制御用配線基板P B 2の下面の配線パターンは、導電膜C D 2 bにより形成され、パワー用配線基板P B 1の上面の配線パターンは、導電膜C D 1 aにより形成され、パワー用配線基板P B 1の下面の配線パターンは、導電膜C D 1 bにより形成される。レジスト層R S 1 a，R S 1 b，R S 2 a，R S 2 bのそれぞれは、絶縁材料（絶縁層）からなり、例えば半田レジスト層である。レジスト層R S 1 a，R S 1 b，R S 2 a，R S 2 bは、それぞれ保護膜とみなすこともできる。

[0055] 制御用配線基板P B 2において、孔H Cの側面（内壁）には、導電膜C D 2 cが形成されており、また、パワー用配線基板P B 1において、孔H Pの

側面（内壁）には、導電膜CD1cが形成されている。制御用配線基板PB2の孔HCの側面の導電膜CD2cは、その孔HCに挿通された接続ピンPNと電氣的に接続され、また、パワー用配線基板PB1の孔HPの側面の導電膜CD1cは、その孔HCに挿通された接続ピンPNと電氣的に接続されている。例えば、制御用配線基板PB2の孔HCの側面の導電膜CD2cと接続ピンPNとは、間に半田SLなどの導電性の接合材が介在し、その導電性接合材を介して電氣的に接続され、また、パワー用配線基板PB1の孔HPの側面の導電膜CD1cと接続ピンPNは、間に半田SLなどの導電性の接合材が介在し、その導電性接合材を介して電氣的に接続される。あるいは、制御用配線基板PB2の孔HCの側面の導電膜CD2cと接続ピンPNとが、互いに接することで電氣的に接続される場合もあり得、また、パワー用配線基板PB1の孔HPの側面の導電膜CD1cと接続ピンPNとが、互いに接することで電氣的に接続される場合もあり得る。

[0056] これにより、制御用配線基板PB2の孔HCの側面の導電膜CD2cと、パワー用配線基板PB1の孔HPの側面の導電膜CD1cとは、その孔HP, HCに挿通された接続ピンPNを介して電氣的に接続される。なお、半田SLなどの導電性の接合材を用いて、接続ピンPNを制御用配線基板PB2およびパワー用配線基板PB1に固定することもできる。

[0057] パワー用配線基板PB1の孔HPの側面の導電膜CD1cは、パワー用配線基板PB1の上面において、孔HPの周囲に形成された導電膜CD1aと電氣的に接続され、また、パワー用配線基板PB1の下面において、孔HPの周囲に形成された導電膜CD1bと電氣的に接続されている。また、制御用配線基板PB2の孔HCの側面の導電膜CD2cは、制御用配線基板PB2の上面において、孔HCの周囲に形成された導電膜CD2aと電氣的に接続され、また、制御用配線基板PB2の下面において、孔HCの周囲に形成された導電膜CD2bと電氣的に接続されている。従って、図7において、パワー用配線基板PB1の導電膜CD1a, CD1b, CD1cと、制御用配線基板PB2の導電膜CD2a, CD2b, CD2cとを、接続ピンPN

を介して電氣的に接続することができる。

[0058] すなわち、制御用配線基板 P B 2 の上面または下面に形成された配線パターン（導電膜 C D 2 a または導電膜 C D 2 b に対応）を、接続ピン P N に電氣的に接続するためには、その配線パターンの一部を孔 H C の周囲に設けるとともに、その配線パターンに電氣的に接続された導電膜 C D 2 c を、その孔 H C の側面に形成しておき、その孔 H C に接続ピン P N を挿通させる。そして、必要に応じて半田 S L などの導電性の接合材で接続ピン P N を制御用配線基板 P B 2 に接合する。これにより、制御用配線基板 P B 2 の上面または下面に形成された配線パターンを、接続ピン P N に電氣的に接続することができる。

[0059] また、パワー用配線基板 P B 1 の上面または下面に形成された配線パターン（導電膜 C D 1 a または導電膜 C D 1 b に対応）を、接続ピン P N に電氣的に接続するためには、その配線パターンの一部を孔 H P の周囲に設けるとともに、その配線パターンに電氣的に接続された導電膜 C D 1 c を、その孔 H P の側面に形成しておき、その孔 H P に接続ピン P N を挿通させる。そして、必要に応じて半田 S L などの導電性の接合材で接続ピン P N をパワー用配線基板 P B 1 に接合する。これにより、パワー用配線基板 P B 1 の上面または下面に形成された配線パターンを、接続ピン P N に電氣的に接続することができる。

[0060] また、制御用配線基板 P B 2 において、レジスト層 R S 2 a, R S 2 b は、孔 H C を平面視で内包するような開口部を有していてもよい。この場合、制御用配線基板 P B 2 の孔 H C の周囲でレジスト層 R S 2 a, R S 2 b の開口部から露出する導電膜 C D 2 a, C D 2 b の一方または両方を、半田 S L などの導電性接合材を介して接続ピン P N に電氣的に接続することもできる。また、パワー用配線基板 P B 1 において、レジスト層 R S 1 a, R S 1 b は、孔 H P を平面視で内包するような開口部 O P 1, O P 2 を有していてもよい。ここで、開口部 O P 1 は、パワー用配線基板 P B 1 の上面側のレジスト層 R S 1 a の開口部であり、開口部 O P 2 は、パワー用配線基板 P B 1 の

下面側のレジスト層RS1bの開口部である。この場合、パワー用配線基板PB1の孔HPの周囲でレジスト層RS1a, RS1bの開口部OP1, OP2から露出する導電膜CD1a, CD1bの一方または両方を、半田SLなどの導電性接合材を介して接続ピンPNに電氣的に接続することもできる。

[0061] このように、制御用配線基板PB2の上面または下面に形成された配線パターン（導電膜CD2aまたは導電膜CD2b）と、パワー用配線基板PB1の上面または下面に形成された配線パターン（導電膜CD1aまたは導電膜CD1b）とを、接続ピンPNを介して電氣的に接続することができる。

[0062] 次に、パワー用配線基板PB1および制御用配線基板PB2への電源電位VINとグランド電位GNDとの供給の仕方について、図6を参照して説明する。

[0063] パワー用配線基板PB1と制御用配線基板PB2との両方に、電源電位VINとグランド電位GNDとが供給される。図6の場合は、バッテリー（図示せず）などから制御用配線基板PB2にそれぞれケーブルCBを介して電源電位VINとグランド電位GNDとが供給され、制御用配線基板PB2に供給された電源電位VINとグランド電位GNDとが、それぞれ電源接続用ピンPN1およびグランド接続用ピンPN2を介してパワー用配線基板PB1に供給されるようになっている。電源接続用ピンPN1は、制御用配線基板PB2からパワー用配線基板PB1に電源電位VINを供給するために用いられている接続ピンPNである。また、グランド接続用ピンPN2は、制御用配線基板PB2からパワー用配線基板PB1にグランド電位GNDを供給するために用いられている接続ピンPNである。

[0064] なお、図6では、簡略化のために、ケーブルCBは1つだけ示してあるが、実際には、ケーブルCBは2つあり、一方は、電源電位VIN供給用のケーブルCBであり、他方は、グランド電位GND供給用のケーブルCBである。電源電位VIN供給用のケーブルCBと、グランド電位GND供給用のケーブルCBとは、電氣的に接続されてはおらず、別々の部材である。また

、図6では、簡略化のために、電源接続用ピンP N 1とグランド接続用ピンP N 2とを代表して1つの接続ピンP Nで示してあるが、実際には、1つの電源接続用ピンP N 1と1つのグランド接続用ピンP N 2とが存在しており、電源接続用ピンP N 1とグランド接続用ピンP N 2とは、電氣的に接続されてはならず、別々の部材である。

[0065] 具体的に説明すると、図6に示されるように、電源電位V I N供給用のケーブルC Bが、制御用配線基板P B 2にネジN G 2などによって固定され、それによって、電源電位V I N供給用のケーブルC Bが、制御用配線基板P B 2の電源配線に電氣的に接続されている。これにより、電源電位V I N供給用のケーブルC Bから、制御用配線基板P B 2の電源配線に、電源電位V I Nが供給される。また、グランド電位G N D供給用のケーブルC Bが、制御用配線基板P B 2にネジN G 2などによって固定され、それによって、グランド電位G N D供給用のケーブルC Bが、制御用配線基板P B 2のグランド配線に電氣的に接続されている。これにより、グランド電位G N D供給用のケーブルC Bから、制御用配線基板P B 2のグランド配線に、グランド電位G N Dが供給される。

[0066] そして、制御用配線基板P B 2の電源配線が、電源接続用ピンP N 1を介して、パワー用配線基板P B 1の電源配線（後述の電源配線W V 1，W V 2に対応）に電氣的に接続されている。具体的には、制御用配線基板P B 2は、電源接続用ピンP N 1が挿通する孔（貫通孔）H C 1を有し、パワー用配線基板P B 1は、電源接続用ピンP N 1が挿通する孔（貫通孔）H P 1を有している。そして、制御用配線基板P B 2の孔H C 1とパワー用配線基板P B 1の孔H P 1とに挿通された電源接続用ピンP N 1によって、制御用配線基板P B 2の電源配線と、パワー用配線基板P B 1の電源配線とが、電氣的に接続されている。上記図7に当てはめると、図7における接続ピンP Nが、電源接続用ピンP N 1に対応し、図7における孔H Cが、孔H C 1に対応し、図7における孔H Pが、孔H P 1に対応する。そして、図7における導電膜C D 2 a，C D 2 bが制御用配線基板P B 2の電源配線に対応し、図7

における導電膜C D 1 a, C D 1 bがパワー用配線基板P B 1の電源配線（後述の電源配線W V 1, W V 2）に対応する。

[0067] また、制御用配線基板P B 2のグランド配線が、グランド接続用ピンP N 2を介して、パワー用配線基板P B 1のグランド配線（後述のグランド配線W G 1, W G 2に対応）に電氣的に接続されている。すなわち、制御用配線基板P B 2は、グランド接続用ピンP N 2が挿通する孔（貫通孔）H C 2を有し、パワー用配線基板P B 1は、グランド接続用ピンP N 2が挿通する孔（貫通孔）H P 2を有している。そして、制御用配線基板P B 2の孔H C 2とパワー用配線基板P B 1の孔H P 2とに挿通されたグランド接続用ピンP N 2によって、制御用配線基板P B 2のグランド配線と、パワー用配線基板P B 1のグランド配線とが、電氣的に接続されている。上記図7に当てはめると、図7における接続ピンP Nが、グランド接続用ピンP N 2に対応し、図7における孔H Cが、孔H C 2に対応し、図7における孔H Pが、孔H P 2に対応する。そして、図7における導電膜C D 2 a, C D 2 bが制御用配線基板P B 2のグランド配線に対応し、図7における導電膜C D 1 a, C D 1 bがパワー用配線基板P B 1のグランド配線（後述のグランド配線W G 1, W G 2）に対応する。

[0068] これにより、電源電位V I N供給用のケーブルC Bを経由して、制御用配線基板P B 2の電源配線に供給された電源電位V I Nは、電源接続用ピンP N 1を介して、パワー用配線基板P B 1の電源配線（後述の電源配線W V 1, W V 2）に供給される。すなわち、電源接続用ピンP N 1から、パワー用配線基板P B 1の電源配線（後述の電源配線W V 1, W V 2）に、電源電位V I Nが供給される。また、グランド電位G N D供給用のケーブルC Bを経由して、制御用配線基板P B 2のグランド配線に供給されたグランド電位G N Dは、グランド接続用ピンP N 2を介して、パワー用配線基板P B 1のグランド配線（後述のグランド配線W G 1, W G 2）に供給される。すなわち、グランド接続用ピンP N 2から、パワー用配線基板P B 1のグランド配線（後述のグランド配線W G 1, W G 2）に、グランド電位G N Dが供給され

る。

[0069] 次に、パワー用配線基板 P B 1 (の信号配線) と制御用配線基板 P B 2 (の信号配線) との信号用ピン P N 3 を介した接続について説明する。

[0070] パワー用配線基板 P B 1 (の信号配線) と制御用配線基板 P B 2 (の信号配線) とは、複数の信号用ピン P N 3 を介して電氣的に接続されている。信号用ピン P N 3 は、上記パワー系回路構成部 P K と上記制御回路部 C T との間を電氣的に接続するために用いられている接続ピンである (上記図 1 参照)。信号用ピン P N 3 を介して、上記制御回路部 C T と上記パワー系回路構成部 P K との間で、信号などを伝送することができる。

[0071] 具体的には、制御用配線基板 P B 2 は、信号用ピン P N 3 が挿通する孔 (貫通孔) H C 3 を有し、パワー用配線基板 P B 1 は、信号用ピン P N 3 が挿通する孔 (貫通孔) H P 3 を有している。そして、制御用配線基板 P B 2 の孔 H C 3 とパワー用配線基板 P B 1 の孔 H P 3 とに挿通された信号用ピン P N 3 によって、制御用配線基板 P B 2 の信号配線と、パワー用配線基板 P B 1 の信号配線とが、電氣的に接続されている。上記図 7 に当てはめると、図 7 における接続ピン P N が、信号用ピン P N 3 に対応し、図 7 における孔 H C が、孔 H C 3 に対応し、図 7 における孔 H P が、孔 H P 3 に対応する。そして、図 7 における導電膜 C D 2 a, C D 2 b が制御用配線基板 P B 2 の信号配線に対応し、図 7 における導電膜 C D 1 a, C D 1 b がパワー用配線基板 P B 1 の信号配線に対応している。なお、制御用配線基板 P B 2 の信号配線とパワー用配線基板 P B 1 の信号配線は、上記パワー系回路構成部 P K を上記制御回路部 C T に接続するための配線である。

[0072] 信号用ピン P N 3 は、複数設けられている。具体的には、信号用ピン P N 3 は、上記抵抗 R 1 の両端にそれぞれ接続された 2 つの信号用ピン P N 3 と、上記抵抗 R 4 の両端にそれぞれ接続された 2 つの信号用ピン P N 3 と、上記抵抗 R 7 の両端にそれぞれ接続された 2 つの信号用ピン P N 3 と、を含んでいる。信号用ピン P N 3 は、更に、上記パワー M O S F E T 1 のゲートに上記抵抗 R 2 を介して電氣的に接続された信号用ピン P N 3 と、上記パワー

MOSFET 2 のゲートに上記抵抗 R 3 を介して電氣的に接続された信号用ピン P N 3 と、上記パワー MOSFET 3 のゲートに上記抵抗 R 5 を介して電氣的に接続された信号用ピン P N 3 と、も含んでいる。信号用ピン P N 3 は、更に、上記パワー MOSFET 4 のゲートに上記抵抗 R 6 を介して電氣的に接続された信号用ピン P N 3 と、上記パワー MOSFET 5 のゲートに上記抵抗 R 8 を介して電氣的に接続された信号用ピン P N 3 と、上記パワー MOSFET 6 のゲートに上記抵抗 R 9 を介して電氣的に接続された信号用ピン P N 3 と、も含んでいる。また、信号用ピン P N 3 は、更に、上記パワー MOSFET 1, 2, 3, 4, 5, 6 の各ソースにそれぞれ接続された 6 つの信号用ピン P N 3 を含んでいてもよい。

[0073] このため、上記パワー MOSFET 1, 2, 3, 4, 5, 6 の各ゲートは、パワー用配線基板 P B 1 の信号配線や抵抗素子（上記抵抗 R 2, R 3, R 5, R 6, R 8, R 9 のいずれかに対応する抵抗素子）を介して、信号用ピン P N 3 に電氣的に接続され、更にその信号用ピン P N 3 と制御用配線基板 P B 2 の信号配線とを介して、上記制御回路部 C T を構成する電子部品に電氣的に接続されている。また、上記抵抗 R 1, R 4, R 7 のそれぞれの両端は、それぞれパワー用配線基板 P B 1 の信号配線を介して信号用ピン P N 3 に電氣的に接続され、更にその信号用ピン P N 3 と制御用配線基板 P B 2 の信号配線とを介して、上記制御回路部 C T を構成する電子部品に電氣的に接続されている。また、上記パワー MOSFET 1, 2, 3, 4, 5, 6 の各ソースは、パワー用配線基板 P B 1 の信号配線を介して、信号用ピン P N 3 に電氣的に接続され、更にその信号用ピン P N 3 と制御用配線基板 P B 2 の信号配線とを介して、上記制御回路部 C T を構成する電子部品に電氣的に接続されている。上記制御回路部 C T を構成する電子部品は、制御用配線基板 P B 2 に搭載された電子部品であり、例えば、半導体チップを内蔵する半導体装置（半導体パッケージ）を例示できる。

[0074] 次に、パワー用配線基板 P B 1 とモータ M O T との接続ピン B B （B B 1, B B 2, B B 3）を介した接続について、図 6 を参照して説明する。

[0075] パワー用配線基板PB1（の配線）とモータMOTとは、接続ピンBB（BB1, BB2, BB3）を介して電氣的に接続されている。パワー用配線基板PB1（の配線）とモータMOTとを電氣的に接続する接続ピン（バスバー）BBには、接続ピンBB1と接続ピンBB2と接続ピンBB3とがあるが、図6および図8では、代表して1つの接続ピンBBが示されている。接続ピンBB1と接続ピンBB2と接続ピンBB3とは、電氣的に接続されてはならず、別々の部材である。また、パワー用配線基板PB1には、それぞれ接続ピンBB1, BB2, BB3が挿通される孔（貫通孔）HM1, HM2, HM3が形成されているが、図6および図8には、代表して、孔HM1, HM2, HM3を代表する1つの孔HMと、それに挿通される1本の接続ピンBBとが示されている。図6および図8において、孔HMが、孔HM1の場合は、接続ピンBBは接続ピンBB1に対応し、孔HMが、孔HM2の場合は、接続ピンBBは接続ピンBB2に対応し、孔HMが、孔HM3の場合は、接続ピンBBは接続ピンBB3に対応する。

[0076] なお、上記接続ピンPNは、パワー用配線基板PB1（の配線）と制御用配線基板PB2（の配線）とを電氣的に接続するものであったが、接続ピンBBは、上記接続ピンPNとは異なり、パワー用配線基板PB1と制御用配線基板PB2とを電氣的に接続するものではなく、パワー用配線基板PB1（の配線）とモータMOT（のコイル）とを電氣的に接続するものである。接続ピンPNと同様に、接続ピンBBも、導電体からなり、好ましくは金属材料からなる。

[0077] 具体的に説明すると、パワー用配線基板PB1は、接続ピンBB1が挿通する孔（貫通孔）HM1と、接続ピンBB2が挿通する孔（貫通孔）HM2と、接続ピンBB3が挿通する孔（貫通孔）HM3と、を有している。そして、接続ピンBB1の一方の端部側がパワー用配線基板PB1の孔HM1に挿通され、その接続ピンBB1の他方の端部側がモータMOTの上部の孔に挿入されて固定されている。また、接続ピンBB2の一方の端部側がパワー用配線基板PB1の孔HM2に挿通され、その接続ピンBB2の他方の端部

側がモータMOTの上部の孔に挿入されて固定されている。また、接続ピンBB3の一方の端部側がパワー用配線基板PB1の孔HM3に挿通され、その接続ピンBB3の他方の端部側がモータMOTの上部の孔に挿入されて固定されている。接続ピンBB1は、モータMOTの内部配線（図示せず）などを介して、モータMOT内のU相コイルに電氣的に接続され、接続ピンBB2は、モータMOTの内部配線（図示せず）などを介して、モータMOT内のV相コイルに電氣的に接続され、接続ピンBB3は、モータMOTの内部配線（図示せず）などを介して、モータMOT内のW相コイルに電氣的に接続されている。

[0078] ここで、パワー用配線基板PB1とモータMOTとを接続ピンBB1, BB2, BB3を介して電氣的に接続する構造について、図8を参照して説明する。

[0079] 図8に示されるように、パワー用配線基板PB1において、孔HMの側面（内壁）には、導電膜CD1cが形成されており、この孔HMの側面の導電膜CD1cは、その孔HMに挿通された接続ピンBBと電氣的に接続されている。例えば、パワー用配線基板PB1の孔HMの側面の導電膜CD1cと、その孔HMに挿通された接続ピンBBとは、間に半田SLなどの導電性の接合材が介在し、その接合材を介して電氣的に接続される。あるいは、パワー用配線基板PB1の孔HMの側面の導電膜CD1cとその孔HMに挿通された接続ピンBBとが、互いに接することで電氣的に接続される場合もあり得る。なお、半田SLなどの導電性の接合材を用いて、接続ピンBBをパワー用配線基板PB1に固定することもできる。

[0080] パワー用配線基板PB1の孔HMの側面の導電膜CD1cは、パワー用配線基板PB1の上面において、孔HMの周囲に形成された導電膜CD1aと電氣的に接続され、また、パワー用配線基板PB1の下面において、孔HMの周囲に形成された導電膜CD1bと電氣的に接続されている。従って、図8において、パワー用配線基板PB1の導電膜CD1a, CD1b, CD1cを、接続ピンBBに電氣的に接続することができる。

[0081] このように、パワー用配線基板 P B 1 の上面または下面に形成された配線パターン（導電膜 C D 1 a または導電膜 C D 1 b）を、接続ピン B B に電氣的に接続することができる。

[0082] また、パワー用配線基板 P B 1 において、レジスト層 R S 1 a, R S 1 b は、孔 H M を平面視で内包するような開口部 O P 1, O P 2 を有していてもよい。この場合、パワー用配線基板 P B 1 の孔 H M の周囲でレジスト層 R S 1 a, R S 1 b の開口部 O P 1, O P 2 から露出する導電膜 C D 1 a, C D 1 b の一方または両方を、半田 S L などの導電性接合材を介して接続ピン B B に電氣的に接続することもできる。

[0083] このため、パワー用配線基板 P B 1 の後述の出力配線 W D 1, W D 4 は、孔 H M 1 を挿通する接続ピン B B 1 に電氣的に接続され、その接続ピン B B 1 およびモータ M O T の内部配線（図示せず）を介して、モータ M O T 内の U 相コイルに電氣的に接続される。また、パワー用配線基板 P B 1 の後述の出力配線 W D 2, W D 5 は、孔 H M 2 を挿通する接続ピン B B 2 に電氣的に接続され、その接続ピン B B 2 およびモータ M O T の内部配線（図示せず）を介して、モータ M O T 内の V 相コイルに電氣的に接続される。また、パワー用配線基板 P B 1 の後述の出力配線 W D 3, W D 6 は、孔 H M 3 を挿通する接続ピン B B 3 に電氣的に接続され、その接続ピン B B 3 およびモータ M O T の内部配線（図示せず）を介して、モータ M O T 内の W 相コイルに電氣的に接続される。

[0084] また、図 6 に示されるように、モータ M O T から突出する吐出口 T K が、パワー用配線基板 P B 1 の孔（貫通孔） H T 1 と制御用配線基板 P B 2 の孔（貫通孔） H T 2 とを貫通している。モータ M O T が吸い上げた燃料（図示せず）は、吐出口 T K およびそれにつながられた燃料用の管（図 6 では図示されない）を通して、上記エンジン E N G（図 6 では図示されない）に供給される。

[0085] <制御用配線基板上の実装構造について>

制御用配線基板 P B 2 上には、上記レギュレータ R G を構成する単数また

は複数の電子部品と、上記制御回路部 C T を構成する単数または複数の電子部品とが搭載されており、図 6 では、それらの電子部品を代表して電子部品 E C 2 として示されている。制御用配線基板 P B 2 上に搭載された電子部品 (E C 2) は、代表的には半導体チップを内蔵した半導体装置 (半導体パッケージ) であるが、それに加えて、半導体装置 (半導体パッケージ) 以外の電子部品 (例えばチップ抵抗などの受動部品) が制御用配線基板 P B 2 上に搭載されていてもよい。

[0086] 制御用配線基板 P B 2 上に搭載された各電子部品 (E C 2) は、制御用配線基板 P B 2 の配線に電氣的に接続され、また、制御用配線基板 P B 2 の配線によって必要に応じて互いに結線されている。また、制御用配線基板 P B 2 上に搭載された各電子部品 (E C 2) は、上記電源電位 V I N 供給用のケーブル C B、上記グランド電位 G N D 供給用のケーブル C B、上記電源接続用ピン P N 1、上記グランド接続用ピン P N 2、あるいは上記信号用ピン P N 3 に、制御用配線基板 P B 2 の配線を介して必要に応じて電氣的に接続されている。

[0087] <パワー用配線基板上の実装構造について>

パワー用配線基板 P B 1 上には、上記パワー系回路構成部 P K を形成するための複数の電子部品が搭載されており、図 6 では、それらの電子部品を代表して電子部品 E C 1 として示されている。パワー用配線基板 P B 1 上に搭載された各電子部品 (E C 1) は、パワー用配線基板 P B 1 の配線に電氣的に接続されている。

[0088] 図 9 は、パワー用配線基板 P B 1 の上面図であり、パワー用配線基板 P B 1 上に搭載された複数の電子部品 (E C 1) も示されている。具体的には、パワー用配線基板 P B 1 の上面上には、半導体装置 (半導体パッケージ) P K G 1、P K G 2、P K G 3 と、チップ抵抗 R 1 a、R 2 a、R 3 a、R 4 a、R 5 a、R 6 a、R 7 a、R 8 a、R 9 a とが、搭載されている。

[0089] 半導体装置 P K G 1 は、上記パワー M O S F E T 1 および上記パワー M O S F E T 2 を構成する半導体装置であり、半導体装置 P K G 2 は、上記パワ

—MOSFET 3 および上記パワーMOSFET 4 を構成する半導体装置であり、半導体装置PKG 3 は、上記パワーMOSFET 5 および上記パワーMOSFET 6 を構成する半導体装置である。チップ抵抗R 1 a は、上記抵抗R 1 を構成する抵抗素子であり、チップ抵抗R 2 a は、上記抵抗R 2 を構成する抵抗素子であり、チップ抵抗R 3 a は、上記抵抗R 3 を構成する抵抗素子であり、チップ抵抗R 4 a は、上記抵抗R 4 を構成する抵抗素子である。また、チップ抵抗R 5 a は、上記抵抗R 5 を構成する抵抗素子であり、チップ抵抗R 6 a は、上記抵抗R 6 を構成する抵抗素子であり、チップ抵抗R 7 a は、上記抵抗R 7 を構成する抵抗素子であり、チップ抵抗R 8 a は、上記抵抗R 8 を構成する抵抗素子であり、チップ抵抗R 9 a は、上記抵抗R 9 を構成する抵抗素子である。

[0090] パワー用配線基板PB 1 上に搭載された複数の電子部品（EC 1）のうち、半導体装置PKG 1、PKG 2、PKG 3 は、動作時の発熱量が大きい。このため、半導体装置PKG 1、PKG 2、PKG 3 のそれぞれと平面視で重なる位置において、すなわち、半導体装置PKG 1、PKG 2、PKG 3 のそれぞれの直下の位置において、パワー用配線基板PB 1 の下面とモータMOT の上面との間に、放熱シートHS（図6 参照）のような放熱用部材を介在（配置）させることもできる。そうすることにより、半導体装置PKG 1、PKG 2、PKG 3 で生じた熱を、パワー用配線基板PB 1 および放熱シートHS を介してモータMOT へ効率的に伝導（放熱）させることができる。これにより、半導体装置PKG 1、PKG 2、PKG 3 の放熱特性を向上させ、それによって、電子装置の性能をより安定させ、且つ向上させることができる。

[0091] <半導体装置の構成について>

パワー用配線基板PB 1 上に搭載された半導体装置PKG 1、PKG 2、PKG 3 の構成について説明する。

[0092] 半導体装置PKG 1 の構造と、半導体装置PKG 2 の構造と、半導体装置PKG 3 の構造とは、基本的には同じである。半導体装置PKG 1、PKG

2, P K G 3のそれぞれは、2つの半導体チップを内蔵している。半導体装置P K G 1に内蔵された2つの半導体チップのうちの一方が上記パワーM O S F E T 1を構成し、他方が上記パワーM O S F E T 2を構成している。また、半導体装置P K G 2に内蔵された2つの半導体チップのうちの一方が上記パワーM O S F E T 3を構成し、他方が上記パワーM O S F E T 4を構成している。また、半導体装置P K G 3に内蔵された2つの半導体チップのうちの一方が上記パワーM O S F E T 5を構成し、他方が上記パワーM O S F E T 6を構成している。

[0093] 半導体装置P K G 1の構成と、半導体装置P K G 2の構成と、半導体装置P K G 3の構成とは、基本的には同じであるので、ここでは、代表して半導体装置P K G 1の構成について、図10～図16を参照して説明する。

[0094] 図10は、半導体装置P K G 1の上面図であり、図11は、半導体装置P K G 1の下面図である。図12は、半導体装置P K G 1の平面透視図であり、封止部MRを透視したときの半導体装置P K G 1の上面側の平面透視図が示されている。図12では、封止部MRの外周位置を、点線で示してある。図13～図16は、半導体装置P K G 1の断面図である。図13は、図12のA1－A1線の断面図にほぼ対応し、図14は、図12のA2－A2線の断面図にほぼ対応し、図15は、図12のA3－A3線の断面図にほぼ対応し、図16は、図12のA4－A4線の断面図にほぼ対応している。

[0095] 図10～図16に示されるように、半導体装置P K G 1は、ダイパッド（チップ搭載部）D P 1, D P 2と、そのダイパッドD P 1, D P 2の各々の上面上に搭載された半導体チップC P 1, C P 2と、複数のボンディングワイヤ（以下、単にワイヤという）W Aと、複数のリードL Dと、これらを封止する封止部（封止樹脂部、封止体）MRとを有している。

[0096] 封止体としての封止部MRは、例えば熱硬化性樹脂材料などの樹脂材料などからなり、フィラーなどを含むこともできる。

[0097] 半導体装置P K G 1は、ここでは一例として、面実装型の半導体パッケージを挙げる。半導体装置P K G 1は、具体的には、H S O N (Small Outline

No Lead Package with Heat Sink)型の面実装型の半導体パッケージである。但し、半導体装置P K G 1の構成は、これに限定されるものではなく種々変更可能であり、例えばQ F N (Quad Flat Non-leadedpackage) 構成、Q F P (Quad Flat Package) 構成またはS O P (Small Out-line Package) 構成等のような別のフラットパッケージ構成としてもよい。

[0098] ダイパッドD P 1とダイパッドD P 2とは、平面視において並んで配置されており、ダイパッドD P 1上に半導体チップC P 1が搭載され、ダイパッドD P 2上に半導体チップC P 2が搭載されている。

[0099] 半導体チップC P 1には、パワーM O S F E Tが形成されている。具体的には、半導体チップC P 1を構成する半導体基板には、多数の単位トランジスタセルが形成されており、それら多数の単位トランジスタセルが並列に接続されることにより、パワーM O S F E Tが形成されている。単位トランジスタセルは、例えば、トレンチゲート型電界効果トランジスタにより構成される。半導体チップC P 1の表面側には、パワーM O S F E Tのソースに接続されたソース用パッド（ソース用ボンディングパッド、ソース電極）P D Sと、パワーM O S F E Tのゲートに接続されたゲート用パッド（ゲート用ボンディングパッド、ゲート電極）P D Gが形成されている。半導体チップC P 1の裏面全体に、パワーM O S F E Tのドレインに接続された裏面電極（裏面ドレイン電極、ドレイン電極）B Eが形成されている。

[0100] ソース用パッドP D Sは、ソース電極（ソース用電極）とみなすことができ、ゲート用パッドP D Gは、ゲート電極（ゲート用電極）とみなすことができ、裏面電極B Eは、ドレイン電極とみなすことができる。

[0101] 半導体チップC P 2の構成は、半導体チップC P 1の構成と同様であるので、ここではその繰り返しの説明は省略する。

[0102] 半導体チップC P 1の裏面電極B Eが、ダイパッドD P 1の上面に導電性の接合材B Dを介して接合され、半導体チップC P 2の裏面電極B Eが、ダイパッドD P 2の上面に導電性の接合材B Dを介して接合されている。このため、半導体チップC P 1の裏面電極B Eは、ダイパッドD P 1に電氣的に

接続され、また、半導体チップCP2の裏面電極BEは、ダイパッドDP2に電氣的に接続されている。

[0103] 半導体装置PKG1が有する複数のリードLDは、ゲート用リードLDG1, LDG2とソース用リードLDS1, LDS2とドレイン用リードLDD1, LDD2, LDD3, LDD4とからなる。

[0104] ゲート用リードLDG1は、半導体チップCP1のゲート用パッドPDGとワイヤWAを介して電氣的に接続されている。ゲート用リードLDG2は、半導体チップCP2のゲート用パッドPDGとワイヤWAを介して電氣的に接続されている。ソース用リードLDS1は、半導体チップCP1のソース用パッドPDSとワイヤWAを介して電氣的に接続されている。ソース用リードLDS2は、半導体チップCP2のソース用パッドPDSとワイヤWAを介して電氣的に接続されている。

[0105] 半導体チップCP1は、ハイスайдMOSFET（上記パワーMOSFET1, 3, 5のいずれか）を備えたハイスайд用の半導体チップであり、半導体チップCP2は、ロウサイドMOSFET（上記パワーMOSFET2, 4, 6のいずれか）を備えたロウサイド用の半導体チップである。このため、半導体チップCP1のソース用パッドPDSに電氣的に接続されたソース用リードLDS1は、ハイスайд用ソース端子とみなすことができ、半導体チップCP2のソース用パッドPDSに電氣的に接続されたソース用リードLDS2は、ロウサイド用ソース端子とみなすことができる。また、半導体チップCP1のゲート用パッドPDGに電氣的に接続されたゲート用リードLDG1は、ハイスайд用ゲート端子とみなすことができ、半導体チップCP2のゲート用パッドPDGに電氣的に接続されたゲート用リードLDG2は、ロウサイド用ゲート端子とみなすことができる。また、半導体チップCP1の裏面電極BEに電氣的に接続されたダイパッドDP1（およびドレイン用リードLDD1, LDD2）は、ハイスайд用ドレイン端子とみなすことができ、半導体チップCP2の裏面電極BEに電氣的に接続されたダイパッドDP2（およびドレイン用リードLDD3, LDD4）は、ロウサイ

ド用ドレイン端子とみなすことができる。

[0106] なお、図12では、ソース用リードLDS1と半導体チップCP1のソース用パッドPDSとを1本のワイヤWAで接続した場合が示されている。大電流が流れることを考慮して、ソース用リードLDS1と半導体チップCP1のソース用パッドPDSとを複数本のワイヤWAで接続する場合もあり得、また、ソース用リードLDS1と半導体チップCP1のソース用パッドPDSとをワイヤWAではなく金属板で接続する場合もあり得る。これは、ソース用リードLDS2と半導体チップCP2のソース用パッドPDSとの接続に関しても同様である。

[0107] ドレイン用リードLDD1およびドレイン用リードLDD2は、ダイパッドDP1と一体的に形成されているため、ダイパッドDP1だけでなく、ドレイン用リードLDD1およびドレイン用リードLDD2も、半導体チップCP1の裏面電極BEと電氣的に接続されている。また、ドレイン用リードLDD3およびドレイン用リードLDD4は、ダイパッドDP2と一体的に形成されているため、ダイパッドDP2だけでなく、ドレイン用リードLDD3およびドレイン用リードLDD4も、半導体チップCP2の裏面電極BEと電氣的に接続されている。ドレイン用リードLDD1、LDD2は、ダイパッドDP1の一部とみなすこともでき、また、ドレイン用リードLDD3、LDD4は、ダイパッドDP2の一部とみなすこともできる。

[0108] ダイパッドDP1からY方向に離間する位置に、ゲート用リードLDG1とソース用リードLDS1とが配置され、ダイパッドDP2からY方向に離間する位置に、ゲート用リードLDG2とソース用リードLDS2とが配置されている。ゲート用リードLDG1およびソース用リードLDS1が配置されている側とは逆側において、ダイパッドDP1と一体的にドレイン用リードLDD1およびドレイン用リードLDD2が形成されている。また、ゲート用リードLDG2およびソース用リードLDS2が配置されている側とは逆側において、ダイパッドDP2と一体的にドレイン用リードLDD3およびドレイン用リードLDD4が形成されている。

- [0109] ダイパッドDP1とダイパッドDP2とは、X方向に並んでいる。また、ゲート用リードLDG1とソース用リードLDS1とゲート用リードLDG2とソース用リードLDS2とは、この順でX方向に並んでいる。また、ドレイン用リードLDD1とドレイン用リードLDD2とドレイン用リードLDD3とドレイン用リードLDD4とは、この順でX方向に並んでいる。
- [0110] なお、X方向とY方向とは、互いに交差する方向であり、好ましくは、互いに直交する方向である。
- [0111] 封止部MRの平面形状は、略矩形であり、Y方向に平行でかつX方向に対向する辺（側面）SD1、SD3と、X方向に平行でかつY方向に対向する辺（側面）SD2、SD4と、を有している。ゲート用リードLDG1とソース用リードLDS1とゲート用リードLDG2とソース用リードLDS2とは、辺SD2側に配置され、ドレイン用リードLDD1とドレイン用リードLDD2とドレイン用リードLDD3とドレイン用リードLDD4とは、辺SD4側に配置されている。
- [0112] ダイパッドDP1、DP2、ゲート用リードLDG1、LDG2、ソース用リードLDS1、LDS2およびドレイン用リードLDD1、LDD2、LDD3、LDD4は、封止部MRによって封止されている。但し、ダイパッドDP1、DP2、ゲート用リードLDG1、LDG2、ソース用リードLDS1、LDS2およびドレイン用リードLDD1、LDD2、LDD3、LDD4の各下面は、封止部MRの下面から露出され、半導体装置PKG1の外部接続端子となっている。
- [0113] ダイパッドDP1とダイパッドDP2とゲート用リードLDG1とソース用リードLDS1とゲート用リードLDG2とソース用リードLDS2とは、互いに分離されており、間に封止部MRの一部が介在している。
- [0114] 半導体装置PKG2の構成および半導体装置PKG3の構成は、それぞれ半導体装置PKG1の構成と同様であるので、ここではその繰り返しの説明は省略する。
- [0115] ＜パワー用配線基板の配線パターンについて＞

図17～図20は、パワー用配線基板PB1の平面図である。このうち、図17には、パワー用配線基板PB1の上面図が示されている。上記図9から、パワー用配線基板PB1上に搭載されている電子部品（具体的には半導体装置PKG1、PKG2、PKG3およびチップ抵抗R1a、R2a、R3a、R4a、R5a、R6a、R7a、R8a、R9a）を取り除いたものが、図17に対応している。また、図18は、パワー用配線基板PB1の平面透視図である。図18には、パワー用配線基板PB1の上面側のレジスト層RS1aを透視したときのパワー用配線基板PB1の上面側の平面図（平面透視図）が示されている。すなわち、図17において、パワー用配線基板PB1の上面側のレジスト層RS1aを透視したものが、図18に対応している。従って、図18では、パワー用配線基板PB1の上面側の配線パターン（基材層BS1の上面上の配線パターン、すなわち上記導電膜CD1aにより形成された配線パターン）が示されているが、理解を簡単にするために、平面図ではあるが、パワー用配線基板PB1の上面側の配線パターンにハッチングを付してある。また、図18では、理解を簡単にするために、半導体装置PKG1、PKG2、PKG3が搭載される位置を、点線で示してある。また、図19は、パワー用配線基板PB1の下面側の平面透視図が示され、図20には、パワー用配線基板PB1の下面図が示されている。すなわち、図20において、パワー用配線基板PB1の下面側のレジスト層RS1bを透視したものが、図19に対応している。従って、図19では、パワー用配線基板PB1の下面側の配線パターン（基材層BS1の下面上の配線パターン、すなわち上記導電膜CD1bにより形成された配線パターン）が示されているが、理解を簡単にするために、平面図ではあるが、パワー用配線基板PB1の下面側の配線パターンにハッチングを付してある。なお、パワー用配線基板PB1において、モータMOTに対向する側の主面がパワー用配線基板PB1の下面に対応し、制御用配線基板PB2に対向する側の主面がパワー用配線基板PB1の上面に対応している。また、制御用配線基板PB2において、パワー用配線基板PB1に対向する側の主面が制御用配線

基板 P B 2 の下面に対応している。

[0116] 上記図 9 および図 17～図 20 に示されるように、パワー用配線基板 P B 1 は、平面形状が円形状である。パワー用配線基板 P B 1 の上面と下面とは、それぞれ配線パターンが形成されている。そして、パワー用配線基板 P B 1 の上面において、半導体装置 P K G 1 と、半導体装置 P K G 2 と、半導体装置 P K G 3 と、チップ抵抗 R 1 a と、チップ抵抗 R 2 a と、チップ抵抗 R 3 a と、チップ抵抗 R 4 a と、チップ抵抗 R 5 a と、チップ抵抗 R 6 a と、チップ抵抗 R 7 a と、チップ抵抗 R 8 a と、チップ抵抗 R 9 a とが、互いに異なる位置（平面位置）に搭載されている。

[0117] 具体的には、パワー用配線基板 P B 1 の上面には、電源配線（導体パターン）W V 1 と、グランド配線（導体パターン）W G 1 と、出力配線（導体パターン）W D 1, W D 2, W D 3 と、信号用配線（導体パターン）W S とが、形成されている。また、パワー用配線基板 P B 1 の下面には、電源配線（導体パターン）W V 2 と、グランド配線（導体パターン）W G 2 と、出力配線（導体パターン）W D 4, W D 5, W D 6 と、が、形成されている。パワー用配線基板 P B 1 の下面には、信号用配線 W S に相当するものは形成されていない。パワー用配線基板 P B 1 の上面の配線（すなわち電源配線 W V 1 とグランド配線 W G 1 と出力配線 W D 1, W D 2, W D 3 と信号用配線 W S ）は、パワー用配線基板 P B 1 を構成する上記基材層 B S 1 の上面上に形成された導電膜（上記導電膜 C D 1 a に対応）により形成される。また、パワー用配線基板 P B 1 の下面の配線（すなわち電源配線 W V 2 とグランド配線 W G 2 と出力配線 W D 4, W D 5, W D 6 ）は、パワー用配線基板 P B 1 を構成する上記基材層 B S 1 の下面上に形成された導電膜（上記導電膜 C D 1 b に対応）により形成される。電源配線 W V 1 とグランド配線 W G 1 と出力配線 W D 1, W D 2, W D 3 と信号用配線 W S と電源配線 W V 2 とグランド配線 W G 2 と出力配線 W D 4, W D 5, W D 6 は、いずれも導体パターンとみなすこともできる。

[0118] 電源配線 W V 1 および電源配線 W V 2 は、電源電位 V I N が供給される配

線である。電源配線WV 1 および電源配線WV 2 は、パワー用配線基板P B 1 の孔H P 1 に挿通された上記電源接続用ピンP N 1 と電氣的に接続されており、上記電源接続用ピンP N 1 から電源配線WV 1 および電源配線WV 2 に電源電位V I Nが供給されるようになっている。

[0119] 具体的には、パワー用配線基板P B 1 においては、上記電源接続用ピンP N 1 を挿通するための孔H P 1 は、平面視において電源配線WV 1 , WV 2 の両方に内包される位置に設けられている。そして、その電源配線WV 1 , WV 2 に電氣的に接続された導電膜(C D 1 c)が孔H P 1 の側面に形成され、その孔H P 1 に上記電源接続用ピンP N 1 が挿通されている。そして、必要に応じて半田(S L)などの導電性接合材で上記電源接続用ピンP N 1 をパワー用配線基板P B 1 に接合している。これにより、パワー用配線基板P B 1 の上面および下面に形成された電源配線WV 1 および電源配線WV 2 を、電源接続用ピンP N 1 に電氣的に接続することができる。上記図7に当てはめると、上記図7における接続ピンP N が、電源接続用ピンP N 1 に対応し、上記図7における孔H P が、孔H P 1 に対応し、上記図7における導電膜C D 1 a が電源配線WV 1 に対応し、上記図7における導電膜C D 1 b が電源配線WV 2 に対応する。また、パワー用配線基板P B 1 の上面に形成された電源配線WV 1 と、パワー用配線基板P B 1 の下面に形成された電源配線WV 2 とは、パワー用配線基板P B 1 において電源配線WV 1 , WV 2 の両方に平面視で重なる位置に設けられた複数のビア部(V H)を介して、互いに電氣的に接続されている。

[0120] なお、パワー用配線基板P B 1 のビア部(V H)は、パワー用配線基板P B 1 の基材層B S 1 を貫通する孔と、その孔内に埋め込まれた導体部とにより構成されており、後述の図2 1 ~図2 4 に示されている。パワー用配線基板P B 1 のビア部(V H)は、パワー用配線基板P B 1 の上面側の配線とパワー用配線基板P B 1 の下面側の配線とを電氣的に接続するための導体部(埋込導体部、ビア配線)として機能する。

[0121] パワー用配線基板P B 1 の上面に形成された電源配線WV 1 と、パワー用

配線基板 P B 1 の下面に形成された電源配線 W V 2 とは、平面視においてはほぼ重なる（一致する）領域に形成されている。電源配線 W V 2 は、電源配線 W V 1 の抵抗を低減するため、換言すると、半導体装置 P K G 1 , P K G 2 , P K G 3 のそれぞれのダイパッド D P 1 と上記電源接続用ピン P N 1 との間の接続抵抗を低減するために設けられている。

[0122] グランド配線 W G 1 およびグランド配線 W G 2 は、グランド電位 G N D が供給される配線である。グランド配線 W G 1 およびグランド配線 W G 2 は、パワー用配線基板 P B 1 の孔 H P 2 に挿通された上記グランド接続用ピン P N 2 と電氣的に接続されており、上記グランド接続用ピン P N 2 からグランド配線 W G 1 およびグランド配線 W G 2 にグランド電位 G N D が供給されるようになっている。

[0123] 具体的には、パワー用配線基板 P B 1 においては、上記グランド接続用ピン P N 2 を挿通するための孔 H P 2 は、平面視においてグランド配線 W G 1 , W G 2 の両方に内包される位置に設けられている。そして、そのグランド配線 W G 1 , W G 2 に電氣的に接続された導電膜 (C D 1 c) が孔 H P 2 の側面に形成され、その孔 H P 2 に上記グランド接続用ピン P N 2 が挿通されている。そして、必要に応じて半田 (S L) などの導電性接合材で上記グランド接続用ピン P N 2 をパワー用配線基板 P B 1 に接合している。これにより、パワー用配線基板 P B 1 の上面および下面に形成されたグランド配線 W G 1 およびグランド配線 W G 2 を、グランド接続用ピン P N 2 に電氣的に接続することができる。上記図 7 に当てはめると、上記図 7 における接続ピン P N が、グランド接続用ピン P N 2 に対応し、上記図 7 における孔 H P が、孔 H P 2 に対応し、上記図 7 における導電膜 C D 1 a がグランド配線 W G 1 に対応し、上記図 7 における導電膜 C D 1 b がグランド配線 W G 2 に対応する。また、パワー用配線基板 P B 1 の上面に形成されたグランド配線 W G 1 と、パワー用配線基板 P B 1 の下面に形成されたグランド配線 W G 2 とは、パワー用配線基板 P B 1 においてグランド配線 W G 1 , W G 2 の両方に平面視で重なる位置に設けられた複数のビア部 (V H) を介して、互いに電氣的

に接続されている。

[0124] パワー用配線基板 P B 1 の下面に形成されたグランド配線 W G 2 は、パワー用配線基板 P B 1 の上面のグランド配線 W G 1 および信号用配線 W S と、平面視においてほぼ重なる（一致する）領域に形成されている。すなわち、平面視においては、パワー用配線基板 P B 1 の上面で、グランド配線 W G 1 が形成されている平面領域と、信号用配線 W S が形成されている平面領域全体とにわたって、パワー用配線基板 P B 1 の下面でグランド配線 W G 2 が形成されている。グランド配線 W G 2 は、グランド配線 W G 1 の抵抗を低減するために設けられている。

[0125] パワー用配線基板 P B 1 の上面に形成された出力配線 W D 1 は、半導体装置 P K G 1 のダイパッド D P 2 と上記接続ピン B B 1 とを電氣的に接続する配線であり、パワー用配線基板 P B 1 の上面において、半導体装置 P K G 1 の搭載位置から、上記接続ピン B B 1 を挿通するための孔 H M 1 の形成位置にかけて、Y 方向に延在している。パワー用配線基板 P B 1 の下面に形成された出力配線 W D 4 は、パワー用配線基板 P B 1 の上面の出力配線 W D 1 と、平面視においてほぼ重なる（一致する）領域に形成されている。

[0126] パワー用配線基板 P B 1 においては、上記接続ピン B B 1 を挿通するための孔 H M 1 は、平面視において出力配線 W D 1, W D 4 の両方に内包される位置に設けられている。そして、その出力配線 W D 1, W D 4 に電氣的に接続された導電膜 (C D 1 c) が、孔 H M 1 の側面に形成され、その孔 H M 1 に上記接続ピン B B 1 が挿通されている。そして、必要に応じて半田 (S L) などの導電性接合材で上記接続ピン B B 1 をパワー用配線基板 P B 1 に接合している。これにより、パワー用配線基板 P B 1 の上面および下面に形成された出力配線 W D 1 および出力配線 W D 2 を、接続ピン B B 1 に電氣的に接続することができる。上記図 8 に当てはめると、上記図 8 における接続ピン B B が、接続ピン B B 1 に対応し、上記図 8 における孔 H M が、孔 H M 1 に対応し、上記図 8 における導電膜 C D 1 a が出力配線 W D 1 に対応し、上記図 8 における導電膜 C D 1 b が出力配線 W D 4 に対応する。このため、半

導体装置 P K G 1 のダイパッド D P 2 からの出力（出力電圧または出力電流）を、出力配線 W D 1, W D 4 および接続ピン B B 1 を経由してモータ M O T（の U 相コイル）に伝送することができる。

[0127] また、パワー用配線基板 P B 1 の上面に形成された出力配線 W D 1 と、パワー用配線基板 P B 1 の下面に形成された出力配線 W D 4 とは、パワー用配線基板 P B 1 において出力配線 W D 1, W D 4 の両方に平面視で重なる位置に設けられた複数のビア部（V H）を介して、互いに電氣的に接続されている。パワー用配線基板 P B 1 において、半導体装置 P K G 1 搭載側の主面（ここではパワー用配線基板 P B 1 の上面）に形成された出力配線 W D 1 は、半導体装置 P K G 1 のダイパッド D P 2（またはドレイン用リード L D D 3, L D D 4）を上記接続ピン B B 1 に電氣的に接続するために設けられた配線である。出力配線 W D 1 とは反対側の出力配線 W D 4 は、配線の断面積を増やすことにより配線抵抗を低減し、出力配線として流せる電流許容量を増大させるために設けられている。

[0128] パワー用配線基板 P B 1 の上面に形成された出力配線 W D 2 は、半導体装置 P K G 2 のダイパッド D P 2 と上記接続ピン B B 2 とを電氣的に接続する配線であり、パワー用配線基板 P B 1 の上面において、半導体装置 P K G 2 の搭載位置から、上記接続ピン B B 2 を挿通するための孔 H M 2 の形成位置にかけて、Y 方向に延在している。パワー用配線基板 P B 1 の下面に形成された出力配線 W D 5 は、パワー用配線基板 P B 1 の上面の出力配線 W D 2 と、平面視においてほぼ重なる（一致する）領域に形成されている。

[0129] パワー用配線基板 P B 1 においては、上記接続ピン B B 2 を挿通するための孔 H M 2 は、平面視において出力配線 W D 2, W D 5 の両方に内包される位置に設けられている。そして、その出力配線 W D 2, W D 5 に電氣的に接続された導電膜（C D 1 c）が、孔 H M 2 の側面に形成され、その孔 H M 2 に上記接続ピン B B 2 が挿通されている。そして、必要に応じて半田（S L）などの導電性接合材で上記接続ピン B B 2 をパワー用配線基板 P B 1 に接合している。これにより、パワー用配線基板 P B 1 の上面および下面に形成

された出力配線WD 2および出力配線WD 5を、接続ピンBB 2に電氣的に接続することができる。上記図8に当てはめると、上記図8における接続ピンBBが、接続ピンBB 2に対応し、上記図8における孔HMが、孔HM 2に対応し、上記図8における導電膜CD 1 aが出力配線WD 2に対応し、上記図8における導電膜CD 1 bが出力配線WD 5に対応する。このため、半導体装置PKG 2のダイパッドDP 2からの出力（出力電圧または出力電流）を、出力配線WD 2、WD 5および接続ピンBB 2を経由してモータMOT（のV相コイル）に伝送することができる。

[0130] また、パワー用配線基板PB 1の上面に形成された出力配線WD 2と、パワー用配線基板PB 1の下面に形成された出力配線WD 5とは、パワー用配線基板PB 1において出力配線WD 2、WD 5の両方に平面視で重なる位置に設けられた複数のビア部（VH）を介して、互いに電氣的に接続されている。パワー用配線基板PB 1において、半導体装置PKG 2搭載側の主面（ここではパワー用配線基板PB 1の上面）に形成された出力配線WD 2は、半導体装置PKG 2のダイパッドDP 2（またはドレイン用リードLDD 3，LDD 4）を上記接続ピンBB 2に電氣的に接続するために設けられた配線である。出力配線WD 2とは反対側の出力配線WD 5は、配線の断面積を増やすことにより配線抵抗を低減し、出力配線として流せる電流許容量を増大させるために設けられている。

[0131] パワー用配線基板PB 1の上面に形成された出力配線WD 3は、半導体装置PKG 3のダイパッドDP 2と上記接続ピンBB 3とを電氣的に接続する配線であり、パワー用配線基板PB 1の上面において、半導体装置PKG 3の搭載位置から、上記接続ピンBB 3を挿通するための孔HM 2の形成位置にかけて、Y方向に延在している。パワー用配線基板PB 1の下面に形成された出力配線WD 6は、パワー用配線基板PB 1の上面の出力配線WD 3と、平面視においてほぼ重なる（一致する）領域に形成されている。

[0132] パワー用配線基板PB 1においては、上記接続ピンBB 3を挿通するための孔HM 3は、平面視において出力配線WD 3、WD 6の両方に内包される

位置に設けられている。そして、その出力配線WD 3, WD 6に電氣的に接続された導電膜(CD 1 c)が、孔HM 3の側面に形成され、その孔HM 3に上記接続ピンBB 3が挿通されている。そして、必要に応じて半田(SL)などの導電性接合材で上記接続ピンBB 3をパワー用配線基板PB 1に接合している。これにより、パワー用配線基板PB 1の上面および下面に形成された出力配線WD 3および出力配線WD 6を、接続ピンBB 3に電氣的に接続することができる。上記図8に当てはめると、上記図8における接続ピンBBが、接続ピンBB 3に対応し、上記図8における孔HMが、孔HM 3に対応し、上記図8における導電膜CD 1 aが出力配線WD 3に対応し、上記図8における導電膜CD 1 bが出力配線WD 6に対応する。このため、半導体装置PKG 3のダイパッドDP 2からの出力(出力電圧または出力電流)を、出力配線WD 3, WD 6および接続ピンBB 3を経由してモータMOT(のW相コイル)に伝送することができる。

[0133] また、パワー用配線基板PB 1の上面に形成された出力配線WD 3と、パワー用配線基板PB 1の下面に形成された出力配線WD 6とは、パワー用配線基板PB 1において出力配線WD 3, WD 6の両方に平面視で重なる位置に設けられた複数のビア部(VH)を介して、互いに電氣的に接続されている。パワー用配線基板PB 1において、半導体装置PKG 3搭載側の主面(ここではパワー用配線基板PB 1の上面)に形成された出力配線WD 3は、半導体装置PKG 3のダイパッドDP 2(またはドレイン用リードLDD 3, LDD 4)を上記接続ピンBB 3に電氣的に接続するために設けられた配線である。出力配線WD 3とは反対側の出力配線WD 6は、配線の断面積を増やすことにより配線抵抗を低減し、出力配線として流せる電流許容量を増大させるために設けられている。

[0134] 信号用配線WSは、主として、信号用ピンPN 3に電氣的に接続された配線からなる。図9および図18からも分かるように、信号用配線WSは、パワー用配線基板PB 1の上面において、複数の信号用ピンPN 3がX方向に配列した信号用ピン列(または信号用ピンPN 3を挿通させる複数の孔HP

3がX方向に配列した孔列)と、半導体装置PKG1, PKG2, PKG3がX方向に配列した半導体装置列との間に、設けられている。

[0135] パワー用配線基板PB1の上面に形成された信号用配線WSは、各半導体装置PKG1, PKG2, PKG3の各ゲート用リードLDG1, LDG2を、チップ抵抗(チップ抵抗R2a, R3a, R5a, R6a, R8a, R9aのいずれか)を介して信号用ピンPN3に接続する配線を含んでいる。また、パワー用配線基板PB1の上面に形成された信号用配線WSは、各半導体装置PKG1, PKG2, PKG3の各ソース用リードLDS1, LDS2を信号用ピンPN3に接続する配線も含んでいる。また、パワー用配線基板PB1の上面に形成された信号用配線WSは、各半導体装置PKG1, PKG2, PKG3のソース用リードLDS2を、チップ抵抗(チップ抵抗R1a, R4a, R7aのいずれか)を介してグランド配線WG1(またはグランド配線WG2)に接続する配線も含んでいる。また、パワー用配線基板PB1の上面に形成された信号用配線WSは、各チップ抵抗R1a, R4a, R7aの両電極を信号用ピンPN3に接続する配線も含んでいる。

[0136] 次に、パワー用配線基板PB1上への半導体装置PKG1, PKG2, PKG3の実装構造について、図9、図17、図18および図21～図24を参照して説明する。

[0137] 図21～図24は、パワー用配線基板PB1の上面上に半導体装置PKG1, PKG2, PKG3が搭載(実装)された構造の断面図であり、上記図9の一部の断面図に対応している。このうち、図21は、図13(すなわち図12のA1-A1線の断面)に対応する断面である。また、図22は、図14(すなわち図12のA2-A2線の断面)に対応する断面である。また、図23は、図15(すなわち図12のA3-A3線の断面)に対応する断面である。また、図24は、図16(すなわち図12のA4-A4線の断面)に対応する断面である。なお、図9～図12、図17～図20および後述の図25および図26において示すX方向およびY方向は、共通の方向である。そして、図9および図18と、図12とを見比べると、図21～図24

の各図が、図 9 および図 18 におけるどの位置の断面であるかを理解することができる。

[0138] なお、図 21～図 24 において、示されている半導体装置が半導体装置 P K G 1 の場合は、図 23 および図 24 に示されている出力配線（すなわち半導体装置 P K G 1 のダイパッド D P 1 に電氣的に接続された出力配線）は、出力配線 W D 1 および出力配線 W D 4 に対応している。

[0139] また、半導体装置 P K G 2 の場合も、実装構造は半導体装置 P K G 1 の場合と同様である。但し、図 21～図 24 において、示されている半導体装置が半導体装置 P K G 1 ではなく半導体装置 P K G 2 の場合は、図 23 および図 24 に示されている出力配線（すなわち半導体装置 P K G 2 のダイパッド D P 1 に電氣的に接続された出力配線）は、出力配線 W D 1 および出力配線 W D 4 ではなく、出力配線 W D 2 および出力配線 W D 5 に対応している。

[0140] また、半導体装置 P K G 3 の場合も、実装構造は半導体装置 P K G 1 の場合と同様である。但し、図 21～図 24 において、示されている半導体装置が半導体装置 P K G 1 ではなく半導体装置 P K G 3 の場合は、図 23 および図 24 に示されている出力配線（すなわち半導体装置 P K G 3 のダイパッド D P 1 に電氣的に接続された出力配線）は、出力配線 W D 1 および出力配線 W D 4 ではなく、出力配線 W D 3 および出力配線 W D 6 に対応している。

[0141] パワー用配線基板 P B 1 において、上面側に形成された配線（W G 1, W D 1, W D 2, W D 3, W S, W V 1）は、レジスト層 R S 1 a で覆われ、下面側に形成された配線（W G 2, W D 4, W D 5, W D 6, W V 2）は、レジスト層 R S 1 a で覆われている。しかしながら、パワー用配線基板 P B 1 において、配線における電子部品（E C 1）の端子（電極）との接続部は、レジスト層 R S 1 a から露出されている。すなわち、図 9、図 17 および図 18 を参照すると分かるように、パワー用配線基板 P B 1 において、電子部品 E C 1 を搭載する側の主面である上面側に形成された配線（W G 1, W D 1, W D 2, W D 3, W S, W V 1）は、レジスト層 R S 1 a で覆われているが、電子部品（E C 1）の端子との接続部は、レジスト層 R S 1 a の開

口部OP1から露出されている。具体的には、パワー用配線基板PB1の上面側に形成された配線(WG1, WD1, WD2, WD3, WS, WV1)において、半導体装置PKG1, PKG2, PKG3の各端子(LDG1, LDG2, LDS1, LDS2, LDD1~LDD4, DP1, DP2)に接続する部分や、チップ抵抗R1a~R9aの各電極に接続する部分は、レジスト層RS1aの開口部OP1から露出されている。これにより、パワー用配線基板PB1の上面に搭載した半導体装置PKG1, PKG2, PKG3およびチップ抵抗R1a~R9aの端子または電極を、パワー用配線基板PB1の上面側に形成された配線に、導電性の接合材(例えば半田)を用いて電氣的に接続することができる。

[0142] まず、半導体装置PKG1の実装構造について説明する。

[0143] 図9、図12、図18、図21および図22からも分かるように、半導体装置PKG1のダイパッドDP1およびドレイン用リードLDD1, LDD2は、パワー用配線基板PB1の上面に形成された電源配線WV1と平面視において重なっており、その電源配線WV1と導電性の接合材SZ(例えば半田)を介して接合されて電氣的に接続されている。従って、半導体装置PKG1の半導体チップCP1の裏面電極BE(すなわち上記パワーMOSFET1のドレイン)は、ダイパッドDP1および接合材SZを介して電源配線WV1に電氣的に接続され、更にこの電源配線WV1を介して、上記電源接続用ピンPN1と電氣的に接続されている。

[0144] また、図9、図12、図18、図23および図24からも分かるように、半導体装置PKG1のダイパッドDP2およびドレイン用リードLDD3, LDD4は、パワー用配線基板PB1の上面に形成された出力配線WD1と平面視において重なっており、その出力配線WD1と導電性の接合材SZ(例えば半田)を介して接合されて電氣的に接続されている。従って、半導体装置PKG1の半導体チップCP2の裏面電極BE(すなわち上記パワーMOSFET2のドレイン)は、ダイパッドDP2および接合材SZを介して出力配線WD1に電氣的に接続され、更にこの出力配線WD1を介して、上

記接続ピンBB1と電氣的に接続され、更にこの接続ピンBB1を介して、上記モータMOT（のU相コイル）に電氣的に接続されている。

[0145] また、図9、図12、図18および図21からも分かるように、半導体装置PKG1のゲート用リードLDG1は、パワー用配線基板PB1の上面に形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZ（例えば半田）を介して接合されて電氣的に接続されている。半導体装置PKG1のゲート用リードLDG1は、信号用配線WSを介して、チップ抵抗R2aの一方の電極と電氣的に接続され、チップ抵抗R2aの他方の電極は、信号用配線WSを介して、信号用ピンPN3と電氣的に接続されている。従って、半導体装置PKG1の半導体チップCP1のゲート用パッドPDG（すなわち上記パワーMOSFET1のゲート）は、ワイヤWA、ゲート用リードLDG1および接合材SZを介して信号用配線WSに電氣的に接続され、更にこの信号用配線WSとチップ抵抗R2aとを介して、上記信号用ピンPN3と電氣的に接続されている。

[0146] また、図9、図12、図18および図23からも分かるように、半導体装置PKG1のゲート用リードLDG2は、パワー用配線基板PB1の上面に形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZ（例えば半田）を介して接合されて電氣的に接続されている。半導体装置PKG1のゲート用リードLDG2は、信号用配線WSを介して、チップ抵抗R3aの一方の電極と電氣的に接続され、チップ抵抗R3aの他方の電極は、信号用配線WSを介して、信号用ピンPN3と電氣的に接続されている。従って、半導体装置PKG1の半導体チップCP2のゲート用パッドPDG（すなわち上記パワーMOSFET2のゲート）は、ワイヤWA、ゲート用リードLDG2および接合材SZを介して信号用配線WSに電氣的に接続され、更にこの信号用配線WSとチップ抵抗R3aとを介して、上記信号用ピンPN3と電氣的に接続されている。

[0147] また、図9、図12、図18および図24からも分かるように、半導体装置PKG1のソース用リードLDS2は、パワー用配線基板PB1の上面に

形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZ（例えば半田）を介して接合されて電氣的に接続されている。半導体装置PKG1のソース用リードLDS2は、信号用配線WSを介して、チップ抵抗R1aの一方の電極と電氣的に接続され、チップ抵抗R1aの他方の電極は、信号用配線WSおよびビア部VHを介して、グランド配線WG1およびグランド配線WG2に電氣的に接続されている。つまり、半導体装置PKG1のソース用リードLDS2は、信号用配線WSおよびチップ抵抗R1aなどを介して、グランド配線WG1、WG2に電氣的に接続されている。従って、半導体装置PKG1の半導体チップCP2のソース用パッドPDS（すなわち上記パワーMOSFET2のソース）は、ワイヤWA、ソース用リードLDS2および接合材SZを介して信号用配線WSに電氣的に接続され、更にこの信号用配線WSとチップ抵抗R1aなどを介して、グランド配線WG1およびグランド配線WG2に電氣的に接続されている。また、半導体装置PKG1のソース用リードLDS2は、信号用配線WSを介して、上記信号用ピンPN3にも電氣的に接続されている。

- [0148] また、図9、図12、図18および図22からも分かるように、半導体装置PKG1のソース用リードLDS1は、パワー用配線基板PB1の上面に形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZ（例えば半田）を介して接合されて電氣的に接続されている。半導体装置PKG1のソース用リードLDS1は、信号用配線WSを介して、上記信号用ピンPN3と電氣的に接続されている。また、半導体装置PKG1のソース用リードLDS1に接続された信号用配線WSは、出力配線WD1に繋がっている。このため、半導体装置PKG1のソース用リードLDS1は、信号用配線WSを介して、出力配線WD1に電氣的に接続されている。従って、半導体装置PKG1の半導体チップCP1のソース用パッドPDS（すなわち上記パワーMOSFET1のソース）は、ワイヤWA、ソース用リードLDS1および接合材SZを介して信号用配線WSに電氣的に接続され、更にこの信号用配線WSを介して、出力配線WD1に

電氣的に接続されている。

[0149] このため、半導体装置P K G 1の半導体チップC P 1のソース用パッドP D S（パワーM O S F E T 1のソース）は、ワイヤW A、ソース用リードL D S 1、接合材S Z、信号用配線W S、出力配線W D 1、接合材S Z、ダイパッドD P 1および接合材B Dを介して、半導体装置P K G 1の半導体チップC P 2の裏面電極B E（パワーM O S F E T 1のドレイン）に電氣的に接続されている。つまり、半導体装置P K G 1をパワー用配線基板P B 1に実装すると、半導体装置P K G 1の半導体チップC P 1のソース用パッドP D S（パワーM O S F E T 1のソース）と、半導体装置P K G 1の半導体チップC P 2の裏面電極B E（パワーM O S F E T 1のドレイン）とは、電氣的に接続されることになる。

[0150] 次に、半導体装置P K G 2の実装構造について説明する。

[0151] 図9、図12、図18、図21および図22からも分かるように、半導体装置P K G 2のダイパッドD P 1およびドレイン用リードL D D 1、L D D 2は、パワー用配線基板P B 1の上面に形成された電源配線W V 1と平面視において重なっており、その電源配線W V 1と導電性の接合材S Zを介して接合されて電氣的に接続されている。従って、半導体装置P K G 2の半導体チップC P 1の裏面電極B E（すなわち上記パワーM O S F E T 3のドレイン）は、ダイパッドD P 1および接合材S Zを介して電源配線W V 1に電氣的に接続され、更にこの電源配線W V 1を介して、上記電源接続用ピンP N 1と電氣的に接続されている。

[0152] また、図9、図12、図18、図23および図24からも分かるように、半導体装置P K G 2のダイパッドD P 2およびドレイン用リードL D D 3、L D D 4は、出力配線W D 2と平面視において重なっており、その出力配線W D 2と導電性の接合材S Zを介して接合されて電氣的に接続されている。従って、半導体装置P K G 2の半導体チップC P 2の裏面電極B E（すなわち上記パワーM O S F E T 4のドレイン）は、ダイパッドD P 2および接合材S Zを介して出力配線W D 2に電氣的に接続され、更にこの出力配線W D

2を介して、上記接続ピンBB2と電氣的に接続され、更にこの接続ピンBB2を介して、上記モータMOT（のV相コイル）に電氣的に接続されている。

[0153] また、図9、図12、図18および図21からも分かるように、半導体装置PKG2のゲート用リードLDG1は、パワー用配線基板PB1の上面に形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZを介して接合されて電氣的に接続されている。半導体装置PKG2のゲート用リードLDG1は、信号用配線WSを介して、チップ抵抗R5aの一方の電極と電氣的に接続され、チップ抵抗R5aの他方の電極は、信号用配線WSを介して、信号用ピンPN3と電氣的に接続されている。従って、半導体装置PKG2の半導体チップCP1のゲート用パッドPDG（すなわち上記パワーMOSFET3のゲート）は、ワイヤWA、ゲート用リードLDG1および接合材SZを介して信号用配線WSに電氣的に接続され、更にこの信号用配線WSとチップ抵抗R5aとを介して、上記信号用ピンPN3と電氣的に接続されている。

[0154] また、図9、図12、図18および図23からも分かるように、半導体装置PKG2のゲート用リードLDG2は、パワー用配線基板PB1の上面に形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZを介して接合されて電氣的に接続されている。半導体装置PKG2のゲート用リードLDG2は、信号用配線WSを介して、チップ抵抗R6aの一方の電極と電氣的に接続され、チップ抵抗R6aの他方の電極は、信号用配線WSを介して、信号用ピンPN3と電氣的に接続されている。従って、半導体装置PKG2の半導体チップCP2のゲート用パッドPDG（すなわち上記パワーMOSFET4のゲート）は、ワイヤWA、ゲート用リードLDG2および接合材SZを介して信号用配線WSに電氣的に接続され、更にこの信号用配線WSとチップ抵抗R6aとを介して、上記信号用ピンPN3と電氣的に接続されている。

[0155] また、図9、図12、図18および図24からも分かるように、半導体装

置 P K G 2 のソース用リード L D S 2 は、パワー用配線基板 P B 1 の上面に形成された信号用配線 W S と平面視において重なっており、その信号用配線 W S と導電性の接合材 S Z を介して接合されて電氣的に接続されている。半導体装置 P K G 2 のソース用リード L D S 2 は、信号用配線 W S を介して、チップ抵抗 R 4 a の一方の電極と電氣的に接続され、チップ抵抗 R 4 a の他方の電極は、信号用配線 W S およびビア部 V H を介して、グランド配線 W G 1 およびグランド配線 W G 2 に電氣的に接続されている。つまり、半導体装置 P K G 2 のソース用リード L D S 2 は、信号用配線 W S およびチップ抵抗 R 4 a などを介して、グランド配線 W G 1 , W G 2 に電氣的に接続されている。従って、半導体装置 P K G 2 の半導体チップ C P 2 のソース用パッド P D S (すなわち上記パワー M O S F E T 4 のソース) は、ワイヤ W A 、ソース用リード L D S 2 および接合材 S Z を介して信号用配線 W S に電氣的に接続され、更にこの信号用配線 W S とチップ抵抗 R 4 a などを介して、グランド配線 W G 1 およびグランド配線 W G 2 に電氣的に接続されている。また、半導体装置 P K G 2 のソース用リード L D S 2 は、信号用配線 W S を介して、上記信号用ピン P N 3 にも電氣的に接続されている。

[0156] また、図 9、図 12、図 18 および図 22 から分かるように、半導体装置 P K G 2 のソース用リード L D S 1 は、パワー用配線基板 P B 1 の上面に形成された信号用配線 W S と平面視において重なっており、その信号用配線 W S と導電性の接合材 S Z を介して接合されて電氣的に接続されている。半導体装置 P K G 2 のソース用リード L D S 1 は、信号用配線 W S を介して、上記信号用ピン P N 3 と電氣的に接続されている。また、半導体装置 P K G 2 のソース用リード L D S 1 に接続された信号用配線 W S は、出力配線 W D 2 に繋がっている。このため、半導体装置 P K G 2 のソース用リード L D S 1 は、信号用配線 W S を介して、出力配線 W D 2 に電氣的に接続されている。従って、半導体装置 P K G 2 の半導体チップ C P 1 のソース用パッド P D S (すなわち上記パワー M O S F E T 3 のソース) は、ワイヤ W A 、ソース用リード L D S 1 および接合材 S Z を介して信号用配線 W S に電氣的に接続

され、更にこの信号用配線WSを介して、出力配線WD 2に電氣的に接続されている。

[0157] このため、半導体装置PKG 2の半導体チップCP 1のソース用パッドPDS（パワーMOSFET 3のソース）は、ワイヤWA、ソース用リードLDS 1、接合材SZ、信号用配線WS、出力配線WD 2、接合材SZ、ダイパッドDP 1および接合材BDを介して、半導体装置PKG 2の半導体チップCP 2の裏面電極BE（パワーMOSFET 4のドレイン）に電氣的に接続されている。つまり、半導体装置PKG 2をパワー用配線基板PB 1に実装すると、半導体装置PKG 2の半導体チップCP 1のソース用パッドPDS（パワーMOSFET 3のソース）と、半導体装置PKG 2の半導体チップCP 2の裏面電極BE（パワーMOSFET 4のドレイン）とは、電氣的に接続されることになる。

[0158] 次に、半導体装置PKG 3の実装構造について説明する。

[0159] 図9、図12、図18、図21および図22からも分かるように、半導体装置PKG 3のダイパッドDP 1およびドレイン用リードLDD 1, LDD 2は、パワー用配線基板PB 1の上面に形成された電源配線WV 1と平面視において重なっており、その電源配線WV 1と導電性の接合材SZを介して接合されて電氣的に接続されている。従って、半導体装置PKG 3の半導体チップCP 1の裏面電極BE（すなわち上記パワーMOSFET 5のドレイン）は、ダイパッドDP 1および接合材SZを介して電源配線WV 1に電氣的に接続され、更にこの電源配線WV 1を介して、上記電源接続用ピンPN 1と電氣的に接続されている。

[0160] また、図9、図12、図18、図23および図24からも分かるように、半導体装置PKG 3のダイパッドDP 2およびドレイン用リードLDD 3, LDD 4は、出力配線WD 3と平面視において重なっており、その出力配線WD 3と導電性の接合材SZを介して接合されて電氣的に接続されている。従って、半導体装置PKG 3の半導体チップCP 2の裏面電極BE（すなわち上記パワーMOSFET 6のドレイン）は、ダイパッドDP 2および接合

材S Zを介して出力配線WD 3に電氣的に接続され、更にこの出力配線WD 3を介して、上記接続ピンB B 3と電氣的に接続され、更にこの接続ピンB B 3を介して、上記モータM O T（のW相コイル）に電氣的に接続されている。

[0161] また、図9、図12、図18および図21からも分かるように、半導体装置P K G 3のゲート用リードL D G 1は、パワー用配線基板P B 1の上面に形成された信号用配線W Sと平面視において重なっており、その信号用配線W Sと導電性の接合材S Zを介して接合されて電氣的に接続されている。半導体装置P K G 3のゲート用リードL D G 1は、信号用配線W Sを介して、チップ抵抗R 8 aの一方の電極と電氣的に接続され、チップ抵抗R 8 aの他方の電極は、信号用配線W Sを介して、信号用ピンP N 3と電氣的に接続されている。従って、半導体装置P K G 3の半導体チップC P 1のゲート用パッドP D G（すなわち上記パワーM O S F E T 5のゲート）は、ワイヤW A、ゲート用リードL D G 1および接合材S Zを介して信号用配線W Sに電氣的に接続され、更にこの信号用配線W Sとチップ抵抗R 8 aとを介して、上記信号用ピンP N 3と電氣的に接続されている。

[0162] また、図9、図12、図18および図23からも分かるように、半導体装置P K G 3のゲート用リードL D G 2は、パワー用配線基板P B 1の上面に形成された信号用配線W Sと平面視において重なっており、その信号用配線W Sと導電性の接合材S Zを介して接合されて電氣的に接続されている。半導体装置P K G 3のゲート用リードL D G 2は、信号用配線W Sを介して、チップ抵抗R 9 aの一方の電極と電氣的に接続され、チップ抵抗R 9 aの他方の電極は、信号用配線W Sを介して、信号用ピンP N 3と電氣的に接続されている。従って、半導体装置P K G 3の半導体チップC P 2のゲート用パッドP D G（すなわち上記パワーM O S F E T 6のゲート）は、ワイヤW A、ゲート用リードL D G 2および接合材S Zを介して信号用配線W Sに電氣的に接続され、更にこの信号用配線W Sとチップ抵抗R 9 aとを介して、上記信号用ピンP N 3と電氣的に接続されている。

[0163] また、図9、図12、図18および図24からも分かるように、半導体装置PKG3のソース用リードLDS2は、パワー用配線基板PB1の上面に形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZを介して接合されて電氣的に接続されている。半導体装置PKG3のソース用リードLDS2は、信号用配線WSを介して、チップ抵抗R7aの一方の電極と電氣的に接続され、チップ抵抗R7aの他方の電極は、信号用配線WSおよびビア部VHを介して、グランド配線WG1およびグランド配線WG2に電氣的に接続されている。つまり、半導体装置PKG3のソース用リードLDS2は、信号用配線WSおよびチップ抵抗R7aなどを介して、グランド配線WG1、WG2に電氣的に接続されている。従って、半導体装置PKG3の半導体チップCP2のソース用パッドPDS（すなわち上記パワーMOSFET6のソース）は、ワイヤWA、ソース用リードLDS2および接合材SZを介して信号用配線WSに電氣的に接続され、更にこの信号用配線WSとチップ抵抗R7aなどを介して、グランド配線WG1およびグランド配線WG2に電氣的に接続されている。また、半導体装置PKG3のソース用リードLDS2は、信号用配線WSを介して、上記信号用ピンPN3にも電氣的に接続されている。

[0164] また、図9、図12、図18および図22からも分かるように、半導体装置PKG3のソース用リードLDS1は、パワー用配線基板PB1の上面に形成された信号用配線WSと平面視において重なっており、その信号用配線WSと導電性の接合材SZを介して接合されて電氣的に接続されている。半導体装置PKG3のソース用リードLDS1は、信号用配線WSを介して、上記信号用ピンPN3と電氣的に接続されている。また、半導体装置PKG3のソース用リードLDS1に接続された信号用配線WSは、出力配線WD3に繋がっている。このため、半導体装置PKG3のソース用リードLDS1は、信号用配線WSを介して、出力配線WD3に電氣的に接続されている。従って、半導体装置PKG3の半導体チップCP1のソース用パッドPDS（すなわち上記パワーMOSFET5のソース）は、ワイヤWA、ソース

用リードL D S 1 および接合材S Zを介して信号用配線W Sに電氣的に接続され、更にこの信号用配線W Sを介して、出力配線W D 3に電氣的に接続されている。

[0165] このため、半導体装置P K G 3の半導体チップC P 1のソース用パッドP D S（パワーM O S F E T 5のソース）は、ワイヤW A、ソース用リードL D S 1、接合材S Z、信号用配線W S、出力配線W D 3、接合材S Z、ダイパッドD P 1および接合材B Dを介して、半導体装置P K G 3の半導体チップC P 2の裏面電極B E（パワーM O S F E T 6のドレイン）に電氣的に接続されている。つまり、半導体装置P K G 3をパワー用配線基板P B 1に実装すると、半導体装置P K G 3の半導体チップC P 1のソース用パッドP D S（パワーM O S F E T 5のソース）と、半導体装置P K G 3の半導体チップC P 2の裏面電極B E（パワーM O S F E T 6のドレイン）とは、電氣的に接続されることになる。

[0166] このように、パワー用配線基板P B 1の上面上に半導体装置P K G 1，P K G 2，P K G 3が実装されている。半導体装置P K G 1のダイパッドD P 1と、半導体装置P K G 2のダイパッドD P 1と、半導体装置P K G 3のダイパッドD P 1とは、共通の電源配線W V 1に電氣的に接続されている。これにより、上記電源接続用ピンP N 1から、電源配線W V 1を介して、半導体装置P K G 1，P K G 2，P K G 3の各ダイパッドD P 1に、従って半導体装置P K G 1，P K G 2，P K G 3の各半導体チップC P 1の裏面電極B Eに、電源電位V I Nが供給されるようになっている。また、半導体装置P K G 1のダイパッドD P 2は、出力配線W D 1に電氣的に接続され、半導体装置P K G 2のダイパッドD P 2は、出力配線W D 2に電氣的に接続され、半導体装置P K G 3のダイパッドD P 2は、出力配線W D 3に電氣的に接続されている。これにより、半導体装置P K G 1のダイパッドD P 2からの出力が、出力配線W D 1を介して接続ピンB B 1に供給され、半導体装置P K G 2のダイパッドD P 2からの出力が、出力配線W D 2を介して接続ピンB B 2に供給され、半導体装置P K G 3のダイパッドD P 2からの出力が、出

力配線WD 3を介して接続ピンBB 3に供給されるようになっている。

[0167] <パワー用配線基板PB 1の配線レイアウトなどについて>

本実施の形態では、パワー用配線基板PB 1における、配線レイアウト、電子部品の実装構造、および孔(HP 1, HP 2, HP 3, HM 1, HM 2, HM 3, HT 1, NH 1)のレイアウトなどを工夫している。以下、その工夫点について説明する。

[0168] パワー用配線基板PB 1の平面形状は、円形状である。これにより、平面形状が円形状の装置(ここではモータMOT)にパワー用配線基板PB 1を取り付けたときに、無駄なスペースを生じずに済む。

[0169] パワー用配線基板PB 1には、信号用ピンPN 3を挿通する孔HP 3が複数設けられている。それら複数の孔HP 3は、平面視において、ほぼX方向に配列されている(並んでいる)。好ましくは、複数の孔HP 3は、ほぼX方向に一行に並んでいる。

[0170] なお、以下では、パワー用配線基板PB 1において、複数の孔HP 3の配列全体を、「孔HP 3の列」と称することとする。

[0171] 平面視において、孔HP 3の列は、円形状のパワー用配線基板PB 1の中央付近を通過するような位置に配置されていることが好ましい。従って、孔HP 3の列は、円形状のパワー用配線基板PB 1のほぼ直径を構成するような位置に配置されていることが好ましい。これにより、パワー用配線基板PB 1の直径が同じ場合に、パワー用配線基板PB 1に設けることができる孔HP 3の数を多くすることができ、従って、パワー用配線基板PB 1に対して設けることができる信号用ピンPN 3の数を多くすることができる。このため、パワー用配線基板PB 1と制御用配線基板PB 2とを接続する信号用ピンPN 3の数を効率的に増やすことができる。また、別の見方をすると、信号用ピンPN 3の数を維持しながら、パワー用配線基板PB 1の小型化(小面積化)が可能になる。

[0172] パワー用配線基板PB 1の上面において、孔HP 3の列とY方向に隣り合うように、複数の半導体装置PKG 1, PKG 2, PKG 3が配置されてお

り、半導体装置PKG1と半導体装置PKG2と半導体装置PKG3とは、この順でX方向に配列されている（並んでいる）。すなわち、パワー用配線基板PB1において、複数の孔HP3とそれに挿通された複数の信号用ピンPN3とをほぼX方向に配列させ、また、複数の半導体装置PKG1、PKG2、PKG3もX方向に配列させている。これにより、各複数の半導体装置PKG1、PKG2、PKG3が信号用ピンPN3とY方向に対向し、半導体装置PKG1、PKG2、PKG3と複数の信号用ピンPN3とを、信号用配線WSなどを介して接続しやすくなる。

[0173] なお、以下では、パワー用配線基板PB1において、半導体装置PKG1と半導体装置PKG2と半導体装置PKG3との配列全体を、「半導体装置PKG1、PKG2、PKG3の列」と称することとする。

[0174] パワー用配線基板PB1の上面において、信号用配線WSは、孔HP3の列と半導体装置PKG1、PKG2、PKG3の列との間に配置されている。これにより、半導体装置PKG1、PKG2、PKG3と孔HP3に挿通された信号用ピンPN3とを、信号用配線WSを介して電氣的に接続しやすくなる。

[0175] また、パワー用配線基板PB1の上面において、チップ抵抗R1a、R2a、R3a、R4a、R5a、R6a、R7a、R8a、R9aは、半導体装置PKG1、PKG2、PKG3の列よりも、孔HP3の列側に配置されている。これにより、各チップ抵抗R1a、R2a、R3a、R4a、R5a、R6a、R7a、R8a、R9aを信号用ピンPN3または半導体装置PKG1、PKG2、PKG3に接続しやすくなる。また、パワー用配線基板PB1の上面において、出力配線WD1、WD2、WD3や電源配線WV1の面積を確保しやすくなる。

[0176] また、パワー用配線基板PB1の上面において、チップ抵抗R2a、R3aは、半導体装置PKG1と孔HP3の列との間に配置され、チップ抵抗R5a、R6aは、半導体装置PKG2と孔HP3の列との間に配置され、チップ抵抗R8a、R9aは、半導体装置PKG3と孔HP3の列との間に配

置されている。これにより、半導体装置PKG1, PKG2, PKG3の各ゲート用リード(LDG1, LDG2)を、それぞれ信号用配線WSとチップ抵抗(R2a, R3a, R5a, R6a, R8a, R9a)とを介して信号用ピンPN3に接続しやすくなる。

[0177] また、パワー用配線基板PB1の上面において、チップ抵抗1aは、半導体装置PKG1の隣で、かつ、出力配線WD1と孔HP3の列との間に配置され、チップ抵抗4aは、半導体装置PKG2の隣で、かつ、出力配線WD2と孔HP3の列との間に配置され、チップ抵抗7aは、半導体装置PKG3の隣で、かつ、出力配線WD3と孔HP3の列との間に配置されている。これにより、半導体装置PKG1, PKG2, PKG3のソース用リードLDS2を、信号用配線WSを介してチップ抵抗R1a, R4a, R7aに接続しやすくなる。

[0178] また、パワー用配線基板PB1の上面において、半導体装置PKG1, PKG2, PKG3の列とY方向に隣り合うように、複数の孔HM1, HM2, HM3が設けられており、孔HM1と孔HM2と孔HM3とは、この順でX方向に配列されている（並んでいる）。すなわち、パワー用配線基板PB1において、複数の孔HP3とそれに挿通された複数の信号用ピンPN3とをほぼX方向に配列させ、また、複数の半導体装置PKG1, PKG2, PKG3もX方向に配列させ、また、複数の孔HM1, HM2, HM3とそれに挿通された複数の接続ピンBB1, BB2, BB3もX方向に配列させている。

[0179] なお、以下では、パワー用配線基板PB1において、複数の孔HM1, HM2, HM3の配列全体を、「孔HM1, HM2, HM3の列」と称することとする。

[0180] パワー用配線基板PB1の上面において、Y方向に見ると、HP3の列と半導体装置PKG1, PKG2, PKG3の列とがY方向に対向し、孔HM1, HM2, HM3の列と半導体装置PKG1, PKG2, PKG3の列とがY方向に対向し、孔HP3の列と孔HM1, HM2, HM3の列との間に

、半導体装置PKG1、PKG2、PKG3の列が配置されている。これにより、半導体装置PKG1、PKG2、PKG3と信号用ピンPN3とを、信号用配線WSなどを介して接続しやすくなるとともに、半導体装置PKG1、PKG2、PKG3と接続ピンBB1、BB2、BB3とを出力配線WD1、WD2、WD3を介して接続しやすくなる。

[0181] また、パワー用配線基板PB1の上面において、孔HM1は半導体装置PKG1から概ねY方向に離間し、孔HM2は半導体装置PKG2から概ねY方向に離間し、孔HM3は半導体装置PKG3から概ねY方向に離間している。

[0182] パワー用配線基板PB1の上面において、出力配線WD1、WD2、WD3は、孔HM1、HM2、HM3の列と半導体装置PKG1、PKG2、PKG3の列との間に配置されている。これにより、半導体装置PKG1、PKG2、PKG3と孔HM1、HM2、HM3に挿通された接続ピンBB1、BB2、BB3とを出力配線WD1、WD2、WD3を介して接続しやすくなる。

[0183] パワー用配線基板PB1の上面において、出力配線WD1、WD2、WD3は、それぞれY方向に延在している。すなわち、パワー用配線基板PB1の上面において、出力配線WD1は、半導体装置PKG1と孔HM1（または孔HM1に挿通された接続ピンBB1）とをつなぐように、Y方向に延在している。出力配線WD1のY方向における一方の端部側に、半導体装置PKG1のダイパッドDP2（およびドレイン用リードLDD3、LDD4）が接続され、Y方向における他方の端部側に、孔HM1が設けられ、その孔HM1に接続ピンBB1が挿通されている。孔HM1は、平面視において、出力配線WD1に内包されている。

[0184] また、パワー用配線基板PB1の上面において、出力配線WD2は、半導体装置PKG2と孔HM2（または孔HM2に挿通された接続ピンBB2）とをつなぐように、Y方向に延在している。出力配線WD2のY方向における一方の端部側に、半導体装置PKG2のダイパッドDP2（およびドレイ

ン用リードLDD3, LDD4)が接続され、Y方向における他方の端部側に、孔HM2が設けられ、その孔HM2に接続ピンBB2が挿通されている。孔HM2は、平面視において、出力配線WD2に内包されている。

[0185] また、パワー用配線基板PB1の上面において、出力配線WD3は、半導体装置PKG3と孔HM3(または孔HM3に挿通された接続ピンBB3)とをつなぐように、Y方向に延在している。出力配線WD3のY方向における一方の端部側に、半導体装置PKG3のダイパッドDP2(およびドレイン用リードLDD3, LDD4)が接続され、Y方向における他方の端部側に、孔HM3が設けられ、その孔HM3に接続ピンBB3が挿通されている。孔HM3は、平面視において、出力配線WD3に内包されている。

[0186] 出力配線WD1, WD2, WD3同士は、X方向に離間しており、出力配線WD1と出力配線WD2と出力配線WD3の順で、X方向に並んでいる。Y方向に延在する出力配線WD1, WD2, WD3により、半導体装置PKG1, PKG2, PKG3と接続ピンBB1, BB2, BB3との間を接続したことにより、半導体装置PKG1, PKG2, PKG3と接続ピンBB1, BB2, BB3との間を、低抵抗で接続することができる。

[0187] また、図18にも示されるように、パワー用配線基板PB1の上面において、電源配線WV1は、各出力配線WD1, WD2, WD3にX方向に隣り合うようにY方向に延在する部分と、パワー用配線基板PB1の上面の外周に沿って延在して、Y方向に延在する部分同士をつなぐ(連結する)部分と、を一体的に有している。具体的には、電源配線WV1は、出力配線WD2と出力配線WD3の間に位置してY方向に延在する部分と、出力配線WD1と出力配線WD2の間に位置してY方向に延在する部分と、出力配線WD2に隣り合う側とは逆側で出力配線WD1とX方向に隣り合ってY方向に延在する部分と、それらを連結するようにパワー用配線基板PB1の上面の外周に沿って延在する部分と、を一体的に有する。

[0188] 電源配線WV1は、各出力配線WD1, WD2, WD3にX方向に隣り合うようにY方向に延在している。このため、平面視において、半導体装置P

K G 1 を、電源配線W V 1 と出力配線W D 1 との両方に跨るように配置することができる。また、半導体装置P K G 2 を、電源配線W V 1 と出力配線W D 2 との両方に跨るように配置することができる。また、半導体装置P K G 3 を、電源配線W V 1 と出力配線W D 3 との両方に跨るように配置することができる。すなわち、半導体装置P K G 1, P K G 2, P K G 3 の各ダイパッドD P 1 を電源配線W V 1 上に配置させるとともに、半導体装置P K G 1 のダイパッドD P 2 を出力配線W D 1 上に配置させ、半導体装置P K G 2 のダイパッドD P 2 を出力配線W D 2 上に配置させ、半導体装置P K G 3 のダイパッドD P 2 を出力配線W D 3 上に配置させることができる。これにより、半導体装置P K G 1, P K G 2, P K G 3 のダイパッドD P 1 を、共通の電源配線W V 1 に電氣的に接続するとともに、半導体装置P K G 1 のダイパッドD P 2 を出力配線W D 1 に電氣的に接続し、半導体装置P K G 2 のダイパッドD P 2 を出力配線W D 2 に電氣的に接続し、半導体装置P K G 3 のダイパッドD P 2 を出力配線W D 3 に電氣的に接続することができる。

[0189] また、パワー用配線基板P B 1 において、電源接続用ピンP N 1 が挿通される孔H P 1 は、平面視において、孔H M 1, H M 2, H M 3 の列にX方向に隣り合う位置に設けられている。具体的には、孔H P 1 は、孔H M 2 と隣り合う側とは逆側において、孔H M 1 とX方向に隣り合う位置に配置されている。このため、孔H M 1 は、孔H P 1 と孔H M 2 との間に位置している。従って、孔H P 1 と孔H M 1 と孔H M 2 と孔H M 3 とは、この順でX方向に並んでいる。孔H P 1 は、平面視において、電源配線W V 1 に内包され、かつ、電源配線W V 2 に内包されている。

[0190] また、図18に示されるように、半導体装置P K G 1, P K G 2, P K G 3 の列を境界として、パワー用配線基板P B 1 の上面を2つの領域に分けたときに、一方の領域に、電源配線W V 1 と出力配線W D 1, W D 2, W D 3 と孔H P 1, H M 1, H M 2, H M 3, N H 1 とが配置され、他方の領域に、グランド配線W G 1 と信号用配線W S と孔H P 2, H P 3, H T 1, N H 1 とが配置されている。

[0191] すなわち、パワー用配線基板PB1の上面において、半導体装置PKG1, PKG2, PKG3の列の両側（Y方向の両側）のうちの一方の側に、電源配線WV1と出力配線WD1, WD2, WD3と孔HP1, HM1, HM2, HM3とを設けている。これにより、半導体装置PKG1, PKG2, PKG3のダイパッドDP1に、共通の電源配線WV1から電源電位VINを供給しやすくなる。また、半導体装置PKG1のダイパッドDP2を、出力配線WD1を介して接続ピンBB1に接続し、半導体装置PKG2のダイパッドDP2を、出力配線WD2を介して接続ピンBB2に接続し、半導体装置PKG3のダイパッドDP2を、出力配線WD3を介して接続ピンBB3に接続しやすくなる。

[0192] また、パワー用配線基板PB1の上面において、半導体装置PKG1, PKG2, PKG3の列の両側（Y方向の両側）のうちの他方の側に、グラウンド配線WG1と信号用配線WSと孔HP2, HP3, HT1とを設けているが、信号用配線WSが形成されていない領域のほぼ全体に、グラウンド配線WG1が形成されている。これにより、半導体装置PKG1, PKG2, PKG3とチップ抵抗R1a~R9aと信号用ピンPN3との間を、信号用配線WSを介して接続しやすくなるとともに、グラウンド配線WG1の面積を大きくすることができる。例えば、グラウンド配線WG1の面積を、信号用配線WSが形成されている領域の面積よりも大きくすることができ、また、出力配線WD1, WD2, WD3の各面積よりも大きくすることができる。グラウンド配線WG1の面積を大きくしたことにより、ノイズの影響を防止しやすくなる。

[0193] また、図18と図19とを比べると分かるように、半導体装置PKG1, PKG2, PKG3の列を境界として、パワー用配線基板PB1の下面を2つの領域に分けたときに、一方の領域に、電源配線WV2と出力配線WD4, WD5, WD6と孔HP1, HM1, HM2, HM3, NH1とが配置され、他方の領域に、グラウンド配線WG2と孔HP2, HP3, HT1, NH1とが配置されている。パワー用配線基板PB1の下面においては、信号用

配線WSが形成されていないため、半導体装置PKG1, PKG2, PKG3の列の両側（Y方向の両側）のうちの一方の側に、電源配線WV2および出力配線WD4, WD5, WD6が形成され、他方の側のほぼ全体にグランド配線WG2が形成されている。これにより、グランド配線WG2の面積を大きくすることができ、ノイズの影響を防止しやすくなる。また、パワー用配線基板PB1の下面においては、上面側で信号用配線WSが形成されている領域に平面視で重なる領域全体に、グランド配線WG2が形成されているため、信号用配線WSのノイズ耐性を更に向上させることができる。また、平面視において、電源配線WV2は、電源配線WV1とほぼ重なる（一致する）領域に形成され、出力配線WD4は、出力配線WD1とほぼ重なる（一致する）領域に形成され、出力配線WD5は、出力配線WD2とほぼ重なる（一致する）領域に形成され、出力配線WD6は、出力配線WD3とほぼ重なる（一致する）領域に形成されている。

[0194] また、パワー用配線基板PB1において、グランド接続用ピンPN2が挿通される孔HP2は、平面視において、孔HP3の列にX方向に隣り合う位置に設けられている。孔HP2は、平面視において、グランド配線WG1に内包され、かつ、グランド配線WG2に内包されている。

[0195] また、パワー用配線基板PB1には、固定用のネジNG1が挿通される孔NH1が設けられている。この固定用の孔NH1は、パワー用配線基板PB1において複数箇所に設けることが好ましく、固定箇所増加による安定性向上と有効配線面積減少の関係から、パワー用配線基板PB1において3箇所に設けることが、より好ましい。

[0196] また、パワー用配線基板PB1としては、基材層BS1の上面と下面に配線層を形成した配線基板を採用しており、パワー用配線基板PB1における配線層は2層である。このため、パワー用配線基板PB1の製造コストを低減することができる。なお、ここでは配線層が2層の配線基板を一例に説明したが、配線層が4層または6層の配線基板を適用しても構わない。

[0197] また、本実施の形態では、パワー用配線基板PB1における半導体装置P

K G 1, P K G 2, P K G 3 を搭載した側の主面（上面）とは反対側の主面（下面）が、モータ M O T の上面に対向している。他の形態として、パワー用配線基板 P B 1 の上下を反転させることもできる。この場合、パワー用配線基板 P B 1 は、電源配線 W V 1、出力配線 M D 1, M D 2, M D 3、グラウンド配線 M G 1 および信号用配線 M S が形成され、かつ、半導体装置 P K G 1, P K G 2, P K G 3 およびチップ抵抗 R 1 a ~ R 9 a が搭載された側の主面が、モータ M O T の上面に対向することになる。

[0198] また、本実施の形態では、制御用配線基板 P B 2 とパワー用配線基板 P B 1 とのうち、パワー用配線基板 P B 1 を、モータ M O T に近い側に配置している。他の形態として、制御用配線基板 P B 2 とパワー用配線基板 P B 1 との上下を入れ替え、制御用配線基板 P B 2 をモータ M O T に近い側に配置することもできる。但し、本実施の形態のように、制御用配線基板 P B 2 とパワー用配線基板 P B 1 とのうち、パワー用配線基板 P B 1 が、モータ M O T に近い場合、パワー用配線基板 P B 1 からの出力電流をモータ M O T （のコイル）に伝達しやすいため、より好ましい。

[0199] <主要な特徴と効果について>

本実施の形態の電子装置は、複数の端子を有するパワー用配線基板 P B 1（第 1 配線基板）と、パワー用配線基板 P B 1 の第 1 主面（ここでは上面）上に搭載された複数の半導体装置 P K G 1, P K G 2, P K G 3 と、を有する電子装置である。

[0200] 複数の半導体装置 P K G 1, P K G 2, P K G 3 のそれぞれは、半導体チップ C P 1 と半導体チップ C P 2 とを有している。半導体チップ C P 1 は、ハイサイド M O S F E T を備えたハイサイド用の半導体チップであり、半導体チップ C P 2 は、ロウサイド M O S F E T を備えたロウサイド用の半導体チップである。複数の半導体装置 P K G 1, P K G 2, P K G 3 のそれぞれは、更に、半導体チップ C P 1 のドレイン電極（ここでは裏面電極 B E）に電氣的に接続されたハイサイド用ドレイン端子（ここではダイパッド D P 1）と、半導体チップ C P 2 のドレイン電極（ここでは裏面電極 B E）に電気

的に接続されたロウサイド用ドレイン端子（ここではダイパッドDP2）と、を有している。複数の半導体装置PKG1, PKG2, PKG3のそれぞれは、更に、半導体チップCP1のソース電極（ここではソース用パッドPDS）に電氣的に接続されたロウサイド用ソース端子（ここではソース用リードLDS1）と、半導体チップCP1および半導体チップCP2を封止する封止体（ここでは封止部MR）と、を有している。複数の半導体装置PKG1, PKG2, PKG3のそれぞれの半導体チップCP1のソース電極（ソース用パッドPDS）とロウサイド用の半導体チップCP2のドレイン電極（裏面電極BE）とは、電氣的に接続されている。

[0201] パワー用配線基板PB1の複数の端子は、電源電圧（VIN）が供給される第1端子（電源用端子、ここでは孔HP1または孔HP1に挿通された電源接続用ピンPN1に対応）と、基準電圧（グランド電位GND）が供給される第2端子（グランド用端子、ここでは孔HP2または孔HP2に挿通されたグランド接続用ピンPN2に対応）と、を含んでいる。パワー用配線基板PB1の複数の端子は、更に、複数の半導体装置PKG1, PKG2, PKG3のロウサイド用ドレイン端子（ダイパッドDP2）に対してそれぞれ設けられた複数の出力端子（モータMOTへの出力用端子、ここでは孔HM1, HM2, HM3または孔HM1, HM2, HM3に挿通された接続ピンBB1, BB2, BB3に対応）を含んでいる。

[0202] パワー用配線基板PB1の第1主面（上面）には、複数の半導体装置PKG1, PKG2, PKG3のハイサイド用ドレイン端子（ダイパッドDP1）を第1端子（ここでは孔HP1または孔HP1に挿通された電源接続用ピンPN1）に電氣的に接続する第1導体パターン（ここでは電源配線WV1）が形成されている。パワー用配線基板PB1の第1主面（ここでは上面）には、更に、複数の半導体装置PKG1, PKG2, PKG3のロウサイド用ドレイン端子（ダイパッドDP2）を複数の出力端子（ここでは孔HM1, HM2, HM3または孔HM1, HM2, HM3に挿通された接続ピンBB1, BB2, BB3）に電氣的に接続する第2導体パターン（ここでは出

力配線WD 1, WD 2, WD 3) が形成されている。パワー用配線基板PB 1の第1主面(上面)には、更に、第2端子(ここでは孔HP 2または孔HP 2に挿通されたグランド接続用ピンPN 2)に電氣的に接続された第3導体パターン(ここではグランド配線WG 1)が形成されている。複数の半導体装置PKG 1, PKG 2, PKG 3のロウサイド用ソース端子(ソース用リードLDS 1)は、第3導体パターン(グランド配線WG 1)に電氣的に接続されている。

[0203] 本実施の形態の主要な特徴のうちの一つは、複数の半導体装置PKG 1, PKG 2, PKG 3が搭載された側の主面である、パワー用配線基板PB 1の第1主面(上面)において、電源配線WV 1(第1導体パターン)と出力配線WD 1, WD 2, WD 3(第2導体パターン)に関して、電流経路の幅の均一化を図ったことである。

[0204] 電源配線WV 1および出力配線WD 1, WD 2, WD 3には大電流が流れるため、電源配線WV 1および出力配線WD 1, WD 2, WD 3において、電流経路の幅が狭くなっている箇所があると、そこでの抵抗成分が大きくなってしまい、電力損失(導通損失)が発生してしまう。特に、パワー用配線基板PB 1の平面形状が円形状である場合や、パワー用配線基板PB 1に種々の孔を設ける場合には、配線の配置位置や孔の位置によって、電源配線WV 1や出力配線WD 1, WD 2, WD 3において、電流経路の幅が狭くなる箇所が生じやすい。

[0205] 電源配線WV 1および出力配線WD 1, WD 2, WD 3において、電流経路の幅が狭くなっている箇所が生じ、そこで抵抗成分が大きくなって電力損失が発生してしまうことは、パワー用配線基板PB 1と半導体装置PKG 1, PKG 2, PKG 3とを含む電子装置の性能の低下につながる。このため、電子装置の性能を向上させるためには、できるだけ電力損失(導通損失)を低減することが望まれる。

[0206] また、電源配線WV 1および出力配線WD 1, WD 2, WD 3において、電流経路の幅が狭くなっている箇所が生じないように、パワー用配線基板P

B 1 の平面寸法を大きくすることは、電子装置全体の平面寸法の増大を招いてしまい、その電子装置を取り付けた駆動系全体の大型化を招いてしまう。また、大電流が流れたときの電力損失を低減するために、パワー用配線基板 P B 1 における配線の厚みを厚くしたり、配線の層数を増やしたりすることは、パワー用配線基板 P B 1 の製造コストの増加にを招き、パワー用配線基板 P B 1 と半導体装置 P K G 1 , P K G 2 , P K G 3 とを含む電子装置の製造コストの増加につながってしまう。

[0207] そこで、本実施の形態では、パワー用配線基板 P B 1 の第 1 主面（上面）に形成された電源配線 W V 1 （第 1 導体パターン）と出力配線 W D 1 , W D 2 , W D 3 （第 2 導体パターン）に関して、電流経路の幅の均一化を図っている。すなわち、パワー用配線基板 P B 1 の第 1 主面（上面）に形成された電源配線 W V 1 （第 1 導体パターン）と出力配線 W D 1 , W D 2 , W D 3 （第 2 導体パターン）において、電流経路の幅が過剰に狭くなった箇所が生じないようにしている。

[0208] 具体的には、次のように、電源配線 W V 1 （第 1 導体パターン）と出力配線 W D 1 , W D 2 , W D 3 （第 2 導体パターン）との平面レイアウトを設計する。すなわち、パワー用配線基板 P B 1 の第 1 主面（上面）において、電源配線 W V 1 （第 1 導体パターン）における電流経路の幅（W 1）の最小値を、第 1 最小幅（電源配線最小幅）と称し、電源配線 W V 1 （第 1 導体パターン）における電流経路の幅（W 1）の最大値を、第 1 最大幅（電源配線最大幅）と称することとする。また、出力配線 W D 1 , W D 2 , W D 3 （第 2 導体パターン）における電流経路の幅（W 2）の最小値を、第 2 最小幅（出力配線最小幅）と称し、出力配線 W D 1 , W D 2 , W D 3 （第 2 導体パターン）における電流経路の幅（W 2）の最大値を、第 2 最大幅（出力配線最大幅）と称することとする。このとき、第 1 最小幅（電源配線最小幅）が第 2 最小幅（出力配線最小幅）よりも小さい場合は、第 1 最小幅（電源配線最小幅）が、第 2 最大幅の $1/2$ よりも大きくなるようにし、第 2 最小幅（出力配線最小幅）が第 1 最小幅（電源配線最小幅）よりも小さい場合は、第 2 最

小幅（出力配線最小幅）が、第1最大幅（電源配線最大幅）の $1/2$ よりも大きくなるようにするのである。これについて、図25を参照して説明する。

[0209] 図25は、パワー用配線基板PB1の上面側の平面透視図であり、上記図18と同じ平面図が示されている。但し、図25では、上記図18で示されていたハッチングは省略してある。上記図18と同様に、図25においても、半導体装置PKG1、PKG2、PKG3が搭載される位置を、点線で示してある。また、図25においては、電源配線WV1および出力配線WD1、WD2、WD3における電流経路を、矢印を用いて模式的に示してある。

[0210] すなわち、図25においては、電源配線WV1において電源接続用ピンPN1から半導体装置PKG1、PKG2、PKG3の各ダイパッドDP1に流れる電流の経路が、矢印を用いて示してある。また、図25においては、出力配線WD1において半導体装置PKG1のダイパッドDP2から接続ピンBB1に流れる電流の経路と、出力配線WD2において半導体装置PKG2のダイパッドDP2から接続ピンBB2に流れる電流の経路と、出力配線WD3において半導体装置PKG3のダイパッドDP2から接続ピンBB3に流れる電流の経路とも、矢印を用いて示してある。

[0211] 電源配線WV1（第1導体パターン）における電流経路の幅W1を、図25に示してある。電源配線WV1における電流経路の幅W1は、電源配線WV1において、半導体装置PKG1、PKG2、PKG3の各ダイパッドDP1から電源接続用ピンPN1に流れる電流の経路における電源配線WV1の幅であり、電流の流れる方向に略直交する方向における電源配線WV1の幅（寸法）に対応している。

[0212] パワー用配線基板PB1の第1主面（上面）において、電源配線WV1における電流経路の幅W1は、均一ではなく、場所によって異なっている。例えば、電源配線WV1における電流経路の幅W1のうち、図25に示される幅W1a、W1b、W1c、W1dは比較的小さく、幅W1e、W1fは比較的大きい。電源配線WV1における電流経路の幅W1のうち、最も小さい

のは幅 $W1a$ であり、2番目に小さいのは幅 $W1b$ である。つまり、電源配線 $WV1$ は、幅 $(W1)$ が均一ではなく、幅 $W1a$ を示す位置で、電流経路の幅 $(W1)$ が最も狭く（小さく）なっており、幅 $W1b$ を示す位置で、電流経路の幅 $(W1)$ が次に狭く（小さく）なっている。また、電源配線 $WV1$ における電流経路の幅 $W1$ のうち、最も大きいのは幅 $W1f$ である。つまり、電源配線 $WV1$ は、幅 $(W1)$ が均一ではなく、幅 $W1a$ を示す位置で、電流経路の幅 $(W1)$ が最も狭く（小さく）なっており、幅 $W1b$ を示す位置で、電流経路の幅 $(W1)$ が次に狭く（小さく）なっており、幅 $W1f$ を示す位置で、電流経路の幅 $(W1)$ が最も広く（大きく）なっている。従って、電源配線 $WV1$ における電流経路の幅 $W1$ の最小値、すなわち第1最小幅（電源配線最小幅）は、幅 $W1a$ に対応し、電源配線 $WV1$ における電流経路の幅 $W1$ の最大値、すなわち第1最大幅（電源配線最大幅）は、幅 $W1f$ に対応している。

[0213] また、出力配線 $WD1$ 、 $WD2$ 、 $WD3$ （第2導体パターン）における電流経路の幅 $W2$ を、図25に示してある。出力配線 $WD1$ においては、幅 $W2$ は、半導体装置 $PKG1$ のダイパッド $DP2$ から接続ピン $BB1$ に流れる電流の経路における出力配線 $WD1$ の幅に対応している。また、出力配線 $WD2$ においては、幅 $W2$ は、半導体装置 $PKG2$ のダイパッド $DP2$ から接続ピン $BB2$ に流れる電流の経路における出力配線 $WD2$ の幅に対応している。また、出力配線 $WD3$ においては、幅 $W2$ は、半導体装置 $PKG3$ のダイパッド $DP2$ から接続ピン $BB3$ に流れる電流の経路における出力配線 $WD3$ の幅に対応している。なお、幅 $W2$ は、出力配線 $WD1$ 、 $WD2$ 、 $WD3$ のそれぞれにおいて、電流の流れる方向に略直交する方向における出力配線 $WD1$ 、 $WD2$ 、 $WD3$ の幅（寸法）に対応している。

[0214] パワー用配線基板 $PB1$ の第1主面（上面）において、出力配線 $WD1$ 、 $WD2$ 、 $WD3$ における電流経路の幅 $W2$ が、均一ではない場合もあり得る。例えば、出力配線 $WD1$ 、 $WD2$ 、 $WD3$ における電流経路の幅 $W2$ のうち、図25に示される幅 $W2a$ は、幅 $W2b$ 、 $W2c$ よりもやや小さく、幅

W2 bは、幅W2 a, W2 cよりもやや大きい。従って、出力配線WD 1, WD 2, WD 3における電流経路の幅W2のうち、最も小さいのは幅W2 aであり、最も大きいのは幅W2 bである。従って、出力配線WD 1, WD 2, WD 3における電流経路の幅W2の最小値、すなわち第2最小幅（出力配線最小幅）は、幅W2 aに対応し、出力配線WD 1, WD 2, WD 3における電流経路の幅W2の最大値、すなわち第2最大幅（出力配線最大幅）は、幅W2 bに対応している。

[0215] 図25の場合、電源配線WV 1における電流経路の幅W1の最小値（第1最小幅、ここでは幅W1 aに対応）が、出力配線WD 1, WD 2, WD 3における電流経路の幅W2の最小値（第2最小幅、ここでは幅W2 aに対応）よりも小さくなっている。この場合、電源配線WV 1および出力配線WD 1, WD 2, WD 3に電流が流れるに際して、電流経路が最も狭くなっている箇所は、電源配線WV 1における電流経路の幅W1が最も小さくなっている箇所（第1最小幅となっている箇所、ここでは幅W1 aとなっている箇所）ということになり、そこで抵抗が増加して、電力損失が増加してしまう。

[0216] そこで、電源配線WV 1における電流経路の幅W1の最小値（第1最小幅、ここでは幅W1 aに対応）が、出力配線WD 1, WD 2, WD 3における電流経路の幅W2の最大値（第2最大幅、ここでは幅W2 b）の $1/2$ よりも大きくなるように、電源配線WV 1および出力配線WD 1, WD 2, WD 3のレイアウトを設計する。すなわち、 $W1 a > W2 b \times 1/2$ が成り立つ。

[0217] これにより、電源配線WV 1における電流経路の幅W1の最小値（第1最小幅）が過剰に小さくなることを防いで、電源配線WV 1における電流経路の幅W1が最も小さくなっている箇所で抵抗が増加して電力損失が発生してしまう現象を、抑制することができる。また、出力配線WD 1, WD 2, WD 3における電流経路の幅W2の最大値（第2最大幅）が過剰に大きくなることを防いで、電源配線WV 1における電流経路の幅W1が狭くなることを防ぐことができる。

[0218] つまり、パワー用配線基板PB1の第1主面（上面）には、電源配線WV1および出力配線WD1, WD2, WD3を設ける必要があるが、電源配線WV1および出力配線WD1, WD2, WD3において過剰に幅が狭くなった箇所があると、そこで抵抗が大きくなって電力損失が増加してしまう。一方、電源配線WV1および出力配線WD1, WD2, WD3において過剰に幅が大きくなった箇所があると、その過剰に幅が大きくなった箇所に起因して、それに隣接する位置で、電源配線WV1または出力配線WD1, WD2, WD3において幅が狭くなりやすい。そこで、本実施の形態では、電源配線WV1および出力配線WD1, WD2, WD3において、電流経路の幅が過剰に狭くなった箇所と電流経路の幅が過剰に広くなった箇所とが生じないように電源配線WV1および出力配線WD1, WD2, WD3のレイアウトを設計し、それによって、電力損失の増加を防いでいるのである。

[0219] このように、本実施の形態では、電源配線WV1における電流経路の幅W1の最小値（ここでは幅W1a）が、出力配線WD1, WD2, WD3における電流経路の幅W2の最大値（幅W2b）の $1/2$ よりも大きくなるようにし、それによって、電力損失の増加を防いでいる。

[0220] ここで、図25の場合は、電源配線WV1における電流経路の幅W1の最小値が、出力配線WD1, WD2, WD3における電流経路の幅W2の最小値よりも小さくなっているため、電源配線WV1における電流経路の幅W1の最小値を、出力配線WD1, WD2, WD3における電流経路の幅W2の最大値の $1/2$ よりも大きくしている。しかしながら、出力配線WD1, WD2, WD3における電流経路の幅W2の最小値（ここでは幅W2aに対応）が、電源配線WV1における電流経路の幅W1の最小値（ここでは幅W1aに対応）よりも小さくなっている場合もあり得る。出力配線WD1, WD2, WD3における電流経路の幅W2の最小値が、電源配線WV1における電流経路の幅W1の最小値よりも小さくなっている場合は、出力配線WD1, WD2, WD3における電流経路の幅W2の最小値を、電源配線WV1における電流経路の幅W1の最大値の $1/2$ よりも大きくする。

[0221] すなわち、出力配線WD 1, WD 2, WD 3における電流経路の幅W 2の最小値（ここでは幅W 2 aに対応）が、電源配線WV 1における電流経路の幅W 1の最小値（ここでは幅W 1 aに対応）よりも小さくなっている場合を仮定する。この場合は、電源配線WV 1および出力配線WD 1, WD 2, WD 3に電流が流れるに際して、電流経路が最も狭くなっている箇所は、出力配線WD 1, WD 2, WD 3における電流経路の幅W 2が最も小さくなっている箇所（第2最小幅となっている箇所、ここでは幅W 2 aとなっている箇所）ということになり、そこで抵抗が増加して、電力損失が増加してしまう。そこで、出力配線WD 1, WD 2, WD 3における電流経路の幅W 2の最小値（第2最小幅、ここでは幅W 2 aに対応）が、電源配線WV 1における電流経路の幅W 1の最大値（第1最大幅、ここでは幅W 1 f）の $1/2$ よりも大きく（すなわち $W 2 a > W 1 f \times 1/2$ ）なるように、電源配線WV 1および出力配線WD 1, WD 2, WD 3のレイアウトを設計する。これにより、出力配線WD 1, WD 2, WD 3における電流経路の幅W 2の最小値（第2最小幅）が過剰に小さくなることを防いで、出力配線WD 1, WD 2, WD 3における電流経路の幅W 2が最も小さくなっている箇所で抵抗が増加して電力損失が発生してしまう現象を抑制することができる。また、電源配線WV 1における電流経路の幅W 1の最大値（第1最大幅）が過剰に大きくなることを防いで、出力配線WD 1, WD 2, WD 3における電流経路の幅W 2が狭くなることを防ぐことができる。

[0222] このように、幅W 1の最小値（第1最小幅）が幅W 2の最小値（第2最小幅）よりも小さい場合は、幅W 1の最小値（第1最小幅）が、幅W 2の最大値（第2最大幅）の $1/2$ よりも大きくなるようにし、幅W 2の最小値（第2最小幅）が幅W 1の最小値（第1最小幅）よりも小さい場合は、幅W 2の最小値（第2最小幅）が、幅W 1の最大値（第1最大幅）の $1/2$ よりも大きくなるようにする。これにより、電源配線WV 1および出力配線WD 1, WD 2, WD 3における電力損失を低減することができる。従って、パワー用配線基板PB 1と複数の半導体装置PKG 1, PKG 2, PKG 3とを含

む電子装置の性能を向上させることができる。

[0223] また、幅W 1 の最小値（第 1 最小幅）が幅W 2 の最小値（第 2 最小幅）よりも小さい場合は、幅W 1 の最小値（第 1 最小幅）は、幅W 2 の最大値（第 2 最大幅）の $1/2$ よりも大きくするだけでなく、幅W 1 の最大値（第 1 最大幅）の $1/2$ よりも大きくなるようにすることが、より好ましい。また、幅W 2 の最小値（第 2 最小幅）が幅W 1 の最小値（第 1 最小幅）よりも小さい場合は、幅W 2 の最小値（第 2 最小幅）は、幅W 1 の最大値（第 1 最大幅）の $1/2$ よりも大きくするだけでなく、幅W 2 の最大値（第 2 最大幅）の $1/2$ よりも大きくなるようにすることが、より好ましい。

[0224] すなわち、図 25 の場合、電源配線WV 1 における電流経路の幅W 1 の最小値（ここでは幅W 1 a に対応）が、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 の最小値（ここでは幅W 2 a に対応）よりも小さくなっている。この場合は、電源配線WV 1 における電流経路の幅W 1 の最小値（幅W 1 a）が、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 の最大値（幅W 2 b）の $1/2$ よりも大きくなり、かつ、電源配線WV 1 における電流経路の幅W 1 の最大値（幅W 1 f）の $1/2$ よりも大きくなるように、電源配線WV 1 および出力配線WD 1, WD 2, WD 3 のレイアウトを設計する。すなわち、 $W 1 a > W 2 b \times 1/2$ 、かつ、 $W 1 a > W 1 f \times 1/2$ が成り立つことが好ましい。これにより、電源配線WV 1 における電流経路の幅W 1 の最小値が過剰に小さくなることを防いで、電源配線WV 1 における電流経路の幅W 1 が最も小さくなっている箇所抵抗が増加して電力損失が発生してしまう現象を、抑制することができる。また、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 の最大値が過剰に大きくなることを防いで、電源配線WV 1 における電流経路の幅W 1 が狭くなることを防ぐことができる。また、電源配線WV 1 における電流経路の幅W 1 の最大値が過剰に大きくなることを防いで、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 が狭くなることを防ぐことができる。

[0225] つまり、電源配線WV 1 および出力配線WD 1, WD 2, WD 3 において

過剰に幅が大きくなった箇所があると、その過剰に幅が大きくなった箇所に起因して、それに隣接する位置で、電源配線WV 1 および出力配線WD 1, WD 2, WD 3 において幅が狭くなりやすい。このため、電源配線WV 1 における電流経路の幅W 1 の最小値が、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 の最大値（幅W 2 b）の $1/2$ よりも大きくなり、かつ、電源配線WV 1 における電流経路の幅W 1 の最大値の $1/2$ よりも大きくなるようにすることが、より好ましい。これにより、電源配線WV 1 および出力配線WD 1, WD 2, WD 3 における電流経路の幅（W 1, W 2）が狭くなることを防ぐことができる。

[0226] また、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 の最小値（ここでは幅W 2 aに対応）が、電源配線WV 1 における電流経路の幅W 1 の最小値（ここでは幅W 1 aに対応）よりも小さくなっている場合もあり得る。この場合は、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 の最小値を、電源配線WV 1 における電流経路の幅W 1 の最大値の $1/2$ よりも大きくするだけでなく、出力配線WD 1, WD 2, WD 3 における電流経路の幅W 2 の最大値の $1/2$ よりも大きくすることが、より好ましい。

[0227] また、ここで説明した電源配線WV 2 における電流経路の幅W 1 と、出力配線WD 4, WD 5, WD 6 における電流経路の幅W 2 との関係と同様の関係を、パワー用配線基板PB 1 の第2主面（下面）に形成された電源配線WV 2 および出力配線WD 4, WD 5, WD 6 にも適用すれば、より好ましい。これについて、図26を参照して説明する。

[0228] 図26は、パワー用配線基板PB 1 の下面側の平面透視図であり、上記図19と同じ平面図が示されている。但し、図26では、上記図19で示されていたハッチングは省略してある。また、図26においては、パワー用配線基板PB 1 の上面側に搭載された半導体装置PKG 1, PKG 2, PKG 3 の位置を、点線で示してある。また、図26においては、電源配線WV 2 および出力配線WD 4, WD 5, WD 6 における電流経路を、矢印を用いて模

式的に示してある。

[0229] 電源配線WV 2（第4 導体パターン）における電流経路の幅W 3 と、出力配線WD 4，WD 5，WD 6（第5 導体パターン）における電流経路の幅W 4 を、図2 6 に示してある。電源配線WV 2 における電流経路の幅W 3 は、電源配線WV 2 において、半導体装置PKG 1，PKG 2，PKG 3 の各ダイパッドDP 1 から電源接続用ピンPN 1 に流れる電流の経路における電源配線WV 2 の幅であり、電流の流れる方向に略直交する方向における電源配線WV 2 の幅（寸法）に対応している。出力配線WD 4 においては、幅W 4 は、半導体装置PKG 1 のダイパッドDP 2 から接続ピンBB 1 に流れる電流の経路における出力配線WD 2 の幅に対応している。また、出力配線WD 5 においては、幅W 4 は、半導体装置PKG 2 のダイパッドDP 2 から接続ピンBB 2 に流れる電流の経路における出力配線WD 5 の幅に対応している。また、出力配線WD 6 においては、幅W 4 は、半導体装置PKG 3 のダイパッドDP 2 から接続ピンBB 3 に流れる電流の経路における出力配線WD 6 の幅に対応している。なお、幅W 4 は、出力配線WD 4，WD 5，WD 6 のそれぞれにおいて、電流の流れる方向に略直交する方向における出力配線WD 4，WD 5，WD 6 の幅（寸法）に対応している。

[0230] 図2 6 の場合、電源配線WV 2 は、幅W 3 が均一ではなく、幅W 3 a を示す位置で、電流経路の幅W 3 が最も狭く（小さく）なっており、幅W 3 f を示す位置で、電流経路の幅W 3 が最も広く（大きく）なっている。また、出力配線WD 1，WD 2，WD 3 における電流経路の幅W 4 のうち、最も小さいのは幅W 4 a であり、最も大きいのは幅W 4 b である。

[0231] 図2 5 の場合、電源配線WV 2 における電流経路の幅W 3 の最小値（第3 最小幅、ここでは幅W 3 a に対応）が、出力配線WD 4，WD 5，WD 6 における電流経路の幅W 4 の最小値（第4 最小幅、ここでは幅W 4 a に対応）よりも小さくなっている。この場合、電源配線WV 2 における電流経路の幅W 3 の最小値（幅W 3 a）が、出力配線WD 4，WD 5，WD 6 における電流経路の幅W 4 の最大値（幅W 4 b）の $1/2$ よりも大きくなるように、電

源配線WV 2および出力配線WD 4, WD 5, WD 6のレイアウトを設計することが、好ましい。すなわち、 $W3a > W4b \times 1/2$ が成り立つことが好ましい。また、電源配線WV 2における電流経路の幅W 3の最小値（幅W 3 a）が、出力配線WD 4, WD 5, WD 6における電流経路の幅W 4の最大値（幅W 4 b）の $1/2$ よりも大きく、かつ、電源配線WV 2における電流経路の幅W 3の最大値（幅W 3 f）の $1/2$ よりも大きくなるように、電源配線WV 2および出力配線WD 4, WD 5, WD 6のレイアウトを設計すれば、更に好ましい。すなわち、 $W3a > W4b \times 1/2$ かつ $W3a > W3f \times 1/2$ が成り立つことが、更に好ましい。これにより、電源配線WV 2および出力配線WD 4, WD 5, WD 6を設けたことによる抵抗低減効果を、よりの確に得ることができ、電力損失を、よりの確に抑制することができる。

[0232] また、出力配線WD 4, WD 5, WD 6における電流経路の幅W 4の最小値（ここでは幅W 4 aに対応）が、電源配線WV 2における電流経路の幅W 3の最小値（ここでは幅W 3 aに対応）よりも小さくなっている場合もあり得る。この場合は、出力配線WD 4, WD 5, WD 6における電流経路の幅W 4の最小値が、電源配線WV 2における電流経路の幅W 3の最大値の $1/2$ よりも大きくなるように、電源配線WV 2および出力配線WD 4, WD 5, WD 6のレイアウトを設計することが、好ましい。また、出力配線WD 4, WD 5, WD 6における電流経路の幅W 4の最小値が、電源配線WV 2における電流経路の幅W 3の最大値（幅W 3 f）の $1/2$ よりも大きく、かつ、出力配線WD 4, WD 5, WD 6における電流経路の幅W 4の最大値の $1/2$ よりも大きくなるように、電源配線WV 2および出力配線WD 4, WD 5, WD 6のレイアウトを設計すれば、更に好ましい。これにより、電源配線WV 2および出力配線WD 4, WD 5, WD 6を設けたことによる抵抗低減効果を、よりの確に得ることができ、電力損失を、よりの確に抑制することができる。

[0233] つまり、幅W 3の最小値が幅W 4の最小値よりも小さい場合は、幅W 3の

最小値が、幅W4の最大値の $1/2$ よりも大きくなるようにすることが好ましく、更に、幅W3の最大値の $1/2$ よりも大きくなるようにすれば、より好ましい。また、幅W4の最小値が幅W3の最小値よりも小さい場合は、幅W4の最小値が、幅W3の最大値の $1/2$ よりも大きくなるようにすることが好ましく、更に、幅W4の最大値の $1/2$ よりも大きくなるようにすれば、より好ましい。これにより、電源配線WV2および出力配線WD4, WD5, WD6を設けたことによる抵抗低減効果を、よりの確に得ることができ、電力損失を、よりの確に抑制することができる。

[0234] このように、本実施の形態では、パワー用配線基板PB1の第1主面（上面）においては、電源配線WV1および出力配線WD1～WD3における電流経路の幅W1, W2の均一化を図り、パワー用配線基板PB1の第2主面（下面）においては、電源配線WV2および出力配線WD4～WD6における電流経路の幅W3, W4の均一化を図っている。これにより、電力損失を効率よく低減して、電子装置の性能向上を図ることができる。

[0235] しかしながら、本実施の形態のように、パワー用配線基板PB1の平面形状が円形状の場合や、パワー用配線基板PB1に種々の孔を設ける必要がある場合には、パワー用配線基板PB1における配線や孔のレイアウトを工夫しないと、上述したような電源配線（WV1, MV2）および出力配線（WD1～WD6）における電流経路の幅（W1～W4）の均一化を図ることは難しい。このため、例えば以下のような工夫を行うことが好ましい。

[0236] すなわち、パワー用配線基板PB1の上面においては、出力配線WD1のX方向の寸法（幅）と、出力配線WD2のX方向の寸法と、出力配線WD3のX方向の寸法と、出力配線WD1, WD2間をY方向に延在する部分の電源配線WV1のX方向の寸法と、出力配線WD2, WD3間をY方向に延在する部分の電源配線WV1のX方向の寸法と、をほぼ同じ（均一）にすることが好ましい。また、パワー用配線基板PB1の下面においては、出力配線WD4のX方向の寸法と、出力配線WD5のX方向の寸法と、出力配線WD6のX方向の寸法と、出力配線WD4, WD5間をY方向に延在する部分の

電源配線WV 2のX方向の寸法と、出力配線WD 5, WD 6間をY方向に延在する部分の電源配線WV 2のX方向の寸法と、をほぼ同じ(均一)にすることが好ましい。

[0237] また、孔HM 1～HM 3をパワー用配線基板PB 1の外周に近づけ過ぎると、パワー用配線基板PB 1の外周に沿って延在する部分の電源配線WV 1において、孔HM 1～HM 3とパワー用配線基板PB 1の外周とに挟まれた部分の電源配線WV 1の幅(Y方向の寸法)が小さくなりすぎる虞がある。このため、上述した幅W 1, W 2の関係の関係が成り立つように、孔HM 1～HM 3の位置(孔HM 1～HM 3からパワー用配線基板PB 1の外周までの距離)を設定する。

[0238] また、平面視において、電源配線WV 1に内包される位置に固定用の孔NH 1を設けた場合には、その孔NH 1に隣接する位置で、電源配線WV 1における電流経路の幅W 1が小さくなりやすい。このため、孔NH 1に隣接する位置で幅W 1が小さくなったとしても、上述した幅W 1, W 2の関係の関係が成り立つように、孔NH 1の位置を設定する。

[0239] また、パワー用配線基板PB 1は、複数の孔(HT 1, HP 1, HP 2, HP 3, HM 1, HM 2, HM 3, NH 1)を有しているが、孔HT 1は、パワー用配線基板PB 1が有する孔(HT 1, HP 1, HP 2, HP 3, HM 1, HM 2, HM 3, NH 1)のうち、最も面積(平面寸法)が大きな孔であり、従って最も直径が大きな孔である。孔HT 1は、燃料ポンプPMで吸い上げた燃料が通る管(ここでは吐出口TK)を通すための孔であり、燃料ポンプPMからエンジンENGへ燃料を効率よく運ぶためには、孔HT 1を通る管(ここでは吐出口TK)の直径をある程度大きくする必要がある。それゆえ、孔HT 1の面積(直径)は、ある程度大きくする必要がある。しかしながら、パワー用配線基板PB 1において、電源配線WV 1や出力配線WD 1～WD 3が配置されている領域に、面積が大きな孔HT 1を形成してしまうと、孔HT 1に起因して、電源配線WV 1や出力配線WD 1～WD 3における電流経路の幅W 1, W 2が過剰に小さくなる箇所が生じやすくなり

、それによって電力損失が増大しやすくなる。

[0240] このため、パワー用配線基板 P B 1 において、孔 H T 1 は、電源配線 W V 1 や出力配線 W D 1 ~ W D 3 が配置されている領域ではなく、グランド配線 W G 1 が配置されている領域に形成することが好ましい。すなわち、パワー用配線基板 P B 1 において、孔 H T 1 は、平面視において、グランド配線 W G 1, W G 2 に内包される位置に形成されていることが好ましい。言い換えると、孔 H T 1 は、パワー用配線基板 P B 1 の上面側ではグランド配線 W G 1 に囲まれ、パワー用配線基板 P B 1 の下面側ではグランド配線 W G 2 に囲まれる位置に形成されていることが好ましい。つまり、パワー用配線基板 P B 1 の上面において、半導体装置 P K G 1, P K G 2, P K G 3 の列の両側（Y 方向の両側）のうち、電源配線 W V 1 および出力配線 W D 1, W D 2, W D 3 が配置されている側ではなく、信号用配線 W S およびグランド配線 W G 1 が配置されている側に、孔 H T 1 が形成されていることが好ましい。これにより、パワー用配線基板 P B 1 に孔 H T 1 を設けたことに起因して、電源配線 W V 1 や出力配線 W D 1 ~ W D 3 における電流経路の幅 W 1, W 2 が小さくなる箇所が生じるのを防止することができる。従って、孔 H T 1 を設けたことに起因して、電力損失が増加するのを防止することができる。

[0241] パワー用配線基板 P B 1 は、モータ M O T に取り付けるため、固定用の孔 N H 1 を設ける必要がある。この固定用の孔 N H 1 は、パワー用配線基板 P B 1 に複数設けることが好ましく、3 つ設けることがより好ましい。しかしながら、この固定用の孔 N H 1 の配置の仕方によっては、孔 N H 1 に起因して、電源配線 W V 1 や出力配線 W D 1 ~ W D 3 における電流経路の幅 W 1, W 2 が過剰に小さくなる箇所が生じやすくなり、それによって電力損失が増大しやすくなる。

[0242] このため、パワー用配線基板 P B 1 において、固定用の孔 N H 1 を設ける場合は、半導体装置 P K G 1, P K G 2, P K G 3 の列の両側（Y 方向の両側）のうち、電源配線 W V 1 および出力配線 W D 1, W D 2, W D 3 が配置されている側に設けた孔 N H 1 の数よりも、信号用配線 W S およびグランド

配線WG 1 が配置されている側に設けた孔NH 1 の数を多くすることが好ましい。また、平面視において、出力配線WD 1, WD 2, WD 3 に内包される位置には、孔NH 1 は形成しないことが好ましい。また、半導体装置PKG 1, PKG 2, PKG 3 を、信号用配線WSなどを介して信号用ピンPN 3 に接続しやすくするためには、平面視において、信号用配線WSが形成されている領域、すなわち半導体装置PKG 1, PKG 2, PKG 3 の列と孔HP 3 の列との間の領域には、孔NH 1 は形成しないことが好ましい。このため、平面視において、グランド配線WG 1 に内包される位置（グランド配線WG 1 に囲まれる位置）と、電源配線WV 1 に内包される位置（電源配線WV 1 に囲まれる位置）とに、それぞれ孔NH 1 を設けるとともに、電源配線WV 1 に内包される位置に設けた孔NH 1 の数を、グランド配線WG 1 に内包される位置に設けた孔NH 1 の数よりも、少なくすることが好ましい。例えば、パワー用配線基板PB 1 を安定してモータMOTに固定するためには、固定用の孔NH 1 は3つ設けることが好ましいが、その場合は、電源配線WV 1 に内包される位置に、孔NH 1 を1つ設け、グランド配線WG 1 に内包される位置に、孔NH 1 を2つ設けることが、望ましい。これにより、パワー用配線基板PB 1 に孔NH 1 を設けたことに起因して、電源配線WV 1 や出力配線WD 1 ~WD 3 における電流経路の幅W 1, W 2 が小さくなる箇所が生じるのを抑制または防止することができ、従って、孔NH 1 を設けたことに起因して、電力損失が増加するのを抑制または防止することができる。

[0243] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

符号の説明

[0244] 1, 2, 3, 4, 5, 6 パワーMOSFET
11, 12 ECU
BB, BB 1, BB 2, BB 3 接続ピン

B D 接合材

B E 裏面電極

B S 1, B S 2 基材層

C D 1 a, C D 1 b, C D 1 c, C D 2 a, C D 2 b, C D 2 c 導電膜

C T 制御回路部

C V カバー部材

D P 1, D P 2 ダイパッド

E C 1, E C 2 電子部品

E N G エンジン

G S 燃料

H C, H C 1, H C 2, H C 3, H M, H M 1, H M 2, H M, H P, H P
1, H P 2, H P 3, H T 1, H T 2, N H 1, N H 2 孔

H S 放熱シート

I M P インペラ

L D リード

L D D 1, L D D 2, L D D 3, L D D 4 ドレイン用リード

L D G 1, L D G 2 ゲート用リード

L D S 1, L D S 2 ソース用リード

M O T モータ

M R 封止部

N G 1, N G 2 ネジ

O P 1, O P 2 開口部

P B 1 パワー用配線基板

P B 2 制御用配線基板

P D G ゲート用パッド

P D S ソース用パッド

P K パワー系回路構成部

P K G 1, P K G 2, P K G 3 半導体装置

P M 燃料ポンプ

P N 接続ピン

P N 1 電源接続用ピン

P N 2 グランド接続用ピン

P N 3 信号用ピン

R 1 ～ R 9 抵抗

R 1 a ～ R 9 a チップ抵抗

R G レギュレータ

R S 1 a, R S 1 b, R S 2 a, R S 2 b レジスト層

S D 1, S D 2, S D 3, S D 4 辺

S F T シャフト

S K 制御系回路構成部

S L 半田

T E 1 ～ T E 6 端子

T K 吐出口

W A ワイヤ

W D 1, W D 2, W D 3, W D 4, W D 5, W D 6 出力配線

W G 1, W G 2 グランド配線

W S 信号用配線

W V 1, W V 2 電源配線

請求の範囲

[請求項1]

第1主面と、前記第1主面とは反対側の第2主面と、複数の端子と、を有する第1配線基板と、

前記第1配線基板の前記第1主面上に搭載された複数の半導体装置と、

を有する電子装置であって、

前記複数の半導体装置のそれぞれは、ハイサイドMOSFETを備えたハイサイド用半導体チップと、ロウサイドMOSFETを備えたロウサイド用半導体チップと、前記ハイサイド用半導体チップのドレイン電極に電氣的に接続されたハイサイド用ドレイン端子と、前記ロウサイド用半導体チップのドレイン電極に電氣的に接続されたロウサイド用ドレイン端子と、前記ロウサイド用半導体チップのソース電極に電氣的に接続されたロウサイド用ソース端子と、前記ハイサイド用半導体チップおよび前記ロウサイド用半導体チップを封止する封止体と、を有し、

前記複数の半導体装置のそれぞれの前記ハイサイド用半導体チップのソース電極と前記ロウサイド用半導体チップのドレイン電極とは電氣的に接続され、

前記複数の端子は、電源電圧が供給される第1端子と、基準電圧が供給される第2端子と、前記複数の半導体装置の前記ロウサイド用ドレイン端子に対してそれぞれ設けられた複数の出力端子と、を含み、

前記第1配線基板の前記第1主面には、前記複数の半導体装置の前記ハイサイド用ドレイン端子を前記第1端子に電氣的に接続する第1導体パターンと、前記複数の半導体装置の前記ロウサイド用ドレイン端子を前記複数の出力端子に電氣的に接続する第2導体パターンと、前記第2端子に電氣的に接続された第3導体パターンと、が形成され、

前記複数の半導体装置の前記ロウサイド用ソース端子は、前記第3

導体パターンに電氣的に接続され、

前記第1導体パターンにおける電流経路の幅の最小値を第1最小幅とし、前記第1導体パターンにおける電流経路の幅の最大値を第1最大幅とし、前記第2導体パターンにおける電流経路の幅の最小値を第2最小幅とし、前記第2導体パターンにおける電流経路の幅の最大値を第2最大幅としたとき、

前記第1最小幅が前記第2最小幅よりも小さい場合は、前記第1最小幅は、前記第2最大幅の $1/2$ よりも大きく、

前記第2最小幅が前記第1最小幅よりも小さい場合は、前記第2最小幅は、前記第1最大幅の $1/2$ よりも大きい、電子装置。

[請求項2]

請求項1記載の電子装置において、

前記第1最小幅が前記第2最小幅よりも小さい場合は、前記第1最小幅は、前記第1最大幅の $1/2$ よりも大きく、かつ、前記第2最大幅の $1/2$ よりも大きく、

前記第2最小幅が前記第1最小幅よりも小さい場合は、前記第2最小幅は、前記第1最大幅の $1/2$ よりも大きく、かつ、前記第2最大幅の $1/2$ よりも大きい、電子装置。

[請求項3]

請求項1記載の電子装置において、

前記第2導体パターンは、前記半導体装置ごとに分離されている、電子装置。

[請求項4]

請求項1記載の電子装置において、

前記第1配線基板の前記第2主面に、前記第1導体パターンに複数の第1ビア部を介して電氣的に接続された第4パターンと、前記第2導体パターンに複数の第2ビア部を介して電氣的に接続された第5パターンと、前記第3導体パターンに複数の第3ビア部を介して電氣的に接続された第6パターンと、が形成されている、電子装置。

[請求項5]

請求項4記載の電子装置において、

前記第4導体パターンにおける電流経路の幅の最小値を第3最小幅

とし、前記第4導体パターンにおける電流経路の幅の最大値を第3最大幅とし、前記第5導体パターンにおける電流経路の幅の最小値を第4最小幅とし、前記第5導体パターンにおける電流経路の幅の最大値を第4最大幅としたとき、

前記第3最小幅は、前記第3最大幅の $1/2$ よりも大きく、かつ、前記第4最大幅の $1/2$ よりも大きく、

前記第4最小幅は、前記第3最大幅の $1/2$ よりも大きく、かつ、前記第4最大幅の $1/2$ よりも大きい、電子装置。

- [請求項6] 請求項1記載の電子装置において、
前記第1配線基板の平面形状は、円形状である、電子装置。
- [請求項7] 請求項1記載の電子装置において、
前記第1配線基板は、モータに取り付けられ、
前記複数の出力端子からの出力は、前記モータを駆動するために前記モータに供給される、電子装置。
- [請求項8] 請求項1記載の電子装置において、
前記複数の端子は、前記第1配線基板の複数の第1孔に挿通された複数のピンからなる、電子装置。
- [請求項9] 請求項1記載の電子装置において、
前記半導体装置は、前記第1配線基板上に3つ搭載されている、電子装置。
- [請求項10] 請求項1記載の電子装置において、
前記第1配線基板は、平面視において前記第3導体パターンに内包される位置に第2孔を有し、
前記第2孔は、前記第1配線基板が有する孔のうち、最も面積が大きな孔である、電子装置。
- [請求項11] 請求項10記載の電子装置において、
前記第2孔を管が通っている、電子装置。
- [請求項12] 請求項11記載の電子装置において、

前記第 1 配線基板は、燃料ポンプ用のモータに取り付けられ、
前記複数の出力端子からの出力は、前記モータを駆動するために前記モータに供給され、

前記管は、前記燃料ポンプで吸い上げた燃料が通る、電子装置。

[請求項13]

請求項 1 記載の電子装置において、

第 1 配線基板に対向する第 2 配線基板を更に有し、

前記第 2 配線基板上には、前記複数の半導体装置を制御するための電子部品が搭載されている、電子装置。

[請求項14]

請求項 1 記載の電子装置において、

前記第 1 配線基板は、平面視において、前記第 1 導体パターンに内包される位置と前記第 3 導体パターンに内包される位置とにそれぞれ形成された、固定用の第 3 孔を更に有し、

前記第 1 導体パターンに内包される位置に形成された前記第 3 孔の数は、前記第 3 導体パターンに内包される位置に形成された前記第 3 孔の数よりも少ない、電子装置。

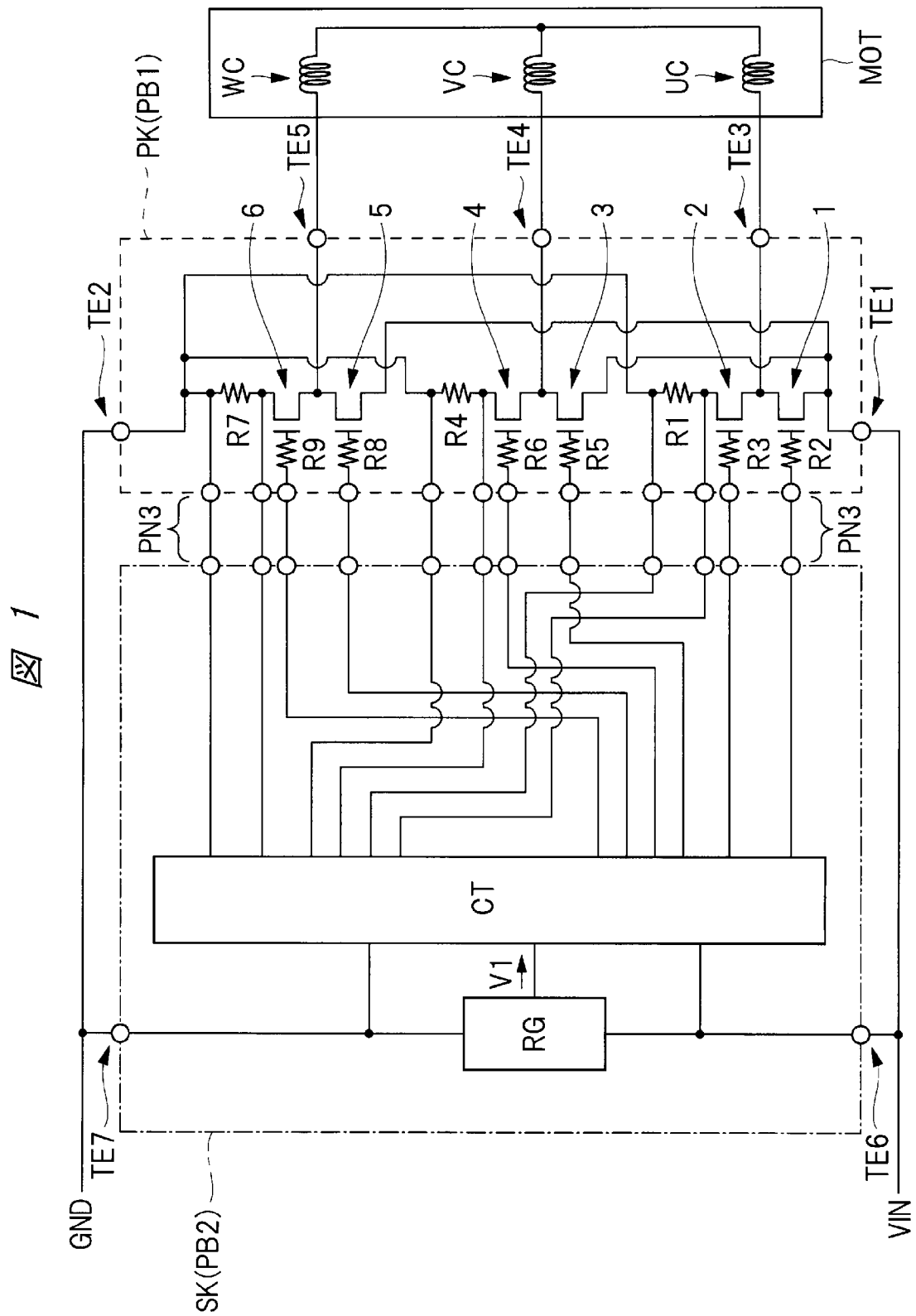
[請求項15]

請求項 1 4 記載の電子装置において、

前記第 1 配線基板は、前記第 3 孔を 3 つ有し、

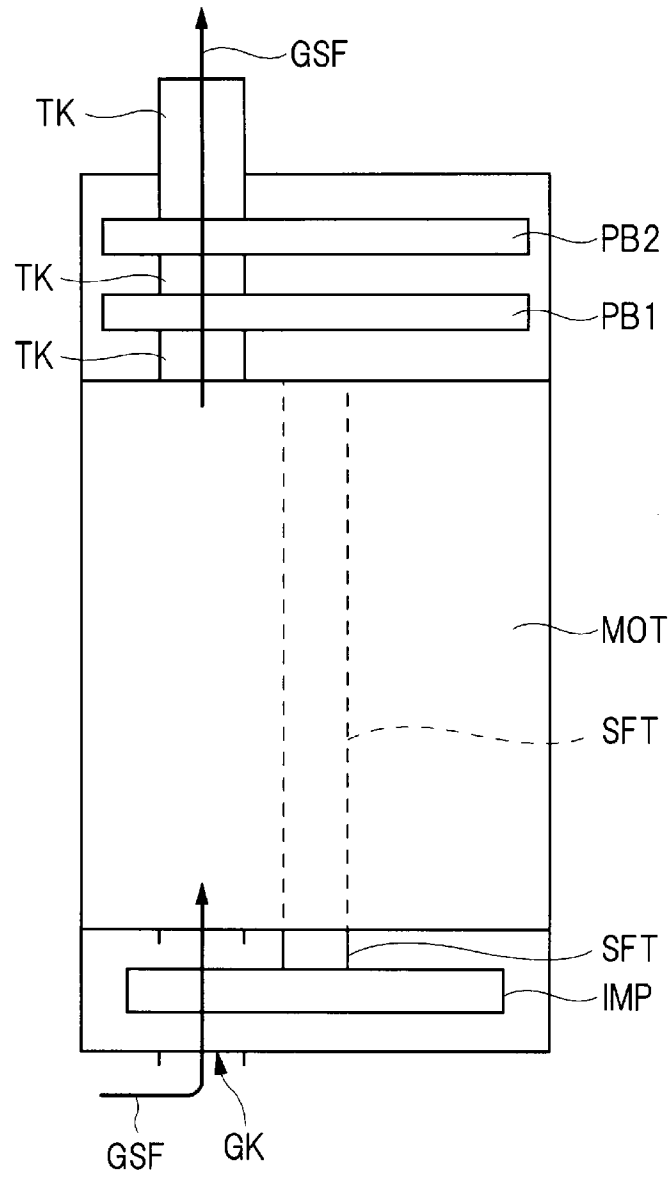
平面視において、前記第 1 導体パターンに内包される位置に前記第 3 孔が 1 つ形成され、前記第 3 導体パターンに内包される位置に前記第 3 孔が 2 つ形成されている、電子装置。

[図1]



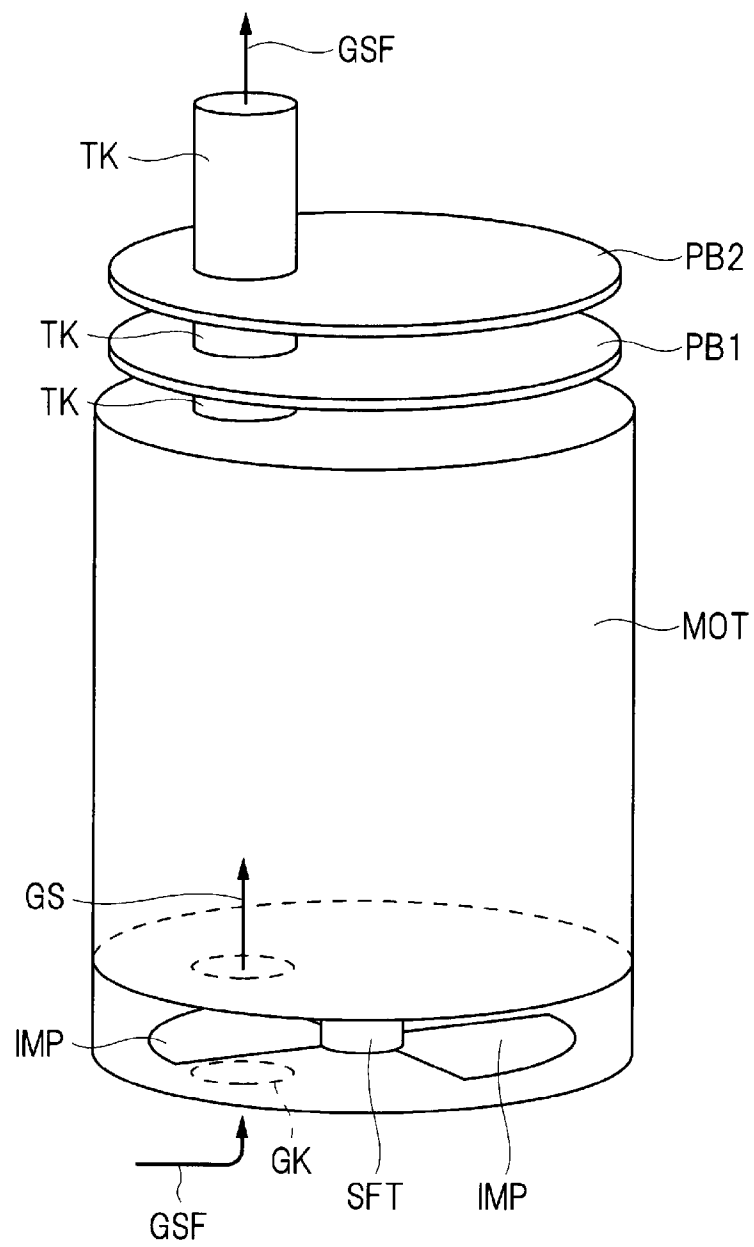
[図2]

図 2



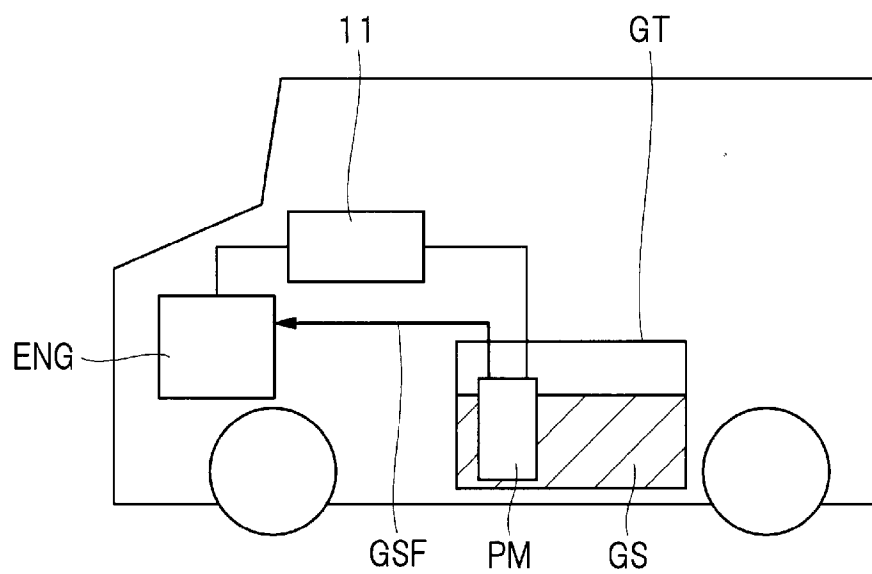
[図3]

図 3



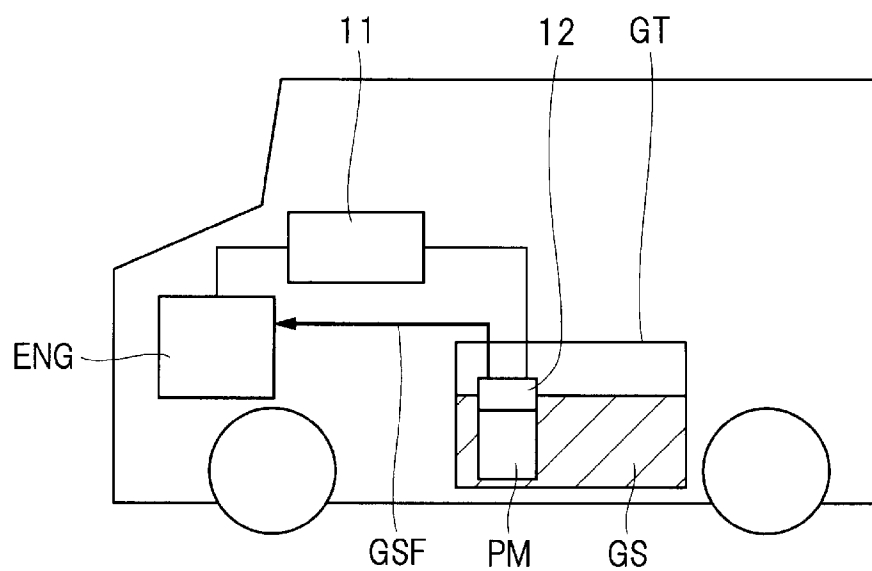
[図4]

図 4



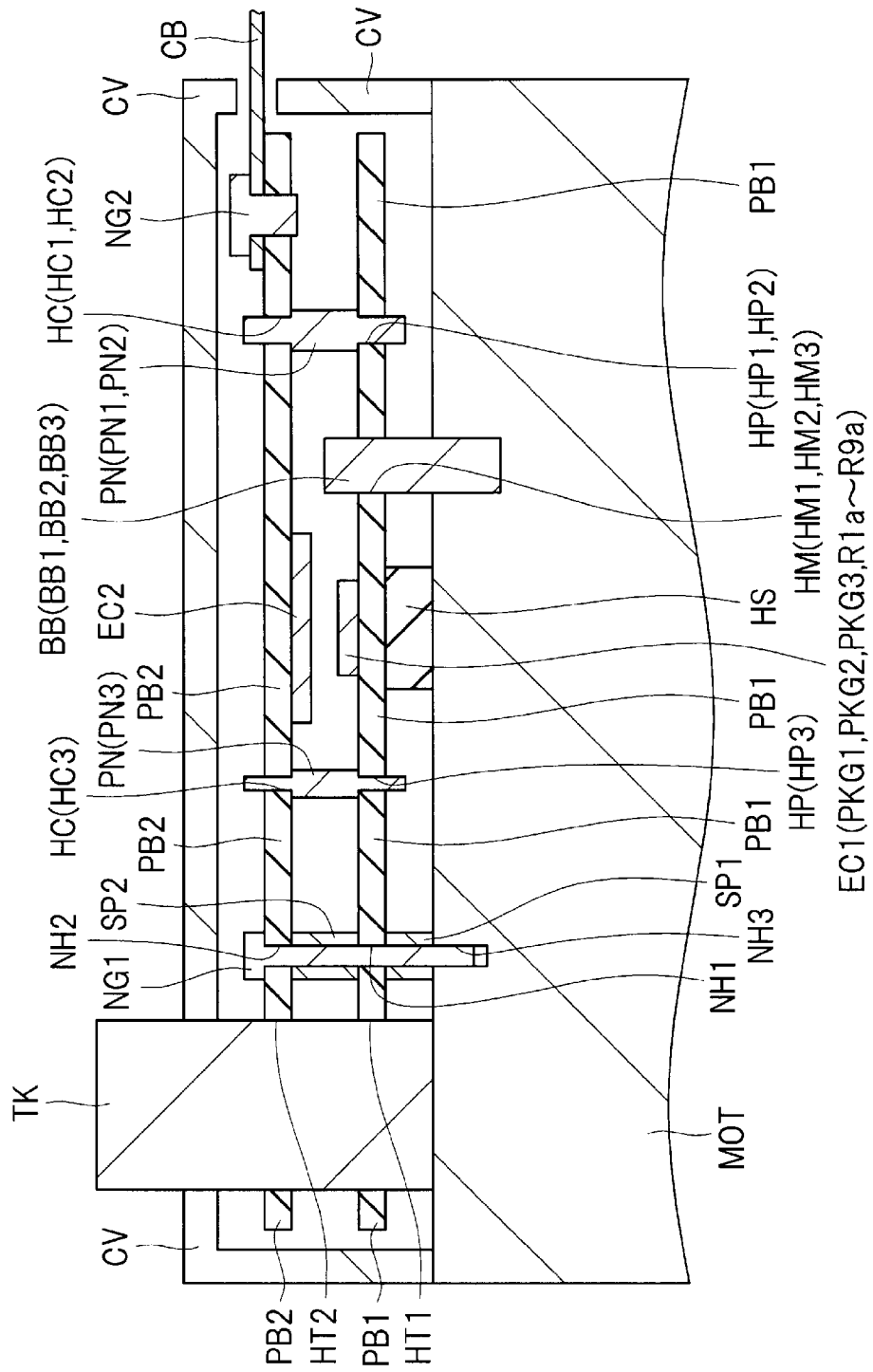
[図5]

図 5



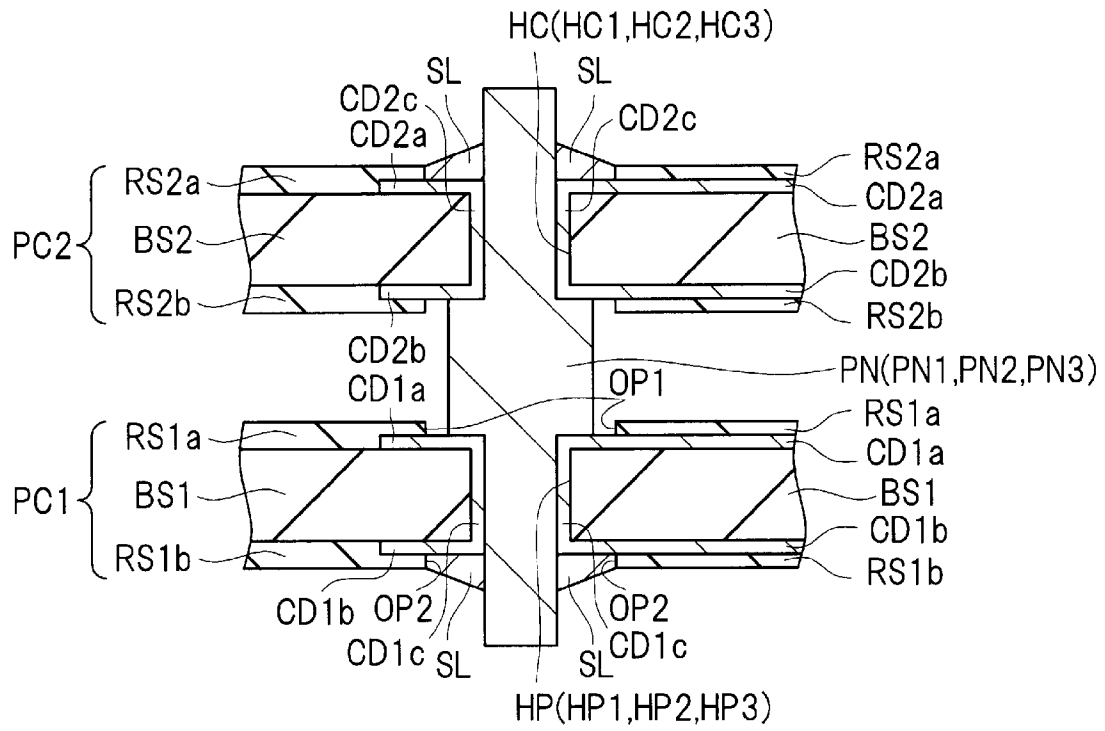
[図6]

図 6



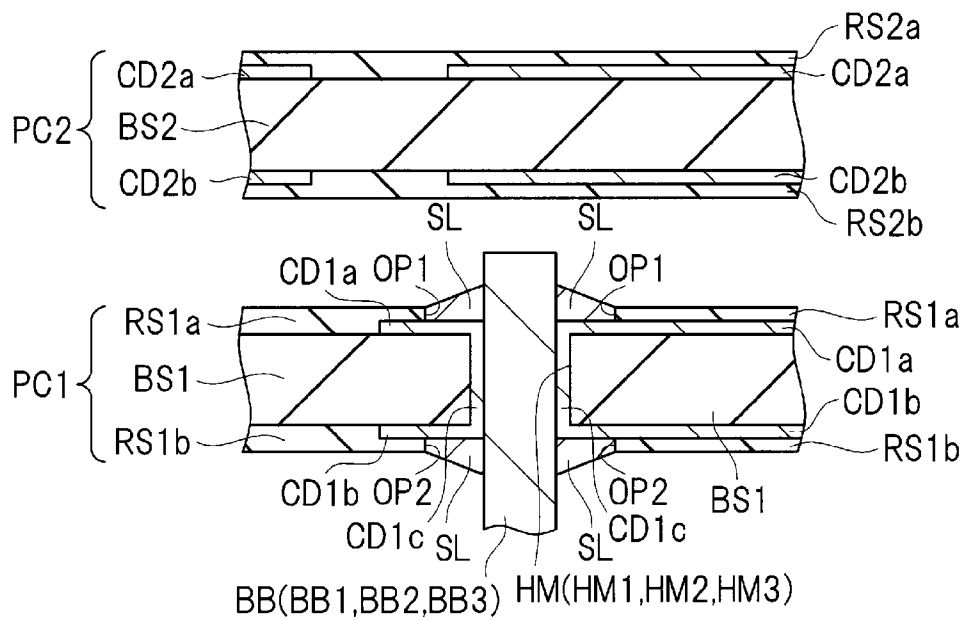
[図7]

図 7



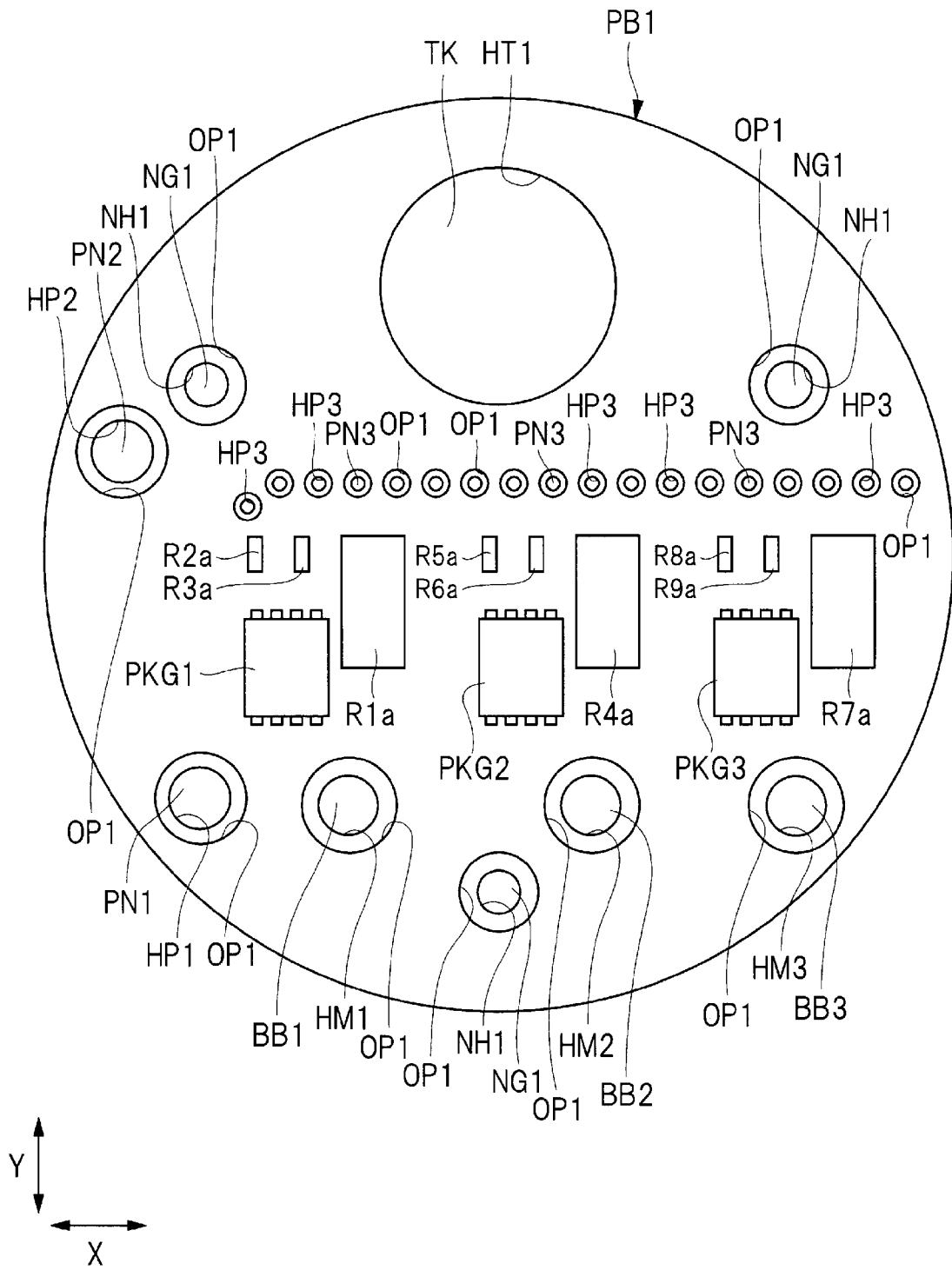
[図8]

図 8

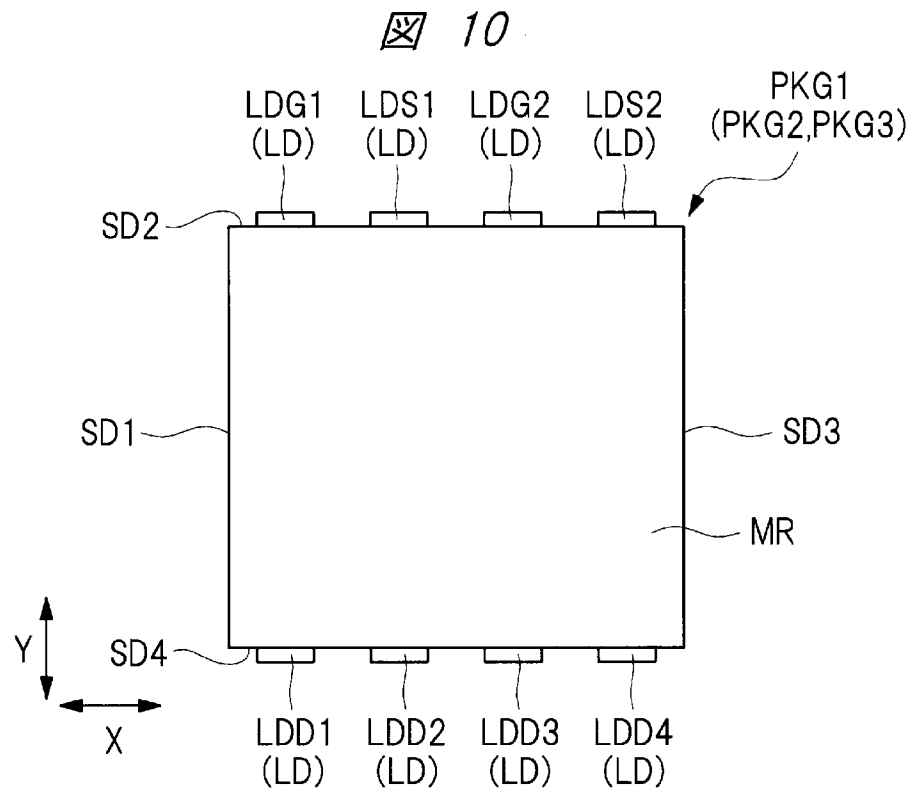


[図9]

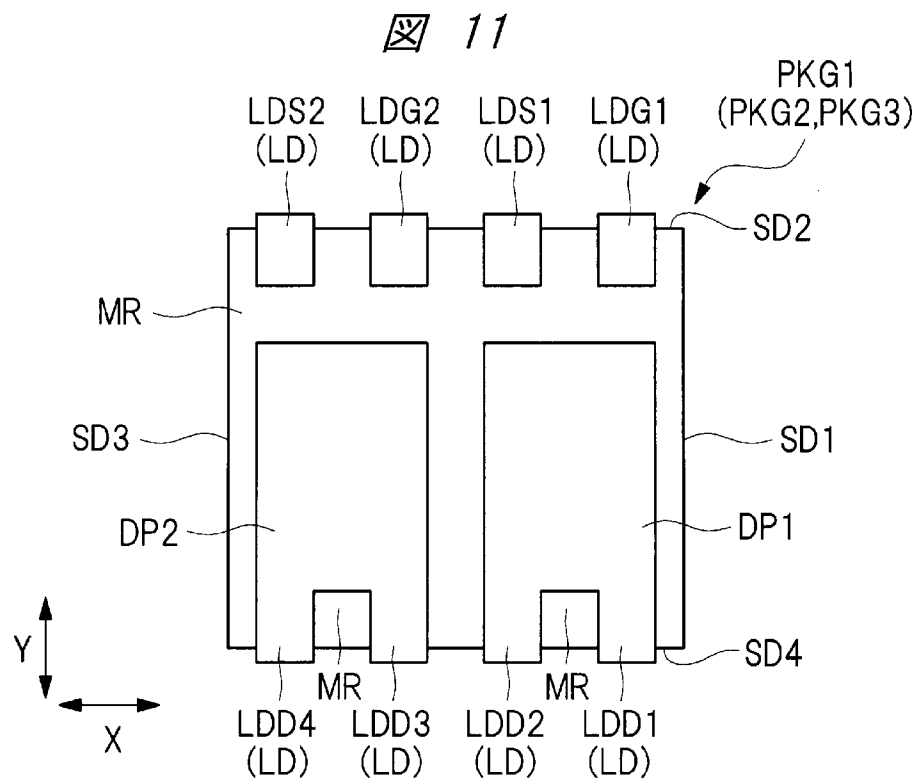
図 9



[図10]

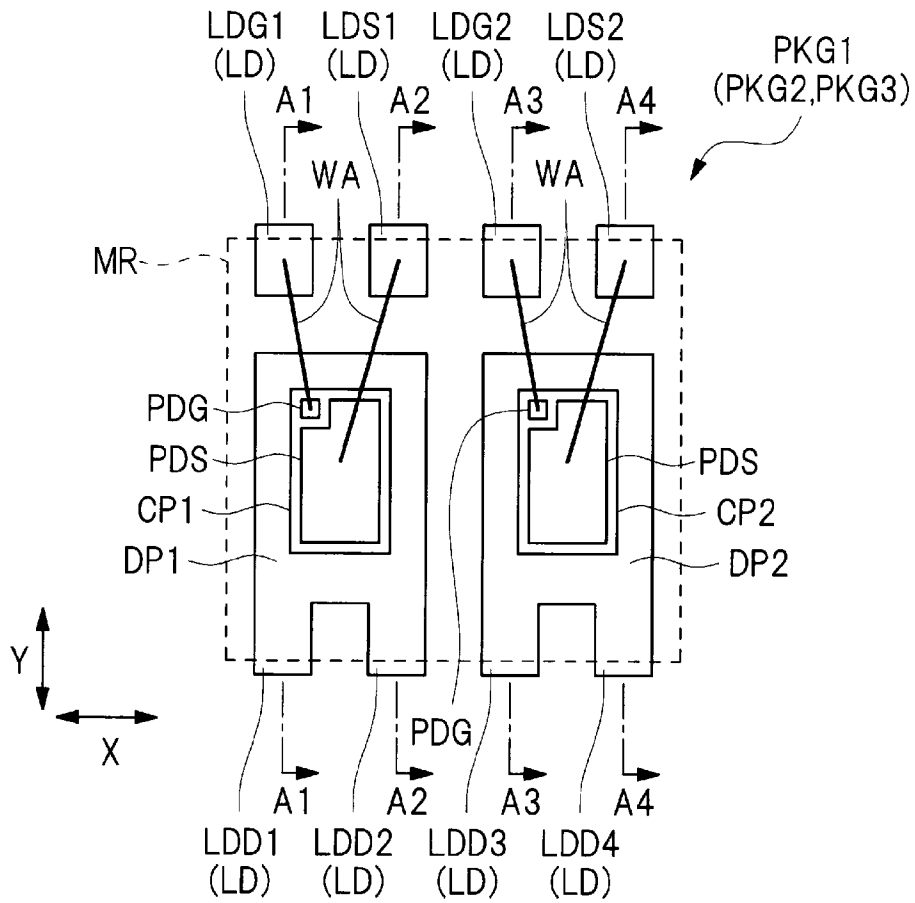


[図11]



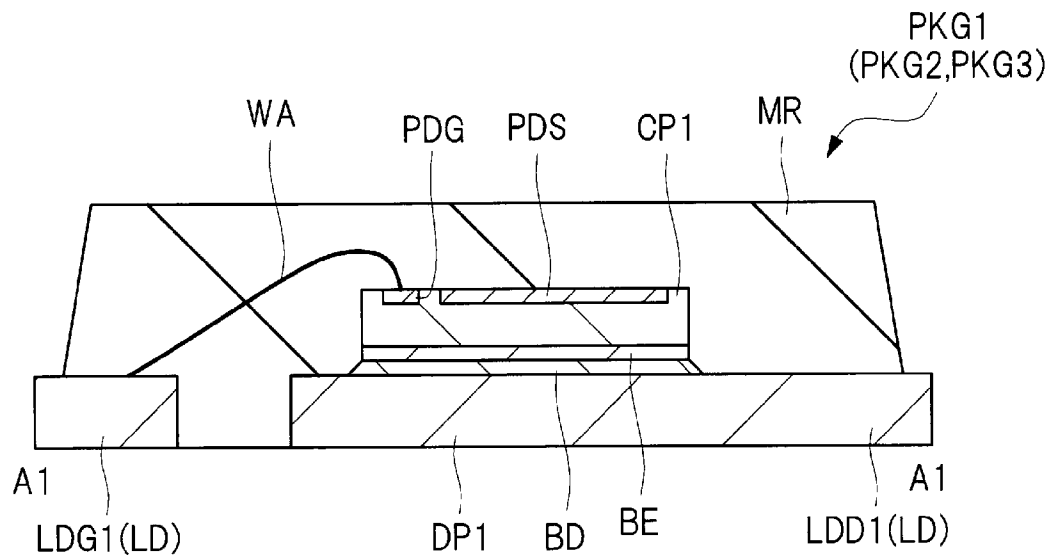
[図12]

図 12



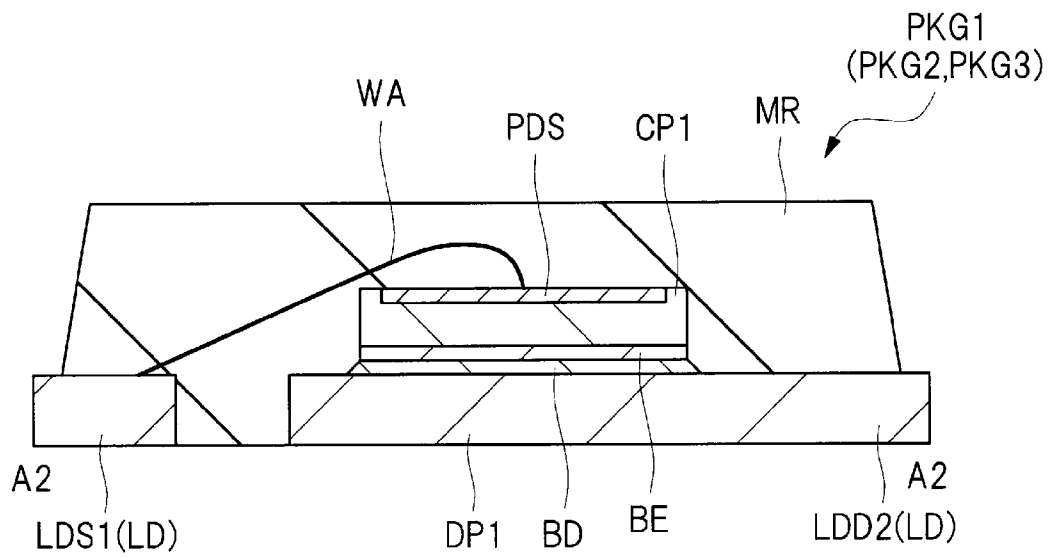
[図13]

図 13



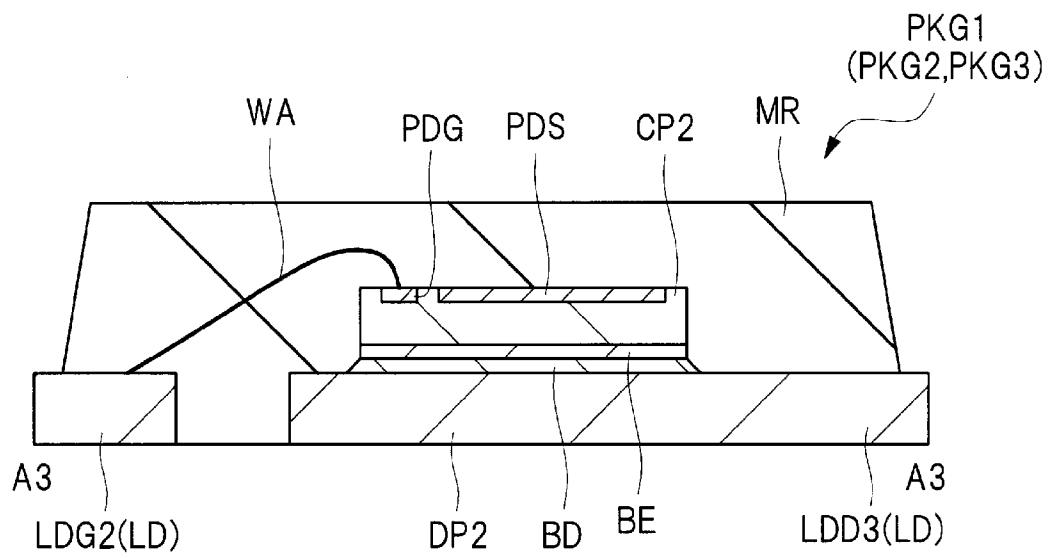
[図14]

図 14



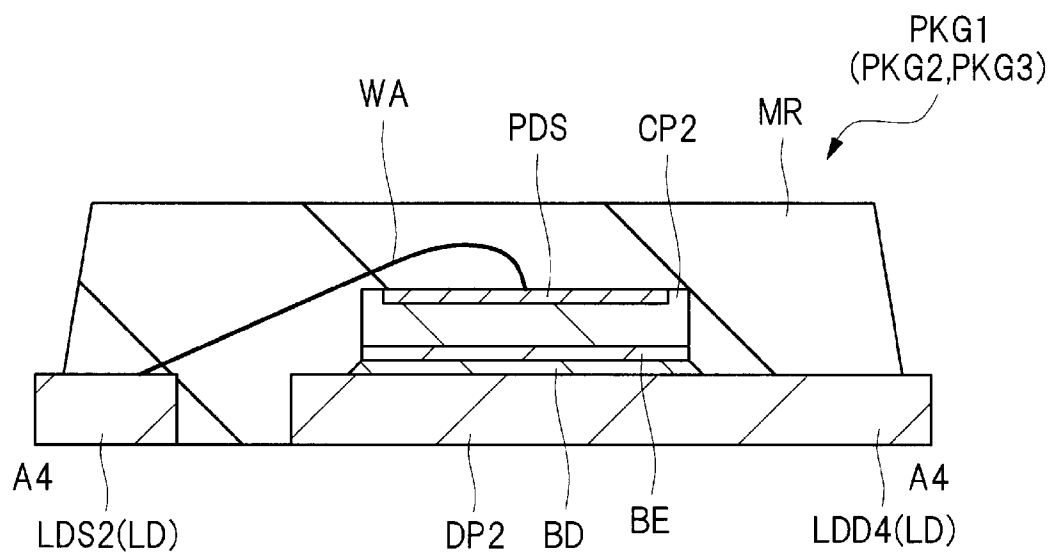
[図15]

図 15



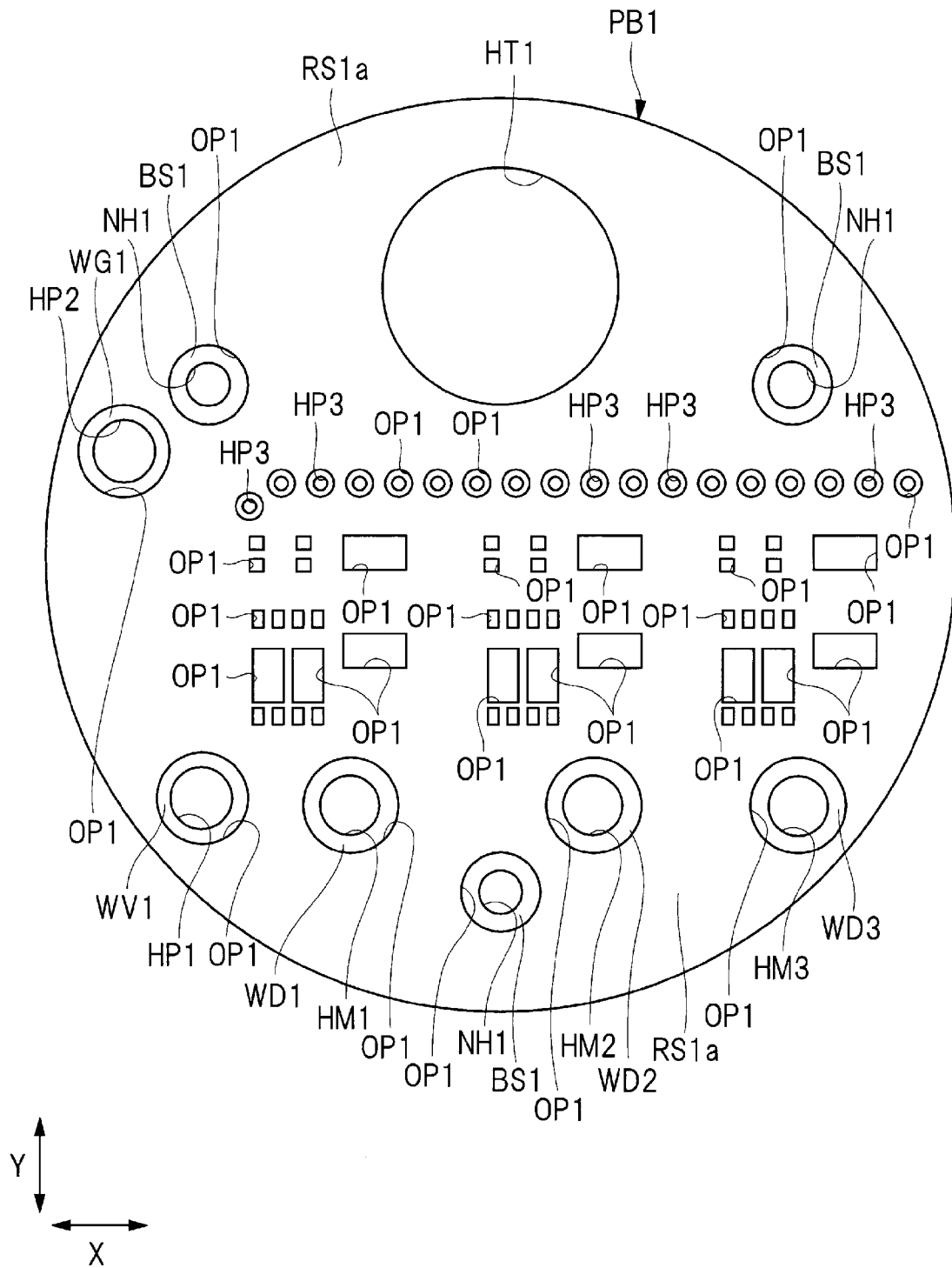
[図16]

図 16



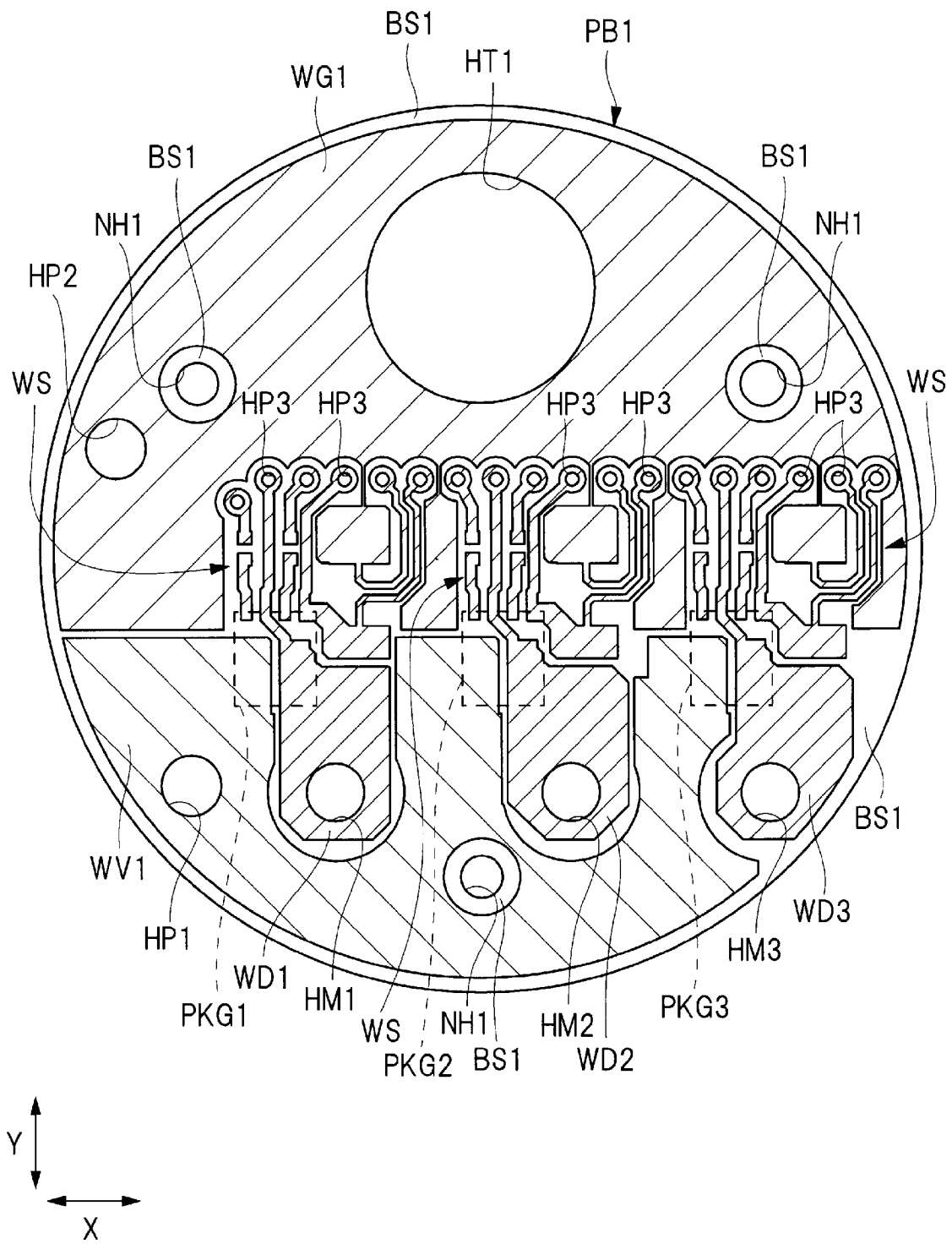
[図17]

図 17



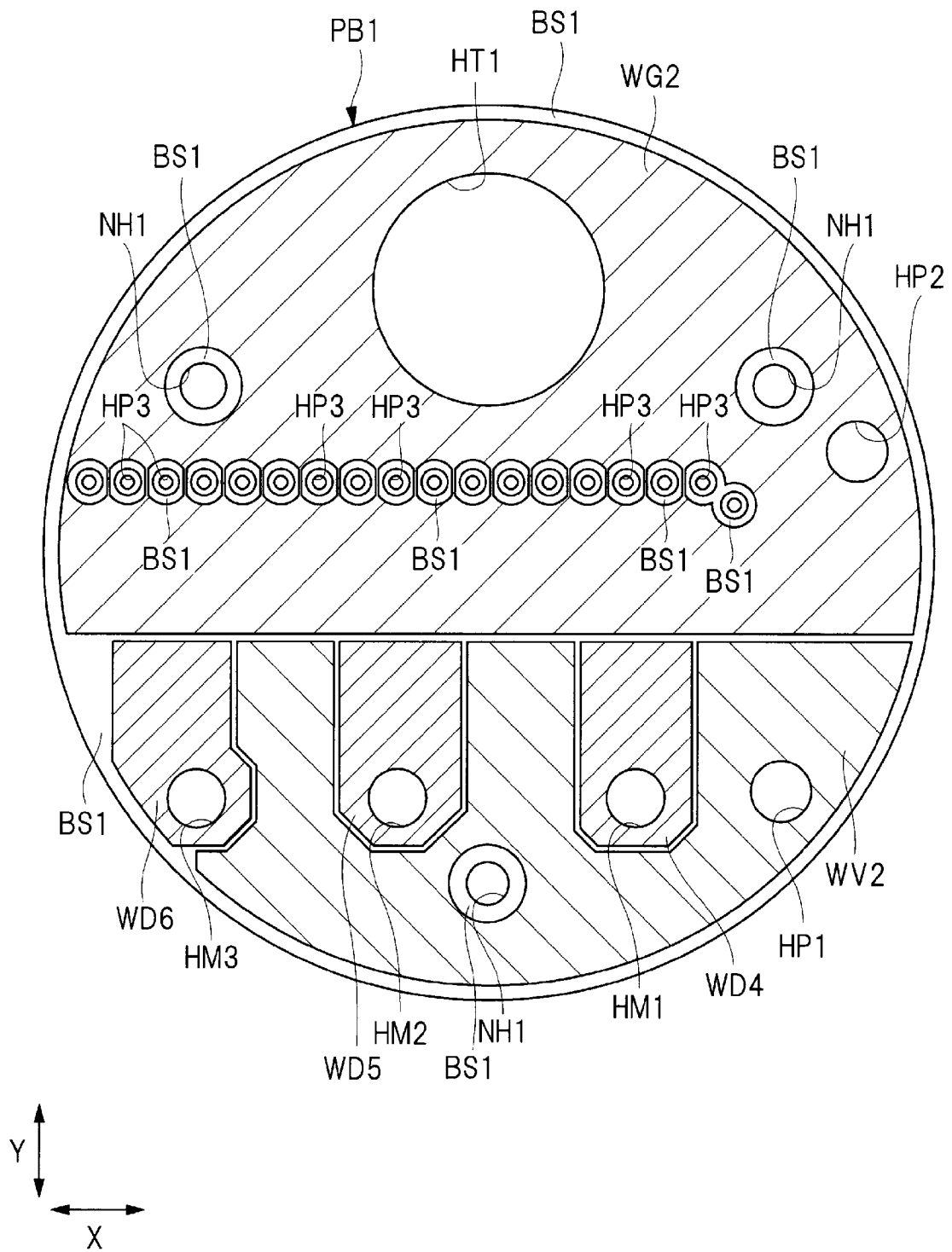
[図18]

図 18



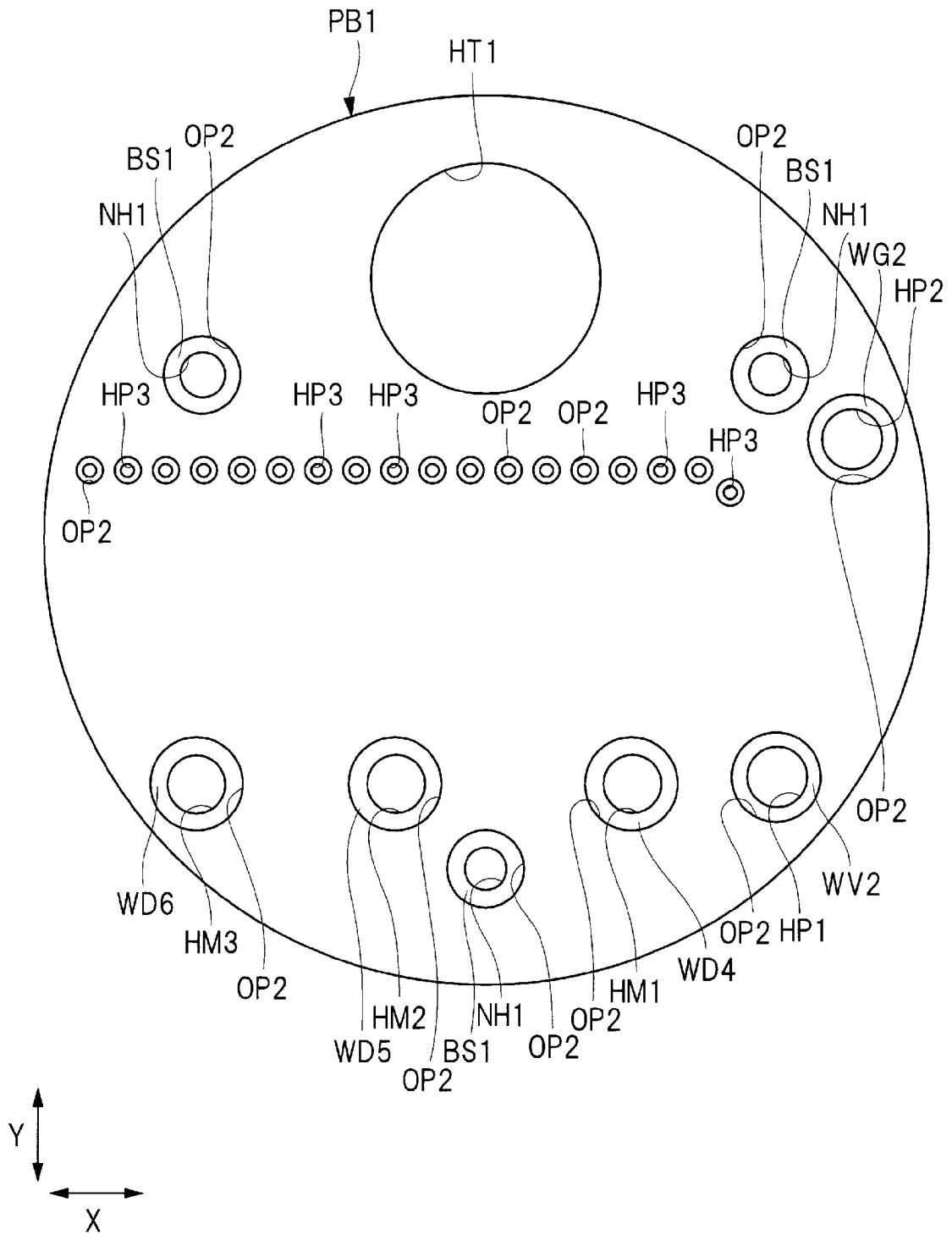
[図19]

図 19

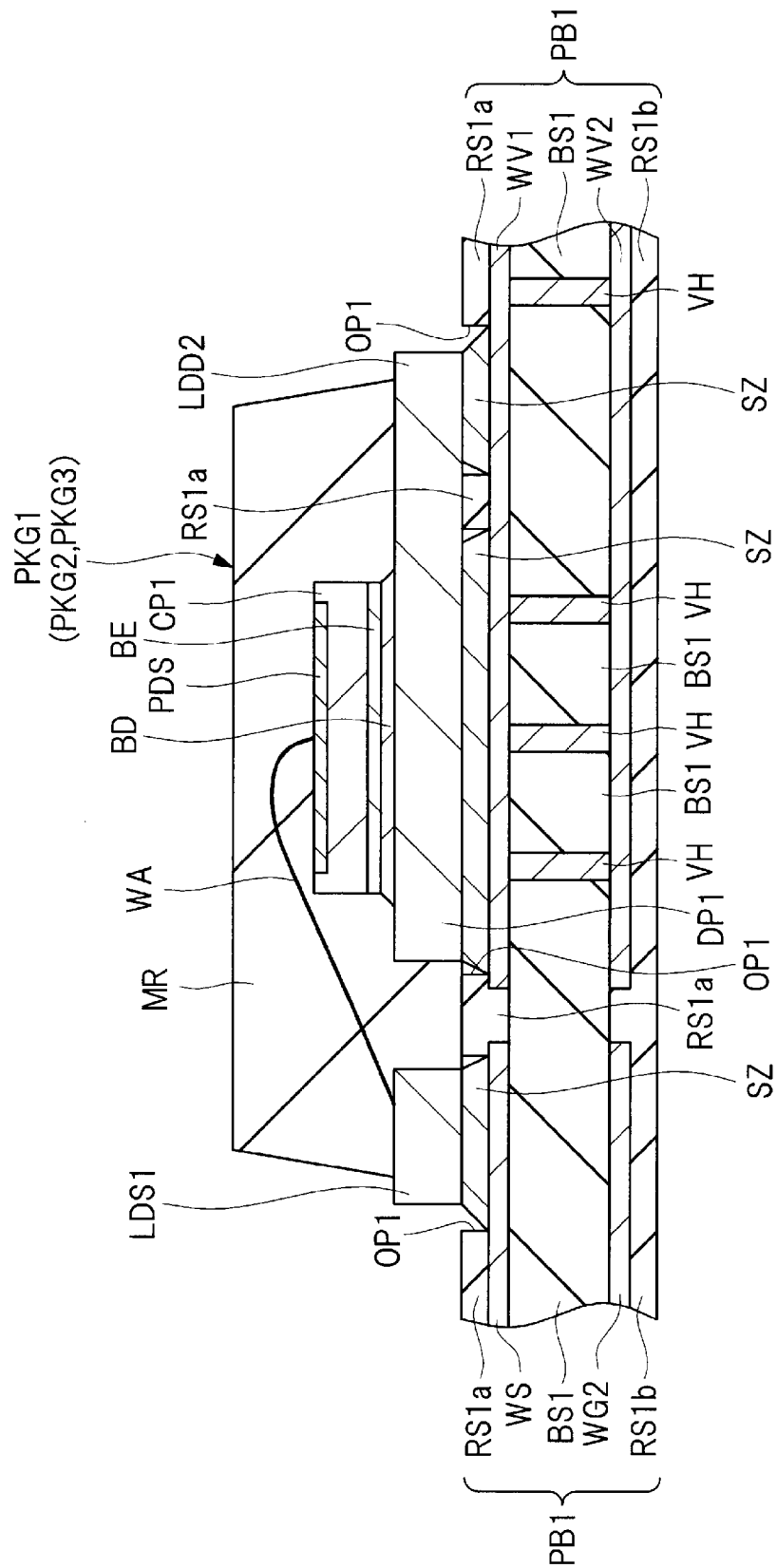


[図20]

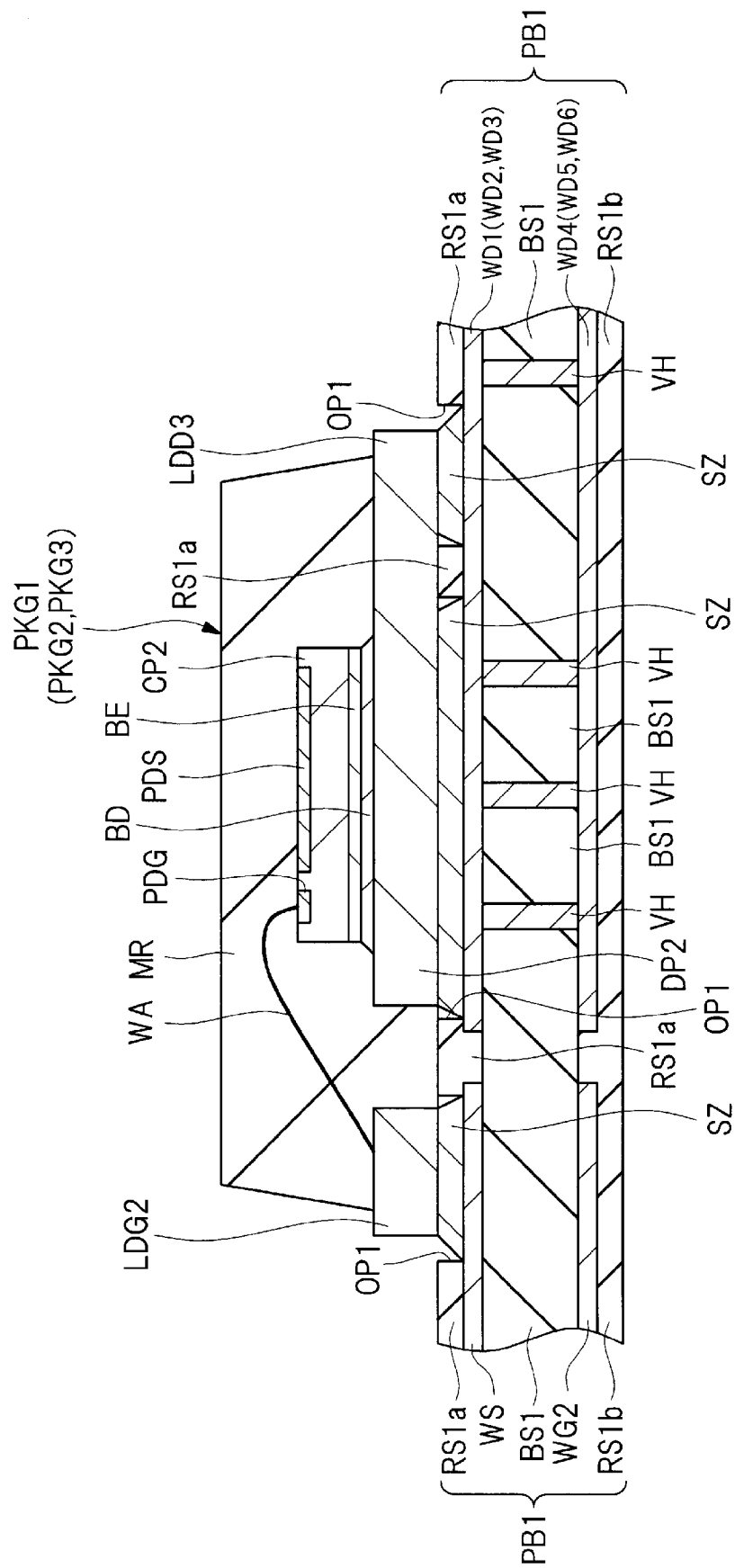
図 20



[図22]

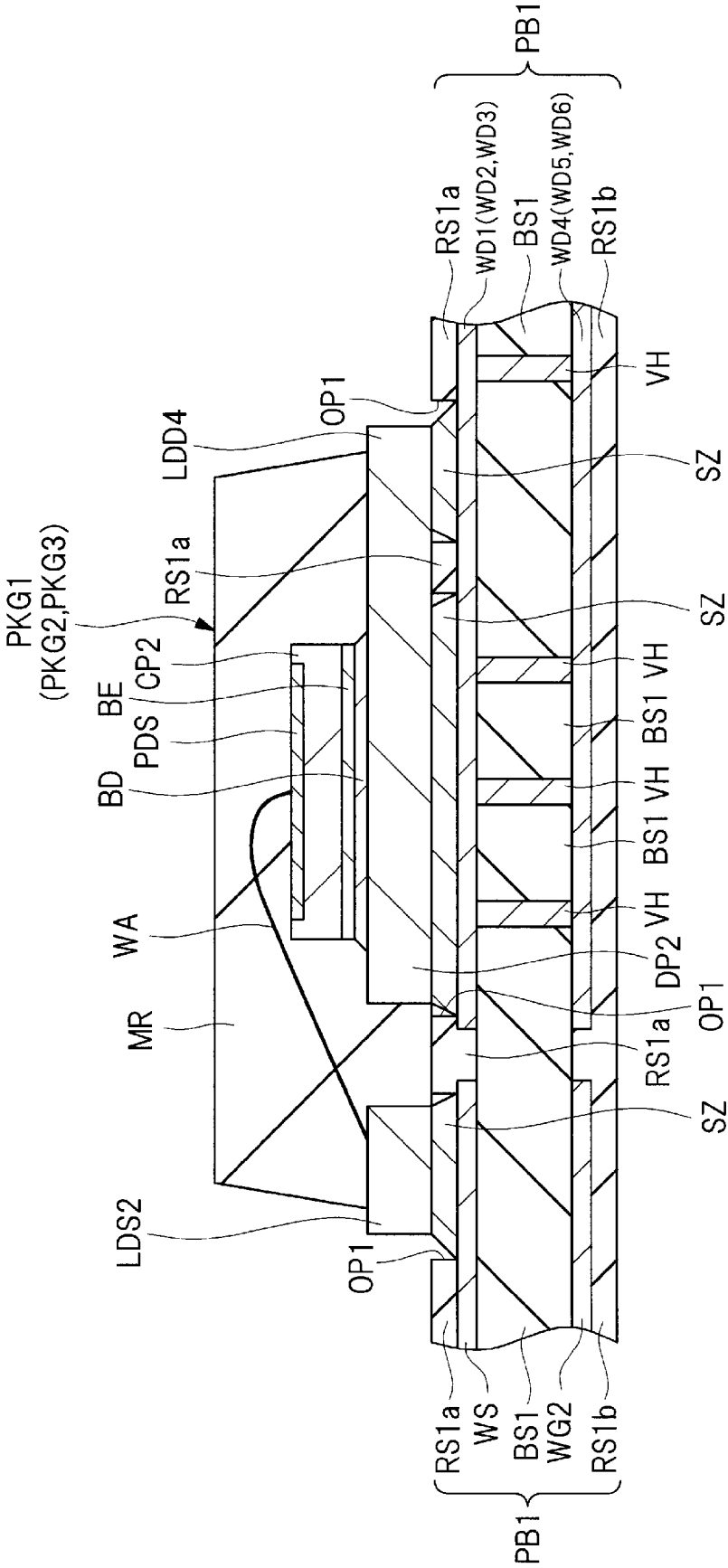


[図23]



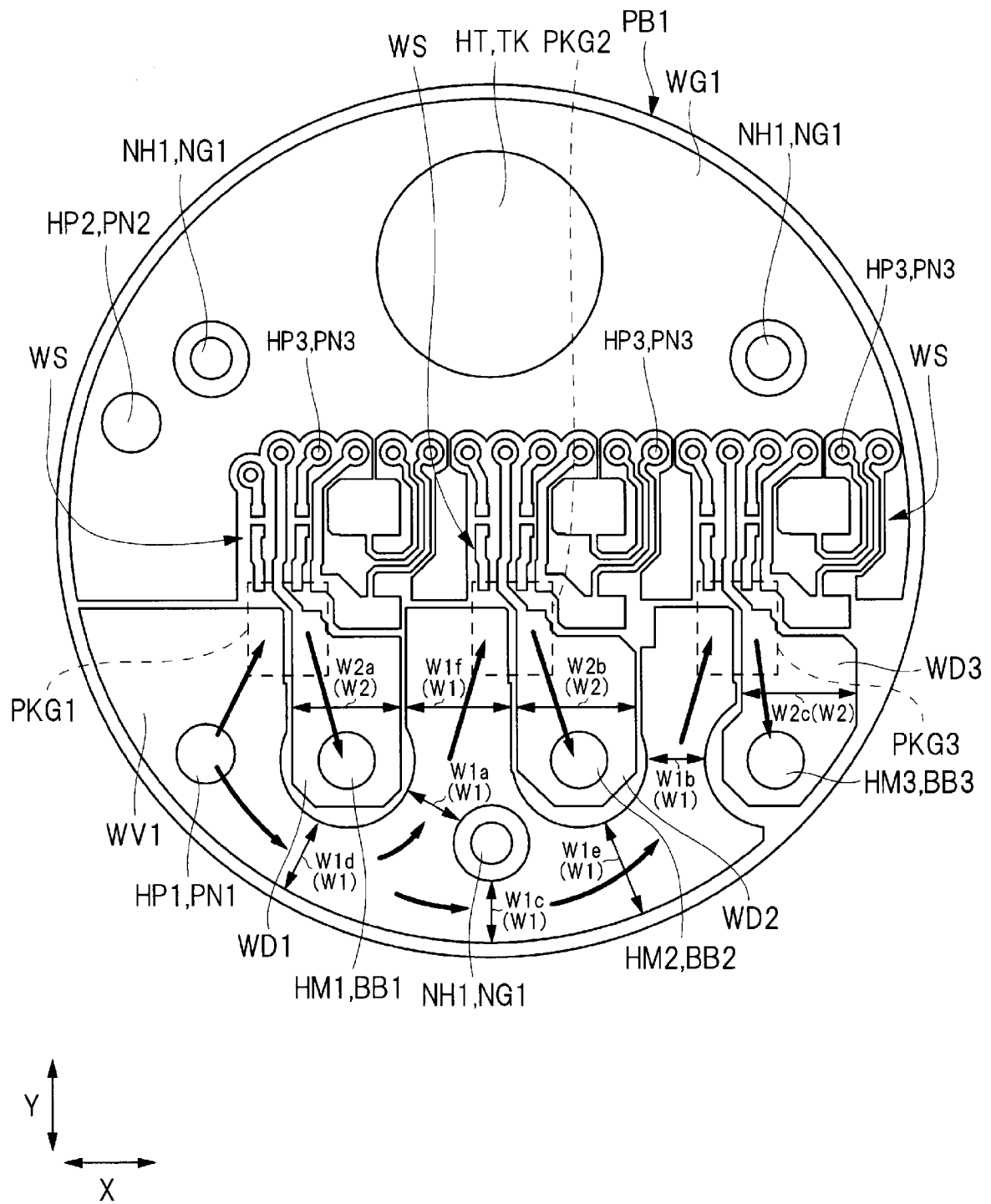
[図24]

24



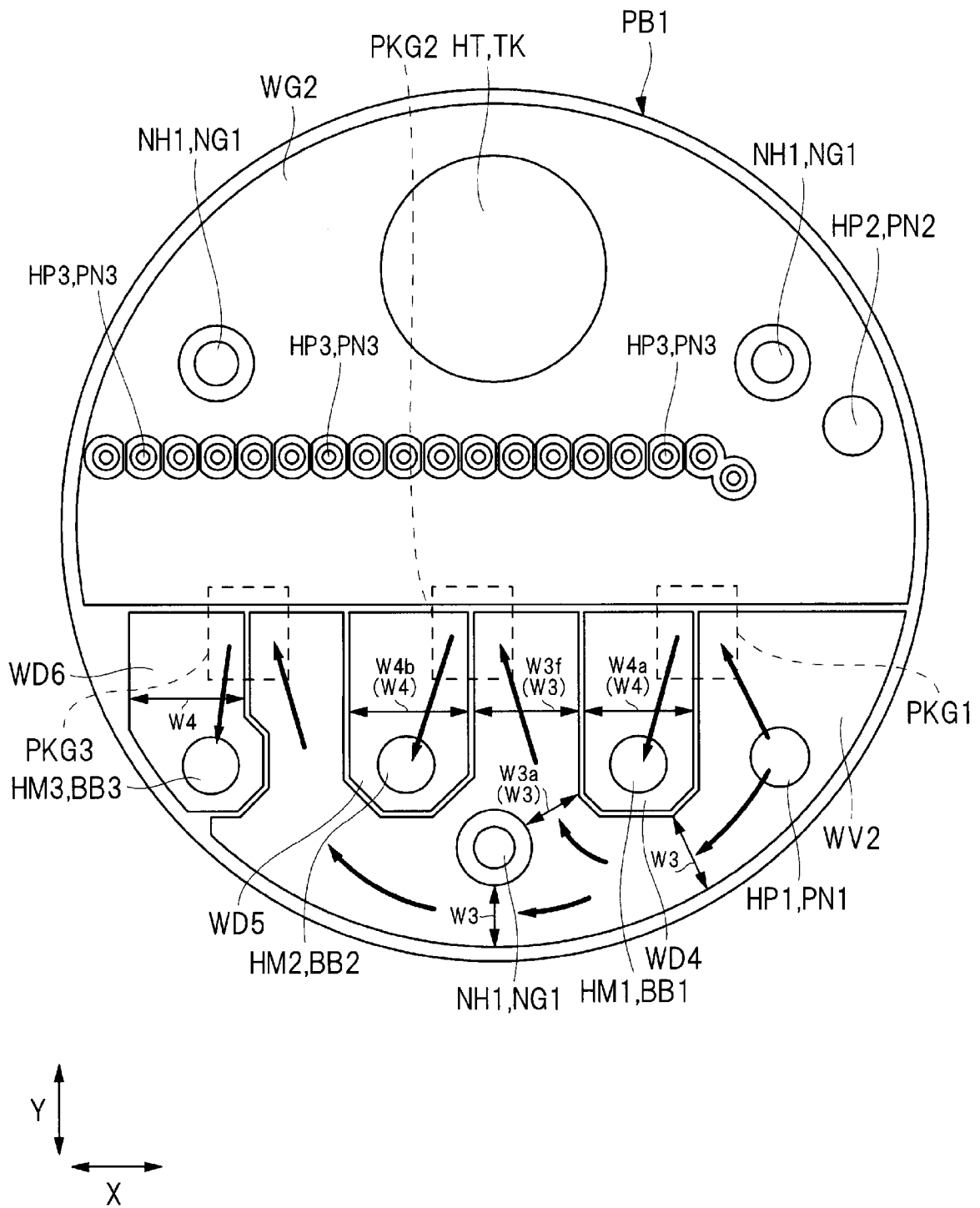
[図25]

図 25



[図26]

図 26



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/073628

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-194382 A (Hitachi, Ltd.), 08 July 2004 (08.07.2004), paragraphs [0034] to [0044]; fig. 1 to 3 (Family: none)	1-15
A	JP 2001-284524 A (Toshiba Corp.), 12 October 2001 (12.10.2001), paragraphs [0014] to [0027]; fig. 1 to 2 & US 2001/0015478 A1 paragraphs [0042] to [0057]; fig. 1A to 2B & EP 1121009 A2	1-15
A	JP 2014-7189 A (Sharp Corp.), 16 January 2014 (16.01.2014), paragraphs [0022] to [0040]; fig. 1 to 2 (Family: none)	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 October 2015 (21.10.15)

Date of mailing of the international search report
02 November 2015 (02.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/073628

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-88195 A (Hitachi Automotive Systems, Ltd.), 15 April 2010 (15.04.2010), paragraphs [0072] to [0081]; fig. 11 & US 2011/0199800 A1 paragraphs [0097] to [0106]; fig. 11 & WO 2010/038541 A1 & EP 2337210 A1 & CN 101960707 A	1-15
A	JP 6-237574 A (Fuji Electric Co., Ltd.), 23 August 1994 (23.08.1994), paragraphs [0019] to [0024]; fig. 1 & US 5576575 A column 6, line 17 to column 7, line 33; fig. 1 & EP 0598563 A2 & DE 69306919 T2	1-15
A	JP 2013-85409 A (Hitachi, Ltd.), 09 May 2013 (09.05.2013), paragraphs [0047] to [0052]; fig. 4 (Family: none)	4-5
A	JP 2015-39295 A (Mitsubishi Electric Corp.), 26 February 2015 (26.02.2015), paragraph [0025]; fig. 3 & US 2013/0141871 A1 paragraph [0039]; fig. 3 & WO 2012/060123 A1 & EP 2637285 A1 & CN 103210571 A	6-7
A	JP 2014-159276 A (NSK Ltd.), 04 September 2014 (04.09.2014), entire text; all drawings (Family: none)	10,13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-194382 A（株式会社日立製作所）2004.07.08, 段落 [0034]-[0044], 第 1-3 図（ファミリーなし）	1-15
A	JP 2001-284524 A（株式会社東芝）2001.10.12, 段落[0014]-[0027], 第 1-2 図 & US 2001/0015478 A1, 段落[0042]-[0057], 第 1A-2B 図 & EP 1121009 A2	1-15
A	JP 2014-7189 A（シャープ株式会社）2014.01.16, 段落 [0022]-[0040], 第 1-2 図（ファミリーなし）	1-15

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 1 0 . 2 0 1 5

国際調査報告の発送日

0 2 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

田村 耕作

3 V

9 6 1 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-88195 A (日立オートモティブシステムズ株式会社) 2010.04.15, 段落[0072]-[0081], 第11図 & US 2011/0199800 A1, 段落[0097]-[0106], 第11図 & WO 2010/038541 A1 & EP 2337210 A1 & CN 101960707 A	1-15
A	JP 6-237574 A (富士電機株式会社) 1994.08.23, 段落 [0019]-[0024], 第1図 & US 5576575 A, 第6欄第17行-第7欄第33 行, 第1図 & EP 0598563 A2 & DE 69306919 T2	1-15
A	JP 2013-85409 A (株式会社日立製作所) 2013.05.09, 段落 [0047]-[0052], 第4図 (ファミリーなし)	4-5
A	JP 2015-39295 A (三菱電機株式会社) 2015.02.26, 段落[0025], 第3 図 & US 2013/0141871 A1, 段落[0039], 第3図 & WO 2012/060123 A1 & EP 2637285 A1 & CN 103210571 A	6-7
A	JP 2014-159276 A (日本精工株式会社) 2014.09.04, 全文, 全図 (フ ァミリーなし)	10, 13