



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0114082
(43) 공개일자 2012년10월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247
(2006.01)
(21) 출원번호 10-2011-0031846
(22) 출원일자 2011년04월06일
심사청구일자 2011년04월06일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김태근
경기도 성남시 분당구 서현로 177, 금강아파트
103-1301 (이매동)
안호명
서울특별시 강동구 아리수로97길 19, 406동 202호
(강일동, 강일리버파크)
(74) 대리인
특허법인주원

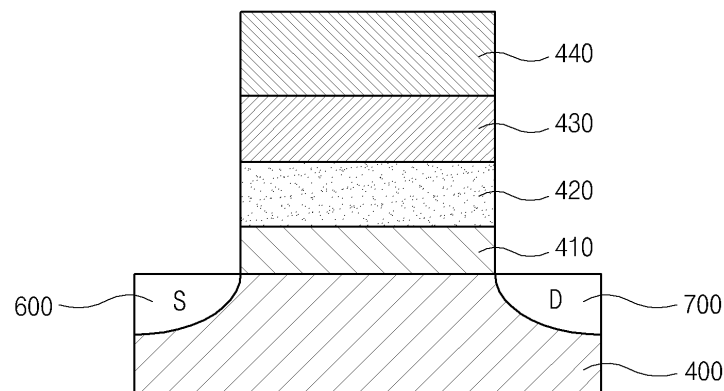
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 문턱전압 스위칭 물질을 이용한 비휘발성 메모리 소자 및 그 제조 방법

(57) 요약

본 발명은 비휘발성 메모리 소자 및 그 제조 방법을 개시한다. 본 발명은 종래의 SONOS 구조의 비휘발성 메모리 소자의 블로킹 절연막을, 평상시에 고저항 상태를 유지하다가 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되고 인가되는 전압을 제거하면 다시 고저항 상태로 환원되는 문턱전압 스위칭 물질로 대체하고, 게이트 전극층에 문턱 전압 이상의 전압 펄스를 인가하여, 게이트 전극층으로부터 문턱전압 스위칭 물질로 이루어진 절연막을 통해서 전하 포획층으로 전하를 주입하여 프로그램을 수행한다. 따라서, 본 발명의 비휘발성 메모리 소자는 프로그램시에 터널링을 이용하지 않을뿐만 아니라, 문턱전압 스위칭 물질의 저항 상태를 저저항 상태로 변환하여 프로그램을 수행한 후, 전하 포획층에 포획된 전하를 유지하기 위해서, 문턱전압 스위칭 물질의 저항 상태를 다시 고저항 상태로 변환하기 위한 별도의 전압 펄스를 인가하지 않아도 되므로, 종래의 SONOS 구조의 비휘발성 메모리 소자에 비해서 신속한 프로그램이 가능하다. 또한, 본 발명의 비휘발성 메모리 소자는 프로그램시에 터널링 방식을 이용하지 않으므로, 전하 포획층과 기판 사이의 절연막을 두께를 충분히 두껍게 형성하여 10년 이상의 데이터 보유 특성을 확보할 수 있으므로, 기존의 SONOS 구조의 비휘발성 메모리 소자에 비하여 신뢰성이 높다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관위에 형성된 제 1 절연막;

상기 제 1 절연막 위에 형성된 전하 포획층;

상기 전하 포획층 위에 형성되고, 인가되는 전압 펄스에 따라서 저저항 상태 및 고저항 상태 간에 변화되는 제 2 절연막; 및

상기 제 2 절연막 위에 형성되어 상기 제 2 절연막으로 전압 펄스를 인가하는 게이트 전극층을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 제 2 절연막은 전압이 인가되지 않은 상태에서는 고저항 상태를 유지하고, 상기 제 2 절연막을 형성하는 물질에 고유한 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되는 문턱전압 스위칭 물질로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 문턱전압 스위칭 물질은 칼코지나이드(chalcogenide) 계열의 물질 또는 V_2O_5 인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 4

제 2 항에 있어서,

상기 제 2 절연막은 프로그램을 수행하기 위한 상기 문턱전압 이상의 전압 펄스가 인가되는 동안에만 저저항 상태로 유지되어 게이트 전극층으로부터 유입되는 전하를 전하 포획층으로 통과시킴으로써 프로그램을 수행하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5

제 2 항에 있어서,

상기 제 2 절연막은 고저항 상태에서 상기 전하 포획층에 포획된 전하들이 상기 게이트 전극층으로 유출되는 것을 차단하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 전하 포획층은 상기 제 2 절연막으로부터 유입된 전하를 포획함으로써 프로그램을 수행하는 하는 것을 특징으로 하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 기관의 상기 제 1 절연막의 양측에는 소오스 영역 및 드레인 영역이 각각 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 8

제 7 항에 있어서, 상기 비휘발성 메모리 소자는

상기 게이트 전극층에 상기 제 2 절연막을 형성하는 물질에 고유한 문턱 전압 이상의 크기를 갖는 음의 전압 펄스가 인가되면, 상기 게이트 전극층으로부터 전자가 저저항 상태로 변화된 상기 제 2 절연막을 통과해서 상기 전하 포획층에 유입된 후 상기 전하 포획층에 포획되며, 상기 전압 펄스의 인가가 종료되면 상기 제 2 절연막이 고저항 상태로 변화되어 프로그램 상태가 유지되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 9

- (a) 기관위에 제 1 절연막을 형성하는 단계;
- (b) 상기 제 1 절연막 위에 전하 포획층을 형성하는 단계;
- (c) 상기 전하 포획층 위에 인가되는 전압 펄스에 따라서 저저항 상태 및 고저항 상태 간에 변화되는 제 2 절연막을 형성하는 단계; 및
- (d) 상기 제 2 절연막 위에 상기 제 2 절연막으로 전압 펄스를 인가하는 게이트 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 10

제 7 항에 있어서, 상기 (c) 단계에서

상기 제 2 절연막은 전압이 인가되지 않은 상태에서는 고저항 상태를 유지하고, 상기 제 2 절연막을 형성하는 물질에 고유한 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되는 문턱전압 스위칭 물질로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 11

제 8 항에 있어서,

상기 문턱전압 스위칭 물질은 칼코지나이드(chalcogenide) 계열의 물질 또는 V_2O_5 인 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 12

제 8 항에 있어서,

상기 제 2 절연막은 프로그램을 수행하기 위한 상기 문턱전압 이상의 전압 펄스가 인가되는 동안에만 저저항 상태로 유지되어 게이트 전극층으로부터 유입되는 전하를 전하 포획층으로 통과시킴으로써 프로그램을 수행하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 13

제 8 항에 있어서,

상기 제 2 절연막은 고저항 상태에서 상기 전하 포획층에 포획된 전하들이 상기 게이트 전극층으로 유출되는 것을 차단하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 14

제 7 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 기관의 상기 제 1 절연막의 양측에는 소오스 영역 및 드레인 영역이 각각 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

명세서

기술 분야

[0001] 본 발명은 메모리 소자 및 그 제조 방법에 관한 것으로서, 보다 구체적으로는 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경 기술

- [0002] 최근, 스마트폰 등의 휴대정보 기기의 수용가 급격히 증가하면서, 초고집적(테라비트급), 초소형, 초고속, 고신뢰성을 확보할 수 있는 나노 크기의 비휘발성 메모리(Non-volatile Memory; NVM) 소자 개발이 요구되고 있다.
- [0003] 그러나, 비휘발성 메모리 소자의 소형화 및 집적화에 따라서, 누설전류에 의한 데이터 보존 능력 저하, 높은 동작 전압에 의한 전력소비 측면에서 취약하다는 문제점이 대두되고 있다.
- [0004] 그래서, 기존 공정과 호환이 가능하면서 고성능의 메모리 특성이 가능한 SONOS (polySilicon-Oxide-Nitride-Oxide-Silicon) 메모리 소자가 차세대 비휘발성 메모리 소자로서 현실적인 대안이 되고 있는 실정이다. 그러나, SONOS 메모리 소자 또한 다음과 같은 단점을 가진다.
- [0005] 첫째로, 단일층의 실리콘 산화막으로 구성된 터널링 절연막은 동작 속도의 향상을 위해 그 두께를 감소시킬 경우 직접 터널링 (direct tunneling) 현상과 전기적 스트레스에 의한 누설 전류 (stress induced leakage current) 현상이 증가되어 비휘발성 메모리가 가져야 할 10년 이상의 데이터 보존 특성을 확보할 수 없다. 한편, 실리콘 산화막의 두께가 증가될 경우에는 10년 이상의 데이터 보존 특성을 확보할 수 있지만, 동작 속도의 열화와 높은 전압이 요구되는 문제가 있다.
- [0006] 두 번째로, 실리콘 산화막으로 이루어진 플로팅 절연막을 통한 소거 동작시, 소거 전압이 커짐에 따라, 게이트로부터 절연막의 전자의 주입이 발생하여 소거가 완벽히 되지 않는 문제점이 있다.
- [0007] 결과적으로, 종래의 SONOS 구조의 비휘발성 메모리 소자는, 프로그램 속도를 향상시키기 위해서 프로그램 전압을 증가시키면 전력 소모가 많아지고 터널링 산화막 내부의 결함이 증가되는 문제점이 존재하고, 프로그램 전압을 일정하게 유지하면서 프로그램 속도를 향상시키기 위해서 터널링 산화막의 두께를 감소시키면 누설 전류가 발생하여 비휘발성 메모리 소자의 신뢰성을 확보할 수 없는 문제점이 존재하므로, 데이터 보존의 신뢰성을 확보하면서도 저전력으로 프로그램 속도를 향상시키는 것은 불가능하였다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 해결하고자 하는 과제는, 저전력으로 프로그램 속도를 향상시킴과 동시에 데이터 보존의 신뢰성을 확보할 수 있는 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0009] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는, 기판; 상기 기판위에 형성된 제 1 절연막; 상기 제 1 절연막 위에 형성된 전하 포획층; 상기 전하 포획층 위에 형성되고, 인가되는 전압 펄스에 따라서 저저항 상태 및 고저항 상태 간에 변화되는 제 2 절연막; 및 상기 제 2 절연막 위에 형성되어 상기 제 2 절연막으로 전압 펄스를 인가하는 게이트 전극층을 포함한다.
- [0010] 또한, 상기 제 2 절연막은 전압이 인가되지 않은 상태에서는 고저항 상태를 유지하고, 상기 제 2 절연막을 형성하는 물질에 고유한 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되는 문턱전압 스위칭 물질로 형성되는 것이 바람직하다.
- [0011] 또한, 상기 문턱전압 스위칭 물질은 칼코지나이드(chalcogenide) 계열의 물질 또는 V_2O_5 일 수 있다.
- [0012] 또한, 상기 제 2 절연막은 프로그램을 수행하기 위한 상기 문턱전압 이상의 전압 펄스가 인가되는 동안에만 저저항 상태로 유지되어 게이트 전극층으로부터 유입되는 전하를 전하 포획층으로 통과시킴으로써 프로그램을 수

행할 수 있다.

- [0013] 또한, 상기 제 2 절연막은 고저항 상태에서 상기 전하 포획층에 포획된 전하들이 상기 게이트 전극층으로 유출되는 것을 차단할 수 있다.
- [0014] 또한, 상기 전하 포획층은 상기 제 2 절연막으로부터 유입된 전하를 포획함으로써 프로그램을 수행할 수 있다.
- [0015] 또한, 상기 기판의 상기 제 1 절연막의 양측에는 소오스 영역 및 드레인 영역이 각각 형성될 수 있다.
- [0016] 또한, 상기 비휘발성 메모리 소자는, 상기 게이트 전극층에 상기 제 2 절연막을 형성하는 물질에 고유한 문턱전압 이상의 크기를 갖는 음의 전압 펄스가 인가되면, 상기 게이트 전극층으로부터 전자가 저저항 상태로 변화된 상기 제 2 절연막을 통과해서 상기 전하 포획층에 유입된 후 상기 전하 포획층에 포획되며, 상기 전압 펄스의 인가가 종료되면 상기 제 2 절연막이 고저항 상태로 변화되어 프로그램 상태가 유지될 수 있다.
- [0017] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법은, (a) 기판위에 제 1 절연막을 형성하는 단계;
- [0018] (b) 상기 제 1 절연막 위에 전하 포획층을 형성하는 단계; (c) 상기 전하 포획층 위에 인가되는 전압 펄스에 따라서 저저항 상태 및 고저항 상태 간에 변화되는 제 2 절연막을 형성하는 단계; 및 (d) 상기 제 2 절연막 위에 상기 제 2 절연막으로 전압 펄스를 인가하는 게이트 전극층을 형성하는 단계를 포함한다.
- [0019] 또한, 상기 (c) 단계에서, 상기 제 2 절연막은 전압이 인가되지 않은 상태에서는 고저항 상태를 유지하고, 상기 제 2 절연막을 형성하는 물질에 고유한 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되는 문턱전압 스위칭 물질로 형성될 수 있다.
- [0020] 또한, 상기 문턱전압 스위칭 물질은 칼코지나이드(chalcogenide) 계열의 물질 또는 V_2O_5 일 수 있다.
- [0021] 또한, 상기 제 2 절연막은 프로그램을 수행하기 위한 상기 문턱전압 이상의 전압 펄스가 인가되는 동안에만 저저항 상태로 유지되어 게이트 전극층으로부터 유입되는 전하를 전하 포획층으로 통과시킴으로써 프로그램을 수행할 수 있다.
- [0022] 또한, 상기 제 2 절연막은 고저항 상태에서 상기 전하 포획층에 포획된 전하들이 상기 게이트 전극층으로 유출되는 것을 차단할 수 있다.
- [0023] 또한, 비휘발성 메모리 소자 제조 방법은, 상기 기판의 상기 제 1 절연막의 양측에는 소오스 영역 및 드레인 영역이 각각 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0024] 본 발명은 종래의 SONOS 구조의 비휘발성 메모리 소자의 블로킹 절연막을, 평상시에 고저항 상태를 유지하다가 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되고 인가되는 전압을 제거하면 다시 고저항 상태로 환원되는 문턱전압 스위칭 물질로 대체하고, 게이트 전극층에 문턱 전압 이상의 전압 펄스를 인가하여, 게이트 전극층으로부터 문턱전압 스위칭 물질로 이루어진 절연막을 통해서 전하 포획층으로 전하를 주입하여 프로그램을 수행한다.
- [0025] 따라서, 본 발명의 비휘발성 메모리 소자는 프로그램시에 터널링을 이용하지 않을뿐만 아니라, 문턱전압 스위칭 물질의 저항 상태를 저저항 상태로 변환하여 프로그램을 수행한 후, 전하 포획층에 포획된 전하를 유지하기 위해서, 문턱전압 스위칭 물질의 저항 상태를 다시 고저항 상태로 변환하기 위한 별도의 전압 펄스를 인가하지 않아도 되므로, 종래의 SONOS 구조의 비휘발성 메모리 소자에 비해서 신속한 프로그램이 가능하다.
- [0026] 또한, 본 발명의 비휘발성 메모리 소자는 프로그램시에 터널링 방식을 이용하지 않으므로, 전하 포획층과 기판 사이의 절연막을 두께를 충분히 두껍게 형성하여 10년 이상의 데이터 보유 특성을 확보할 수 있으므로, 기존의 SONOS 구조의 비휘발성 메모리 소자에 비하여 신뢰성이 높다.

도면의 간단한 설명

- [0027] 도 1 은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조를 도시하는 도면이다.

도 2는 본 발명의 제 2 절연막을 구성하는 문턱전압 스위칭 물질의 전압-전류 관계를 도시한 그래프이다.

도 3a 및 도 3b는 각각 본 발명의 비휘발성 메모리 소자에서 프로그램을 수행하는 방법 및 프로그램 상태를 제거하는 방법을 설명하는 도면이다.

도 4a 내지 도 4c는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자를 제조하는 방법을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0029] 도 1은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조를 도시하는 도면이다.
- [0030] 도 1을 참조하여, 본 발명의 비휘발성 메모리 소자의 구성을 설명하면, 먼저, 반도체 기판(400)위에 메모리층이 형성되어 있고, 메모리층의 양측의 반도체 기판(400)에 소오스 영역(600) 및 드레인 영역(700)이 형성되어 있다.
- [0031] 한편, 반도체 기판(400)위에 형성된 메모리층은 반도체 기판(400)위에 형성된 제 1 절연막(410), 제 1 절연막(410) 위에 형성된 전하 포획층(420), 전하 포획층(420) 위에 형성된 제 2 절연막(430) 및 제 2 절연막(430) 위에 형성된 게이트 전극층(440)을 포함하여 구성된다.
- [0032] 제 1 절연막(410)은 전하 포획층(420)에 포획된 전하들이 기판(400)으로 유출되는 것을 차단한다. 제 1 절연막(410)은 열산화공정 또는 공지의 박막증착 공정을 통해서 수 nm의 두께로 형성된 산화막으로서 실리콘 산화막(SiO_2) 등으로 형성될 수 있다. 본 발명의 바람직한 실시예에서는 전하 포획층(420)에 포획된 전하들이 기판(400)으로 유출되는 것을 방지하기 위해서 10 내지 100 nm의 두께로 제 1 절연막(410)을 형성하였다.
- [0033] 전하 포획층(420)은 게이트 전극층(440)으로부터 제 2 절연막(430)을 통해서 유입되는 전하를 내부에 포획하여 프로그램을 수행한다. 전하 포획층(420)은 나노크리스탈 물질 또는 실리콘 질화막으로 형성될 수 있을 뿐만 아니라, SiO_2 보다 유전상수가 높은 고유전 상수(high-k)를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다.
- [0034] 또한, 전하 포획층(420)은, 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐 등의 금속이나, 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다. 또한, 전하 포획층(420)은 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물(III족의 Al, Ga, In과 V족의 P, As, Sb와의 조합) 또는 II-VI족 화합물(II족의 Zn, Cd, Hg와 VI족의 O, S, Se, Te의 조합) 등의 반도체 재료로 형성될 수도 있다. 또한, 전하 포획층(420)은 알루미늄산화막(Al_2O_3), hafnium산화막(HfO), hafnium알루미늄산화막(HfAlO), hafnium실리콘산화막(HfSiO) 등과 같은 전하에 대한 포획 밀도가 높은 절연체로도 형성될 수 있다.
- [0035] 한편, 제 2 절연막(430)은 문턱전압 스위칭 물질로 형성된다. 문턱전압 스위칭 물질이란, 평상시에 고저항 상태를 유지하다가 문턱전압 스위칭 물질에 고유한 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되고, 인가 전압이 제거되면 다시 고저항 상태로 환원되는 성질을 갖는 물질을 말한다.
- [0036] 제 2 절연막(430)은 전압이 인가되지 않은 고저항 상태에서는 게이트 전극층(440)과 전하 포획층(420)간의 전하의 이동을 차단하다가, 문턱 전압 이상의 전압이 인가된 저저항 상태에서는 게이트 전극층(440)과 전하 포획층(420)간의 전하의 이동이 가능하도록 한다.
- [0037] 한편, 게이트 전극층(440)은 일반적으로 반도체 소자에서 전극으로 이용될 수 있는 물질로 형성된다.
- [0038] 도 2는 본 발명의 제 2 절연막(430)을 구성하는 문턱전압 스위칭 물질의 전압-전류 관계를 도시한 그래프이다. 도 2를 더 참조하여 본 발명의 문턱전압 스위칭 물질을 설명한다.
- [0039] 본 발명의 제 2 절연막(430)을 형성하는 문턱전압 스위칭 물질은 AlAsTe , SiGeAsTe , GeSeTe 등과 같은 칼코지나이드(chalcogenide) 계열의 물질 및 V_2O_5 물질과 같이, 평상시에는 고저항 상태를 유지하다가 물질에 고유한 문턱전압 이상의 전압이 인가되는 동안에만 저저항 상태로 변화되고, 인가된 전압이 제거되면 다시 고저항 상태로 변화되는 물질을 의미한다.
- [0040] 도 2에 도시된 바와 같이, 문턱전압 스위칭 물질은 문턱전압(V_{th})보다 높은 전압이 인가되는 동안에는 높은 전류가 흐르는 저저항 상태가 되고, 인가되던 전압을 제거하면, 도시된 V-I 커브를 따라서 전류가 급격하게 감소

되어 고저항 상태로 환원된다.

- [0041] 도 3a 및 도 3b는 본 발명의 비휘발성 메모리 소자에서 프로그램을 수행하는 방법 및 프로그램 상태를 제거하는 방법을 각각 설명하는 도면이다.
- [0042] 먼저, 도 3a 를 참조하면, 본 발명의 바람직한 실시예에서는, 소오스 영역(600) 및 드레인 영역(700)이 접지인 상태에서, 제 2 절연막(430)에 고유한 문턱전압 이상의 전압 펄스(-V)를 게이트 전극층(440)에 인가하여, 고저항 상태의 제 2 절연막(430)을 저저항 상태로 변화시킨 후, 게이트 전극층(440)으로부터 전하 포획층(420)으로 전하를 주입하여 전하들을 전하 포획층(420)에 포획시킨 후, 전압 펄스를 중단함으로써 제 2 절연막(430)을 다시 고저항 상태로 환원시켜 전하 포획층(420)에 포획된 전하들이 제 2 절연막(430)을 통해서 게이트 전극층(440)으로 유출되지 않도록 함으로써 프로그램을 수행한다.
- [0043] 또한, 도 3b를 참조하면, 도 3a에서 프로그램된 상태를 소거하기 위해서는, 다시 게이트 전극층(440)에 프로그램시와 극성이 반대이고, 전압의 크기가 문턱전압보다 큰 전압 펄스(+V)를 인가하여 제 2 절연막(430)을 저저항 상태로 변화시킨 후, 전하 포획층(420)에 포획된 전하들을 제 2 절연막(430)을 통해서 게이트 전극층(440)으로 유출시키고, 다시 인가된 전압 펄스를 제거하여 제 2 절연막(430)의 상태를 고저항 상태로 환원시킨다.
- [0044] 도 4a 내지 도 4c는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자를 제조하는 방법을 설명하는 도면이다. 도 4a 내지 도 4c를 참조하여 본 발명의 비휘발성 메모리 소자 제조 방법을 설명한다.
- [0045] 먼저, 도 4a를 참조하면, 반도체 기판(400)위에 제 1 절연막(410), 전하 포획층(420), 제 2 절연막(430) 및 게이트 전극층(440)을 순차적으로 형성한다.
- [0046] 제 1 절연막(410)은 제 1 절연막(410)은 열산화 공정 또는 공지의 박막증착 공정을 통해서 실리콘 산화막(SiO₂)과 같은 산화막으로 10 nm 내지 100 nm 의 두께로 형성될 수 있다.
- [0047] 전하 포획층(420)은 50 nm 내지 1000 nm 의 두께로 형성된다. 전하 포획층(420)은 상술한 바와 같이, 나노크리스탈 물질 또는 실리콘 질화막 등으로 형성될 수 있을 뿐만 아니라, SiO₂보다 유전상수가 높은 고유전 상수(high-k)를 갖는 물질, 및 비정질 폴리 실리콘 물질과 같은 전하에 대한 포획 밀도가 높은 절연체들 중 어느 하나로 형성될 수 있다.
- [0048] 제 2 절연막(430)은 AlAsTe, SiGeAsTe, GeSeTe 등과 같은 칼코지나이드(chalcogenide) 물질 및 V₂O₅ 물질과 같은 문턱전압 스위칭 물질을 이용하여, 10 내지 100 nm 의 두께로 형성된다. 문턱전압 스위칭 물질에 대해서는 전술하였으므로 자세한 설명은 생략한다.
- [0049] 게이트 전극층(440)이 형성된 후, 도 4b 에 도시된 바와 같이, 메모리층을 형성할 영역에 하드 마스크막 패턴(500)을 형성하고, 하드 마스크막을 식각 마스크로 이용하여 반도체 기판(400)이 드러날때까지 게이트 전극층(440), 제 2 절연막(430), 전하 포획층(420), 제 1 절연막(410)을 식각한다.
- [0050] 본 발명에서, 소오스 영역(600)과 드레인 영역(700) 사이의 이격 거리는 수십 내지 수백 nm 이고, 이에 따라서 소오스 영역(600)과 드레인 영역(700) 사이에 위치하는 메모리층의 폭도 수십 내지 수백 nm 가 된다. 따라서, 하드 마스크막 패턴(500)들의 길이도 메모리 층의 폭에 따라서 결정된다.
- [0051] 그 후, 도 4c 에 도시된 바와 같이, 이온 주입 공정을 실시하여 메모리층의 양측면의 반도체 기판(400)상에 소오스 영역(600) 및 드레인 영역(700)을 형성하고, 마스크막 패턴(500)을 제거하여 비휘발성 메모리 소자를 완성한다.
- [0052] 상술한 본 발명의 비휘발성 메모리 소자의 제조 방법에서, 두께 등은 제조 상황에 따라서 변화될 수 있음은 물론이다.
- [0053] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

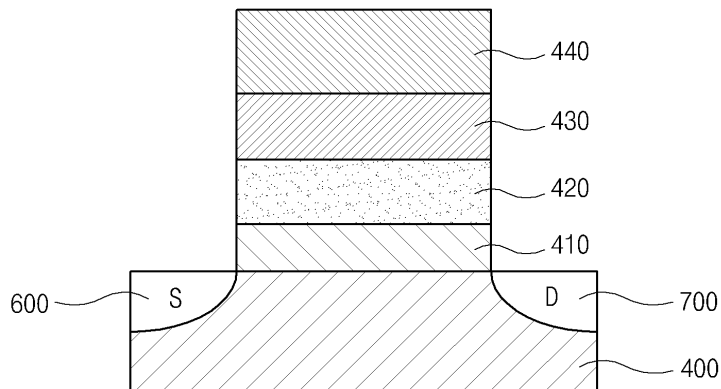
부호의 설명

[0054]

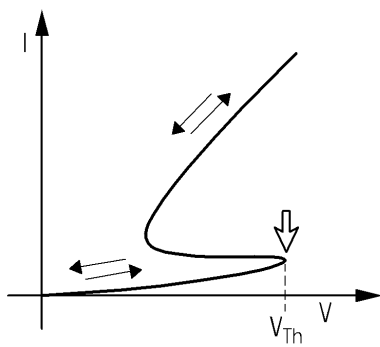
- 400 반도체 기판
- 410 제 1 절연막
- 420 전하 포획층
- 430 제 2 절연막
- 440 게이트 전극층
- 500 마스크막 패턴
- 600 소오스 영역
- 700 드레인 영역

도면

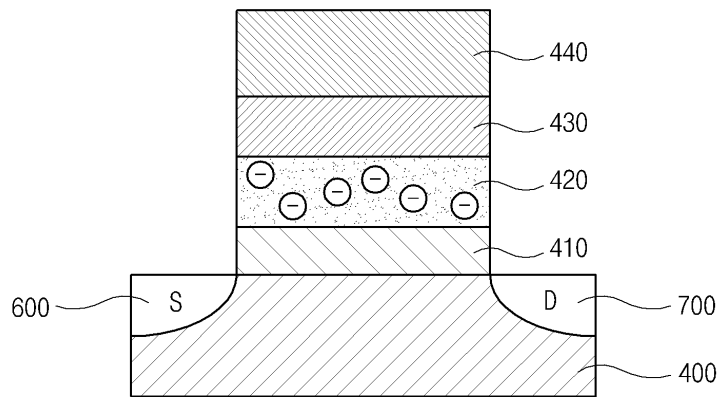
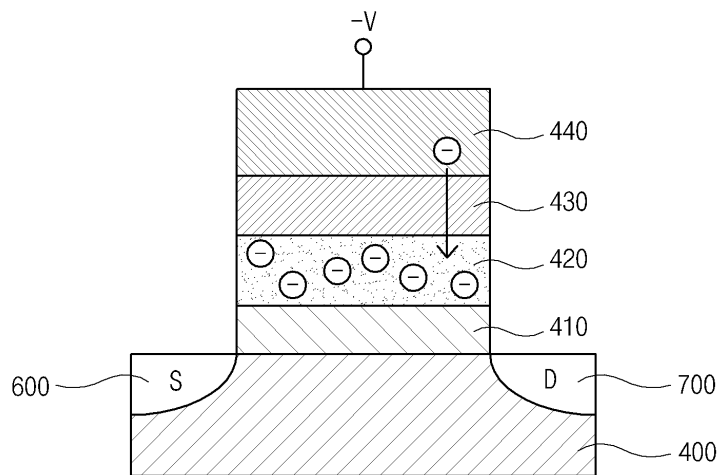
도면1



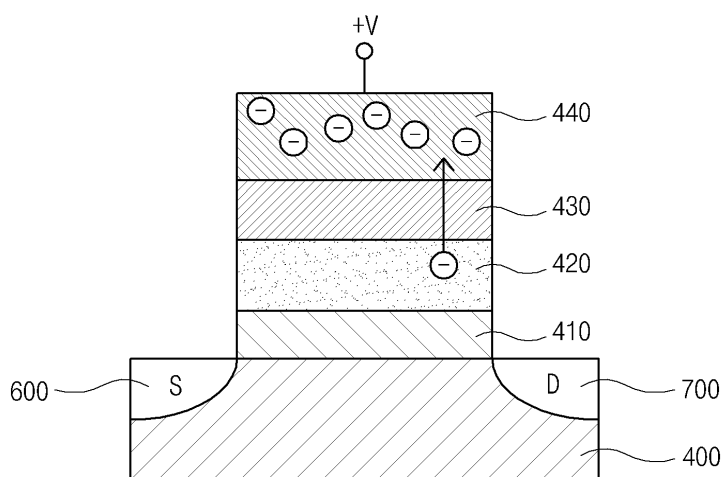
도면2



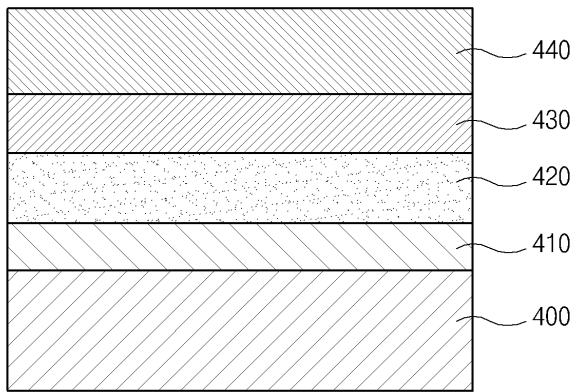
도면3a



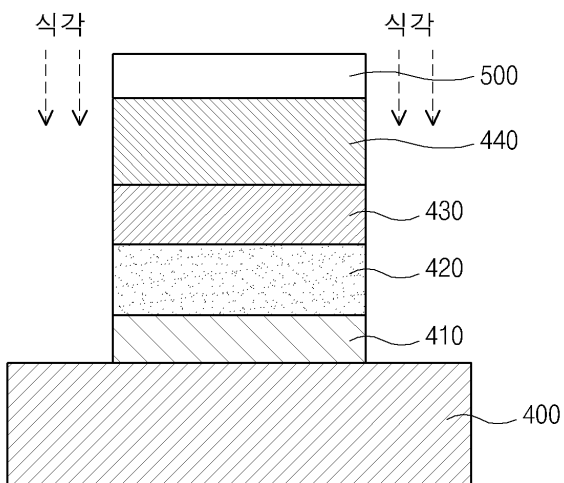
도면3b



도면4a



도면4b



도면4c

