



(12) 发明专利

(10) 授权公告号 CN 101809713 B

(45) 授权公告日 2012.04.25

(21) 申请号 200880022836.4

H01L 21/266(2006.01)

(22) 申请日 2008.06.30

H01L 21/8238(2006.01)

(30) 优先权数据

102007030056.7 2007.06.29 DE  
12/026,273 2008.02.05 US

(56) 对比文件

US 6180476 B1, 2001.01.30,  
US 6403434 B1, 2002.06.11,  
US 2006003533 A1, 2006.01.05,

(85) PCT申请进入国家阶段日

2009.12.29

审查员 张弘

(86) PCT申请的申请数据

PCT/US2008/008152 2008.06.30

(87) PCT申请的公布数据

WO2009/005787 EN 2009.01.08

(73) 专利权人 格罗方德半导体公司

地址 英国开曼群岛

(72) 发明人 A·莫里 M·连斯基 A·魏

R·博施克

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 21/265(2006.01)

H01L 21/336(2006.01)

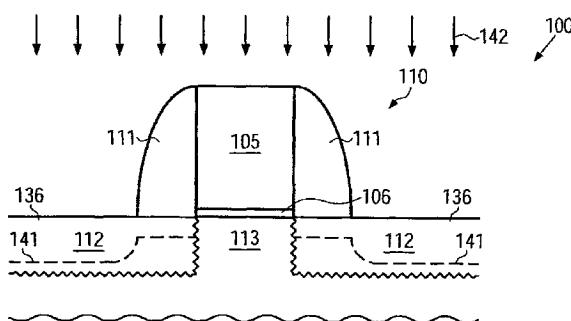
权利要求书 2 页 说明书 13 页 附图 8 页

(54) 发明名称

阻止晶体管栅极电极的预非晶化

(57) 摘要

本发明提供了一种选择性地预非晶化晶体管的源极 / 漏极区且同时阻止该晶体管的栅极电极的预非晶化的技术。例示实施例包含在栅极电极之上形成预非晶化注入阻挡材料。另外的例示实施例包含使用各种应力源而在通道区中诱发应变。



1. 一种阻止晶体管栅极电极的预非晶化的方法,包括下列步骤:

提供衬底(101);

该衬底(101)具有该晶体管(110)的该栅极电极(105),该栅极电极(105)之上设有预非晶化注入阻挡材料(132);

该衬底(101)具有无该预非晶化注入阻挡材料(132)的该晶体管(110)的源极/漏极区(112);以及

使该衬底(101)接受预非晶化注入工艺(135),以预非晶化该源极/漏极区(112)的至少一部分,同时阻挡该栅极电极(105)接受该预非晶化注入工艺(135),其中,

该栅极电极(105)是第一晶体管(110)的栅极电极;

该源极/漏极区(112)是第一晶体管(110)的源极/漏极区(112);

该衬底(101)具有无该预非晶化注入阻挡材料(132)的第二晶体管(110)的栅极电极(105);

该衬底(101)具有该第二晶体管(110)的源极/漏极区(112),该第二晶体管(110)的该源极/漏极区(112)无该预非晶化注入阻挡材料(132);以及

使该衬底(101)接受预非晶化注入(135)的步骤包括下列步骤:使该衬底(101)接受该预非晶化注入(135),以将该第一晶体管(110)及该第二晶体管(110)的该源极/漏极区(112)的至少一部分预非晶化,将该第二晶体管(110)的该栅极电极(105)的至少一部分预非晶化,且保持该第一晶体管(110)的该栅极电极(105)不被预非晶化。

2. 如权利要求1所述的方法,进一步包括下列步骤:

将掺杂剂(142)注入至少部分地被预非晶化的该源极/漏极区(112)中;以及  
将该源极/漏极区(112)退火。

3. 如权利要求2所述的方法,进一步包括下列步骤:

去除该预非晶化注入阻挡材料(132);以及

在该源极/漏极区(112)及该栅极电极(105)的每一个之上,形成金属硅化物(114)。

4. 如权利要求1所述的方法,进一步包括:在使该衬底(101)接受预非晶化注入(135)之后,在该栅极电极(105)的侧壁处形成侧壁间隔物(111)。

5. 如权利要求4所述的方法,其中,形成该侧壁间隔物(111)的步骤包括下列步骤:

在该栅极电极(105)之上,形成侧壁间隔物材料层(139);以及

执行用来各向异性地蚀刻该侧壁间隔物材料层(139)的各向异性蚀刻工艺(140),以提供该侧壁间隔物(111),其中通过该各向异性蚀刻工艺(140)去除该预非晶化注入阻挡材料(132)。

6. 如权利要求4所述的方法,进一步包括:将掺杂剂(142)注入到该源极/漏极区(112)中,以及将该侧壁间隔物(111)用作掩模,用以产生该源极/漏极区(112)中的所需的掺杂剂分布(141)。

7. 如权利要求4所述的方法,其中,通过中间衬垫(109)将该侧壁间隔物(111)与该栅极电极(105)及该源极/漏极区分离。

8. 如权利要求4所述的方法,其中,该侧壁间隔物(111)在该栅极电极(105)之下的通道区(113)中诱发本征应力。

9. 如权利要求1所述的方法,进一步包括:在该晶体管(110)之上,形成应力诱发层

(117), 该应力诱发层 (117) 在该栅极电极 (105) 之下的通道区 (113) 中诱发应力。

10. 如权利要求 9 所述的方法, 其中, 该应力诱发层 (117) 是介电接触层或蚀刻终止层。

11. 如权利要求 10 所述的方法, 进一步包括: 在形成该应力诱发层 (117) 之前, 先自该栅极电极 (105) 去除侧壁间隔物 (111)。

12. 如权利要求 1 所述的方法, 其中, 该源极 / 漏极区 (112) 包括应力诱发区, 用以在该栅极电极 (105) 之下的该晶体管 (110) 的通道区 (113) 中诱发应力。

13. 如权利要求 1 所述的方法, 进一步包括下列步骤:

在该源极 / 漏极区 (112) 之上, 形成覆盖层 (143);

将被预非晶化的区域 (136) 退火, 其中该覆盖层 (143) 因该被预非晶化的区域 (136) 的该退火而减少体积改变; 以及

自该源极 / 漏极区 (112) 去除该覆盖层 (143)。

14. 如权利要求 1 所述的方法, 其中, 该第一晶体管 (110) 及该第二晶体管 (110) 的其中之一是 N 型晶体管, 且该第一晶体管 (110) 及该第二晶体管 (110) 的另一个是 P 型晶体管。

## 阻止晶体管栅极电极的预非晶化

### 技术领域

[0001] 本发明系大致有关集成电路之形成，且尤系有关晶体管之形成。

### 背景技术

[0002] 集成电路的制造需要根据指定的电路布局而在特定的芯片面积上形成大量的电路组件。一般而言，目前实施了复数种工艺技术，其中对于诸如微处理器及储存芯片等复杂的电路而言，互补金属氧化物半导体 (CMOS) 技术在目前是其中一种最有前景的方法，这是由于其在工作速度及（或）电力消耗及（或）成本效率上都有较佳的特性。在使用 CMOS 技术制造复杂的集成电路期间，在包含结晶半导体层的衬底上形成数百万个晶体管，亦即，N 信道晶体管及 P 信道晶体管。MOS 晶体管（不论所考虑的是 N 信道晶体管或 P 信道晶体管）包含所谓的 PN 接面，而系由高浓度掺杂的漏极及源极区与被配置在该漏极区与该源极区之间的反向掺杂通道区之间的界面形成 PN 接面。

[0003] 该通道区的导电系数（亦即，导电信道的驱动电流能力）受到在接近该通道区处形成且被薄绝缘层分隔的栅极电极所控制。在形成导电通道之后，因将适当的控制电压施加到栅极电极而产生的该通道区之导电系数系取决于掺杂剂浓度、多数电荷载子的移动率，且对于该通道区沿着晶体管宽度方向的特定延伸区而言，又系取决于也被称为通道长度的源极与漏极区间之距离。因此，结合在将该控制电压施加到栅极电极时在该绝缘层之下迅速地产生导电通道的能力，该通道区的整体导电系数实质上决定了 MOS 晶体管的效能。因此，由于通道长度的减小以及与其相关联的通道电阻系数之减小，而使该通道长度成为实现集成电路工作速度增加的首要设计准则。

[0004] 然而，晶体管尺寸的持续微缩牵涉到与该尺寸微缩相关联的复数个问题，因而必须解决这些问题，以便不会不当地抵消了因持续地减小 MOS 晶体管的通道长度而得到的效益。在这方面的一个主要问题是：针对新的装置世代而开发增强的微影及蚀刻策略，以便可靠地且可复制地产生诸如晶体管的栅极电极的具有关键尺寸的电路组件。此外，漏极及源极区中需要沿着垂直方向及横向方向的极复杂之掺杂剂分布，以便提供低的片电阻系数及接触电阻系数、以及所需的通道控制能力。此外，与栅极绝缘层有关的 PN 接面之垂直位置也代表了考虑到漏电流控制时的关键性设计准则。因此，减少通道长度时，通常也需要减少栅极绝缘层与通道区所形成的界面有关的漏极及源极区之深度，因而需要精密的注入技术。根据其它的方法，在与栅极电极有一指定偏移之情形下形成被称为高起的漏极及源极区 (raised drain and source region) 之磊晶生长区，以便提供该高起的漏极及源极区的较大之导电系数，且同时相对于该栅极绝缘层维持浅 PN 接面。

[0005] 另一种方法是形成较深的源极 / 漏极区，该较深的源极 / 漏极区可以有可靠的硅化，且因而形成了低电阻值的接触，且同时提供了在较深的源极 / 漏极区与栅极间之浅源极 / 漏极延伸区。

[0006] 通常系以离子注入技术得到掺杂剂分布。离子注入对制造现代集成电路是不可或缺的。离子注入包含：产生所需的离子束，并将这些离子束注入到衬底中，使得这些离子束

被置于半导体表面正下方。目前,系将离子注入用来形成源极及漏极区、通道与源极 / 漏极接点间之浅延伸接面、以及电主动的多晶硅栅极电极。离子注入之后通常有接续的退火步骤,以便恢复离子在注入期间占用半导体晶格中之间质空间 (interstitial space) 时造成的损伤。

[0007] 当晶体管装置被微缩到 100 纳米以下时,高浓度掺杂的极浅接面对具有可接受的短信道效能之大电流驱动能力是必要的。我们相信:用来减少源极 / 漏极延伸接面的电阻值之关键参数是掺杂剂扩散斜率,而不是掺杂剂的最大掺杂浓度。因此,获得箱形分布的先进工艺技术之开发似乎是一种维持较低的接面电阻值之有效方式。

[0008] 在以离子注入及快速热退火工艺执行传统的接面形成时,很难得到极陡峭的超浅接面分布,这是因为在退火期间的注入诱发的点缺陷 (point defect) 与掺杂剂原子间之相互作用可能显著地扩大分布形状,亦即,减少了该分布的斜率。在作为得到低电阻值超浅箱形源极 / 漏极延伸接面的可能解决方案上,具有预非晶化注入 (Pre-Amorphization Implant; 简称 PAI) 之雷射热退火已受到相当的注意。

[0009] 因为关键尺寸 (亦即,晶体管的栅极长度) 的持续尺寸微缩,所以需要改造且或许要新开发与上述工艺步骤有关之极复杂的工艺技术,且已有人提议也增加通道区中之特定通道长度的电荷载子移动率,而增强晶体管组件的信道导电系数,因而提供了进展到未来的技术节点才能达到的效能提升之可能性,且同时避免或至少延迟了与装置尺寸微缩相关联的许多上述之工艺改造。一种增加电荷载子移动率的有效机制是诸如在通道区附近产生拉伸应力或压缩应力,以便在该通道区中产生对应的应变,而修改该通道区中之晶格结构,因而分别造成电子及电洞的被修改之移动率。例如,在通道区中产生拉伸应变时,将增加电子的移动率,其中视该拉伸应变的大小及方向而定,可得到 50% 或更大的移动率增加,接着又直接转化到导电系数的对应之增加。另一方面,通道区中之压缩应变可增加电洞的移动率,因而提供了增强 P 型晶体管效能之可能性。将应力或应变工程导入集成电路制造是一种用于进一步的装置世代之极有前景的方法,这是因为可将诸如应变硅视为一种“新”型的半导体材料,因而能够在不需要使用高成本的半导体材料之情形下制造快速且高性能之半导体装置,且同时仍然可使用许多已为大家接受之制造技术。

[0010] 因此,已有人提议在信道区中或信道区之下加入诸如硅 / 镍层或硅 / 碳层,以便产生可造成对应的应变之拉伸应力或压缩应力。虽然可在信道区中或信道区之下加入应力产生层而显著地增强晶体管效能,但是必须投入相当多的努力将对应的应力层形成实施到传统且众所公认的 MOS 技术。例如,额外的磊晶生长技术必须被开发且被实施到工艺流程,以便在信道区中或信道区之下的适当位置处形成含有镍或碳的应力层。因此,显著地增加了工艺的复杂度,因而也提高了制造成本及降低制造良率的可能性。

[0011] 因此,在其它的方法中,使用例如铺盖层 (overlaying layer) 及间隔组件 (spacer element) 等所产生之外应力,而尝试在通道区内产生所需之应变。虽然此种方式是一种有前景的方法,但是施加指定外应力而在通道区中产生应变之工艺可能取决于诸如各接触层及间隔物等所提供的进入通道区之外应力而在该通道区中产生所需应变之应力转移机构之效率。因此,虽然提供比前文所述的在通道区内需要额外的应力层之方法显著的优点,但是该应力转移机构之效率可能取决于工艺及装置之细节,且可能造成某一类型的晶体管之较低的效能增益。

[0012] 在另一种方法中，在晶体管的漏极及源极区中形成应变硅 / 锗层，而增强 PMOS 晶体管的电洞移动率，其中经压缩应变之漏极及源极区在邻接的硅通道区中产生了单轴应变。为达到此一目的，当 NMOS 晶体管被掩模 (mask) 时，选择性地凹下 PMOS 晶体管之漏极及源极区，然后以磊晶生长法在该 PMOS 晶体管中选择性地形成硅 / 锗层。在类似之方式下，在晶体管的漏极及源极区中形成应变硅 / 碳层，而增强 NMOS 晶体管的电子移动率，其中经拉伸应变之漏极及源极区在邻接的硅通道区中产生了单轴拉伸应变。虽然此种技术在 PMOS 晶体管及整个 CMOS 装置的效能增益上提供了显著的优点，但是可能必须使用平衡 PMOS 晶体管及 NMOS 晶体管在效能增益上的差异之适当的设计。

[0013] 本发明之揭示系有关可避免或至少减少前文所述的一个或多个问题的影响之各种结构及方法。

## 发明内容

[0014] 下文中提供了本发明的简化概要，以提供对本发明的某些态样的基本了解。该概要并不是本发明的彻底概述。其目的并不是识别本发明的关键性或紧要的组件，也不是描述本发明的范围。其唯一目的只是以简化的形式提供某些观念，作为将于后文中提供的更详细的说明之前言。

[0015] 一般而言，本发明揭示的主题系有关一种能够在源极 / 漏极区至少被部分地预非晶化而栅极电极并未被预非晶化的制造期间形成晶体管之技术。

[0016] 一个例示方法包含下列步骤：提供衬底，该衬底具有晶体管的栅极电极，该栅极电极之上设有预非晶化注入阻挡材料。该衬底进一步包含并无预非晶化注入阻挡材料的晶体管的源极 / 漏极区。使该衬底接受预非晶化注入工艺，以便因而预非晶化该等源极 / 漏极区的至少一部分，同时阻挡该栅极电极接受该预非晶化注入工艺。

[0017] 另一例示方法包含下列步骤：选择性地预非晶化晶体管的源极 / 漏极区，同时阻止该晶体管的栅极电极的预非晶化。

[0018] 根据又一实施例，半导体装置包含至少一个设有源极 / 漏极区之晶体管，该源极 / 漏极区具有被预非晶化的部分。该至少一个晶体管的栅极电极并无被预非晶化的部分。

## 附图说明

[0019] 参照前文中之说明并配合各附图，将可了解本发明之揭示，在该等附图中，相同的组件符号将识别类似的组件，其中：

[0020] 图 1A 至图 1H 是根据本发明揭示的例示实施例的半导体装置之剖面示意图，该半导体装置包含在保护晶体管的栅极电极不受预非晶化时被选择性地预非晶化的晶体管的源极 / 漏极区、以及各种应力源之形成；

[0021] 图 2 及图 3 是具有根据本发明揭示的例示实施例的晶体管的半导体装置之剖面示意图；

[0022] 图 4A 至图 4B 是根据本发明揭示的例示实施例的半导体装置之剖面示意图，图中示出以应力记忆技术在源极 / 漏极区中形成本征应力；

[0023] 图 5 是包含两种不同类型的晶体管的半导体装置之剖面示意图；以及

[0024] 图 6A 至图 6C 是根据本发明揭示的例示实施例的半导体装置之剖面示意图，该半

导体装置包含诸如 P 信道晶体管及 N 信道晶体管的两种不同类型之晶体管,而在保护晶体管的栅极电极不受预非晶化时,该被两种不同类型之晶体管的源极 / 漏极区被选择性地预非晶化。

[0025] 虽然容许对本发明揭示的主题作出各种修改及替代形式,但是仍在该等图式中以举例方式示出本发明的一些特定实施例,且已在本说明书中详细说明了这些特定实施例。然而,应当了解:本说明书对这些特定实施例的说明之用意并非将本发明限制在所揭示的该等特定形式,相反地,本发明将涵盖最后的申请专利范围所界定的本发明的精神及范围内之所有修改、等效、及替代者。

### 具体实施方式

[0026] 下文中将说明本发明的各种例示实施例。为了顾及说明的清晰,在本说明书中将不说明实际实作的所有特征。当然,我们当了解,在任何此种实际实施例的开发过程中,必须作出许多与实作相关的决定,以便达到开发者的特定目标,这些特定的目标包括诸如符合与系统相关的及与商业相关的限制条件,而该等限制将随着各实施例而有所不同。此外,我们当了解,虽然此种开发的工作可能是复杂且耗时的,但是此种开发工作仍然是对此项技术具有一般知识者在受益于本发明的揭示后所从事的日常工作。

[0027] 现在将参照各附图而说明本发明。只为了解说之用,而在该等图式中以示意图之方式示出各种结构、系统、及装置,以便不会以熟习此项技术者习知的细节模糊了本发明之揭示。然而,该等附图被加入,以便描述并解说本发明揭示之各例子。应将本说明书所用的字及词汇了解及诠释为具有与熟习相关技术者对这些字及词汇所了解的一致之意义。不会因持续地在本说明书中使用一术语或词汇,即意味着该术语或词汇有特殊的定义(亦即与熟习此项技术者所了解的一般及惯常的意义不同之定义)。如果想要使术语或词汇有特殊的意义(亦即与熟习此项技术者所了解的意义不同之意义),则会将在本说明书中以一种直接且毫不含糊地提供该术语或词汇的特殊定义之下定义之方式明确地述及该特殊的定义。

[0028] 一般而言,本发明揭示之主题系有关一种能够形成包含被预非晶化的源极 / 漏极区之晶体管而该晶体管的栅极电极并未被预非晶化(亦即,该栅极电极的晶体结构在源极 / 漏极区的预非晶化期间被保留)之技术。为达到此一目的,可在该栅极电极之上形成预非晶化注入阻挡材料(后文中被称为“阻挡材料”)。可在相同的工艺步骤中连同该栅极电极而建构该阻挡材料。根据其它例示实施例,可独立地建构该阻挡材料,或可在建构了该等栅极电极之后才敷设该阻挡材料。预非晶化可有助于掺杂剂注入,且可促成栅极电极附近的浅箱形掺杂剂分布之形成。可在晶体管形成的任何适当的步骤中去除该阻挡材料。根据某些例示实施例,至少在形成该等源极 / 漏极区及该栅极电极中之硅化物之前,去除该阻挡材料。可根据已为大家接受之工艺去除该阻挡材料以及将要被去除的另一材料。因此,与已为大家接受之工艺相比,该阻挡材料之去除无须额外的步骤。例如,可在形成与该栅极电极邻接的侧壁间隔物之过程中去除该阻挡材料。在已为大家接受之方式下,该侧壁间隔物可被用来作为在该等源极 / 漏极区中产生所需的掺杂剂分布之掩模。

[0029] 亦可配合应力源(stressor)的使用而使用本发明所揭示的原理,以便提供在栅极电极之下的有各别应力的通道区。例如,侧壁间隔物可在通道区中诱发应力。可以中间

衬垫 (intermediate liner) 将该侧壁间隔物与栅极电极及源极 / 漏极区分隔, 而该中间衬垫本身可又诱发该通道区中之应力。此外, 可在晶体管之上形成应力诱发层, 例如形式为介电接触层或蚀刻终止层。根据另外的例示实施例, 可在形成该应力诱发层之前先去除该侧壁间隔物。将应力转移提供至通道区之另一方法包括应力记忆技术。此处, 在源极 / 漏极区之上形成覆盖层 (cover layer), 其中该覆盖层是在被预非晶化的源极 / 漏极区退火期间可耐受应力发展 (stress developing) 而不会有显著变形之较刚性的材料, 因而在该等源极 / 漏极区本身中形成了各别的相反应力。纵然在去除该覆盖层之后, 该应力也会被保留 (亦即, 被记忆)。

[0030] 可将本发明之主题应用于 NMOS 及 PMOS 晶体管二者, 其中我们当了解 : 术语 NMOS 将被视为任何类型的 N 通道场效晶体管之一般性概念, 同样地, 术语 PMOS 将被视为任何类型的 P 通道场效晶体管之一般性概念。根据某些例示实施例, NMOS 晶体管以及 PMOS 晶体管的栅极电极之晶体结构在源极 / 漏极区的预非晶化期间被保留。根据其它实施例, 只有 NMOS 晶体管以及 PMOS 晶体管之其中一者的栅极电极之晶体结构在源极 / 漏极区的预非晶化期间被选择性地保留, 而另一栅极电极则被预非晶化。例如, NMOS 晶体管的栅极电极可在预非晶化期间被选择性地保留晶体, 而 PMOS 晶体管的栅极电极则可被预非晶化。

[0031] 出人意外地, 本发明揭示的实施例对于 NMOS 晶体管在速度上达到高达大约 4 至 8% 的性能效益。此外, 本发明之主题可更精确地平衡 NMOS 晶体管及 PMOS 晶体管的效能, 因而又整体地提高半导体装置之效能。

[0032] 根据一个例示实施例, 晶体管之制造可包含下列步骤 : 将该晶体管的源极 / 漏极区选择性地预非晶化, 且同时保持该晶体管的栅极电极之晶体结构。配合用来在晶体管的通道区中诱发对应的应变之已为大家接受之应力源时, 我们发现 : 可在将该晶体管的栅极电极保持在其 (多晶) 晶体状态而不被预非晶化的情形下, 使更多的应力 / 应变被转移到各别晶体管的通道区中。

[0033] 图 1A 示意地显示半导体装置 100 之剖面图, 该半导体装置 100 包含衬底 101, 在该衬底 101 中或上形成晶体管组件。衬底 101 可代表任何适当之衬底, 且在该衬底上形成实质上结晶的半导体层 103, 且该半导体层 103 能够形成该晶体管组件。在一个例示实施例中, 该半导体层 103 可代表基于硅 (silicon-based) 之半导体材料, 且可在埋入绝缘层 (图中未示出) 上形成该半导体层 103, 因而衬底 101 可代表如同绝缘层上覆硅 (SOI) 之衬底。在其它实施例中, 可在基体 (bulk) 半导体衬底之顶部上形成半导体层 103, 其中该晶体管组件可代表基体晶体管装置。我们当了解 : 虽然图 1A 至图 4B 中只示出一个晶体管, 但是根据例示实施例, 可在半导体层 103 中或上形成复数个晶体管。例如, 当这些晶体管组件代表如同 SOI 的晶体管时, 半导体层 103 可具有适于该等晶体管组件的特定设计规则之厚度。我们当了解 : 术语 SOI 晶体管将被视为用于任何衬底或晶体管上形成有至少一个绝缘部分且该至少一个绝缘部分之上形成了适于在其中形成晶体管组件的结晶半导体层的任何衬底及晶体管之一般性术语。在一个例示实施例中, 半导体层 103 被设计成能够形成部分空乏的 (depleted) 晶体管组件, 而在其它实施例中, 层 103 之厚度可适于形成完全空乏的装置, 或者在其它的例子中, 可在层 103 中形成基体装置。

[0034] 图 1A 所示用来形成半导体装置 100 之典型工艺流程可包含下列工艺。衬底 101 包含埋入绝缘层时可容纳诸如形式为未被掺杂或被预先掺杂的结晶半导体层之半导体层

103，其中可以晶圆接合技术或用来提供 SOI 衬底的任何其它已为大家接受之技术形成该硅层。在其它的例子中，可根据衬底 101 中提供的实质上结晶的样板而以磊晶生长技术形成半导体层 103。然后，当考虑形成沟槽隔离结构时，可根据诸如微影及各向异性蚀刻技术以及后续适当的沉积及研磨技术等等之已为大家接受之配方，而形成任何隔离结构（图中未示出）。然后，可以氧化及（或）沉积以及接续的诸如多晶硅或被预先掺杂的多晶硅的栅极电极材料层 105A 之沉积（可以是已为大家接受之低压化学汽相沉积（Chemical Vapor Deposition；简称 CVD）技术完成该沉积）而形成适当之介电层 106A。介电层 106A 被用来作为栅极绝缘层。

[0035] 以预非晶化注入阻挡材料沉积工艺 130 在栅极电极材料层 105A 之上形成预非晶化注入阻挡材料 132（图 1B）。沉积工艺 130 可以是用来沉积预非晶化注入阻挡材料 132 之任何适当的方法，例如，诸如电浆辅助式化学汽相沉积的化学汽相沉积、溅镀的物理汽相沉积等的方法。预非晶化注入阻挡材料可以是能够阻挡稍后的制造阶段中所施加的预非晶化注入之任何材料。例如，预非晶化注入阻挡材料 132 可以是诸如氮氧化硅 (SiON) 或是例如氮化硅。

[0036] 图 1B 示出在进一步的先进制造阶段中之半导体装置 100，此时已完成了在栅极电极材料层 105A 之上形成预非晶化注入阻挡材料 132。然后，可根据已为大家接受之技术（例如，使用掩模 133 以及至少一个各向异性蚀刻工艺 134）而图案化预非晶化注入阻挡材料 132、栅极电极材料 105A、及介电层 106A。例如，用于硅、氮化硅、及二氧化硅的具有高选择性之蚀刻配方是此项技术中已为大家接受的蚀刻配方，且可在蚀刻工艺 134 期间使用该等蚀刻配方。视装置的策略而定，可将光阻掩模或硬掩模或以上两者用来图案化该栅极电极材料，以便得到被预非晶化注入阻挡材料 132 覆盖的各自的栅极绝缘层 106 与门电极 105。可根据已为大家接受之技术而去除掩模 133。例如，可根据已为大家接受之基于氧气电浆之工艺以及接续的任何适当的清洗工艺而去除光阻掩模。

[0037] 图 1C 示出在进一步的先进制造阶段中之半导体装置 100，其中已完成了各向异性蚀刻工艺 134，而形成被预非晶化注入阻挡材料 132 覆盖的各自的栅极绝缘层 106 与门电极 105。然后，如图 1C 所示，根据已为大家接受之技术而执行预非晶化注入工艺 135，例如，将预非晶化注入物 (Pre-Amorphization Implant；简称 PAI) 注入到半导体层 103 中。根据例示实施例，用于预非晶化注入的元素可以是诸如硅 (Si)、锗 (Ge)、氙 (Xe) 等的元素。根据例示实施例，该预非晶化注入物系被注入作为离子，例如带正电的离子。如前文所述，预非晶化注入阻挡材料 132 停止该预非晶化注入工艺 135。因此，在实质上不被预非晶化的情形下保持栅极电极 105，例如，将栅极电极 105 保持在其原始的（多晶）结晶结构。

[0038] 根据一个例示实施例，如图 1C 所示，在执行预非晶化工艺 135 之前先去除掩模 133。根据其它例示实施例，掩模 133 可存在于预非晶化工艺 135 期间。在此种方式下，掩模 133 可被用来作为预非晶化注入阻挡材料。根据其它例示实施例，可在诸如尺寸及材料等的因素上组构掩模 133，以便使掩模 133 被用来作为阻挡栅极电极 105 的预非晶化的预非晶化注入阻挡材料。在该例示实施例中，掩模 133 可被用来作为预非晶化注入阻挡材料，且可省略额外的预非晶化注入阻挡材料 132。

[0039] 根据另外的例示实施例，晶体管 110 的源极 / 漏极区 112 具有与通道区 113 不同的成分。例如，通道区 113 可基于硅，而该等源极 / 漏极区则包含硅以及共价半径

(covalent radius) 不同于硅之另外的成分,使该等源极 / 漏极区具有的晶格常数不同于硅的晶格常数 (lattice constant),因而在该通道区中诱发了各别的应变。例如,如果该等源极 / 漏极区包含共价半径大于硅的共价半径之某定量的元素 (例如,锗 (Ge) 或锡 (Sn)),则在通道区 113 中诱发压缩应变。同样地,如果该等源极 / 漏极区包含共价半径小于硅的共价半径之某定量的元素 (例如,碳 (C)),则源极 / 漏极区 112 在通道区 113 中诱发拉伸应变。可根据已为大家接受之成分而采用该各别的另外成分之该各别的量。例如,锗的量可以范围在 1 至 30% 之方式出现,而碳的量可以范围在 0.1 至 10% 之方式出现。

[0040] 根据一个例示实施例,可在执行该预非晶化注入工艺 135 之前将该另外的成分沉积在该等源极 / 漏极区。例如,可根据已为大家接受之技术及配方而在半导体层 103 中形成凹处 (图中未示出)。然后,可以所需之半导体成分填满该等凹处。我们当了解:该工艺涉及数个已为大家接受之蚀刻及掩模步骤。根据另一例示实施例,可以离子注入技术沉积该另外的成分。可在形成该栅极电极之前或之后进行具有该另外的成分的该等源极 / 漏极区之形成。根据又一另外的实施例,该预非晶化注入可基于该另外的成分。换言之,在采用各别的注入参数之情形下,注入该另外的成分而执行区域 136 的预非晶化。

[0041] 图 1D 示出在进一步的先进制造阶段中之半导体装置 100,其中已完成了预非晶化工艺 135,且已在半导体层 103 中形成了被预非晶化的区域 136。根据某些例示实施例,形成被预非晶化的区域 136,因而至少半导体层 103 中将形成晶体管 110 的源极 / 漏极区 (图 1D 中未示出) 的一部分被预非晶化。例如,可将被预非晶化的区域 136 形成为小于该等源极 / 漏极区,且被预非晶化的区域 136 完全位于该等源极 / 漏极区之内。此外,可将被预非晶化的区域 136 形成为大于该等源极 / 漏极区,其中该等源极 / 漏极区完全位于被预非晶化的区域 136 之内。此外,形成被预非晶化的区域 136,以便部分地铺盖晶体管 110 之该等源极 / 漏极区。此外,可形成被预非晶化的区域 136,以便界定晶体管 110 之该等源极 / 漏极区。

[0042] 图 1E 示出在进一步的先进制造阶段中之半导体装置 100,其中已完成了掺杂工艺,且已形成了浅掺杂区 137。浅掺杂区 137 可以是箱形或任何其它所需之形状。根据某些例示实施例,该掺杂工艺包含进入被预非晶化的区域 136 之掺杂剂注入。此处,栅极绝缘层 106、栅极电极 105、及铺盖的预非晶化注入阻挡材料 132 系用来作为掺杂剂注入之掩模。

[0043] 我们当了解:可针对得到漏极及源极区 112 中复杂的浓度所需之横向掺杂剂分布,而执行任何注入工艺顺序。我们当了解:在形成栅极电极 105 之前,可进行了复数个注入工艺顺序,以便提供半导体层 103 内的所需的垂直掺杂剂分布。

[0044] 图 1E 至图 1G 进一步示出用来根据本发明揭示的例示实施例而形成侧壁间隔物之工艺顺序。在图 1E 所示之第一步骤中,执行侧壁间隔物材料沉积工艺 138,以便因而在栅极电极 105 以及铺盖的预非晶化注入阻挡材料 132 之上沉积侧壁间隔物材料层 137 (图 1F)。侧壁间隔物材料沉积工艺 138 可以是诸如电浆辅助式 CVD 工艺或任何其它适当之沉积工艺。该侧壁间隔物材料可以是其中包括诸如二氧化硅及氮化硅的氧化物及氮化物的任何适当之介电材料。例如,该侧壁间隔物材料可以是氮化硅。

[0045] 图 1F 示出在进一步的先进制造阶段中之半导体装置 100,其中已完成了侧壁间隔物材料层 139 之形成。然后,执行各向异性蚀刻工艺 140,而各向异性地蚀刻侧壁间隔物材料层 139,以便提供该等侧壁间隔物。根据一个例示实施例,也以用来建构该等侧壁间隔物

之各向异性蚀刻工艺 140 去除预非晶化注入阻挡材料 132。根据其它实施例，在各别的工艺步骤中去除预非晶化注入阻挡材料 132。

[0046] 图 1G 示出在进一步的先进制造阶段中之半导体装置 100，其中已完成了侧壁间隔物 111 之形成。根据本发明之例示实施例，可根据已为大家接受之技术，而将侧壁间隔物 111 用来建立源极 / 漏极区 112 中的所需的掺杂剂分布 141。例如，根据另外的例示实施例，系将侧壁间隔物 111 用来作为在源极 / 漏极区 112 中产生所需掺杂剂分布 141 的掩模，而以各别的离子注入掺杂工艺 142 将掺杂剂注入到源极 / 漏极区 112。

[0047] 我们当了解：可根据区 112 中之对应的掺杂剂分布 141 之要求而形成间隔物 111，因而可根据要求而改变各别间隔物 111 之宽度以及其数目。例如，单一间隔组件 111 即已足够，或可提供两个以上的间隔组件，以便用来作为形成漏极及源极区 112 时的注入掩模。在每一或某些注入周期之后，或在最后的注入工艺之后，可执行对应的退火工艺，以便实质上活化被注入的掺杂剂，并使被预非晶化的区域 136 以及半导体层 103 中之另外的注入诱发的损伤（如果有的话）实质上再结晶。

[0048] 根据例示实施例，可将侧壁间隔物 111 组构成诱发栅极电极 105 之下的通道区 113 中之本征应力。我们当了解：系根据晶体管之类型，亦即，根据晶体管 110 是 PMOS 晶体管或 NMOS 晶体管，而选择应力的类型（亦即，压缩应力或拉伸应力）。在又一另外的实施例中，可将一个或多个间隔物 111 形成为呈现诸如压缩应力或拉伸应力的特定类型的固有应力 (inherent stress)，以便增强各别通道区 113 中之应变产生。例如，可根据诸如等电浆增强式化学汽相沉积 (Plasma Enhanced Chemical Vapor Deposition；简称 PECVD) 的已为大家接受之配方而沉积该侧壁间隔物材料层，其中可调整形成对应的间隔物层的期间之沉积参数，因而在被沉积的该层中产生所需之固有应力。例如，在诸如沉积氮化硅等的沉积期间，可调整诸如温度、压力、离子轰击 (ion bombardment) 等的沉积参数，以便在各别层中得到本征应力其范围自大约 15 亿帕斯卡 (1.5 GigaPascal) 或甚至更多的压缩应力至大约相同大小的拉伸应力。

[0049] 图 1H 示出在进一步的先进制造阶段中之半导体装置 100，其中已将被预非晶化的区域 136 退火，且已活化掺杂剂分布 141 所在之掺杂剂。根据某些例示实施例，系根据已为大家接受之技术而执行该等被预非晶化的区域的退火。例如，该等被预非晶化的区域的退火可包括将整个半导体装置 100 加热。根据其它例示实施例，该等被预非晶化的区域的退火可包括以诸如雷射照射技术将被预非晶化的区域 136 选择性地加热。

[0050] 此外，在图 1H 所示之制造阶段中，已根据已为大家接受之技术而在源极 / 漏极区 112 的接触部分与门电极 105 中形成了金属硅化物区 114。例如，可由可在硅 / 铋材料内可靠地形成之硅化镍或硅化镍 / 铂实质上构成各别的金属硅化物区 114。此外，可根据不超过大约摄氏 400 度的适当之温度而形成基于镍或镍 / 铂之金属硅化物区 114。可在该等接触部分上沉积各别的金属，并使该半导体装置或至少该等接触部分接受用来形成硅化物区 114 之够高的温度，而形成该等金属硅化物区。

[0051] 在一个例示实施例中，金属硅化物区 114 可包含可有利地配合含有诸如硅 / 铋的漏极及源极区 112 中之大量非硅材料的晶体管组件而使用之镍或镍 / 铂。在其它实施例中，金属硅化物区 114 可包含诸如钛、钴、钨及铂等的任何其它适当之耐火金属 (refractory metal)。此外，我们当了解：在某些实施例中，视工艺及装置的要求而定，可由不同的材料构

成金属硅化物区 114，但系由相同的组件符号表示该等金属硅化物区 114。

[0052] 根据图 1H 所示之其它例示实施例，可在该晶体管之上形成应力诱发层，其中该应力诱发层在栅极电极 105 之下的通道区 113 中诱发应力。根据一个例示实施例，该应力诱发层是介电接触层 117。根据其它例示实施例，该应力诱发层是蚀刻终止层 118。

[0053] 根据某些例示实施例，接触层 117 包含第一类型之本征应力用来诱发各别通道区 113 中之对应的应变。例如，当第一晶体管 100 是 P 通道晶体管时，可由具有本征压缩应力之氮化硅构成接触层 117。因此，在此种情形中，亦可形成间隔组件 111，而呈现本征压缩应力，以便支持接触层 117 所提供之应力转移机构。在所示例示实施例中，在接近晶体管 110 处形成接触层 117，其中在一个实施例中，在源极 / 漏极区 112 上形成的各别金属硅化物区 114 上直接形成第一接触层 117。根据某些例示实施例，在一个例示实施例中可由氮化硅构成之接触层 117 具有所需的本征应力大小及类型，例如，当晶体管 110 代表 N 通道晶体管时，该本征应力是具有指定大小的拉伸应力。因此，在此种情形中，亦可形成间隔组件 111，而呈现本征拉伸应力，以便支持接触层 117 所提供之应力转移机构。

[0054] 此外，可在第一接触层 117 上或之上形成蚀刻终止层或蚀刻指标层 (etch indicator layer) 118，其中可以一种能够可靠地控制用来去除晶体管 110 之上的第二接触层（图中未示出）之后续蚀刻工艺的适当之材料形成该层 118。例如，可以二氧化硅层之形式提供该蚀刻终止或蚀刻指标层 118。

[0055] 可执行用来沉积系为诸如氮化硅层的第一接触层 117 之 PECVD 工艺，其中如前文所述，可以在第一接触层 117 中提供所需类型及大小的本征应力之方式调整沉积参数。对应的沉积条件是此项技术领域中广为接受的。例如，当晶体管 110 代表 P 通道晶体管时，可将第一接触层 117 沉积成具有特定大小的压缩应力，或者当晶体管 110 代表 N 通道晶体管时，可将第一接触层 117 沉积成具有特定大小的拉伸应力。然后，可根据已为大家接受之 PECVD 技术而沉积蚀刻终止或蚀刻指标层 118。

[0056] 可在接触层 117 之上形成层间介电材料，以便完成层间介电材料层 127，其中将形成晶体管 110 的各别接触区之对应的接点，诸如栅极电极 105 以及漏极或源极区 112。

[0057] 根据其它例示实施例，可在形成该应力诱发层之前，先自栅极电极 105 去除该侧壁间隔物 111 或（在有一个以上的侧壁间隔物的情形下）去除至少一个侧壁间隔物。

[0058] 图 2 示出可形成用来取代图 1H 所示之半导体装置 100 的单一侧壁间隔物 111 之间隔物结构 107 之替代实施例。根据其它例示实施例，间隔物结构 107 在所示制造阶段中可包含可由诸如二氧化硅等的任何适当之材料构成之偏置间隔物 (offset spacer) 108。如有需要，可通过沉积及（或）氧化装置 100，并各向异性地去除该层的各水平部分，以便形成间隔物 108，而形成偏置间隔物 108。此外，可形成呈现实质上为 L 形的结构之保形衬垫 (conformal liner) 或间隔物 109，亦即，间隔物 109 包含沿着栅极电极 105 的侧壁延伸的指定厚度之一部分，且亦包含具有沿着半导体层 103（在半导体层 103 中形成了各别的漏极及源极区 112）的一部分延伸的实质上相同厚度之一部分。因此，可将间隔物 109 视为以保形方式形成之衬垫或间隔物，而该衬垫或间隔物之形状实质上对应于栅极电极 105 之形状，具有沿着漏极及源极区 112 的一部分而延伸之“水平”部分，因而将一个或多个额外的间隔物 111 与栅极电极 105 以及漏极及源极区 112 隔离。

[0059] 可由介电材料构成间隔物 111，该介电材料在考虑到特定蚀刻配方时可呈现与间

隔物 109 的介电材料有关之显著的蚀刻选择性,因而能够选择性地去除间隔物 111,同时实质上维持间隔物 109。例如,在一个例示实施例中,可由二氧化硅构成保形或 L 形的间隔物 109,同时可由氮化硅构成一个或多个间隔物 111。然而,亦可考虑采用间隔物 109 及 111 之其它的方案。例如,在另一例示实施例中,可由氮化硅构成 L 形的间隔物 109,而可由二氧化硅构成间隔物 111。

[0060] 可先以非常保形之方式沉积具有指定厚度之诸如二氧化硅的适当之介电材料,而形成保形间隔物 109,然后可根据诸如 PECVD 的已为大家接受之配方而沉积诸如氮化硅层的另外的间隔物层,其中如前文所述,可调整对应的间隔物层的形成期间之沉积参数,以便在所沉积的该层 109 中产生所需之固有应力。

[0061] 在去除或沉积间隔物结构 107 的各别部分之前,可先执行另外的注入工艺,以便在漏极及源极区 112 中得到所需之横向掺杂剂分布。

[0062] 图 3 示出具有在晶体管 110 之上形成的应力诱发层 117、118 的半导体装置之替代实施例。已根据前文中参照图 1H 所述之间隔物结构而形成图 3 所示之晶体管 110 之间隔物结构 107,但不同之处在于在形成应力诱发层 117、118 之前已先去除了侧壁间隔物 111。图 3 所示之晶体管可以是例如 NMOS 晶体管。因此,可组构所采用的各种应力源,以便在通道区 113 中诱发拉伸应变。

[0063] 图 4A 及图 4B 示出以所谓的应力记忆技术在信道区 113 中建立所需的应变之另外的实施例。图 4A 示出在除了已去除了侧壁间隔物 111 之外等同于图 1G 所示的制造阶段之制造阶段中之晶体管 110。根据一个例示实施例,系以诸如 PECVD 工艺的覆盖层沉积工艺 144 在源极 / 漏极区 112 之上形成覆盖层 143。可诸如采用适当之掩模及蚀刻机制,而选择性地沉积覆盖层 143。根据其它例示实施例,可在整个晶体管 110 之上提供覆盖层 143。在沉积了覆盖层 143 之后,将被预非晶化的区域 136 退火。通常此退火伴随有被预非晶化的区域 136 的体积减小。因为该覆盖层避免或至少减少被预非晶化的区域 136 在退火期间的缩减,所以拉伸应力在被退火的区域 136 中发展,而在通道区 113 中诱发了拉伸应变。我们当了解:必须形成覆盖层 143,以便具有适当之应力抵抗性,亦即,耐受与被预非晶化的区域 136 的退火有关之应力。根据一个例示实施例,系以氮化硅构成覆盖层 143。

[0064] 图 4B 示出在被预非晶化的区域 136 退火之后的进一步的先进制造阶段中之半导体装置 100。已发现:纵然在去除了覆盖层 143 之后,也实质上保留(亦即,“记忆”)了该应力。可根据用于各别覆盖层材料的已为大家接受之技术而依据该覆盖层之材料而执行该覆盖层的去除 145。

[0065] 虽然已参照单一晶体管而说明了前文所述的例示实施例,但是我们当了解:半导体装置通常包含复数个晶体管。该复数个晶体管可以是相同的晶体管类型,例如,N 信道晶体管类型或 P 信道晶体管类型。根据其它例示实施例,该复数个晶体管包括 P 信道晶体管以及 N 信道晶体管。

[0066] 图 5 示出根据本发明的主题的例示实施例之半导体装置 200。半导体装置 200 包含 N 信道晶体管以及 P 信道晶体管。根据一个例示实施例,如图 5 所示,衬底 101 包含 N 通道晶体管 110n 及 P 通道晶体管 110p 的栅极电极 105,且预非晶化注入阻挡材料 132 在 N 通道晶体管 110n 及 P 通道晶体管 110p 的栅极电极 105 之上。晶体管 110n、110p 在对应于图 1E 所示晶体管 110 的制造阶段之制造阶段中示出,故此处不重复该等晶体管及其制造之细

节。我们当了解：可根据前文中参照图 1A 至图 4B 所述之例示实施例中之至少一个实施例而形成晶体管 110n、110p。

[0067] 根据其它例示实施例，预非晶化注入阻挡材料 132 不是在半导体装置的所有晶体管 110 的栅极电极 105 之上形成，而是只在半导体装置的部分的晶体管 110 的栅极电极 105 之上形成。换言之，在半导体装置的部分的栅极电极之上选择性地形成预非晶化注入阻挡材料 132。根据一个例示实施例，预非晶化注入阻挡材料 132 在 NMOS 晶体管的栅极电极之上形成，而 PMOS 晶体管的栅极电极是没有预非晶化注入阻挡材料 132。

[0068] 图 6A 至图 6C 示出半导体装置 300 之工艺顺序，其中在半导体装置 300 的部分的栅极电极之上选择性地形成预非晶化注入阻挡材料 132。

[0069] 图 6A 示出半导体装置 300，半导体装置 300 包含衬底 101，衬底 101 具有半导体层 103。半导体装置 300 包含在半导体层 103 之上的介电层 106A。介电层 106A 之上形成了栅极电极材料层 105A。栅极电极材料层 105A 被预非晶化注入阻挡材料 132 覆盖。半导体装置 300 的上述材料及层对应于前文中参照图 1A 及图 1B 所示之半导体装置所述之各别的材料及层，且此处不再重复该等材料及层之说明。

[0070] 半导体装置 300 包含在其中将要形成第一晶体管 110n 之第一区 150 以及将要形成第二晶体管 110p 之第二区 151。在第一区 150 中，以诸如光阻或硬掩模的掩模 133 部分地覆盖预非晶化注入阻挡材料 132，以便界定该第一晶体管的栅极电极之横向尺寸。在第二区 151 中，预非晶化注入阻挡层 132 并未被覆盖。可根据已为大家接受之技术而形成掩模 133A，其中系将该掩模之材料选择成具有与预非晶化注入阻挡材料 132 有关之良好的蚀刻选择性。

[0071] 在第二区 151 中，以蚀刻工艺 154 选择性地去除露出的预非晶化注入阻挡材料 132，而蚀刻工艺 154 只部分地去除了第一区 150 的预非晶化注入阻挡材料 132，但维持了预非晶化注入阻挡材料 132 在掩模 133A 之下部分。将预非晶化注入阻挡材料 132 去除之后，露出了栅极电极材料层 105A。然后，在第二区 151 的栅极电极材料层 105A 之上形成诸如与第一区 150 的掩模 133A 的类型相同类型的栅极界定掩模 133B。

[0072] 图 6B 示出在进一步的先进制造阶段中之半导体装置 300，其中已自栅极电极材料层 105A 去除了预非晶化注入阻挡材料 132 之露出部分，且已完成了第二区 151 中的栅极界定掩模 133B 之形成。因此，图 6B 所示之半导体装置 300 之制造阶段的特征在于用来分别界定第一区 150 及第二区 151 中的栅极电极之两个掩模层 133A、133B。此外，预非晶化注入阻挡材料 132 位于第一掩模层 133A 与栅极电极材料层 105A 之间，而第二掩模层 133B 与栅极电极材料层 105A 之间并无预非晶化注入阻挡材料 132。在图 6B 所示之制造阶段中，第二区 151 中的栅极界定掩模 133B 系直接位于栅极电极材料层 105A 上。

[0073] 然后，可执行用来去除栅极电极材料层 105A 的露出部分之各向异性蚀刻工艺 134，而提供由第一掩模层 133A 及第二掩模层 133B 所界定的栅极电极 105。可根据前文中参照图 1B 所揭示之细节而执行各向异性蚀刻工艺 134。然后，根据前文中参照图 1B 揭示之已为大家接受之技术而去除掩模层 133A 及掩模层 133B。根据一个例示实施例，可在单一步骤中以相同的技术去除掩模层 133A 及掩模层 133B。例如，可将相同的材料用来形成第一掩模层 133A 及第二掩模层 133B。此种方式形成半导体装置 300，该半导体装置 300 包含：在各别制造阶段中之第一晶体管，该第一晶体管具有被预非晶化注入阻挡材料 132 覆盖的栅

极电极；以及在各别制造阶段中之第二晶体管，该第二晶体管具有并无预非晶化注入阻挡材料 132 的栅极电极。

[0074] 图 6C 示出在进一步的先进制造阶段中之半导体装置 300，其中已执行了预非晶化工艺，而形成了第一晶体管 110n 及第二晶体管 110p 中之每一晶体管之被预非晶化的区域 136。因此，半导体装置 300 之第一晶体管 110n 包含至少被部分地预非晶化的源极 / 漏极区 112、以及并无或大体上并无被预非晶化的区域的栅极电极 105，且半导体装置 300 之第二晶体管 110p 包含至少被部分地预非晶化的源极 / 漏极区 112、以及至少被部分地预非晶化的栅极电极 105。

[0075] 关于半导体装置 300 之进一步的处理，通常可以如同前文中参照图 1A 至图 4B 所述用于晶体管 110 之方式处理第一晶体管 110n。通常可以如同前文中参照图 1A 至图 4B 所述用于晶体管 110 之方式处理第二晶体管 110p，但不同之处在于无须去除预非晶化注入阻挡材料 132。然而，我们当了解：只对该等两个晶体管 110n、110p 中之其中一者执行之该等工艺顺序需要以诸如光阻掩模或硬掩模来掩模该等两个晶体管 110n、110p 中之另一晶体管。此外，如有需要，可通过利用较低温之各别技术执行金属硅化。

[0076] 例如，可由在高温下形成的硅化结构成首先被形成的金属硅化物区，而可以需要不太高温度之硅化镍或硅化镍 / 铂之形式提供在稍后制造阶段中所形成之金属硅化物区。可将金属硅化物进一步用来避免高温对半导体装置的各种应力源之不利影响。

[0077] 根据已为大家接受之技术，由于诸如硅化镍的导电系数与硅化钴的导电系数间之差异，所以 NMOS 及 PMOS 晶体管的金属硅化物之差异亦可被用来平衡第一及第二晶体管装置 110p、110n 的装置特性之任何不对称。此外，当大量的诸如锗及碳等的其它半导体材料可能出现在栅极电极 105 及（或）漏极及源极区 112 时，提供两种类型的金属硅化物可被视为是适当的。

[0078] 根据一个例示实施例，半导体装置 300 之第一晶体管 110n 是 NMOS 晶体管，且半导体装置 300 之第二晶体管 110p 是 PMOS 晶体管。

[0079] 另外应当了解：可以相互接近之方式形成第一晶体管 110p 及第二晶体管 110n，其中如同复杂的应用中典型所提供之方式，可以浅沟槽隔离之方式提供对应的隔离结构（图中未示出）。在其它实施例中，晶体管 110p 及 110n 可代表在衬底 101 上形成的不同的晶粒区中所提供之晶体管。

[0080] 总结而言，提供了一种将晶体管的源极 / 漏极区预非晶化且同时防止将该晶体管的栅极电极预非晶化之技术。根据例示实施例，该预非晶化提供了与形成源极 / 漏极区的所需掺杂剂分布有关之效益。根据例示实施例，由于防止栅极电极的预非晶化，而可改善将应力转移到信道区中因而在信道区中诱发对应的应变之应力转移机构。根据例示实施例，在将被阻止被预非晶化的栅极电极之上形成预非晶化注入阻挡材料。可连同栅极电极而图案化该预非晶化注入阻挡材料。根据其它例示实施例，可在涉及用于各别阻挡材料的已为大家接受之技术及配方之各别步骤中图案化该预非晶化阻挡注入物。根据例示实施例，该阻挡材料可以是氮氧化硅 (SiON) 或氮化硅。已针对单一类型的晶体管以及不同类型的晶体管，而例示了将本发明之技术应用于单一晶体管以及复数个晶体管。

[0081] 已说明了用来在晶体管的通道区中诱发应力之各种应力源，且该等应力源是此项技术中已为大家接受之应力源。根据例示实施例，该等应力源所提供的应力之类型系适于

该应力被施加到的晶体管之类型。根据一个例示实施例，可形成一个或多个间隔物，而呈现诸如压缩应力或拉伸应力等的特定类型之固有应力，以便增强各别通道区中之应变产生，因而至少针对一种类型的晶体管而显著地增强应力转移机构，其中可去除其它类型的晶体管之各别的间隔组件。可配合本发明揭示的主题而应用的其它应力转移机构包括在晶体管的源极 / 漏极区中形成应变诱发半导体合金。根据所使用的成分及元素，可在信道区中诱发压缩应力以及拉伸应力。根据例示实施例，可在各别的晶体管之上形成应力诱发层，其中该应力诱发层可以是诸如介电接触层或蚀刻终止层。其它的例示实施例采用应力记忆技术，其中系将在能够在退火期间抵抗至少部分的应力发展的覆盖层之下的被预非晶化的区域退火，而使本征应力发展且记忆在源极 / 漏极区中。

[0082] 前文所揭示的特定实施例只是供举例之用，这是因为熟悉此项技术者在参阅本发明的揭示之后，将可易于以不同但等效之方式修改及实施本发明。例如，可按照不同的顺序执行前文所述之工艺步骤。此外，除了在最后的申请专利范围中所述者之外，本发明将不受本说明书中示出的结构或设计细节之限制。因而显然可改变或修改前文揭示的特定实施例，且将所有此类的变化视为在本发明的范围及精神内。因此，本发明所寻求的保护系如最后的申请专利范围所提出者。

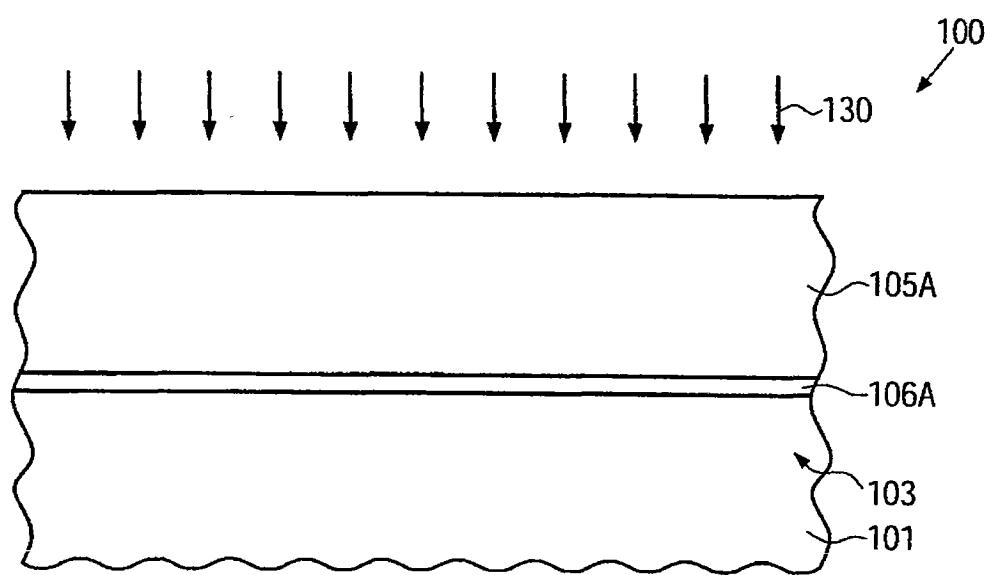


图 1A

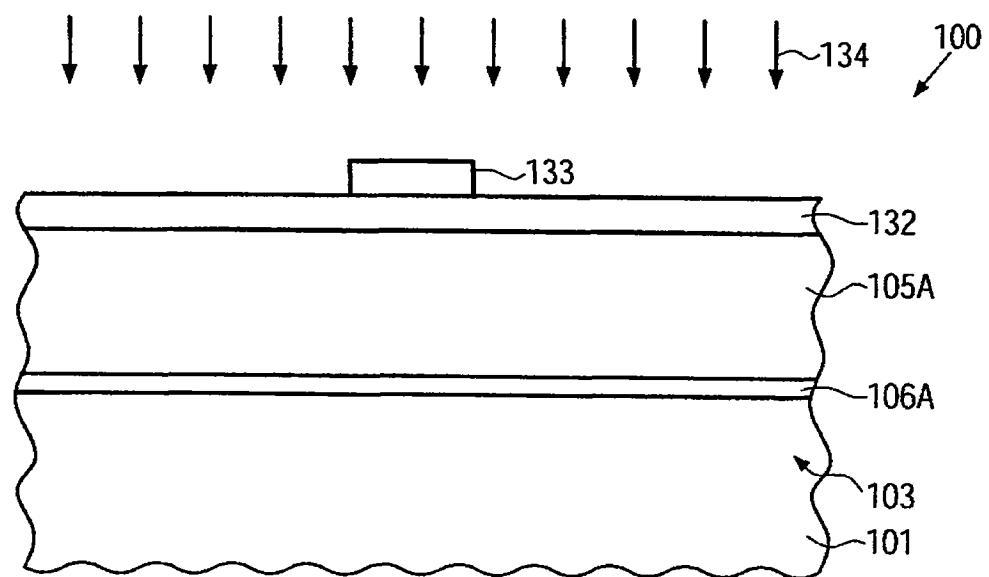


图 1B

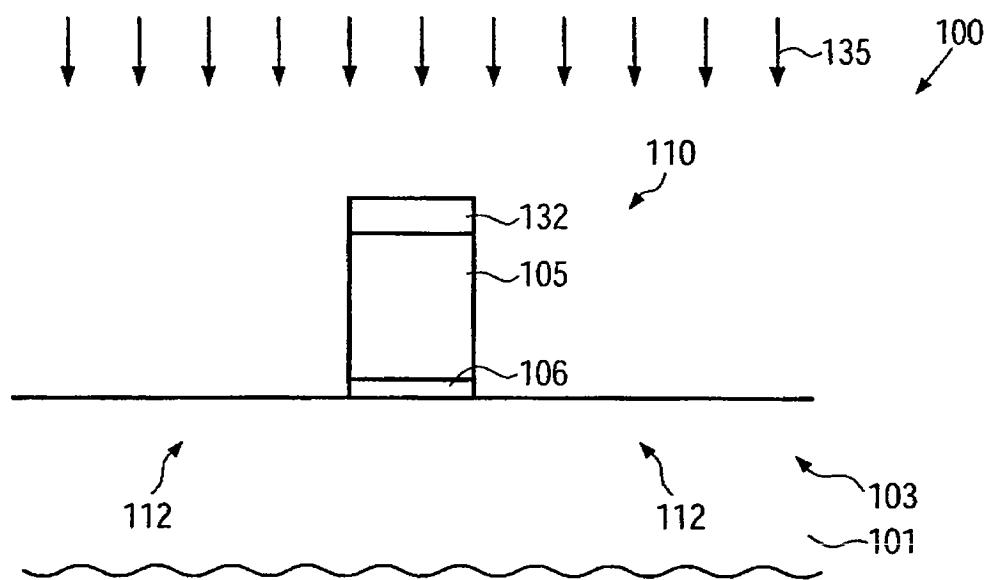


图 1C

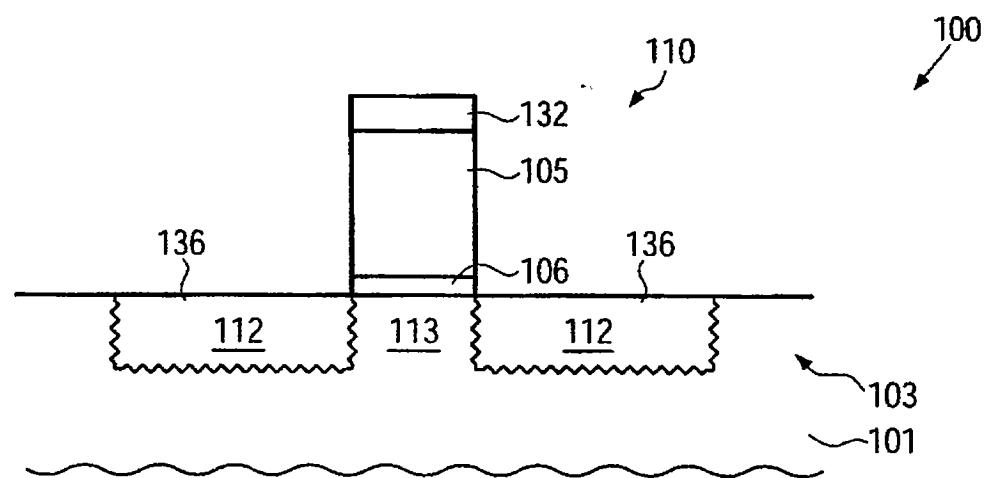


图 1D

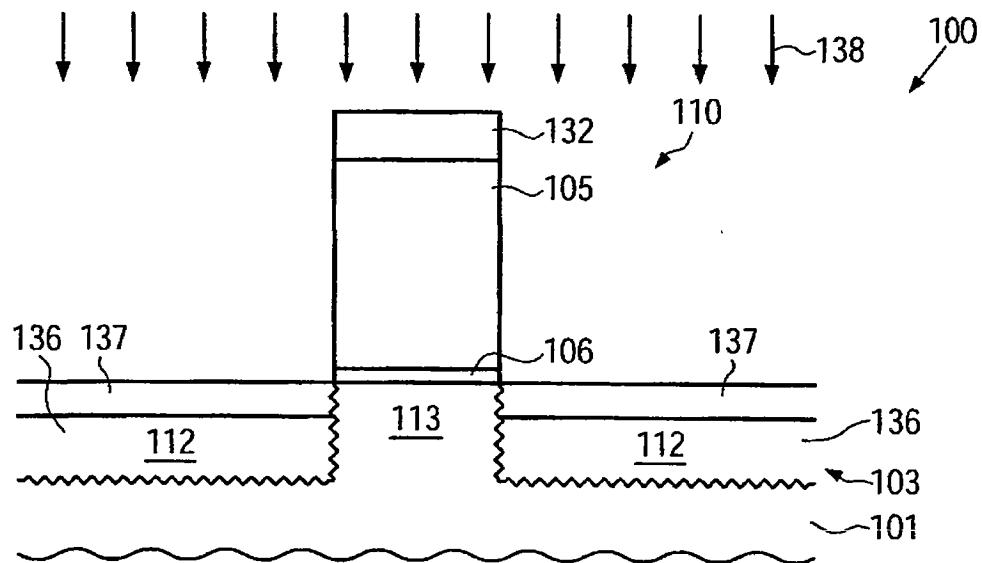


图 1E

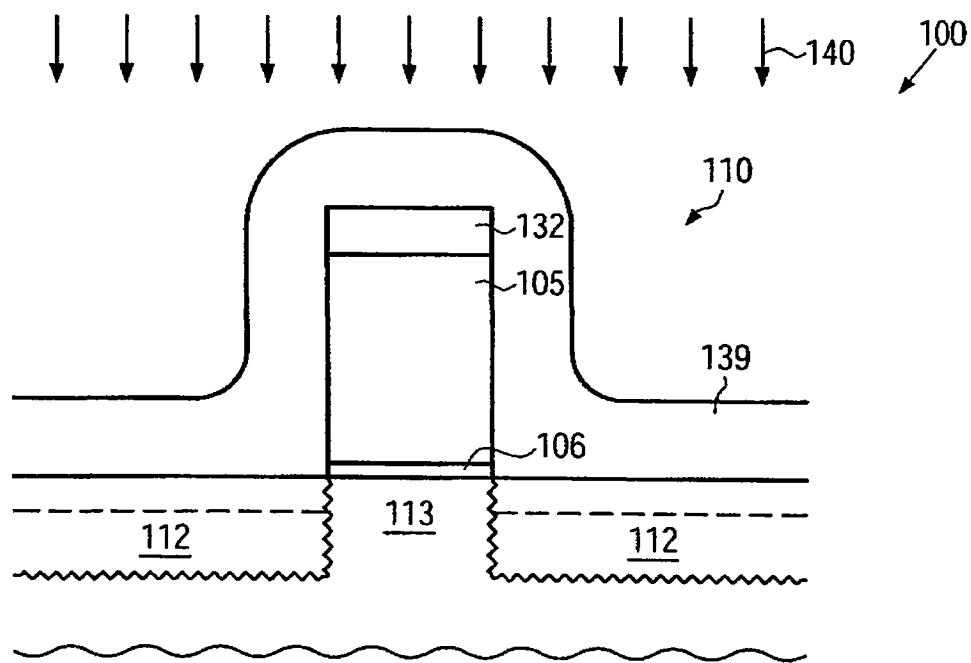


图 1F

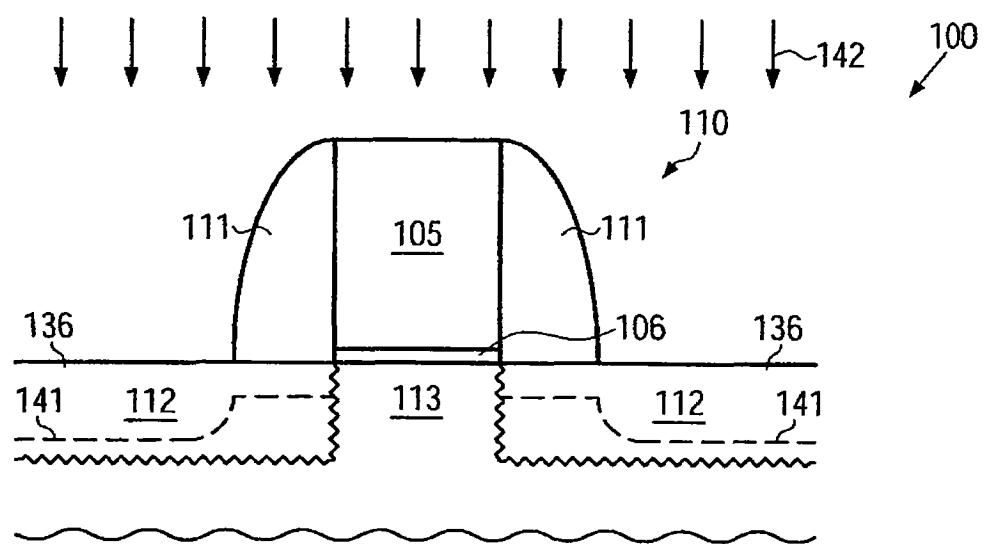


图 1G

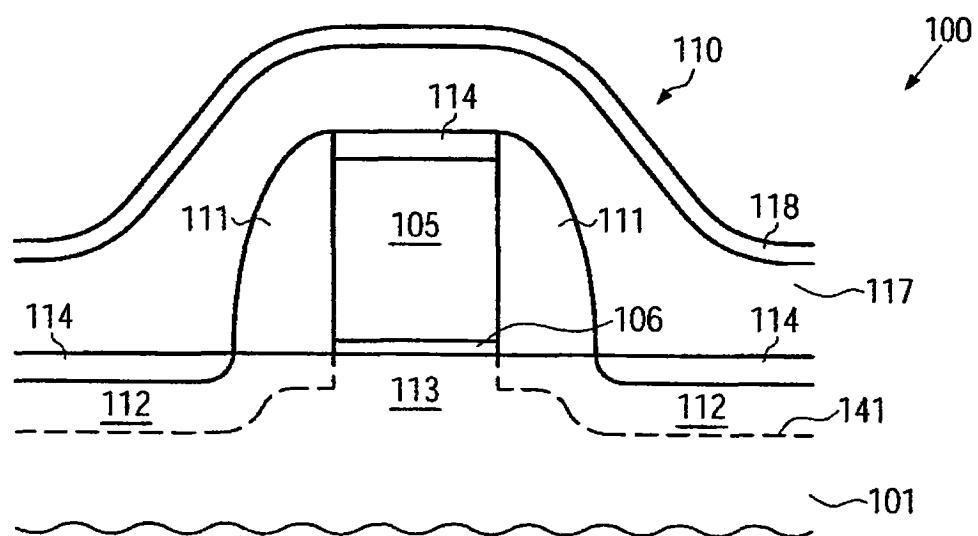


图 1H

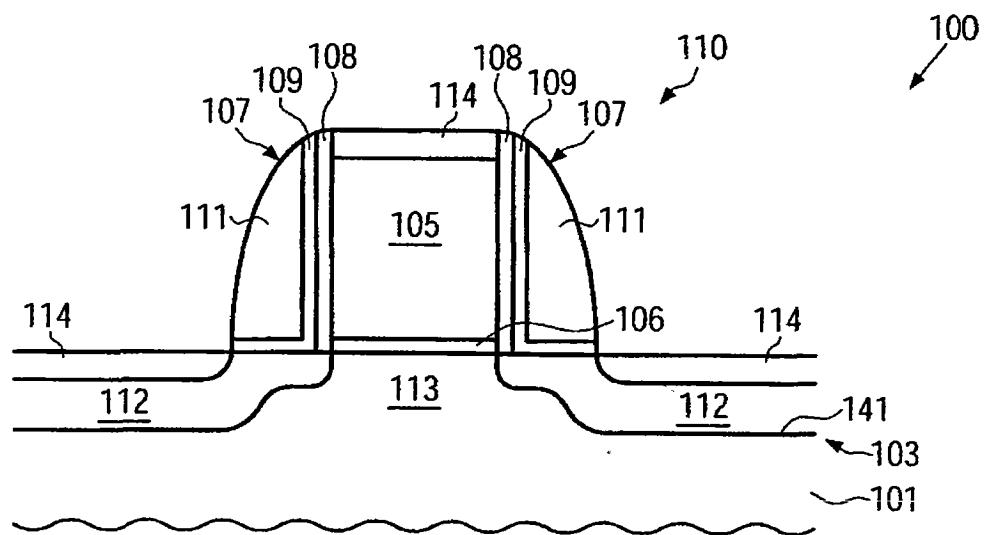


图 2

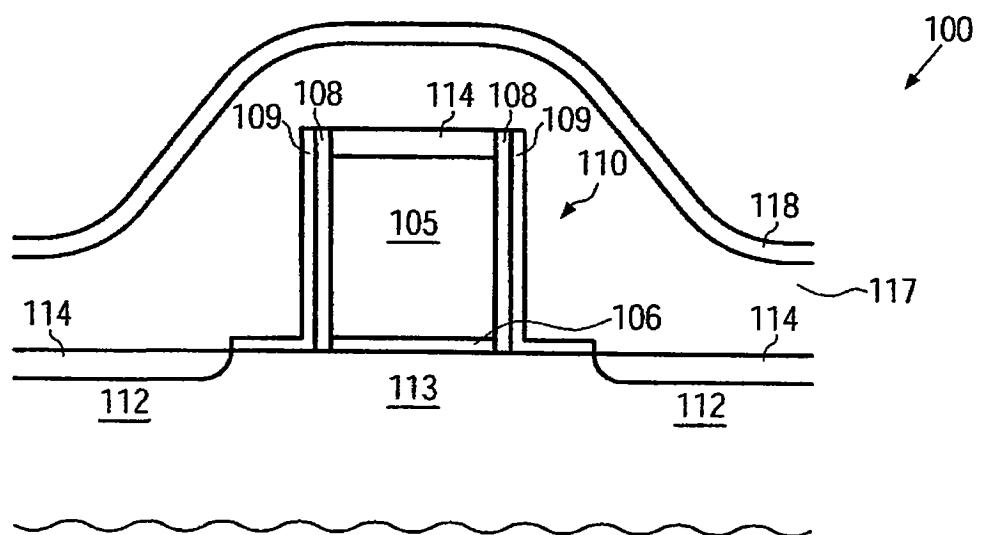


图 3

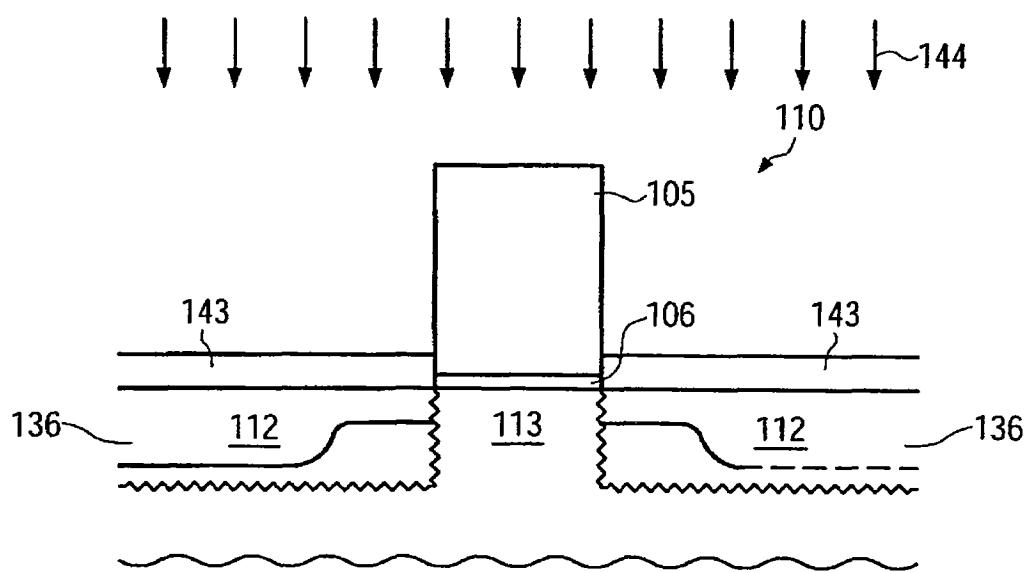


图 4A

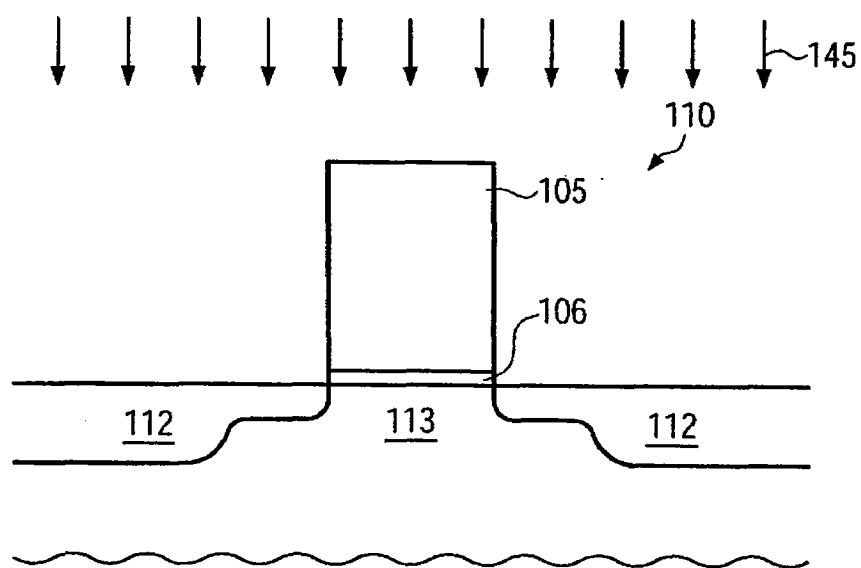


图 4B

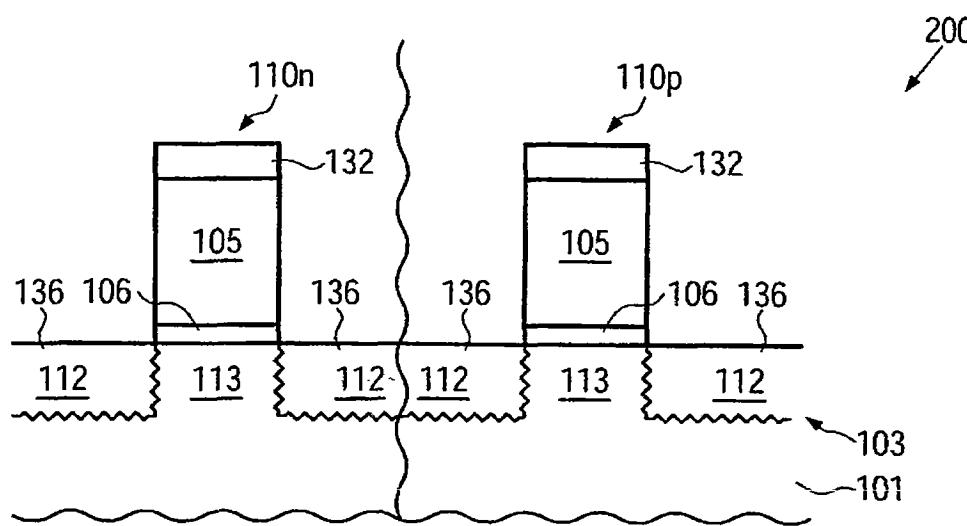


图 5

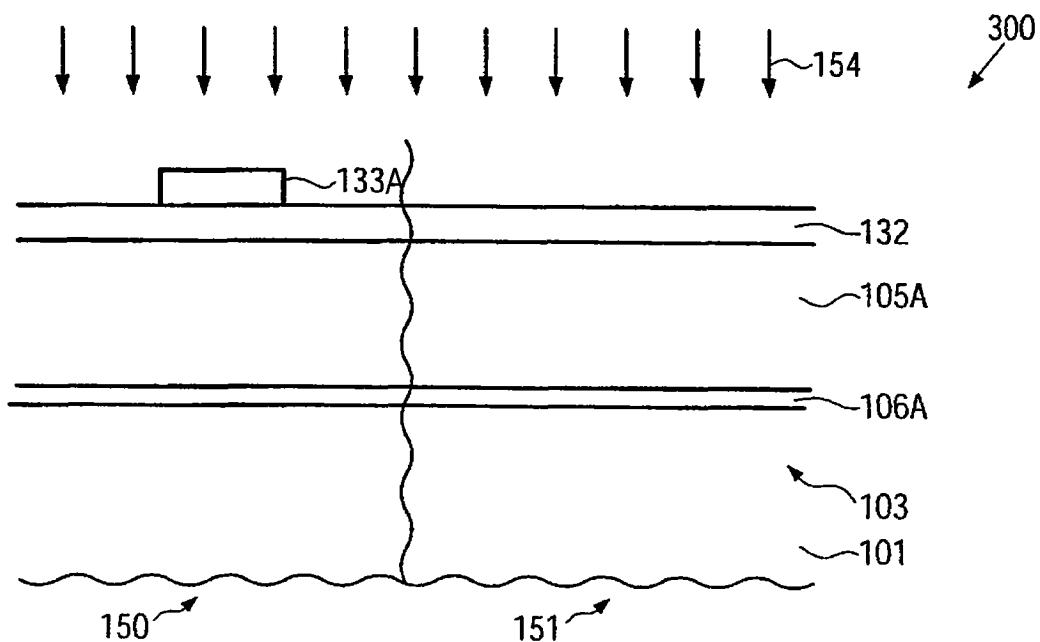


图 6A

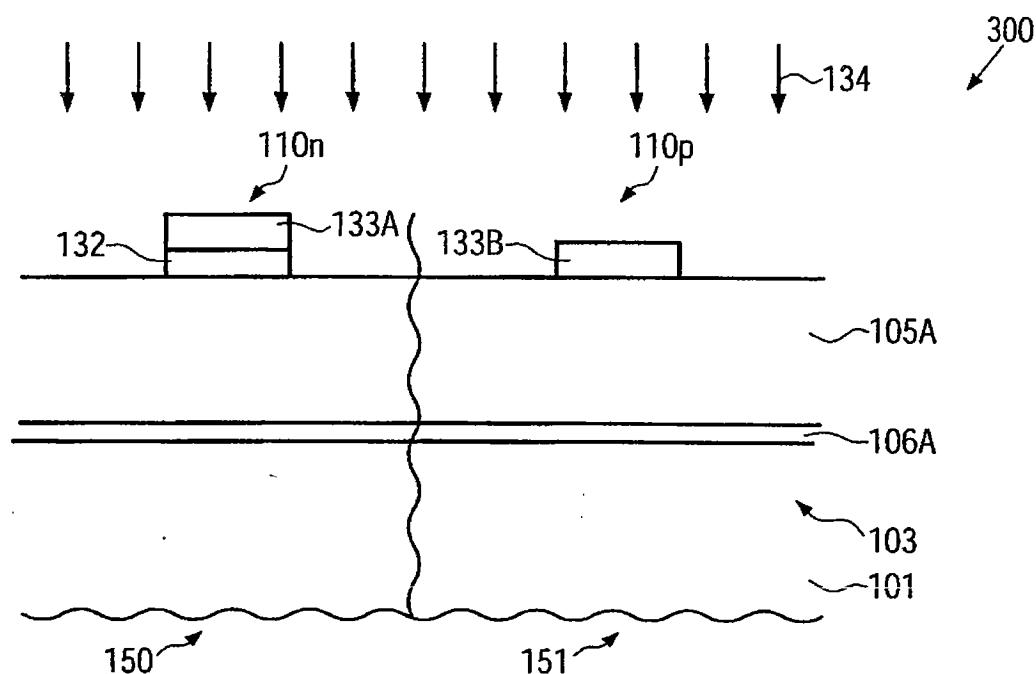


图 6B

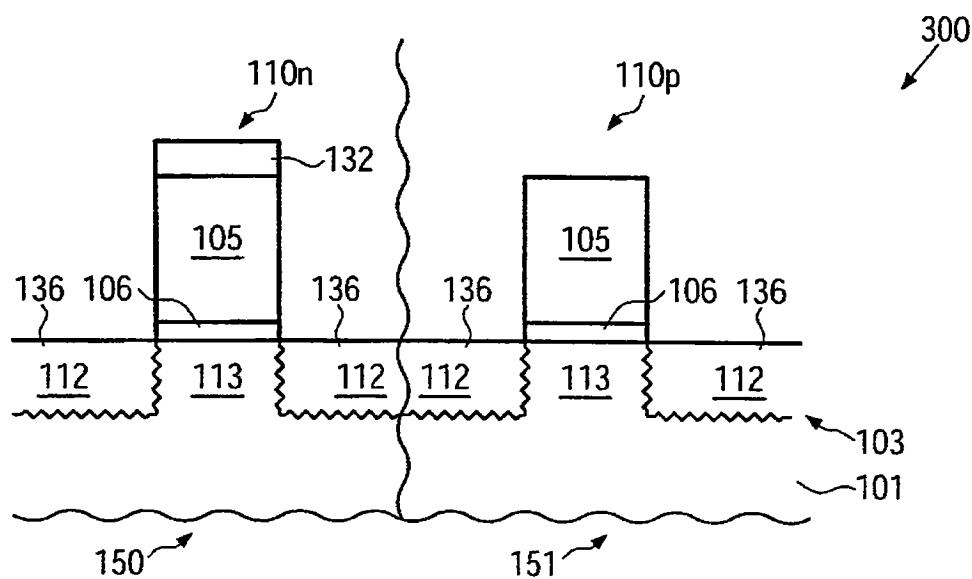


图 6C