(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0124589
(43) 공개일자 2014년10월27일

(51) 국제특허분류(Int. Cl.)
H03L 7/093 (2006.01) *H02M 3/07* (2006.01)
(21) 출원번호 10-2013-0042304
(22) 출원일자 2013년04월17일
심사청구일자 2013년04월17일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이재성
서울 마포구 백범로37길 12, 109동 2002호 (신공덕동, 신공덕1차삼성래미안아파트)
김동현
서울 관악구 양녕로16길 18, 401호 (봉천동, 장미빌라)
(74) 대리인
특허법인남촌

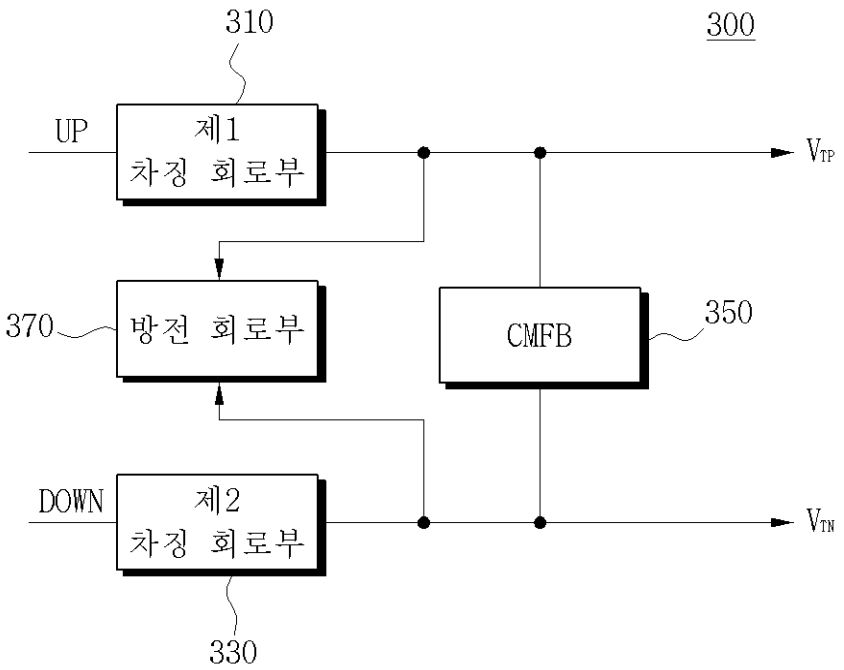
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **차지 펌프 및 이를 이용한 위상 동기 루프 회로**

(57) 요 약

본 발명은 차지 펌프 및 이를 이용한 위상 동기 루프 회로에 관한 것이다. 본 발명에 따른 차지 펌프는 제1 출력단과; 제2 출력단과; 업 신호를 입력받아 상기 제1 출력단으로 제1 충전 전압을 출력하는 제1 차징 회로부와; 다운 신호를 입력받아 상기 제2 출력단으로 제2 충전 전압을 출력하는 제2 차징 회로부와; 상기 제1 출력단 및 상기 제2 출력단에 각각 접속되어 상기 제1 출력단 및 상기 제2 출력단의 공통 전압을 결정하는 공통 모드 피드백 회로부를 포함한다. 이에 따라, 업 신호나 다운 신호의 반전에 의한 시간 지연(Timing delay)을 제거할 수 있다.

대 표 도 - 도4



특허청구의 범위

청구항 1

제1 출력단과;

제2 출력단과;

업 신호를 입력받아 상기 제1 출력단으로 제1 충전 전압을 출력하는 제1 차징 회로부와;

다운 신호를 입력받아 상기 제2 출력단으로 제2 충전 전압을 출력하는 제2 차징 회로부와;

상기 제1 출력단 및 상기 제2 출력단에 각각 접속되어 상기 제1 출력단 및 상기 제2 출력단의 공통 전압을 결정하는 공통 모드 피드백 회로부와;

상기 제1 출력단 및 상기 제2 출력단에 각각 연결되어 상기 공통 모드 피드백 회로부의 출력에 따라 상기 제1 출력단 및 상기 제2 출력단을 방전시키는 방전 회로부를 포함하는 것을 특징으로 하는 차지 펌프.

청구항 2

제1항에 있어서,

상기 공통 전압은 상기 제1 충전 전압과 상기 제2 충전 전압의 평균인 것을 특징으로 하는 차지 펌프.

청구항 3

제1항에 있어서,

상기 제1 차징 회로부는

제1 정전류 소스와;

상기 제1 정전류 소스로부터 상기 제1 출력단으로 상기 제1 충전 전압이 출력되도록 상기 업 신호에 의해 온되는 제1 스위칭부를 포함하는 것을 특징으로 하는 차지 펌프.

청구항 4

제3항에 있어서,

상기 제2 차징 회로부는

제2 정전류 소스와;

상기 제2 정전류 소스로부터 상기 제2 출력단으로 상기 제2 충전 전압이 출력되도록 상기 다운 신호에 의해 온되는 제2 스위칭부를 포함하는 것을 특징으로 하는 차지 펌프.

청구항 5

제4항에 있어서,

상기 제1 스위칭부 및 상기 제2 스위칭부는 NMOS 트랜지스터로 마련되는 것을 특징으로 하는 차지 펌프.

청구항 6

제1 출력단 및 제2 출력단을 갖는 차지 펌프와,

상기 제1 출력단 및 상기 제2 출력단에 연결되어 고주파 노이즈를 제거하는 저역 통과 필터와,

상기 제1 출력단 및 상기 제2 출력단 간의 전압차에 기초하여 소정 주파수 및 위상을 갖는 출력 클럭 신호를 생성하는 전압 제어 발진기와,

입력 클럭 신호와 상기 출력 클럭 신호를 입력받고, 상기 입력 클럭 신호와 상기 출력 클럭 신호 간의 주파수 및 위상 차이에 따른 업 신호 및 다운 신호를 생성하여 상기 차지 펌프로 출력하는 위상 주파수 검출기를 포함

하며;

상기 차지 펌프는

상기 업 신호를 입력받아 상기 제1 출력단으로 제1 충전 전압을 출력하는 제1 차징 회로부와,

상기 다운 신호를 입력받아 상기 제2 출력단으로 제2 충전 전압을 출력하는 제2 차징 회로부와,

상기 제1 출력단 및 상기 제2 출력단에 각각 접속되어 상기 제1 출력단 및 상기 제2 출력단의 공통 전압을 결정하는 공통 모드 피드백 회로부와,

상기 제1 출력단 및 상기 제2 출력단에 각각 연결되어 상기 공통 모드 피드백 회로부의 출력에 따라 상기 제1 출력단 및 상기 제2 출력단을 방전시키는 방전 회로부를 더 포함하는 것을 특징으로 하는 위상 동기 루프 회로.

청구항 7

제6항에 있어서,

상기 공통 전압은 상기 제1 충전 전압과 상기 제2 충전 전압의 평균인 것을 특징으로 하는 위상 동기 루프 회로.

청구항 8

제6항에 있어서,

상기 제1 차징 회로부는

제1 정전류 소스와;

상기 제1 정전류 소스로부터 상기 제1 출력단으로 상기 제1 충전 전압이 출력되도록 상기 업 신호에 의해 온되는 제1 스위칭부를 포함하는 것을 특징으로 하는 위상 동기 루프 회로.

청구항 9

제8항에 있어서,

상기 제2 차징 회로부는

제2 정전류 소스와;

상기 제2 정전류 소스로부터 상기 제2 출력단으로 상기 제2 충전 전압이 출력되도록 상기 다운 신호에 의해 온되는 제2 스위칭부를 포함하는 것을 특징으로 하는 위상 동기 루프 회로.

청구항 10

제9항에 있어서,

상기 제1 스위칭부 및 상기 제2 스위칭부는 NMOS 트랜지스터로 마련되는 것을 특징으로 하는 위상 동기 루프 회로.

명 세 서

기 술 분 야

[0001] 본 발명은 차지 펌프 및 이를 이용한 위상 동기 루프 회로에 관한 것으로서, 보다 상세하게는 업 신호나 다운 신호의 반전에 의한 시간 지연(Timing delay)을 제거할 수 있는 차지 펌프 및 이를 이용한 위상 동기 루프 회로에 관한 것이다.

배 경 기 술

[0002] 위상 동기 루프(Phase locked loop : PLL) 회로는 입력되는 기준 주파수의 위상과 동일하거나 일정 비율 만큼 빠른 위상을 갖는 주파수의 클럭(Clock)을 발생시키는 회로로서, 클럭 발생기, RF 주파수 합성기(Frequency

synthesizer), 클럭-데이터 복원(Clock-data recovery), 반송파 복원(Carrier recovery) 등 다양한 적용 분야에서 널리 사용되고 있다.

[0003] 차지 펌프는 위상 동기 루프 회로에 있어 핵심적인 요소로, 위상 주파수 검출기(Phase & Frequency Detector)로부터 업 신호 및 다운 신호를 받아 루프 필터의 커패시터를 충전 및 방전시켜 튜닝 전압(Tuning Voltage)을 생성한다.

[0004] 도 1은 한국공개특허 제2006-0092559호에 개시된 종래의 위상 동기 루프의 구성을 도시한 도면이고, 도 2는 상기 한국공개특허에 개시된 종래의 차지 펌프의 구성을 도시한 도면이다.

[0005] 종래의 위상 동기 루프 회로는, 도 1에 도시된 바와 같이, 입력 클럭 신호(ICLK)를 분주하는 분주기(100)와, 입력 분주기(100)에서 분주된 입력 클럭 신호와 피드백 클럭 신호(FCLK)의 위상 및 주파수를 비교하여 위상차 및 주파수 차에 따라 업 신호(IUP) 및 다운 신호(IDN)를 발생하는 위상 주파수 검출기(PFD)(110)와, 위상 주파수 검출기(110)에서 출력된 업 신호(IUP) 및 다운 신호(IDN)에 따라 전류를 충전 및 방전시키면서 튜닝 전압(Vcon)을 발생하는 차지 펌프(120)와, 차지 펌프(120)의 튜닝 전압의 레벨에 따른 주파수의 발진 신호를 발생하는 전압 제어 발진기(VCO)(130)와, 전압 제어 발진기(130)의 발진 신호를 분주하여 위상 주파수 검출기(110)에 피드백 클럭 신호(FCLK)로 입력시키는 궤환 분주기(140)와, 전압 제어 발진기(130)의 발진 신호를 분주하여 출력 클럭 신호(OCLK)로 출력하는 출력 분주기(150)로 구성하였다.

[0006] 상기와 같은 위상 동기 루프 회로는 입력 클럭 신호(ICLK)가 입력 분주기(100)에서 소정 배수 분주되어 위상 주파수 검출기(110)로 입력되고, 또한 피드백 클럭 신호(FCLK)가 위상 주파수 검출기(110)로 입력된다. 그러면, 위상 주파수 검출기(110)는 입력 클럭 신호(ICLK) 및 피드백 클럭 신호(FCLK)의 위상차와 주파수차를 검출하고, 검출한 위상차와 주파수차에 따라 업 신호(IUP) 및 다운 신호(IDN)를 발생하여 차지 펌프(120)로 입력된다.

[0007] 위상 주파수 검출기(110)가 업 신호(IUP)를 발생할 경우에 차지 펌프(120)는 전류를 충전하고, 위상 주파수 검출기(110)가 다운 신호(IDN)를 발생할 경우에 전류를 방전하면서 튜닝 전압(Vcon)을 발생하고, 발생한 튜닝 전압(Vcon)은 전압 제어 발진기(130)로 입력된다. 그리고, 전압 제어 발진기(130)는 튜닝 전압(Vcon)에 따라 발진하여 소정 주파수의 클럭 신호를 발생하게 된다.

[0008] 한편, 전압 제어 발진기(130)가 발생한 클럭 신호는 궤환 분주기(140)에서 분주되어 피드백 클럭 신호(FCLK)로 위상 주파수 검출기(110)로 피드백되고, 전압 제어 발진기(130)가 발생한 클럭 신호는 출력 분주기(150)에서 분주되어 출력 클럭 신호(OCLK)가 출력된다.

[0009] 상기와 같은 위상 동기 루프 회로에 있어서, 종래의 차지 펌프(120)는, 도 2에 도시된 바와 같이, 바이어스 전압(BIASP)에 따라 전원단자(VDD)에서 피모스 트랜지스터(PM21)를 통해 정전류가 흐르는 제 1 정전류원(200)과, 바이어스 전압(BIASN)에 따라 엔모스 트랜지스터(NM21)를 통해 전원단자(VSS)로 정전류가 흐르는 제 2 정전류원(210)과, 제 1 정전류원(200) 및 제2 정전류원(210)의 사이에 엔모스 트랜지스터(NM22)(NM23)가 직렬 연결되고 업 신호(IUP) 및 다운(IDN)에 따라 엔모스 트랜지스터(NM22)(NM23)가 선택적으로 동작하면서 위상 조절용 전압을 발생하는 위상 조절용 전압 발생부(220)와, 제 1 정전류원(200) 및 제 2 정전류원(210)의 사이에 피모스 트랜지스터(PM22)(PM23)가 직렬 연결되고 업바 신호(/IUP) 및 다운바 신호(/IDN)에 따라 피모스 트랜지스터(PM22)(PM23)가 선택적으로 동작하면서 위상 조절용 전압의 발생에 따른 보상용 전압을 발생하는 보상용 전압 발생부(230)와, 위상 조절용 전압 발생부(220)가 발생하는 위상 조절용 전압과 보상용 전압 발생부(230)가 발생하는 보상용 전압을 연산증폭기(OP21)로 완충 증폭하는 버퍼(240)로 구성하였다.

[0010] 이와 같이 구성된 종래의 차지 펌프(120)는 전원단자(VDD)(VSS)에 동작전원이 인가된 상태에서 소정 레벨의 바이어스 전압(BIASP)(BIASN)이 입력됨에 따라 제 1 및 제 2 정전류원(200)(210)의 피모스 트랜지스터(PM21) 및 엔모스 트랜지스터(NM21)가 각기 온 상태로 되어 소정 레벨의 정전류를 공급 및 방전시키게 된다.

[0011] 이와 같은 상태에서 위상 주파수 검출기(110)가 출력하는 업 신호(IUP) 및 다운 신호(IDN)에 따라 위상 조절용 전압 발생부(220)의 엔모스 트랜지스터(NM22)(NM23)가 선택적으로 온 상태로 되어 버퍼(240)의 연산증폭기(OP21)의 비반전 입력단자(+)로 입력되는 위상 조절용 전압의 레벨이 가변된다. 즉, 업 신호(IUP)가 입력될 경우에 엔모스 트랜지스터(NM22)가 온 상태로 되고, 피모스 트랜지스터(PM21) 및 엔모스 트랜지스터(NM22)를 통해 전류가 흘러 연산증폭기(OP1)의 비반전 입력단자(+)로 입력되는 위상 조절용 전압의 레벨이 상승하게 된다.

[0012] 그리고, 다운 신호(IDN)에 따라 엔모스 트랜지스터(NM23)가 온 상태로 되어 연산증폭기(OP1)의 비반전 입력단자(+)에서 엔모스 트랜지스터(NM23)(NM21)를 통해 전원단자(VSS)로 전류가 흘러 연산증폭기(OP21)의 비반전 입력

단자(+)에 인가되는 위상 조절용 전압의 레벨이 감소하게 된다.

[0013] 그리고, 업 신호(IUP) 및 다운 신호(IDN)를 반전시킨 업바 신호(/IUP) 및 다운바 신호(/IDN)에 따라 보상용 전압 발생부(230)의 피모스 트랜지스터(PM22)(PM23)가 선택적으로 온 상태로 되어 버퍼(240)의 연산증폭기(OP21)의 반전 입력단자(-)로 입력되는 보상용 전압의 레벨이 가변된다. 즉, 보상용 전압 발생부(230)는 업 신호(IUP) 및 다운 신호(IDN)에 따라 위상 조절용 전압 발생부(220)에서 연산증폭기(OP21)의 비반전 입력단자(+)에 인가되는 전압의 레벨이 급격하게 변동되는 것을 보상하기 위한 것으로서 업바 신호(/IUP)가 입력될 경우에 피모스 트랜지스터(PM22)가 온 상태로 되고, 피모스 트랜지스터(PM21)(PM22)를 통해 전류가 흘러 연산증폭기(OP21)의 반전 입력단자(-)로 입력되는 보상용 전압의 레벨이 상승하게 된다.

[0014] 그리고, 다운바 신호(/IDN)에 따라 피모스 트랜지스터(PM23)가 온 상태로 되어 연산증폭기(OP21)의 반전 입력단자(-)에서 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터(NM21)를 통해 전원단자(VSS)로 전류가 흘러 연산증폭기(OP21)의 반전 입력단자(-)에 인가되는 보상용 전압의 레벨이 감소하게 된다.

[0015] 이와 같이 위상 조절용 전압 발생부(220)가 출력하는 위상 조절용 전압과 보상용 전압 발생부(230)가 발생하는 보상용 전압은 버퍼(240)의 연산 증폭기(OP21)에서 완충 증폭되어 튜닝 전압(VCON)으로 출력되고, 그 출력된 튜닝 전압(VCON)은 전압 제어 발진기(130)로 입력되어 전압 제어 발진기(130)의 발진 주파수를 조절하게 된다.

[0016] 한편, 상기와 같은 종래의 위상 동기 루프 회로(110)에서 출력되는 업 신호 및 다운 신호에 따라 차지 펌프(120)에서 출력되는 튜닝 전압의 레벨이 가변되어 저전압 및 고주파수로 동작할 경우 차지 펌프(120)의 동작 특성이 지터(jitter)에 매우 민감하게 변화되어 고성능의 차지 펌프가 필요하고, 전압 제어 발진기로 저전압으로 동작할 경우에 지터 특성과, 공통 잡음(Common noise) 특성이 발생하여 높은 주파수의 발진 신호를 발생할 경우 좋은 특성의 발진 신호를 얻기 어려운 문제점을 해소하기 위해 상기 한국공개특허에서는 약 1.2V의 저전압으로 동작하는 위상 동기 루프 회로를 구성함에 있어, 업 신호 및 다운 신호가 급격하게 변동될 경우에 이를 보상하여 공통 잡음을 제거하고, 지터가 발생하는 것을 감소시키는 차지 펌프를 제시하고 있다.

[0017] 그런데, 도 2에 도시된 종래의 차지 펌프나 상기 한국공개특허에서 제시하고 있는 차지 펌프 모두 차지 펌프의 동작을 위해 위상 주파수 검출기로부터 출력되는 업 신호 및 다운 신호 외에 이를 반전시킨 업바 신호 및 다운바 신호를 사용하고 있다.

[0018] 이 경우, 업바 신호 및 다운바 신호를 차지 펌프의 구동에 사용하기 위해 위상 주파수 검출기로부터 출력되는 업 신호 및 다운 신호를 반전시키기 위한 반전기를 사용하게 되는데, 업바 신호 및 다운바 신호가 반전기를 거쳐 생성되는 과정에서 업 신호 및 다운 신호와의 시간 지연(Timing delay)가 발생하여 차지 펌프의 출력에 영향을 미치는 문제가 발생하게 된다.

발명의 내용

해결하려는 과제

[0019] 이에, 본 발명은 상기와 같은 문제점을 해소하기 위해 안출된 것으로서, 업 신호나 다운 신호의 반전에 의한 시간 지연(Timing delay)을 제거할 수 있는 차지 펌프 및 이를 이용한 위상 동기 루프 회로를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0020] 상기 목적은 본 발명에 따라, 제1 출력단과; 제2 출력단과; 업 신호를 입력받아 상기 제1 출력단으로 제1 충전 전압을 출력하는 제1 차징 회로부와; 다운 신호를 입력받아 상기 제2 출력단으로 제2 충전 전압을 출력하는 제2 차징 회로부와; 상기 제1 출력단 및 상기 제2 출력단에 각각 접속되어 상기 제1 출력단 및 상기 제2 출력단의 공통 전압을 결정하는 공통 모드 피드백 회로부와; 상기 제1 출력단 및 상기 제2 출력단에 각각 연결되어 상기 공통 모드 피드백 회로부의 출력에 따라 상기 제1 출력단 및 상기 제2 출력단을 방전시키는 방전 회로부를 포함하는 것을 특징으로 하는 차지 펌프에 의해서 달성된다.

[0021] 한편, 상기 목적인 본 발명의 다른 실시 형태에 따라, 제1 출력단 및 제2 출력단을 갖는 차지 펌프와, 상기 제1 출력단 및 상기 제2 출력단에 연결되어 고주파 노이즈를 제거하는 저역 통과 필터와, 상기 제1 출력단 및 상기

제2 출력단 간의 전압차에 기초하여 소정 주파수 및 위상을 갖는 출력 클럭 신호를 생성하는 전압 제어 발진기와, 입력 클럭 신호와 상기 출력 클럭 신호를 입력받고, 상기 입력 클럭 신호와 상기 출력 클럭 신호 간의 주파수 및 위상 차이에 따른 업 신호 및 다운 신호를 생성하여 상기 차지 펌프로 출력하는 위상 주파수 검출기를 포함하며; 상기 차지 펌프는 상기 업 신호를 입력받아 상기 제1 출력단으로 제1 충전 전압을 출력하는 제1 차징 회로부와, 상기 다운 신호를 입력받아 상기 제2 출력단으로 제2 충전 전압을 출력하는 제2 차징 회로부와, 상기 제1 출력단 및 상기 제2 출력단에 각각 접속되어 상기 제1 출력단 및 상기 제2 출력단의 공통 전압을 결정하는 공통 모드 피드백 회로부와, 상기 제1 출력단 및 상기 제2 출력단에 각각 연결되어 상기 공통 모드 피드백 회로부의 출력에 따라 상기 제1 출력단 및 상기 제2 출력단을 방전시키는 방전 회로부를 더 포함하는 것을 특징으로 하는 위상 동기 루프 회로에 의해서 달성될 수 있다.

[0022] 여기서, 상기 공통 전압은 상기 제1 충전 전압과 상기 제2 충전 전압의 평균일 수 있다.

[0023] 그리고, 상기 제1 차징 회로부는 제1 정전류 소스와; 상기 제1 정전류 소스로부터 상기 제1 출력단으로 상기 제1 충전 전압이 출력되도록 상기 업 신호에 의해 온되는 제1 스위칭부를 포함할 수 있다.

[0024] 또한, 상기 제2 차징 회로부는 제2 정전류 소스와; 상기 제2 정전류 소스로부터 상기 제2 출력단으로 상기 제2 충전 전압이 출력되도록 상기 다운 신호에 의해 온되는 제2 스위칭부를 포함할 수 있다.

[0025] 여기서, 상기 제1 스위칭부 및 상기 제2 스위칭부는 NMOS 트랜지스터로 마련될 수 있다.

발명의 효과

[0026] 상기와 같은 구성에 따라 본 발명에 따르면, 업 신호나 다운 신호의 반전에 의한 시간 지연(Timing delay)을 제거할 수 있는 차지 펌프 및 이를 이용한 위상 동기 루프 회로가 제공된다.

도면의 간단한 설명

[0027] 도 1은 한국공개특허 제2006-0092559호에 개시된 종래의 위상 동기 루프의 구성을 도시한 도면이고,

도 2는 상기 한국공개특허에 개시된 종래의 차지 펌프의 구성을 도시한 도면이고,

도 3은 본 발명에 따른 위상 동기 루프 회로의 구성을 도시한 도면이고,

도 4는 본 발명에 따른 차지 펌프의 구성을 도시한 도면이고,

도 5는 본 발명에 따른 차지 펌프의 회로 구성의 예를 도시한 도면이고,

도 6 및 도 7은 본 발명에 따른 차지 펌프의 구현 예를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하에서는 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다.

[0029] 도 3은 본 발명에 따른 위상 동기 루프 회로(500)의 구성을 도시한 도면이다. 도 3을 참조하여 설명하면, 본 발명에 따른 위상 동기 루프 회로(500)는 차지 펌프(300), 저역 통과 필터(530), 전압 제어 발진기(540) 및 위상 주파수 검출기(520)를 포함한다. 또한, 본 발명에 따른 위상 동기 루프는 입력 분주기(510)를 포함할 수 있다.

[0030] 입력 분주기(510)는 입력 클럭 신호를 분주하여 위상 주파수 검출기(520)로 출력한다. 위상 주파수 검출기(520)는 전압 제어 발진기(540)로부터 출력 클럭 신호와 입력 분주기(510)에 의해 분주된 입력 클럭 신호를 입력받고, 입력된 입력 클럭 신호와 출력 클럭 신호를 비교하여 두 신호 간의 위상 및 주파수 차이에 따른 업 신호(UP) 및 다운 신호(DOWN)를 생상하여 차지 펌프(300)로 출력한다.

[0031] 차지 펌프(300)는 위상 주파수 검출기(520)로부터 출력된 업 신호(UP) 및 다운 신호(DOWN)에 기초하여 제1 출력단(V_{TP}) 및 제2 출력단(V_{TN})으로 제1 튜닝 전압 및 제2 튜닝 전압을 출력한다. 여기서, 전압 제어 발진기(540)는 제1 출력단(V_{TP}) 및 제2 출력단(V_{TN}) 간의 전압차, 즉 제1 튜닝 전압과 제2 튜닝 전압 간의 전압차에 기초하여 소정 주파수 및 위상을 갖는 출력 클럭 신호를 생성하게 된다. 이 때, 저역 통과 필터(530)는 제1 출력단

(V_{TP}) 및 제2 출력단(V_{TN})에 연결된 상태에서 고주파 노이즈를 제거하게 된다.

[0032] 도 4는 본 발명에 따른 차지 펌프(300)의 구성을 도시한 도면이다. 도 4를 참조하여 설명하면, 본 발명에 따른 차지 펌프(300)는 제1 출력단(V_{TP}), 제2 출력단(V_{TN}), 제1 차징 회로부(310), 제2 차징 회로부(330) 및 공통 모드 피드백 회로부(350) 및 방전 회로부(370)를 포함한다.

[0033] 제1 차징 회로부(310)는 위상 주파수 검출기(520)로부터의 업 신호(UP)를 입력받아 제1 출력단(V_{TP})으로 제1 충전 전압을 출력한다. 그리고, 제2 차징 회로부(330)는 위상 주파수 검출기(520)로부터의 다운 신호(DOWN)를 입력받아 제2 출력단(V_{TN})으로 제2 충전 전압을 출력한다.

[0034] 여기서, 공통 모드 피드백 회로부(350)는 제1 출력단(V_{TP}) 및 제2 출력단(V_{TN})에 각각 접속되어 제1 출력단(V_{TP}) 및 제2 출력단(V_{TN})의 공통 전압을 결정하게 된다. 이 때, 공통 모드 피드백 회로부(350)에 의해 결정되는 공통 전압은 제1 충전 전압과 제2 충전 전압의 평균이 된다.

[0035] 그리고, 방전 회로부(370)는 제1 차징 회로부(310)의 제1 출력단(V_{TP})과 제2 차징 회로부(330)의 제2 출력단(V_{TN})에 각각 연결된다. 여기서, 방전 회로부(370)은 공통 모드 피드백 회로부(350)의 출력을 입력받아 제1 출력단(V_{TP}) 및 제2 출력단(V_{TN})을 방전시킨다.

[0036] 상기와 같은 구성에 따라, 본 발명에 따른 차지 펌프(300)는 제1 차징 회로부(310)가 업 신호(UP)를 이용하고, 제2 차징 회로부(330)가 다운 신호(DOWN)를 이용한 상태에서, 공통 모드 피드백 회로부(350)가 제1 충전 전압과 제2 충전 전압의 공통 전압을 일정하게 유지시킴으로서, 종래의 차지 펌프(300)가 업바 신호 및 다운바 신호의 생성을 위한 반전기를 사용하면서 발생하는 시간 지연(Timing delay)에 따른 출력 신호의 오류를 제거할 수 있게 된다.

[0037] 이하에서는 도 5를 참조하여, 본 발명에 따른 차지 펌프(300)의 회로 구성의 예를 상세히 설명한다.

[0038] 본 발명에 따른 차지 펌프(300)의 제1 차징 회로부(310)는 제1 정전류 소스(311) 및 제1 스위칭부(312)를 포함할 수 있다. 마찬가지로 제2 차징 회로부(330)는 제2 정전류 소스(331) 및 제2 스위칭부(332)를 포함할 수 있다.

[0039] 제1 스위칭부(312)는 제1 정전류 소스(311)로부터 제1 출력단(V_{TP})으로 제1 충전 전압이 출력되도록 위상 주파수 검출기(520)로부터의 업 신호(UP)에 의해 온된다. 그리고, 제2 스위칭부(332)는 제2 정전류 소스(331)로부터 제2 출력단(V_{TN})으로 제2 충전 전압이 출력되도록 위상 주파수 검출기(520)로부터의 다운 신호(DOWN)에 의해 온된다. 여기서, 본 발명에 따른 제1 스위칭부(312) 및 제2 스위칭부(332)는 NMOS 트랜지스터로 마련되는 것을 예로 한다.

[0040] 상기와 같은 구성에 따라, 제1 정전류 소스(311) 및 제2 정전류 소스(331)에서 공급되는 전류를 NMOS 트랜지스터가 각각 스위칭함으로써, 종래의 차지 펌프(300)가 PMOS 트랜지스터와 NMOS 트랜지스터를 함께 사용함으로써 야기되는 미스매칭을 제거할 수 있게 된다.

[0041] 또한, 업 신호(UP) 및 다운 신호(DOWN) 모두에서 충전이 이루어지고, 공통 모드 피드백 회로부(350)가 과충전을 방지함과 동시에 차동(Differential) 성분만을 출력하고, 공통 모드 전류를 방전시키는 기능을 제공함으로써 차지 펌프(300)로서의 안정적인 동작이 가능하게 된다.

[0042] 그리고, 본 발명에 따른 차지 펌프(300)는 기존의 위상 동기 루프 회로(500)와 연동이나, 기존의 차지 펌프(300)의 구성을 그대로 유지하면서 사용이 가능하게 된다. 도 6 및 도 7은 종래의차지 펌프(300)에 본 발명에 따른 차지 펌프(300)의 개념을 적용한 예를 도시한 도면이다.

[0043] 도 6을 참조하여 설명하면, 업바 신호 입력단(UPB), 다운 신호 입력단(DOWN) 및 바이어스 입력단(Bias)을 갖는 기존의 차지 펌프(310a,330a) 한 쌍을 각각 본 발명에 따른 제1 차징 회로부(310) 및 제2 차징 회로부(330)로 구성한 상태에서, 업 신호(UP) 및 다운 신호(DOWN)를 각각 차지 펌프(310a,330a) 의 업바 신호 입력단(UPB)에 입력하고, 다운 신호 입력단(DOWN)은 전압 V_{DD}를 입력한다.

[0044] 그리고, 공통 모드 피드백 회로부(350a)의 출력을 바이어스 입력단(Bias)에 연결시킴으로써, 다운 신호 입력단(DOWN) 및 바이어스 입력단(Bias)을 온 상태로 유지시킨다. 즉, 바이어스 입력단(Bias)과 다운 신호 입력단

(DOWN)에 각각 연결되어 있는 스위칭 소자 및 전류원이 방전 회로부(370a)를 구성하게 된다.

[0045] 이를 통해, 종래의 차지 펌프(310a,330a) 각각이 업 신호(UP) 및 다운 신호(DOWN)에 의해 충전 상태가 되어 본 발명에 따른 제1 차징 회로부(310) 및 제2 차징 회로부(330)의 기능을 수행할 수 있게 된다.

[0046] 도 7은 공통 모드 피드백 회로부(350a)의 출력을 종래의 차지 펌프(310a,330a) 각각의 다운 신호 입력단(DOWN)에 연결하고, 바이어스 입력단(Bias)에 전압 V_{DD}를 입력하는 예를 도시한 도면이다. 이를 통해 종래의 차지 펌프(310a,330a) 각각이 업 신호(UP) 및 다운 신호(DOWN)에 의해 충전 상태가 되어 본 발명에 따른 제1 차징 회로부(310) 및 제2 차징 회로부(330)의 기능을 수행할 수 있게 된다. 여기서, 바이어스 입력단(Bias)과 다운 신호 입력단(DOWN)에 각각 연결되어 있는 스위칭 소자 및 전류원이 방전 회로부(370a)를 구성하게 된다.

[0047] 전술한 실시예에서는, 도 3에 도시된 바와 같이, 본 발명에 따른 위상 동기 루프 회로(500)가 위상 주파수 검출기(520), 차지 펌프(300), 저역 통과 필터(530) 및 전압 제어 발진기(540)로 구성되는 것을 예로 하고 있으나, 본 발명에 따른 차지 펌프(300)가 적용 가능한 다른 형태의 구성도 가능함은 물론이다.

[0048] 비록 본 발명의 몇몇 실시예들이 도시되고 설명되었지만, 본 발명이 속하는 기술분야의 통상의 지식을 가진 당업자라면 본 발명의 원칙이나 정신에서 벗어나지 않으면서 본 실시예를 변형할 수 있음을 알 수 있을 것이다. 발명의 범위는 첨부된 청구항과 그 균등물에 의해 정해질 것이다.

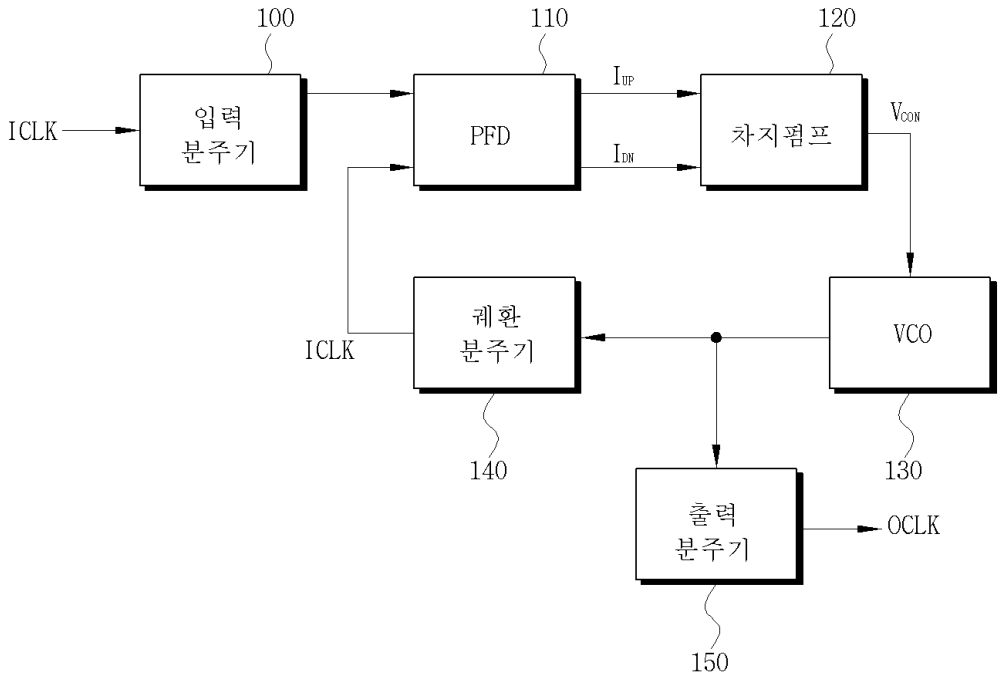
부호의 설명

[0049]

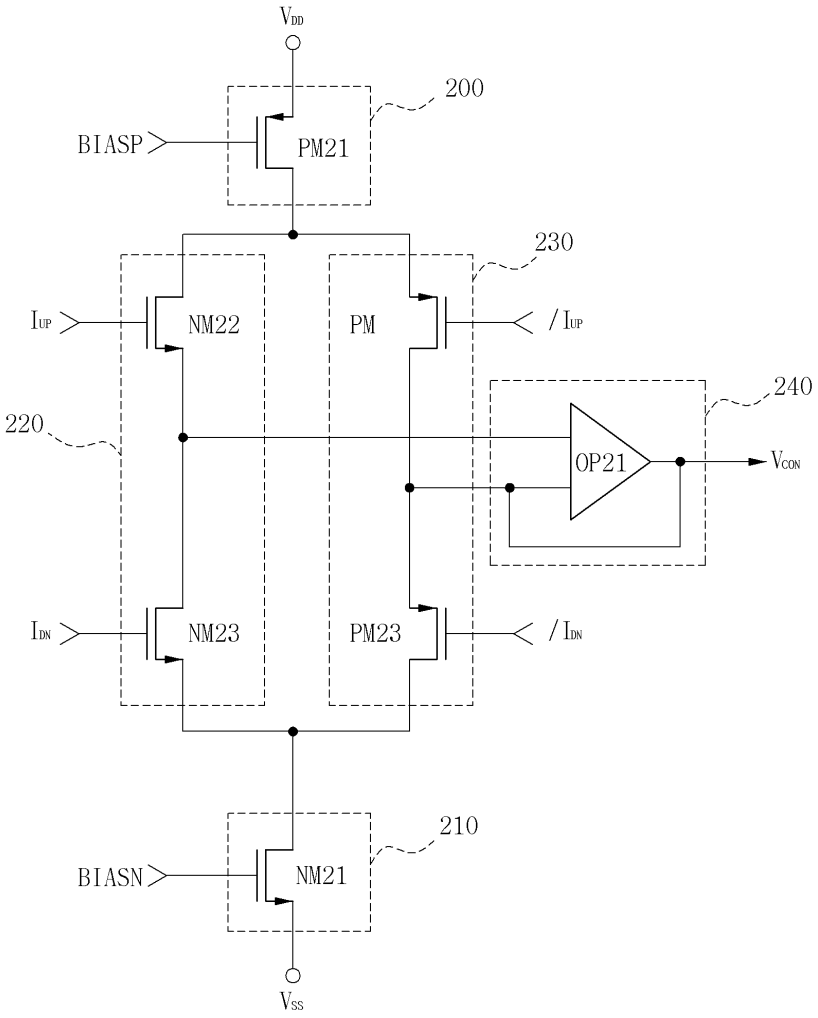
300	: 차지 펌프	310	: 제1 차징 회로부
311	: 제1 정전류 소스	312	: 제1 스위칭부
330	: 제2 차징 회로부	331	: 제2 정전류 소스
332	: 제2 스위칭부	370	: 방전 회로부
500	: 위상 동기 루프 회로	510	: 입력 분주기
520	: 위상 주파수 검출기	530	: 저역 통과 필터
540	: 전압 제어 발진기		

도면

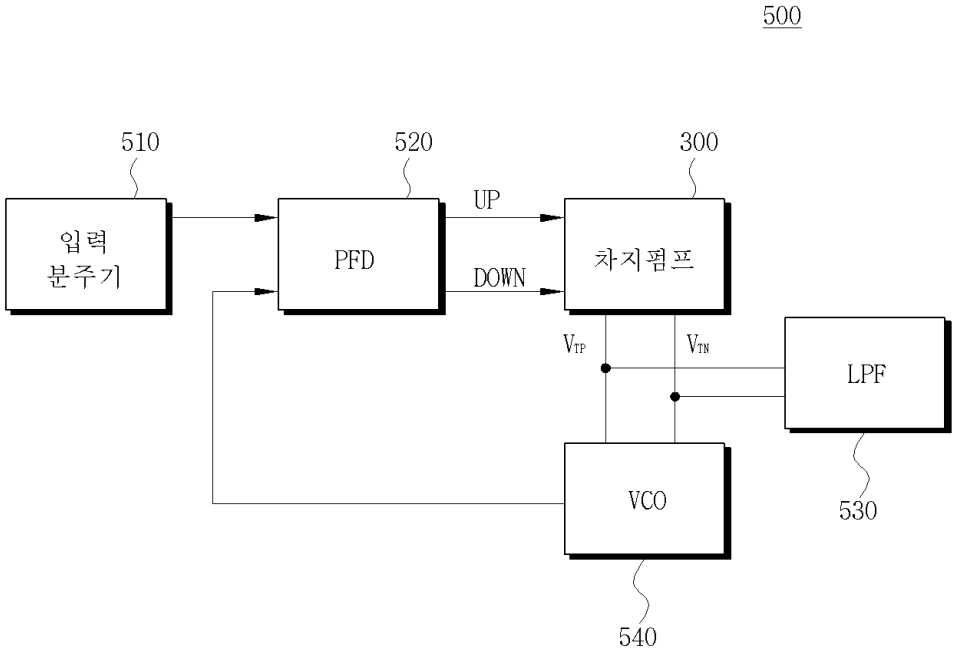
도면1


100
110
120
ICLK
입력
분주기
PFD
I_{UP}
I_{DN}
차지펌프
V_{CON}
ICLK
궤환
분주기
VCO
140
130
출력
분주기
OCLK
150

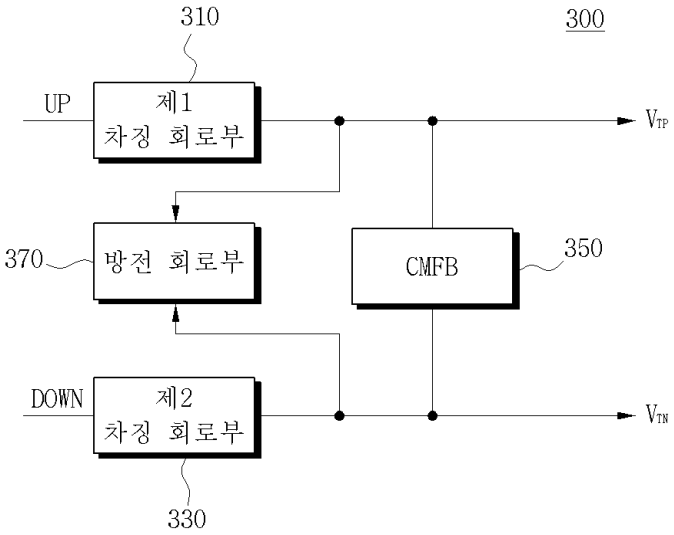
도면2


VDD
200
BIASP
PM21
230
IUP
NM22
PM
/IUP
240
220
OP21
VCON
IDN
NM23
PM23
/IDN
210
BIASN
NM21
VSS

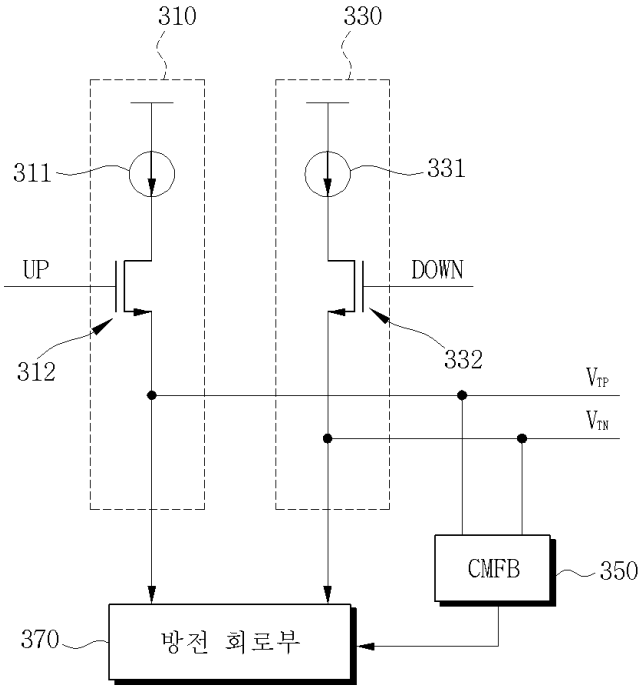
도면3


500
510
520
300
입력
분주기
PFD
UP
DOWN
차지펌프
VTP
VTN
LPF
VCO
530
540

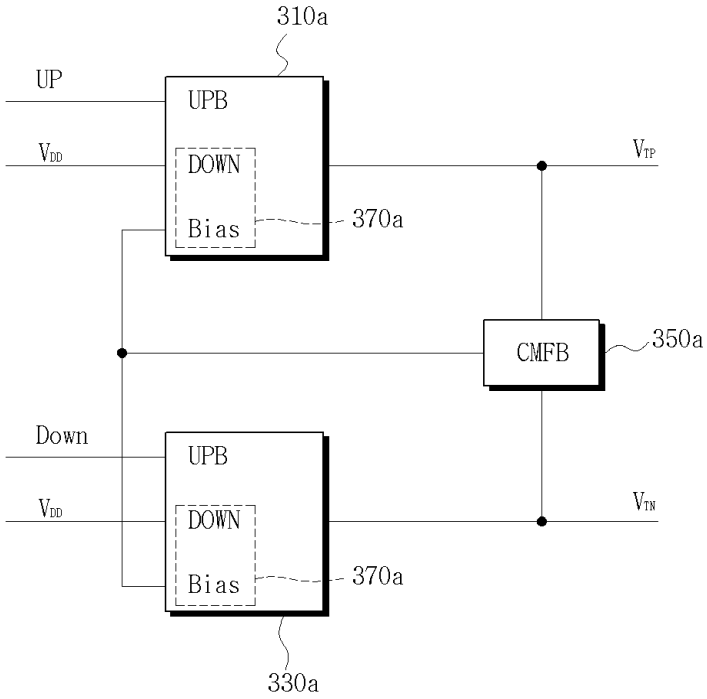
도면4


310
300
UP
제1
차징 회로부
V_{TP}
370
방전 회로부
CMFB
350
DOWN
제2
차징 회로부
V_{TN}
330

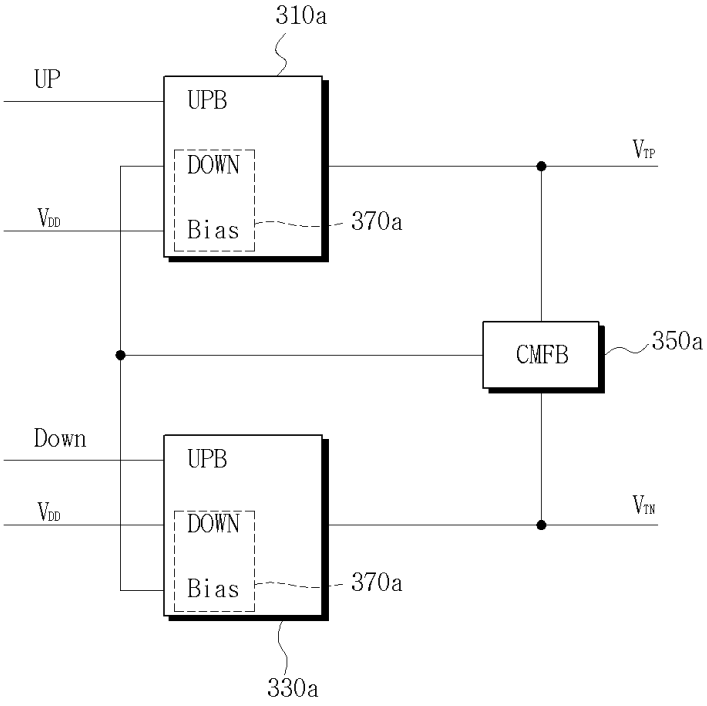
도면5


310
330
311
331
UP
DOWN
312
332
V_{TP}
V_{TN}
CMFB
350
370
방전 회로부

도면6


310a
UP
UPB
V_{DD}
DOWN
Bias
370a
V_{TP}
CMFB
350a
Down
UPB
V_{DD}
DOWN
Bias
370a
V_{TN}
330a

도면7


310a
UP
UPB
DOWN
V_{DD}
Bias
370a
V_{TP}
CMFB
350a
Down
UPB
V_{DD}
DOWN
Bias
370a
V_{TN}
330a