



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I556099 B

(45)公告日：中華民國 105 (2016) 年 11 月 01 日

(21)申請案號：103116876

(22)申請日：中華民國 103 (2014) 年 05 月 13 日

(51)Int. Cl. : G06F12/02 (2006.01)

G06F3/06 (2006.01)

(30)優先權：2013/05/13 美國

13/892,433

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：千德斯特 T CHUN, DEXTER T. (US)；斯瑞尼瓦桑安納德 SRINIVASAN, ANAND (US)；申玄碩 SHIN, HYUNSUK (KR)；黑尼興史蒂芬 HAEHNICHEN, STEVEN (US)

(74)代理人：李世章

(56)參考文獻：

TW 201303587A

US 6014724

US 6484218B1

US 2001/0012222A1

US 2004/0186946A1

US 2005/0138464A1

US 2011/0238892A1

審查人員：栗永欣

申請專利範圍項數：60 項 圖式數：10 共 81 頁

(54)名稱

用於高效能和低成本快閃記憶體轉換層的系統和方法

SYSTEM AND METHOD FOR HIGH PERFORMANCE AND LOW COST FLASH TRANSLATION LAYER

(57)摘要

各個態樣包括用於提高快閃記憶體設備的快閃記憶體轉換層(FTL)的效能的系統和方法。儲存在快閃記憶體設備上的 FTL 表的副本可被複製到主控設備的記憶體。FTL 表的副本可被快閃記憶體設備直接存取以在由主控設備所提供的用於對快閃記憶體設備的快閃記憶體進行讀/寫操作的邏輯位址和快閃記憶體的相應的實體位址之間進行轉換。快閃記憶體設備被授權直接記憶體存取主控設備的記憶體的一部分，其中 FTL 表的副本被儲存在該部分。快閃記憶體設備對將快閃記憶體設備連接到主控設備的記憶體的通訊匯流排作匯流排主控。

Aspects include systems and methods for increasing performance of a flash translation layer (FTL) of a flash memory device. A copy of FTL tables stored on a flash memory device may be copied to a memory of a host device. The copy of the FTL tables may be directly accessed by the flash memory device to translate between logical addresses provided by the host device for read/write operations from/to a flash memory of the flash memory device, and the respective physical addresses of the flash memory. The flash memory device is granted direct memory access to a portion of the memory of the host device where the copy of the FTL tables is stored. The flash memory device bus masters communication busses connecting the flash memory device to the memory of the host device.

指定代表圖：

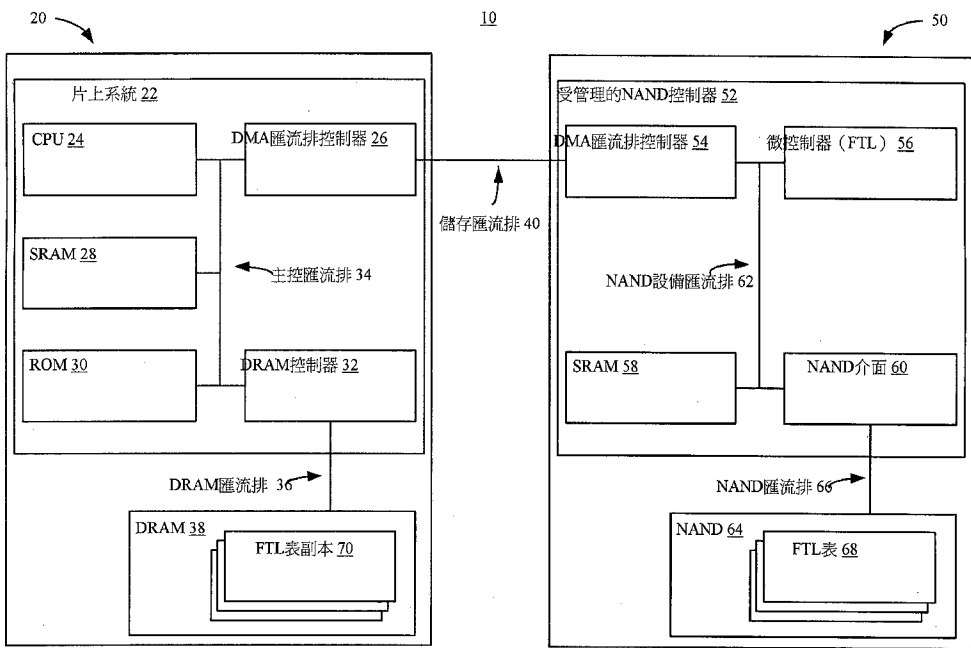


圖1

- 符號簡單說明：
- 10 . . . FTL 主控緩存系統
 - 20 . . . 主控設備
 - 22 . . . 片上系統 (SoC)
 - 24 . . . 中央處理單元(CPU)
 - 26 . . . DMA 匯流排控制器
 - 28 . . . SRAM
 - 30 . . . ROM
 - 32 . . . DRAM 控制器
 - 34 . . . 主控匯流排
 - 36 . . . DRAM 匯流排
 - 38 . . . DRAM
 - 40 . . . 儲存匯流排
 - 50 . . . 快閃記憶體設備
 - 52 . . . 受管理的快閃記憶體控制器
 - 54 . . . DMA 匯流排控制器
 - 56 . . . 微控制器 (μCtrl)
 - 58 . . . SRAM
 - 60 . . . 記憶體介面
 - 62 . . . 快閃記憶體設備匯流排
 - 64 . . . 快閃記憶體
 - 66 . . . 快閃記憶體匯流排
 - 68 . . . 快閃記憶體轉換層(FTL)表
 - 70 . . . 副本

發明摘要

※ 申請案號：103116876

※ 申請日：2014 年 5 月 13 日

※IPC 分類：

G06F 13/02 (2006.01)

3/06 (2006.01)

【發明名稱】（中文/英文）

用於高效能和低成本快閃記憶體轉換層的系統和方法

SYSTEM AND METHOD FOR HIGH PERFORMANCE
AND LOW COST FLASH TRANSLATION LAYER

【中文】

各個態樣包括用於提高快閃記憶體設備的快閃記憶體轉換層（FTL）的效能的系統和方法。儲存在快閃記憶體設備上的FTL表的副本可被複製到主控設備的記憶體。FTL表的副本可被快閃記憶體設備直接存取以在由主控設備所提供的用於對快閃記憶體設備的快閃記憶體進行讀/寫操作的邏輯位址和快閃記憶體的相應的實體位址之間進行轉換。快閃記憶體設備被授權直接記憶體存取主控設備的記憶體的一部分，其中FTL表的副本被儲存在該部分。快閃記憶體設備對將快閃記憶體設備連接到主控設備的記憶體的通訊匯流排作匯流排主控。

【英文】

Aspects include systems and methods for increasing performance of a flash translation layer (FTL) of a flash

memory device. A copy of FTL tables stored on a flash memory device may be copied to a memory of a host device. The copy of the FTL tables may be directly accessed by the flash memory device to translate between logical addresses provided by the host device for read/write operations from/to a flash memory of the flash memory device, and the respective physical addresses of the flash memory. The flash memory device is granted direct memory access to a portion of the memory of the host device where the copy of the FTL tables is stored. The flash memory device bus masters communication busses connecting the flash memory device to the memory of the host device.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

10 FTL 主控緩存系統

20 主控設備

22 片上系統（SoC）

24 中央處理單元（CPU）

26 DMA 匯流排控制器

28 SRAM

30 ROM

32	DRAM 控制器
34	主控匯流排
36	DRAM 匯流排
38	DRAM
40	儲存匯流排
50	快閃記憶體設備
52	受管理的快閃記憶體控制器
54	DMA 匯流排控制器
56	微控制器 (μ Ctrl)
58	SRAM
60	記憶體介面
62	快閃記憶體設備匯流排
64	快閃記憶體
66	快閃記憶體匯流排
68	快閃記憶體轉換層 (FTL) 表
70	副本

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於高效能和低成本快閃記憶體轉換層的系統和方法

SYSTEM AND METHOD FOR HIGH PERFORMANCE
AND LOW COST FLASH TRANSLATION LAYER

【技術領域】

【0001】 本案涉及用於高效能和低成本快閃記憶體轉換層的系統和方法。

【先前技術】

【0002】 對受管理的快閃記憶體儲存效能的要求正變得越來越高。緊湊型消費電子產品（諸如智慧手機、平板、以及遊戲裝置）需要性價比高並且低功耗的儲存方案。受管理的與非型或NOT AND（NAND）快閃記憶體設備的示例包括嵌入式多媒體卡（eMMC）、通用快閃記憶體儲存（UFS）、外部串列先進技術附件（eSATA）、球柵陣列（BGA）SATA、通用串列匯流排（USB）驅動器、安全數位（SD）卡、通用用戶身份模組（USIM）卡、以及緊湊式快閃記憶卡。NAND設備普遍用於行動應用，因為它們低成本並且低功耗。

【0003】 現有的受管理的NAND快閃記憶體存放裝置依賴於NAND快閃記憶體中包含的大的檔案轉換層（FTL）表，並且僅將一小部分表緩存在片載靜態隨機存取記憶體（SRAM）中。對受管理的NAND設備的讀寫存取由邏輯位址組成，必須使

用FTL表中的資訊來將邏輯位址轉換成實體NAND位址。這導致在從NAND記憶體讀取FTL表條目時的長延遲（數十微秒的級別），從而降低了這些類型的儲存的整體效能。因此，NAND記憶體設備的低成本和低功耗的代價是記憶體存取時間效能的降低。

【發明內容】

【0004】用於提高快閃記憶體設備的快閃記憶體轉換層（FTL）的效能的各個態樣的方法和系統包括由快閃記憶體設備將快閃記憶體設備的FTL表的副本儲存在主控設備的揮發性記憶體中，由快閃記憶體設備接收對於儲存在主控設備的揮發性記憶體中的FTL表的副本的存取，以及由快閃記憶體設備對儲存在主控設備的揮發性記憶體中的FTL表的副本進行存取，作為讀操作和寫操作中的至少一者的一部分。方法的一態樣進一步包括接收來自主控設備的對快閃記憶體設備中的FTL表的大小的查詢，從快閃記憶體設備將FTL表的大小返回給主控設備，在主控設備處接收來自快閃記憶體設備的FTL表的大小，以及由主控設備決定主控設備的揮發性記憶體是否能夠儲存FTL表的全部。方法的一態樣進一步包括由主控設備對主控設備的揮發性記憶體進行子劃分，其中子劃分的大小基於FTL表的大小，由快閃記憶體設備接收對主控設備的揮發性記憶體中儲存FTL表的副本的子劃分進行直接記憶體存取讀取的特權，以及由快閃記憶體設備接收對主控設備的揮發性記憶體中儲存FTL表的副本的子劃分進行直接記憶體存取寫入的特權，其中儲存FTL表的副本包括由快閃記憶體設備

將FTL表的副本儲存在主控設備的揮發性記憶體的字劃分中。

【0005】 在一個態樣，對FTL表的副本進行存取亦可進一步包括由快閃記憶體設備對通訊地連接該快閃記憶體設備和主控設備的揮發性記憶體的通訊匯流排作匯流排主控。

【0006】 在一個態樣，對FTL表的副本進行存取亦可進一步包括在快閃記憶體設備中接收來自主控設備的對於邏輯位址的讀操作請求，由快閃記憶體設備發起讀操作，由快閃記憶體設備讀取FTL表的副本的至少一部分，由快閃記憶體設備決定對應於邏輯位址的實體位址，由快閃記憶體設備檢索位於快閃記憶體設備的記憶體的實體位址處的資料，以及由快閃記憶體設備將資料返回給主控設備。

【0007】 在一個態樣，對FTL表的副本進行存取亦可進一步包括由快閃記憶體設備接收來自主控設備的對於邏輯位址的寫操作請求，由快閃記憶體設備發起寫操作，由快閃記憶體設備將資料寫入快閃記憶體設備的記憶體的實體位址，由快閃記憶體設備寫入FTL表的副本以更新FTL表的副本，以便與資料被寫入時對快閃記憶體設備的記憶體所作出的改變相對應，以及由快閃記憶體設備向主控設備發送寫操作完成的通知。方法的一態樣可進一步包括由快閃記憶體設備讀取FTL表的副本的至少一部分，以及由快閃記憶體設備決定對應於邏輯位址的實體位址。方法的一態樣可進一步包括由快閃記憶體設備讀取快閃記憶體設備的SRAM，以及由快閃記憶體設備決定指示快閃記憶體設備的記憶體中的閒置儲存空間的位置的實體位址。方法的一態樣可進一步包括由快閃記憶體設

備向主控設備發送指示將FTL表的副本儲存在主控設備的揮發性記憶體中已完成的通知。方法的一態樣可進一步包括由快閃記憶體設備基於從日程、可用資源、以及寫操作的完成構成的組中選擇的參數來用FTL的副本更新快閃記憶體設備的FTL表。方法的一態樣可進一步包括由主控設備決定快閃記憶體設備是否支援將FTL表的副本主控緩存在主控設備的揮發性記憶體中。方法的一態樣可進一步包括在主控設備中接收來自快閃記憶體設備的儲存FTL表的副本已完成的通知。

● **【0008】** 一個態樣包括一種其上儲存有處理器可執行軟體指令的非瞬態處理器可讀儲存媒體，該處理器可執行軟體指令被配置成經由以下操作來使系統提高系統的快閃記憶體設備的快閃記憶體轉換層（FTL）的效能：由快閃記憶體設備將快閃記憶體設備的FTL表的副本儲存在主控設備的揮發性記憶體上，以及由快閃記憶體設備接收對於儲存在主控設備的揮發性記憶體中的FTL表的副本的存取。所儲存的指令亦可包括用於由快閃記憶體設備對儲存在主控設備的揮發性記憶體中的快閃記憶體設備的FTL表的副本進行存取，作為讀操作和寫操作中的至少一者的一部分的指令。非瞬態處理器可讀儲存媒體可具有儲存在其上的處理器可執行的軟體指令，這些處理器可執行軟體指令被配置成執行上述各態樣的方法的其他操作。

● **【0009】** 一個態樣包括計算系統，計算系統包括具有揮發性記憶體的主控設備、以及耦合到揮發性記憶體的第一處理器以及快閃記憶體設備，其中系統經由以下操作來實現快閃記

憶體設備的提高了效能：由快閃記憶體設備將快閃記憶體設備的FTL表的副本儲存在主控設備的揮發性記憶體中，由快閃記憶體設備接收對於儲存在主控設備的揮發性記憶體中的FTL表的副本的存取；及由快閃記憶體設備對儲存在主控設備的揮發性記憶體中的FTL表的副本進行存取，作為讀操作和寫操作中的至少一者的一部分。

【0010】一個態樣包括系統，該系統被配置成提高快閃記憶體設備的快閃記憶體轉換層的效能，該系統包括用於由快閃記憶體設備將快閃記憶體設備的FTL表的副本儲存在主控設備的揮發性記憶體中的裝置。系統亦包括用於由快閃記憶體設備接收對於儲存在主控設備的揮發性記憶體中的FTL表的副本的存取的裝置，以及用於由快閃記憶體設備對儲存在主控設備的揮發性記憶體中的FTL表的副本進行存取作為讀操作和寫操作中的至少一者的一部分的裝置。

【0011】又一態樣包括一種配置成耦合到主控設備的快閃記憶體設備，該快閃記憶體設備包括配置成儲存包括用於在邏輯位址和實體位址間進行轉換的FTL表的資料的快閃記憶體，以及耦合至快閃記憶體的處理器，其中處理器配置有處理器可執行指令以執行操作，操作包括：將快閃記憶體設備的快閃記憶體轉換層FTL表的副本儲存在主控設備的揮發性記憶體中，接收對於儲存在主控設備的揮發性記憶體中的FTL表的副本的存取，以及對儲存在主控設備的揮發性記憶體中的FTL表的副本進行存取，作為讀操作和寫操作中的至少一者的一部分。

【0012】又一態樣包括配置成耦合到主控設備的設備，該設備包括用於將快閃記憶體設備的FTL表的副本儲存在主控設備的揮發性記憶體中的裝置，用於接收對於儲存在主控設備的揮發性記憶體中的FTL表的副本的存取的裝置，以及用於對儲存在主控設備的揮發性記憶體中的FTL表的副本進行存取作為讀操作和寫操作中的至少一者的一部分的裝置。

【0013】又一態樣包括配置成耦合到快閃記憶體設備的主控設備，該主控設備包括揮發性記憶體，通訊地連接主控設備的揮發性記憶體並配置成當快閃記憶體設備耦合到主控設備時與快閃記憶體設備通訊的通訊匯流排，以及處理器，其中處理器配置有處理器可執行指令以執行操作，該等操作包括：決定快閃記憶體設備是否支援將快閃記憶體設備的FTL表的副本主控緩存在揮發性記憶體中；分配揮發性記憶體的一部分用於儲存FTL表的副本；及為快閃記憶體設備授予經由通訊匯流排對揮發性記憶體的該部分直接記憶體存取讀取和寫入的特權。

【圖式簡單說明】

【0014】納入於此且構成本說明書一部分的附圖示說了本發明的示例性實施例，並與以上提供的概括描述和下面提供的詳細描述一起用來解釋本發明的特徵。

【0015】圖1是根據一態樣的圖示具有通訊地連接到快閃記憶體設備的主控設備的系統的元件方塊圖。

【0016】圖2是適於與各個態樣聯用的示例行動設備的元件圖。

【0017】圖3是圖示用於初始化FTL主緩存的一態樣的方法的流程圖。

【0018】圖4是圖示用於初始化FTL主緩存的一態樣的方法的流程圖。

【0019】圖5是圖示用於使用FTL主緩存執行讀操作的一態樣的方法的流程圖。

【0020】圖6是圖示用於使用FTL主緩存執行寫操作的一態樣的方法的流程圖。

【0021】圖7是圖示用於初始化FTL主緩存的一態樣的方法的流程圖。

【0022】圖8是圖示用於使用FTL主緩存執行讀操作的一態樣的方法的流程圖。

【0023】圖9是圖示用於使用FTL主緩存執行寫操作的一態樣的方法的流程圖。

【0024】圖10是圖示用於使用FTL主緩存執行寫操作的一態樣的方法的流程圖。

【實施方式】

【0025】將參照附圖詳細描述各個態樣。在任何可能的地方，相同元件符號用於在附圖中通篇代表相同或類似部分。對特定示例和實現所作的引用是用於說明性的目的，而無意限定本發明或請求項的範疇。

【0026】措辭「示例性」在本文中用於表示「用作示例、實例或圖示」。本文中描述為「示例性」的任何實現不必然被解釋為優於或勝過其他實現。

【0027】術語「行動計算裝置」和「行動設備」在此處可互換地使用以代表以下各項中的任一個或全部：蜂巢式電話、智慧手機、個人或行動多媒體播放機、個人資料助理（PDA）、膝上型電腦、平板電腦、智慧型電腦、超級本、掌上電腦、無線電子郵件接收器、啓用網際網路的多媒體蜂巢式電話、無線遊戲控制器、以及包括記憶體、可程式設計處理器並且使用電池電源工作（使得節電方法有益處）的類似的個人電子設備。雖然各個態樣對於具有有限資源並且使用電池電源工作的行動計算裝置（諸如智慧手機）特別有用，但這些態樣在適合與快閃記憶體設備聯用的任何電子設備中皆普遍有用。

【0028】此處的術語「快閃記憶體」指的是能夠電擦除和重程式設計的電子非揮發性電腦儲存或記憶體。快閃記憶體設備架構通常包括NAND型和NOR型。此處的各態樣一般涉及NAND型架構的快閃記憶體設備。快閃記憶體可被用於主記憶體、儲存卡、USB快閃記憶體驅動器、固態驅動器、以及類似產品以供資料的通用儲存和傳輸。NAND快閃記憶體設備的示例包括嵌入式多媒體卡（eMMC）、通用快閃記憶體儲存（UFS）、外部串列先進技術附件（eSATA）、球柵陣列（BGA）SATA、通用序列匯流排（USB）驅動器、安全數位（SD）卡、通用用戶身份模組（USIM）卡、以及緊湊式快閃記憶卡。

【0029】此處的術語「快閃記憶體轉換層」以及「FTL」指的是被建立用於允許快閃記憶體設備的控制器將對於邏輯位址的請求轉換成實際快閃記憶體晶片中的實體位址的目錄結

構。目錄結構可包括各種資料結構中的任意一種。出於示例的目的，此處FTL將以表的形式來描述。

【0030】一種用於提高記憶體中的轉換效能的技術將專用動態隨機存取記憶體（DRAM）添加到用於緩存整個轉換表的固態驅動器（SSD）或硬碟（HDD）中。由於DRAM可以比NAND快閃記憶體或硬碟記憶體高大約三個數量級的速度進行存取，因此這可提供顯著的效能提升。然而，將DRAM添加到晶片增加了成本並且消耗明顯的待機功耗，因為額外的DRAM必須自我刷新以保留內容。一些膝上型電腦的SSD使用這一類型的機制來緩存轉換表，因為此類電腦通常不是電能受限的，並且消費者預料到為這類設備會支付更多。然而，對於行動計算裝置（諸如智慧手機），成本的增加和具有嵌入式DRAM記憶體的NAND快閃記憶體的增加的功率消耗是明顯的不利條件。

【0031】各個態樣包括配置成經由使用主控設備的DRAM記憶體來儲存快閃記憶體的轉換表來在最小化快閃記憶體設備操作的成本和功率消耗的同時改善快閃記憶體操作的效能的方法、系統和設備。這可經由一系統來實現，該系統包括與快閃記憶體設備通訊的主控設備，其中主控設備和快閃記憶體被配置使得快閃記憶體設備可使用主控設備的更快的記憶體資源來緩存轉換表，快閃記憶體設備使用該轉換表來在邏輯和實體記憶體位址間進行轉換。

【0032】在一態樣，主控設備可授權快閃記憶體設備直接記憶體存取其更快的記憶體資源。直接記憶體存取可包括對於

更快的記憶體資源的讀及/或寫的特權。快閃記憶體設備可使用此類直接存取許可來將FTL表的副本儲存在主控設備的更快的記憶體資源中。在允許儲存FTL表的副本的程序中，主控設備可對其更快的記憶體資源進行子劃分以提供合適大小的專用區域來容納FTL表的副本。因此，記憶體子劃分的大小可基於FTL表的大小。

【0033】在另一態樣，直接記憶體存取可受到限制以便保護主控設備免受由於將直接記憶體存取許可授予給快閃記憶體設備而導致安全問題。例如，直接記憶體存取可僅授權給更快記憶體資源的被指定用於FTL表的副本的區域。亦可制定進一步的安全性措施，諸如金鑰比較。亦可設想，可應用所採取的用於保護主控設備的此類安全性措施以及其他安全性措施來同樣保護快閃記憶體設備。對於快閃記憶體設備實施安全性措施可避免主控設備損壞FTL表。

【0034】當主控設備請求針對快閃記憶體設備的讀及/或寫操作時，讀及/或寫操作請求可包括要對快閃記憶體設備進行資料讀取及/或寫入的位置的邏輯位址。為了執行讀及/或寫請求，快閃記憶體設備可使用FTL表將邏輯位址轉換成其自身的記憶體的實體位址。為此，快閃記憶體設備可使用其直接記憶體存取許可來從FTL表的副本中檢索與指定的邏輯位址有關的位址映射資訊以將邏輯位址轉換成相應的實體位址。

【0035】直接記憶體存取亦可允許快閃記憶體設備對FTL表的副本進行寫入。在完成來自主控設備的寫入請求的程序中，快閃記憶體設備改變其自身的記憶體內容，內容包括要被

寫入資料的實體位址。爲了反映其記憶體中的改變，快閃記憶體設備可更新主控設備中儲存的FTL表來反映當前的實體位址。更新允許被寫入到記憶體的資訊在之後被存取，並且指示資訊被寫入的空間不是閒置空間。

【0036】在另一態樣，快閃記憶體設備可直接記憶體存取以基於儲存在主控設備的快速記憶體資源中的FTL表來更新儲存在其自身的記憶體中的FTL表。當FTL表的副本被更新以反映快閃記憶體設備中的改變時，快閃記憶體設備中的FTL表可以不在同時被類似地更新。對儲存在快閃記憶體中的FTL表的延遲更新可實現節省功率資源，尤其是在主控設備正執行頻繁的記憶體寫入操作時。爲了確保對快閃記憶體設備的改變的記錄被反映在儲存在快閃記憶體設備中的FTL表的非揮發性副本中，那些FTL表可根據儲存在主控設備的快速記憶體資源中的FTL表而週期性地更新。爲此，快閃記憶體設備可從儲存在主控設備的快速記憶體資源中的FTL表中檢索FTL表的副本（或上次更新以來對FTL表的副本作出的改變），並且將FTL表的副本儲存在快閃記憶體中，有效地覆寫其自身的FTL表（或其改變的部分）。在此類程序中，快閃記憶體設備可將其FTL表替換爲FTL表的副本，比較兩個版本的FTL表以決定區別，並將區別寫入其FTL表，或者將FTL表的副本中的改變寫入其FTL表。更新亦可在某一時間及/或以某種方式來執行，以減少或最小化對系統資源（諸如記憶體存取或電池電源）的影響。

【0037】在一個態樣，主控設備和快閃記憶體設備可被連接

，使得兩個設備之間的通訊經由通訊匯流排來發送。爲了直接存取主控設備的快速記憶體資源，快閃記憶體設備可被允許用作控制將其連接到更快速記憶體資源的通訊匯流排的匯流排主控。換言之，快閃記憶體設備和通訊匯流排可被配置成允許快閃記憶體設備在通訊匯流排上發起通訊事務。各個態樣可具有不同的通訊匯流排配置以爲主控設備和快閃記憶體設備提供匯流排主控能力。例如，每個設備專用的通訊匯流排可僅允許一個設備用作每個通訊匯流排的匯流排主控。作爲另一示例，通訊匯流排配置可遵照支援多個設備匯流排主控的匯流排標準，諸如高速PCI（PCIe）或低等待時間介面（LLI）。

【0038】 各個態樣可被實現在各種各樣的系統中，諸如圖1中圖示的示例FTL主控緩存系統10。FTL主控緩存系統10可包括處理器24、52，記憶體或儲存單元28、30、38、58、64、通訊控制器26、32、54、記憶體介面60、以及通訊鏈路34、36、40、62、66。在一個態樣，處理器可以是中央處理單元（CPU）24或微控制器（ μ Ctrl）56。其他態樣可將CPU 24和微控制器56替換爲備選處理器，或者可包括額外的處理器。此類其他處理器可包括例如一或多個其他CPU或微控制器、微處理器、圖形處理單元（GPU）、加速處理單元（APU）、實體處理單元（PPU）。

【0039】 記憶體或儲存單元28、30、38、58、64可包括一系列廣泛的揮發性和非揮發性類型的記憶體中的任意一種。在一個態樣，FTL主控緩存系統10可包括SRAM 28、58、ROM 30

、DRAM 38、以及快閃記憶體64。其他類型的記憶體可包括磁的、光學的、或混合的記憶體設備。此外，FTL表68可被儲存在快閃記憶體64中，並且當被建立時，可在DRAM 38上儲存FTL表的副本70。

【0040】通訊控制器26、32、54、60可被配置成管理FTL主控緩存系統10的多個元件之間的通訊。每一個通訊控制器26、32、54可特定地管理特定元件和其他元件之間的通訊。例如，直接記憶體存取（DMA）匯流排控制器26可被配置成管理DMA匯流排控制器26一側的CPU 24和DRAM 38和另一側的微控制器56之間的通訊。類似地，DMA匯流排控制器54可管理DMA匯流排控制器54一側的微控制器56和另一側的CPU 24之間的通訊。若CPU 24被授權直接記憶體存取快閃記憶體64，則DMA匯流排控制器可以被配置成管理快閃記憶體64和CPU 24之間的位址和資料通訊。DRAM控制器32可被配置成管理一側的DRAM 38和另一側的CPU 24和微控制器54之間的通訊。

【0041】記憶體介面60可被配置作為快閃記憶體介面60。在一個態樣，快閃記憶體介面60可被特別配置用於NAND或NOR快閃記憶體架構。在一態樣，快閃記憶體介面60可被配置用於NAND架構，其中快閃記憶體介面60在頁定址基礎上提供對快閃記憶體64的讀寫存取。

【0042】通訊鏈路34、36、40、62、66可提供用於FTL主控緩存系統10的各元件之間的位址和資料通訊的路徑。在各個態樣，通訊鏈路34、36、40、62、66可被配置用於單個設備

的元件之間的內部通訊或者主設備和周邊設備之間的外部通訊。主控匯流排可提供例如CPU 24、DMA匯流排控制器26、SRAM 28、ROM 30、以及DRAM控制器32之間的通訊路徑。DRAM匯流排36可提供DRAM 36和其他元件（如DRAM控制器32）之間的通訊路徑。儲存匯流排40可提供DMA匯流排控制器26、54之間的通訊路徑。快閃記憶體設備匯流排62可提供DMA匯流排控制器54、微控制器56、SRAM 58、以及快閃記憶體介面60之間的通訊路徑。快閃記憶體匯流排66可提供快閃記憶體64和其他元件（如快閃記憶體介面60）之間的通訊路徑。

【0043】 在一些態樣，這些元件的一些或全部的組合構成了主控設備20和快閃記憶體設備50。在各個態樣，主控設備20和快閃記憶體設備50可被配置為具有經由通訊鏈路40通訊的能力的分開封裝的設備。出於示例的目的（該示例無意作出限制），主控設備20可由CPU 24、DMA匯流排控制器26、SRAM 28、ROM 30、DRAM控制器32、主控匯流排34、DRAM匯流排36、DRAM 38、以及一部分或全部的儲存匯流排40組成。繼續這一示例，快閃記憶體設備50可由一部分或全部的儲存匯流排40、DMA匯流排控制器54、微控制器56、SRAM 58、快閃記憶體介面60、快閃記憶體設備匯流排62、快閃記憶體64、以及快閃記憶體匯流排66組成。

【0044】 在主控設備20的一態樣，元件可被進一步組合成積體電路（諸如片上系統（SoC）22）。SoC 22的元件可包括CPU 24、DMA匯流排控制器26、SRAM 28、ROM 30、DRAM控制

器32、主控匯流排34、以及一部分或全部的DMA匯流排36和儲存匯流排40。類似地，快閃記憶體設備50可進一步包括組合成積體電路（諸如受管理的快閃記憶體控制器52）的元件組合。受管理的快閃記憶體控制器52的元件可包括一部分或全部的儲存匯流排40和快閃記憶體匯流排66、DMA匯流排控制器54、微控制器56、SRAM 58、快閃記憶體介面60、以及快閃記憶體設備匯流排62。

【0045】圖2圖示了適合用於FTL主控緩存系統10中的示例行動設備200。在各個態樣，行動設備200可包括耦合到觸控式螢幕控制器204和內部記憶體206的處理器202。內部記憶體206可以是揮發性或非揮發性記憶體，並且亦可以是安全及/或加密的記憶體、或者不安全及/或未加密記憶體，或者以上的組合。觸控式螢幕控制器204和處理器202亦可被耦合到觸控式螢幕面板212，諸如電阻式傳感觸控式螢幕、電容式傳感觸控式螢幕、紅外傳感觸控式螢幕等。行動設備200可具有一或多個無線電信號收發機208（例如，Peanut®、藍芽®、Zigbee®、Wi-Fi、射頻無線電）以及用於發送和接收的天線210。收發機208和天線210可與以上提到的電路一起使用以實現各種無線傳輸協定堆疊和介面。行動設備200可包括蜂巢網路無線數據機晶片216，該晶片使得能夠經由蜂巢網路通訊。行動設備200可包括耦合到處理器202並且配置成連接到快閃記憶體設備50的周邊設備連接埠218。周邊設備連接埠218可單獨被配置成接受一種類型的連接，或者多重地配置成接受各種類型的實體和通訊連接，諸如USB、火線（FireWire）、雷點（

Thunderbolt) 或 PCIe。行動設備 200 亦可包括用於提供音訊輸出的揚聲器 214。行動設備 200 亦可包括用於放置此處討論的元件中的全部或一些元件的外殼 220，外殼 220 由塑膠、金屬或多種材料的組合來構成。

【0046】將 FTL 表緩存在主控設備的快速記憶體資源中的各個態樣可涉及由 FTL 主控緩存系統 10 執行 FTL 主控緩存初始化方法 300，圖 3 中圖示了該方法的一態樣。FTL 主控緩存初始化方法 300 可由主控設備 20 初始化。為了開始方法 300，主控設備 20 可在方塊 302 經由普遍使用的程序或者專用的程序來初始化快閃記憶體設備 50。或者是在完成之後，或者在記憶體設備 50 的初始化期間，主控設備 20 可在判定方塊 304 查詢快閃記憶體設備 50 以決定快閃記憶體設備 50 是否支援 FTL 主控緩存。當快閃記憶體設備 50 不支援 FTL 主控緩存（亦即，判定方塊 304 = 「否」），則在方塊 306，主控設備 20 會將快閃記憶體設備 50 視為普通快閃記憶體設備。

【0047】若主控設備 20 決定快閃記憶體設備 50 支援 FTL 主控緩存（亦即，判定方塊 304 = 「是」），則在方塊 308，主控設備 22 可向快閃記憶體設備 50 查詢 FTL 表 68 的大小。一旦主控設備 22 被告知了 FTL 表 68 的大小，在方塊 312，主控設備 20 可將其 DRAM 38 進行子劃分，留出足夠的空間來儲存並修改 FTL 表的副本 70。在方塊 314，主控設備 20 可授權快閃記憶體設備 50 對 DRAM 38 被子劃分並留給 FTL 表的副本 70 的那部分的直接記憶體存取（包括讀及/或寫特權）。在 FTL 表的副本 70 被儲存在 DRAM 38 中之後，在方塊 316，主控設備 20 可接收對 FTL 表 68

的複製已完成的通知。

【0048】若主控設備20決定快閃記憶體設備50支援FTL主控緩存（亦即，判定方塊304＝「是」），則在判定方塊310，主控設備20可決定它是否能夠在其自己的DRAM 38中儲存FTL表68的全部。若主控設備20能夠在其自己的DRAM 38中儲存FTL表68的全部（亦即，判定方塊310＝「是」），則主控設備20可在方塊312對其DRAM 38進行子劃分，在方塊314授權快閃記憶體設備50進行直接記憶體存取，以及在方塊316接收接收對FTL表68的複製已完成的通知（如此處所描述的）。

【0049】若主控設備20不能在其自己的DRAM 38中儲存FTL表68的全部（亦即，判定方塊310＝「否」），則主控設備20可在方塊318通知快閃記憶體設備50在DRAM 38中可用的空間的量，並且繼續以上參考方塊312描述的操作。若主控設備20不能儲存FTL表68的全部（亦即，判定方塊310＝「否」），則在方塊320，主控設備20可將快閃記憶體設備50視為普通快閃記憶體設備或者一個不支援FTL主控緩存的快閃記憶體設備。

【0050】FTL主控緩存初始化方法300的替代態樣可包括快閃記憶體設備50初始化FTL主控緩存並且查詢主控設備20以決定主控設備20是否支援FTL主控緩存。在這一態樣中，在啟動之後並且在執行FTL主控緩存初始化方法300之前，主控設備20可留出其DRAM 38的一個子劃分用於預期的FTL主控緩存。當快閃記憶體設備50被連接到主控設備20時，FTL主控緩存初始化方法300可開始，此時，快閃記憶體50可查詢主控設備20以決定主控設備20是否支援FTL主控緩存。若主控設備20

不支援FTL主控緩存，則快閃記憶體設備50可將主控設備20視為普通主控設備。若主控設備支援FTL主控緩存，則可執行FTL主控緩存初始化方法300的剩餘操作（例如，方塊308-320）。

【0051】 FTL主控緩存初始化方法300的各個態樣可包括如圖4中圖示的進一步操作。這些操作可與圖3中圖示的操作同時地、以適當順序進行。在由主控設備20初始化之後，在方塊400，快閃記憶體設備50可回應來自主控設備20的查詢以決定快閃記憶體設備50是否支援FTL主控緩存。FTL主控緩存初始化方法300的各個態樣可包括對這一查詢的回應，該回應既可以是被動的，亦可以是主動的。例如，若回應是被動的，則主控設備20可在快閃記憶體設備50的特定暫存器或記憶體位置中讀取一值以決定對FTL主控緩存的支援。主動回應可包括例如快閃記憶體設備50向主控設備20發送特定信號，該信號指示快閃記憶體設備50是否支援FTL主控緩存。在主動回應的態樣中，回應的缺失亦可以是對快閃記憶體設備20是否支援FTL主控緩存的指示。

【0052】 若快閃記憶體設備50是相容FTL主控緩存的，則在方塊402，它可回應來自主控設備20的對於FTL表68的大小的查詢。回應可涉及返回指示儲存完整的FTL表的副本所需的記憶體的量的值。與方塊400中回應查詢來決定FTL主控緩存相容性非常相似，在方塊402中，這一回應的各個態樣可包括主動和被動回應。若主控設備20已向快閃記憶體50授予直接記憶體存取許可，則在方塊404，快閃記憶體設備50可將FTL表

的完整副本70寫入主控設備20的DRAM 38。替換地，若主控設備20決定其無法儲存FTL表68的全部，則在方塊408，在快閃記憶體50已被授予直接記憶體存取許可之後，快閃記憶體設備50可將FTL表的部分副本70寫入DRAM 38。在這一操作完成之後，在方塊406，快閃記憶體設備50可向主控設備20發送通知，該通知指示FTL表的副本70被儲存在主控設備20的DRAM 38中。

【0053】 爲了幫助對快閃記憶體64的讀及/或寫操作，FTL主控緩存的各個態樣可包括快閃記憶體50對儲存在主控設備20的DRAM 38中的FTL表的副本70的讀及/或寫。在一個態樣，可實現對快閃記憶體設備50的讀操作500，如圖5中所圖示的。在方塊502，快閃記憶體設備50可接收來自主控設備20的與快閃記憶體64的邏輯位址相關聯的讀請求。在被通知了所請求的操作和邏輯位址之後，快閃記憶體設備50可發起寫操作。在方塊504，快閃記憶體設備50可直接存取位於主控設備20的DRAM 38中的FTL表的副本70。在讀操作500的一態樣中，快閃記憶體設備50被授予的直接記憶體存取DRAM 38的許可可允許快閃記憶體設備50在連接設備20、50的儲存匯流排40上作爲匯流排主控或發佈命令。在直接存取主控設備20的DRAM 38之後，在方塊506，快閃記憶體設備50可從FTL表的副本70中讀取/檢索與邏輯位址相關聯的資訊。

【0054】 在從FTL表的副本70中檢索到需要的資訊之後，在方塊508，快閃記憶體設備50可將邏輯位址轉換成快閃記憶體64的實體位址。在方塊510，快閃記憶體設備50可存取快閃記

憶體 64，並且在方塊 512，檢索/讀取位於實體位址處的資料。在從其快閃記憶體 64 中檢索到資料之後，在方塊 514，快閃記憶體設備 50 可將資料返回給主控設備 20 以完成讀請求。

【0055】在另一態樣，圖 6 圖示了可實現對快閃記憶體設備 50 的寫操作 600。在方塊 602，快閃記憶體設備 50 可接收來自主控設備 20 的與快閃記憶體 64 的邏輯位址相關聯的寫請求。在被通知了所請求的操作和邏輯位址之後，快閃記憶體設備 50 可發起寫操作。在方塊 604，快閃記憶體設備 50 現在可直接存取位於主控設備 20 的 DRAM 38 中的 FTL 表的副本 70。在寫操作 500 的一態樣中，快閃記憶體設備 50 被授予的直接記憶體存取 DRAM 38 的許可可允許快閃記憶體設備 50 在連接設備 20、50 的儲存匯流排 40 上作為匯流排主控或發佈命令。在直接存取主控設備 20 的 DRAM 38 之後，在方塊 606，快閃記憶體設備 50 可從 FTL 表的副本 70 中讀取/檢索與邏輯位址相關聯的資訊。

【0056】在從 FTL 表的副本 70 中檢索到需要的資訊之後，在方塊 608，快閃記憶體設備 50 可將邏輯位址轉換成快閃記憶體 64 的實體位址。在方塊 610，快閃記憶體設備 50 可存取快閃記憶體 64，並且在方塊 612，將與寫請求相關聯的資料寫入快閃記憶體 64 的實體位址。當資料被儲存在快閃記憶體 64 中時，在方塊 614，快閃記憶體設備 50 可再次直接存取位於主控設備 20 的 DRAM 38 中的 FTL 表的副本 70。在方塊 616，快閃記憶體設備 50 可更新 FTL 表的副本 70 以反映被用於儲存寫請求的資料的實體位址中的改變。在資料被寫到快閃記憶體 64 並且 FTL 表的副本 70 被更新之後，在方塊 618，快閃記憶體設備 50 可發

送已完成對快閃記憶體設備 50 的寫操作 600 的通知。

【0057】在對快閃記憶體設備 50 的寫操作 600 的替換態樣中，可以不必寫入到具體的邏輯和實體位址。相反，知道哪裡有空的空間用於寫入資料以及空間是否處於用於儲存資料的良好狀態可能就已足夠。因此，在方塊 602 處接收來自主控設備 20 的寫請求之後（在不同態樣可以提供或者可以不提供邏輯位址），在方塊 620，快閃記憶體存放裝置 50 可存取其 SRAM 58 中儲存的表。SRAM 58 中的這些表可包含資訊，該資訊可指示快閃記憶體 64 中的閒置儲存空間或塊的位置以及快閃記憶體 64 的耗損均衡資訊。在方塊 622，快閃記憶體存放裝置 50 可從 SRAM 58 中的表中檢索與快閃記憶體 64 有關的閒置儲存空間及/或耗損均衡資訊以尋找適合用於儲存資料的空間。經由這一資訊，在方塊 624，快閃記憶體存放裝置 50 可決定將資料寫入記憶體的何處的實體位址，在方塊 610 存取快閃記憶體 64，並且繼續此處所描述的對快閃記憶體 50 的寫操作 600 的剩餘部分。

【0058】其他態樣可包括更新 FTL 表 68 以反映已對 FTL 表的副本 70 作出的改變。一個此類態樣可包括更新 FTL 表 68 作為對快閃記憶體設備 50 的寫操作 600 的一部分或在對快閃記憶體設備 50 的寫操作 600 之後更新 FTL 表 68。例如，在方塊 616，FTL 表 68 可在更新 FTL 表的副本 70 之後的任一時間更新。此類更新可包括將 FTL 表的副本 70 或僅將對 FTL 表的副本 70 的更新複製到快閃記憶體 64。亦可設想，對 FTL 表 68 的更新可在對 FTL 表的副本的更新之前或同時進行。其他態樣可包括經由預定

規則或基於可用資源動態地更新FTL表68。例如，預定規則可基於日程、可用資源、回應於命令、或基於一組參數來週期性地執行對FTL表68的更新。動態更新FTL表68可例如基於由設備20、50中的任一者或兩者對於根據FTL主控緩存系統10的效能以最低成本執行更新所需的可用資源、功率及/或時間的決定來進行。此類時間可以是在FTL主控緩存系統10閒置或最少的程序正在執行的時候。

【0059】圖7圖示了在主控設備20的啟動序列期間FTL主控緩存初始化方法300的程序流的一個態樣。可設想FTL主控緩存初始化方法300在主控設備20的啟動序列期間以外的時間執行的各個態樣。例如，在連接快閃記憶體設備50之後而主控設備20正在執行的時候。在圖7中，主控設備50的CPU 24發送信號700以存取主控設備50的ROM 30中的啟動資訊（諸如BIOS和驅動程式）並且執行初始化方法300的代碼程序。CPU 24可經由來自ROM 30的返回信號702接收資訊以及代碼程序。CPU 24可檢查並初始化連接的周邊設備（如快閃記憶體設備50）並且查詢FTL主控緩存相容性以及FTL表58的大小。為此，CPU 24發送信號704給主控設備20的DMA匯流排控制器26，信號704可被作為信號706轉發給快閃記憶體設備50的DMA匯流排控制器54。信號706可作為信號708轉發給快閃記憶體設備50的微控制器56。在一些態樣，微控制器56可經由將回應信號710經由DMA匯流排控制器54發送回CPU 24（將信號710作為信號712轉發給DMA匯流排控制器以及作為信號714轉發給CPU 24）來回應CPU 24的查詢。

【0060】 當被告知了FTL表58的大小，CPU 24可發送信號716來檢查主控設備20的DRAM 38以決定其是否能夠儲存FTL表58的全部，並且CPU 24可對DRAM 38進行子劃分並留出DRAM 38的一部分用於FTL表58。信號716可由DRAM控制器32接收並解譯成發送給DRAM 38的信號718。DRAM控制器32可接收來自DRAM 38的返回信號720，並且發送返回信號722給CPU 24以完成操作的這些部分。

【0061】 CPU 24可為微控制器56提供對DRAM 38的直接記憶體存取，並且經由發送信號724給DMA匯流排控制器26來請求FTL表的副本70。信號724可作為信號726被轉發給DMA匯流排控制器54並且作為信號728轉發給微控制器56。微控制器56可發送信號730以存取快閃記憶體64中的FTL表58以及檢索FTL表的副本70。記憶體介面60接收信號730並且將其解譯為信號732，信號732被發送給快閃記憶體64。記憶體介面60接收來自記憶體64的代表FTL表的副本70的返回信號734，並將信號734作為信號736轉發給微控制器56。

【0062】 在被授權直接記憶體存取DRAM 38之後，微控制器56可在將其連接到DRAM 38的匯流排34、40上作為匯流排主控。微控制器56可發送信號738以將FTL表的副本70寫到DRAM 38。信號738由DMA控制器54作為信號740轉發給DMA控制器26，後者將信號742轉發給DRAM控制器32。信號742被解譯成信號744並被發送給DRAM 38。DRAM控制器32可經由接收信號746來標識何時FTL表的副本70被儲存在DRAM 38中，並且發送信號748給微控制器56來指示寫入已完成。DMA

匯流排控制器26可接收信號748並將其作為信號750轉發，信號750可由DMA匯流排控制器54接收並作為信號752轉發給微控制器56。

【0063】在FTL表的副本70被寫入DRAM 38之後，微控制器56可經由發送信號754來通知CPU 24，FTL主控緩存初始化方法300已完成。DMA匯流排控制器54可接收信號754並將其作為信號756轉發給DMA匯流排控制器16，後者可將信號758轉發給CPU 24。

【0064】CPU 24可確認FTL主控緩存初始化方法300的完成，並且經由發送信號760來指示或給予微控制器開始使用DRAM 38中的FTL表的副本70用於讀和寫操作的許可。DMA匯流排控制器26可接收信號760並將其作為信號762轉發給DMA匯流排控制器54，信號762可作為信號764從DMA匯流排控制器54中繼到微控制器56。微控制器56可將對來自CPU 24的許可的確認作為信號766返回。DMA匯流排控制器54可接收信號766並將其作為信號768轉發給DMA匯流排控制器26，並且作為信號780從DMA匯流排控制器26轉發給CPU 24。圖8圖示了對快閃記憶體設備50的讀操作500的程序流的一個態樣。CPU 24可向微控制器56發出針對邏輯位址的讀請求（經由DMA匯流排控制器26將攜帶該請求的信號800作為信號802發送）。DMA控制器54可接收信號802並將其作為信號804轉發給微控制器56。

【0065】在被授權在FTL主控緩存初始化期間直接記憶體存取DRAM 38之後，微控制器56可在將其連接到DRAM 38的匯

流排34、40上作為匯流排主控。微控制器可發送信號806來檢
索/讀取與DRAM 38中的FTL表的副本70中的邏輯位址相關聯
的資訊。DMA匯流排控制器54可將信號806作為信號808轉發
給DMA匯流排控制器26，信號808可作為信號810轉發給
DRAM控制器32。DRAM控制器32可解譯信號810並發送信號
812給DRAM 38。DRAM控制器32可接收來自DRAM 38的返回
信號814，返回信號814可作為信號816發送給DMA匯流排控制
器26，再作為信號818轉發給DMA匯流排控制器54，最後作為
信號820由微控制器56接收。借助從FTL表的副本70檢索到的
資訊，微控制器56現在可將邏輯位址轉換成快閃記憶體64的
實體位址。

【0066】在決定了實體位址之後，微控制器56可存取記憶體
64並且經由發送信號822來檢索/讀取位於實體位址處的資料
。記憶體介面60可解譯信號822並發送信號824給記憶體64。
來自記憶體64的代表實體位址處的資訊的返回信號826可由
記憶體介面60接收並作為信號828發送給微控制器56。微控制
器56可經由發送信號830將檢索到的資料轉發給DRAM 38以
供CPU 24使用。DMA匯流排控制器54可接收信號830並將其作
為信號832轉發給DMA匯流排控制器26，信號832可作為信號
834轉發給DRAM控制器32。DRAM控制器32可解譯信號834
並發送信號836以將從記憶體64的實體位址讀取的資料寫入
DRAM 38。標誌對DRAM 38的寫入完成的返回信號838可由
DRAM控制器32接收，並作為信號840轉發給DMA匯流排控制
器26，DMA匯流排控制器26可將該信號作為信號842中繼給

DMA匯流排控制器54，DMA匯流排控制器54可將該信號作為信號844中繼給微控制器56。

【0067】在從記憶體64的實體位址讀取的資料被寫入到DRAM 38之後，微控制器56可經由發送信號846來向CPU 24發送所請求的讀取操作已完成並且資料在DRAM 38中可用的通知。DMA匯流排控制器54可接收通知信號846並將其作為信號848轉發給DMA匯流排控制器26，信號848可作為信號850轉發給CPU 24。

【0068】圖9圖示了對快閃記憶體設備50的寫操作600的程序流的一個態樣。CPU 24可向微控制器56發出針對邏輯位址的寫請求（經由DMA匯流排控制器26將攜帶該請求的信號900作為信號902發送）。DMA控制器54可接收信號902並將其作為信號904轉發給微控制器56。

【0069】在被授權在FTL主控緩存初始化期間直接記憶體存取DRAM 38之後，微控制器56可在將其連接到DRAM 38的匯流排34、40上作為匯流排主控。微控制器可發送信號906來從DRAM 38中檢索/讀取與FTL表的副本70中的邏輯位址相關聯的資訊。DMA匯流排控制器54可將信號906作為信號908轉發給DMA匯流排控制器26，信號908可作為信號910轉發給DRAM控制器32。DRAM控制器32可解譯信號910並發送信號912給DRAM 38。DRAM控制器32可接收來自DRAM 38的返回信號914，返回信號914可作為信號916發送給DMA匯流排控制器26，再作為信號918轉發給DMA匯流排控制器54，最後作為信號920由微控制器56接收。借助從FTL表的副本70檢索到的

資訊，微控制器 56 現在可將邏輯位址轉換成快閃記憶體 64 的實體位址。

【0070】在接收到關於將寫入資料儲存在何處的資訊之後，微控制器 56 可經由發送信號 922 來從 DRAM 38 中檢索寫入資料。DMA 匯流排控制器 54 可接收信號 922 並將其作為信號 924 轉發給 DMA 匯流排控制器 26。DRAM 控制器 32 可從 DMA 匯流排控制器 26 接收信號 926，將其解譯成信號 928，並將信號 928 發送給 DRAM 38。DRAM 控制器 32 可接收從 DRAM 38 讀取的寫入資料作為信號 930，並將寫入資料作為信號 932 轉發給微控制器 56。DMA 匯流排控制器 26 可接收信號 932 並將其作為信號 934 轉發給 DMA 匯流排控制器 54，信號 934 可作為信號 936 轉發給微控制器 56。

【0071】在決定了實體位址和檢索到寫入資料之後，微控制器 56 可存取記憶體 64 並經由發送信號 938 來將資料寫入記憶體 64 的該實體位址。記憶體介面 60 可解譯信號 938 並發送信號 940 給記憶體 64。記憶體介面 60 可經由從記憶體 64 接收返回信號 942 來標識對記憶體 64 的寫入何時完成，並且發送信號 944 給微控制器 56 來指示寫入已完成。

【0072】在被授權在 FTL 主控緩存初始化期間直接記憶體存取 DRAM 38 之後，微控制器 56 可經由在將其連接到 DRAM 38 的匯流排 34、40 上作為匯流排主控來更新 FTL 表的副本 70。微控制器可發送信號 946 以直接寫入 DRAM 38。DMA 匯流排控制器 54 可將信號 946 作為信號 948 轉發給 DMA 匯流排控制器 26，信號 948 可作為信號 950 轉發給 DRAM 控制器 32。DRAM 控制器

32可解譯信號950並發送信號952給DRAM 38。DRAM控制器32可經由從DRAM 38接收返回信號954來標識對FTL表的副本70的更新何時完成。信號954可作為信號956發送給DMA匯流排控制器26，再作為信號958轉發給DMA匯流排控制器54，並最終作為信號960由微控制器56接收。

【0073】在完成對FTL表的副本70的更新之後，微控制器56可經由發送信號962來通知CPU 24操作600已完成。DMA匯流排控制器54可接收信號962並將其作為信號964轉發給DMA匯流排控制器26，信號964可作為信號966轉發給CPU 24。

【0074】圖10圖示了對快閃記憶體設備50的寫操作600的程序流的一個態樣。CPU 24可向微控制器56發出寫請求（經由DMA匯流排控制器26將攜帶該請求的信號1000作為信號1002發送）。DMA控制器54可接收信號1002並將其作為信號1004轉發給微控制器56。

【0075】在接收寫請求之後，微控制器56可經由發送信號1006來存取快閃記憶體設備50的SRAM 58來檢索/讀取與快閃記憶體64有關的資訊，該資訊涉及適合用於儲存寫請求的主題資料的空間。資訊可包括快閃記憶體64的閒置儲存空間及/或耗損均衡資訊。微控制器56可從SRAM 58接收表示所期望的資訊的返回信號1008。經由這一資訊，微控制器56可決定快閃記憶體64用於寫入資料的實體位址。

【0076】在決定將寫入資料儲存在何處之後，微控制器56可經由發送信號1010來從DRAM 38中檢索寫入資料。DMA匯流排控制器54可接收信號1010並將其作為信號1012轉發給DMA

匯流排控制器 26。DRAM 控制器 32 可從 DMA 匯流排控制器 26 接收信號 1014，將其解譯成信號 1016，並將信號 1016 發送給 DRAM 38。DRAM 控制器 32 可接收從 DRAM 38 讀取的寫入資料作為信號 1018，並將寫入資料作為信號 1012 轉發給微控制器 56。DMA 匯流排控制器 26 可接收信號 1020 並將其作為信號 1022 轉發給 DMA 匯流排控制器 54，信號 1022 可作為信號 1024 轉發給微控制器 56。

【0077】在決定了實體位址和檢索到寫入資料之後，微控制器 56 可存取記憶體 64 並經由發送信號 1026 來將資料寫入記憶體 64 的該實體位址。記憶體介面 60 可解譯信號 1026 並發送信號 1028 給記憶體 64。記憶體介面 60 可經由從記憶體 64 接收返回信號 1030 來標識對記憶體 64 的寫入何時完成，並且發送信號 1032 給微控制器 56 來指示寫入已完成。

【0078】在被授權在 FTL 主控緩存初始化期間直接記憶體存取 DRAM 38 之後，微控制器 56 可經由在將其連接到 DRAM 38 的匯流排 34、40 上作為匯流排主控來更新 FTL 表的副本 70。微控制器可發送信號 1034 以直接寫入 DRAM 38。DMA 匯流排控制器 54 可將信號 1034 作為信號 1036 轉發給 DMA 匯流排控制器 26，信號 1036 可作為信號 1038 轉發給 DRAM 控制器 32。DRAM 控制器 32 可解譯信號 1038 並發送信號 1040 給 DRAM 38。DRAM 控制器 32 可經由從 DRAM 38 接收返回信號 1042 來標識對 FTL 表的副本 70 的更新何時完成。信號 1042 可作為信號 1044 發送給 DMA 匯流排控制器 26，再作為信號 1046 轉發給 DMA 匯流排控制器 54，並最終作為信號 1048 由微控制器 56 接收。

【0079】在完成對FTL表的副本70的更新之後，微控制器56可經由發送信號1050來通知CPU 24操作600已完成。DMA匯流排控制器54可接收信號1050並將其作為信號1052轉發給DMA匯流排控制器26，信號1052可作為信號1054轉發給CPU 24。

【0080】在一些態樣，可為此處描述的程序中的一或多個程序重複比圖7-10中所顯示的更多次數的任何元件間的程序流的任何部分。例如，代表將FTL表68從快閃記憶體設備50複製到主控設備的信號734-758可作為複製的事務進行多次。這些事務可以是對複製的執行，其中每個異動複製FTL表68的一部分，並且這些事務持續下去直到複製完成。以32MB的FTL表資料為例，每個事務僅將32、64或128個位元組的FTL表資料複製到主控設備20。這對於圖7-10中圖示的任何讀或寫操作同樣成立。

【0081】上述方法描述和程序流程圖僅作為說明性示例提供，且並非旨在要求或暗示各個態樣的操作必須按所提供的次序來執行。如熟習此項技術者將領會的，前述各態樣中的操作次序可按任何次序來執行。諸如「其後」、「隨後」、「接著」等的措辭並非在限定操作的次序；這些措辭僅是簡單地用以指引讀者遍歷方法的描述。進一步地，對單數形式的請求項元素的任何引述，例如使用冠詞「一」、「某」或「該」的引述不應解釋為將該元素限定為單數。

【0082】結合本文中所揭示的各態樣來描述的各種說明性邏輯區塊、模組、電路、和演算法操作可實現為電子硬體、電腦軟體、或這兩者的組合。為清楚地圖示硬體和軟體的這種

可互換性，各種說明性元件、方塊、模組、電路、和操作在上文中以其功能性的形式進行了一般化描述。此類功能性是被實現為硬體還是軟體取決於具體應用和施加於整體系統的設計約束。熟習此項技術者對於每種特定應用可用不同的方式來實現所描述的功能性，但此類實現決策不應被解讀成導致脫離了本發明的範疇。

【0083】用以實現結合本文中揭示的態樣描述的各種例示性邏輯、邏輯區塊、模組、以及電路的硬體可利用通用處理器、數位信號處理器（DSP）、特殊應用積體電路（ASIC）、現場可程式設計閘陣列（FPGA）或其他可程式設計邏輯裝置、個別閘或電晶體邏輯、個別的硬體元件、或其設計成執行本文中描述的功能的任何組合來實現或執行。通用處理器可以是微處理器，但在替換方案中，處理器可以是任何習知的處理器、控制器、微控制器、或狀態機。處理器亦可以被實現為計算設備的組合，例如DSP與微處理器的組合、複數個微處理器、與DSP核心協同的一或多個微處理器或任何其他此類配置。替代地，一些操作或方法可由專用於給定功能的電路系統來執行。

【0084】在一或多個示例性態樣中，所描述的功能可在硬體、軟體、韌體或其任何組合中實現。若在軟體中實現，則這些功能可作為一或多數指令或代碼儲存在非瞬態電腦可讀取媒體或非瞬態處理器可讀取媒體上。本文中揭示的方法或演算法的操作可在處理器可執行軟體模組中實施，處理器可執行軟體模組可常駐在非瞬態電腦可讀或處理器可讀儲存媒體

上。非瞬態電腦可讀或處理器可讀儲存媒體可以是能被電腦或處理器存取的任何儲存媒體。作為示例而非限定，此類非瞬態電腦可讀或處理器可讀取媒體可包括RAM、ROM、EEPROM、快閃記憶體、CD-ROM或其他光碟儲存、磁碟儲存或其他磁存放裝置、或能被用來儲存指令或資料結構形式的期望程式碼且能被電腦存取的任何其他媒體。如本文中所使用的盤和碟，包括壓縮光碟（CD）、鐳射光碟、光碟、數位多功能光碟（DVD）、軟碟和藍光光碟，其中盤（disk）往往以磁的方式再現資料而碟（disc）利用鐳射以光學方式再現資料。以上的組合亦被包括在非瞬態電腦可讀和處理器可讀取媒體的範疇內。另外，方法或演算法的操作可作為一條代碼及/或指令或者代碼及/或指令的任何組合或集合而常駐在可被納入電腦程式產品中的非瞬態處理器可讀取媒體及/或電腦可讀取媒體上。

【0085】提供了以上對所揭示的態樣的描述是為了使得任何熟習此項技術者皆能夠製作或使用本發明。對這些態樣的各種修改容易為熟習此項技術者所顯見，並且在此所定義的普適原理可被應用於其他態樣而不會脫離本發明的精神或範疇。由此，本發明並非旨在限定於本文中示出的態樣，而是應被授予與所附請求項和本文中揭示的原理和新穎性特徵一致的最廣義的範疇。

【符號說明】

【 0086】

- 10 FTL 主控緩存系統
- 20 主控設備
- 22 片上系統（SoC）
- 24 中央處理單元（CPU）
- 26 DMA 匯流排控制器
- 28 SRAM
- 30 ROM
- 32 DRAM 控制器
- 34 主控匯流排
- 36 DRAM 匯流排
- 38 DRAM
- 40 儲存匯流排
- 50 快閃記憶體設備
- 52 受管理的快閃記憶體控制器
- 54 DMA 匯流排控制器
- 56 微控制器（ μ Ctrl）
- 58 SRAM
- 60 記憶體介面
- 62 快閃記憶體設備匯流排
- 64 快閃記憶體
- 66 快閃記憶體匯流排
- 68 快閃記憶體轉換層（FTL）表

70 副本

200 行動設備

202 處理器

204 觸控式螢幕控制器

206 內部記憶體

208 無線電信號收發機

210 天線

212 觸控式螢幕面板

214 揚聲器

216 蜂巢網路無線數據機晶片

218 周邊設備連接埠

220 外殼

300 方法

302 方塊

304 方塊

306 方塊

308 方塊

310 方塊

312 方塊

314 方塊

316 方塊

318 方塊

320 方塊

400 方塊

402 方塊

404 方塊

406 方塊

408 方塊

500 讀操作

502 方塊

504 方塊

506 方塊

508 方塊

510 方塊

512 方塊

514 方塊

600 寫操作

602 方塊

604 方塊

606 方塊

608 方塊

610 方塊

612 方塊

614 方塊

616 方塊

618 方塊

620 方塊

622 方塊

624 方塊

700 信號

702 返回信號

704 信號

706 信號

708 信號

710 信號

712 信號

714 信號

716 信號

718 信號

720 返回信號

722 返回信號

724 信號

726 信號

728 信號

730 信號

732 信號

734 信號

736 信號

738 信號

740 信號

742 信號

744 信號

746 信號

748 信號

750 信號

752 信號

754 信號

756 信號

758 信號

760 信號

762 信號

764 信號

766 信號

768 信號

770 信號

800 信號

802 信號

804 信號

806 信號

808 信號

810 信號

812 信號

814 返回信號

816 信號

818 信號

820 信號

822 信號

824 信號

826 返回信號

828 信號

830 信號

832 信號

834 信號

836 信號

838 返回信號

840 信號

842 信號

844 信號

846 信號

848 信號

850 信號

900 信號

902 信號

904 信號

906 信號

908 信號

910 信號

912 信號

914 返回信號

916 信號

918 信號

920 信號

922 信號

924 信號

926 信號

928 信號

930 信號

932 信號

934 信號

936 信號

938 信號

940 信號

942 信號

944 信號

946 信號

948 信號

950 信號

952 信號

954 信號

956 信號

958 信號

960 信號

962 信號

964 信號

966 信號

1000 信號

1002 信號

1004 信號

1006 信號

1008 信號

1010 信號

1012 信號

1014 信號

1016 信號

1018 信號

1020 信號

1022 信號

1024 信號

1026 信號

1028 信號

1030 返回信號

1032 信號

1034 信號

1036 信號

1038 信號

1040 信號

1042 信號

1044 信號

1046 信號

1048 信號

1050 信號

1052 信號

1054 信號

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍

1. 一種用於提高一快閃記憶體設備的一快閃記憶體轉換層（FTL）的效能的方法，包括以下步驟：

由該快閃記憶體設備將該快閃記憶體設備的一 FTL 表的一副本儲存在一主控設備的一揮發性記憶體上；

由該快閃記憶體設備接收對於儲存在該主控設備的該揮發性記憶體中的該 FTL 表的該副本的存取；

由該快閃記憶體設備對儲存在該主控設備的該揮發性記憶體中的該快閃記憶體設備的該 FTL 表的該副本進行存取，作為一讀操作和一寫操作中的至少一者的一部分；

由該快閃記憶體設備從該主控設備的該揮發性記憶體中檢索該 FTL 表的該副本；及

由該快閃記憶體設備利用對於被儲存在該揮發性記憶體中的該快閃記憶體設備的該 FTL 表的該副本的改變來動態地更新該快閃記憶體設備的該 FTL 表。

2. 如請求項 1 述及之方法，亦包括以下步驟：

接收來自該主控設備的對該快閃記憶體設備中的該 FTL 表的一大小的一查詢；

從該快閃記憶體設備將該 FTL 表的該大小返回給該主控設備；

在該主控設備處接收來自該快閃記憶體設備的該 FTL 表的該大小；及

由該主控設備決定該主控設備的該揮發性記憶體是否能

夠儲存該FTL表的全部。

3. 如請求項2述及之方法，亦包括以下步驟：

由該主控設備對該主控設備的該揮發性記憶體進行子劃分，其中一子劃分的一大小基於該FTL表的該大小；

由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取讀取的特權；及

由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取寫入的特權，

其中儲存該FTL表的一副本包括由該快閃記憶體設備將該FTL表的該副本儲存在該主控設備的該揮發性記憶體的該子劃分中。

4. 如請求項1述及之方法，其中對該FTL表的該副本進行存取包括由該快閃記憶體設備對通訊地連接該快閃記憶體設備和該主控設備的該揮發性記憶體的一通訊匯流排作匯流排主控。

5. 如請求項1述及之方法，其中對該FTL表的該副本進行存取包括以下步驟：

在該快閃記憶體設備中接收來自該主控設備的對於一邏輯位址的一讀操作請求；

由該快閃記憶體設備發起該讀操作；

由該快閃記憶體設備讀取該FTL表的該副本的至少一部分；

由該快閃記憶體設備決定對應於該邏輯位址的一實體位址；

由該快閃記憶體設備檢索位於該快閃記憶體設備的一記憶體的該實體位址處的資料；及

由該快閃記憶體設備將該資料返回給該主控設備。

6. 如請求項1述及之方法，其中對該FTL表的該副本進行存取包括以下步驟：

由該快閃記憶體設備接收來自該主控設備的對於一邏輯位址的一寫操作請求；

由該快閃記憶體設備發起該寫操作；

由該快閃記憶體設備將資料寫入該快閃記憶體設備的一記憶體的一實體位址；

由該快閃記憶體設備寫入該FTL表的該副本以更新該FTL表的該副本，以與該資料被寫入時對該快閃記憶體設備的該記憶體所作出的改變相對應；及

由該快閃記憶體設備向該主控設備發送該寫操作完成的一通知。

7. 如請求項6述及之方法，亦包括以下步驟：

由該快閃記憶體設備讀取該FTL表的該副本的至少一部

分；及

由該快閃記憶體設備決定對應於該邏輯位址的該實體位址。

8. 如請求項6述及之方法，亦包括以下步驟：

由該快閃記憶體設備讀取該快閃記憶體設備的一SRAM；及

由該快閃記憶體設備決定指示該快閃記憶體設備的該記憶體中的閒置儲存空間的一位置的該實體位址。

9. 如請求項1述及之方法，亦包括由該快閃記憶體設備向該主控設備發送指示將該FTL表的該副本儲存在該主控設備的該揮發性記憶體中已完成的一通知。

10. 如請求項1述及之方法，亦包括由該快閃記憶體設備基於從一日程、可用資源、以及一寫操作的完成構成的一組中選擇的一參數來用該FTL表的該副本更新該快閃記憶體設備的該FTL表。

11. 如請求項1述及之方法，亦包括由該主控設備決定該快閃記憶體設備是否支援將該FTL表的一副本主控緩存在該主控設備的該揮發性記憶體中。

12. 如請求項1述及之方法，亦包括在該主控設備中接收來自

該快閃記憶體設備的儲存該FTL表的該副本已完成的一通知。

13. 一種其上儲存有處理器可執行軟體指令的非瞬態處理器可讀取媒體，該等處理器可執行軟體指令被配置成使一系統提高該系統的一快閃記憶體設備的一快閃記憶體轉換層（FTL）的效能，該等操作包括：

由該快閃記憶體設備將該快閃記憶體設備的一FTL表的一副本儲存在一主控設備的一揮發性記憶體上；

由該快閃記憶體設備接收對於儲存在該主控設備的該揮發性記憶體中的該FTL表的該副本的存取；

由該快閃記憶體設備對儲存在該主控設備的該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本進行存取，作為一讀操作和一寫操作中的至少一者的一部分；

由該快閃記憶體設備從該主控設備的該揮發性記憶體中檢索該FTL表的該副本；及

由該快閃記憶體設備利用對於被儲存在該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本的改變來動態地更新該快閃記憶體設備的該FTL表。

14. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作進一步包括：

接收來自該主控設備的對該快閃記憶體設備中的該FTL表的一大小的一查詢；

從該快閃記憶體設備將該FTL表的該大小返回給該主控設備；

在該主控設備處接收來自該快閃記憶體設備的該FTL表的該大小；及

由該主控設備決定該主控設備的該揮發性記憶體是否能夠儲存該FTL表的全部。

15. 如請求項14述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作進一步包括：

由該主控設備對該主控設備的該揮發性記憶體進行子劃分，其中一子劃分的一大小基於該FTL表的該大小；

由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取讀取的特權；及

由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取寫入的特權，

其中儲存該FTL表的一副本包括由該快閃記憶體設備將該FTL表的該副本儲存在該主控設備的該揮發性記憶體的該子劃分中。

16. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作

，使得對該FTL表的該副本進行存取包括由該快閃記憶體設備對通訊地連接該快閃記憶體設備和該主控設備的該揮發性記憶體的一通訊匯流排作匯流排主控。

17. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，使得對該FTL表的該副本的存取包括：

在該快閃記憶體設備中接收來自該主控設備的對於一邏輯位址的一讀操作請求；

由該快閃記憶體設備發起該讀操作；

由該快閃記憶體設備讀取該FTL表的該副本的至少一部分；

由該快閃記憶體設備決定對應於該邏輯位址的一實體位址；

由該快閃記憶體設備檢索位於該快閃記憶體設備的一記憶體的該實體位址處的資料；及

由該快閃記憶體設備將該資料返回給該主控設備。

18. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，使得對該FTL表的該副本的存取包括：

由該快閃記憶體設備接收來自該主控設備的對於一邏輯位址的一寫操作請求；

由該快閃記憶體設備發起該寫操作；

由該快閃記憶體設備將資料寫入該快閃記憶體設備的一記憶體的一實體位址；

由該快閃記憶體設備寫入該FTL表的該副本以更新該FTL表的該副本，以與該資料被寫入時對該快閃記憶體設備的該記憶體所作出的改變相對應；及

由該快閃記憶體設備向該主控設備發送該寫操作完成的一通知。

19. 如請求項18述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作進一步包括：

由該快閃記憶體設備讀取該FTL表的該副本的至少一部分；及

由該快閃記憶體設備決定對應於該邏輯位址的該實體位址。

20. 如請求項18述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作進一步包括：

由該快閃記憶體設備讀取該快閃記憶體設備的一SRAM；及

由該快閃記憶體設備決定指示該快閃記憶體設備的該記憶體中的閒置儲存空間的一位置的該實體位址。

21. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作亦包括由該快閃記憶體設備向該主控設備發送指示將該FTL表的該副本儲存在該主控設備的該揮發性記憶體中已完成的一通知。

22. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作亦包括由該快閃記憶體設備基於從一日程、可用資源、以及該寫操作的完成構成的一組中選擇的一參數來用該FTL表的該副本更新該快閃記憶體設備的該FTL表。

23. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作亦包括由該主控設備決定該快閃記憶體設備是否支援將該FTL表的一副本主控緩存在該主控設備的該揮發性記憶體中。

24. 如請求項13述及之非瞬態處理器可讀取媒體，其中該等所儲存的處理器可執行軟體指令被配置成使該系統執行操作，該等操作亦包括在該主控設備中接收來自該快閃記憶體設備的儲存該FTL表的該副本已完成的一通知。

25. 一種系統，包括：

一 主控設備，包括：

一 揮發性記憶體；及

耦合到該揮發性記憶體的一第一處理器；及

耦合到該主控設備的一快閃記憶體設備，該快閃記憶體設備包括：

配置成儲存用於在一邏輯位址和一實體位址間進行轉換的一快閃記憶體轉換層（FTL）表的一快閃記憶體；及

耦合至該快閃記憶體的一第二處理器，其中該第二處理器配置有處理器可執行指令以執行操作，該等操作包括：

將該快閃記憶體設備的該FTL表的一副本儲存在該主控設備的該揮發性記憶體中；

接收對於儲存在該主控設備的該揮發性記憶體中的該FTL表的該副本的存取；及

對儲存在該主控設備的該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本進行存取，作為一讀操作和一寫操作中的至少一者的一部分；

由該快閃記憶體設備從該主控設備的該揮發性記憶體中檢索該FTL表的該副本；及

由該快閃記憶體設備利用對於被儲存在該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本的改變來動態地更新該快閃記憶體設備的該FTL表。

26. 如請求項25述及之系統，其中：

該第二處理器用處理器可執行指令配置成執行操作，該等操作進一步包括：

接收來自該主控設備的對該快閃記憶體設備中的該FTL表的一大小的一查詢；及

從該快閃記憶體設備將該FTL表的該大小返回給該主控設備；及

該第一處理器用處理器可執行指令配置成執行操作，該等操作進一步包括：

在該主控設備處接收來自該快閃記憶體設備的該FTL表的該大小；及

由該主控設備決定該主控設備的該揮發性記憶體是否能夠儲存該FTL表的全部。

27. 如請求項26述及之系統，其中：

該第一處理器用處理器可執行指令配置成執行操作，該等操作進一步包括：

由該主控設備對該主控設備的該揮發性記憶體進行子劃分，其中一子劃分的一大小基於該FTL表的該大小；

儲存該FTL表的該副本包括由該快閃記憶體設備將該FTL表的該副本儲存在該主控設備的該揮發性記憶體的該子劃分中；及

該第二處理器用處理器可執行指令配置成執行操作，該等操作進一步包括：

由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取讀取的特權；及

由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取寫入的特權。

28. 如請求項25述及之系統，亦包括：

通訊地連接該快閃記憶體設備和該主控設備的該揮發性記憶體的一通訊匯流排，

其中該第二處理器用處理器可執行指令配置成執行操作，使得對該FTL表的該副本的存取包括對該通訊匯流排作匯流排主控。

29. 如請求項25述及之系統，其中該第二處理器用處理器可執行指令配置成使得對該FTL表的該副本進行存取包括：

在該快閃記憶體設備中接收來自該主控設備的對於該邏輯位址的一讀操作請求；

由該快閃記憶體設備發起該讀操作；

由該快閃記憶體設備讀取該FTL表的該副本的至少一部分；

由該快閃記憶體設備決定對應於該邏輯位址的該實體位址；

由該快閃記憶體設備檢索位於該快閃記憶體設備的該快

閃記憶體的該實體位址處的資料；及

由該快閃記憶體設備將該資料返回給該主控設備。

30. 如請求項25述及之系統，其中該第二處理器用處理器可執行指令配置成使得對該FTL表的該副本進行存取包括：

由該快閃記憶體設備接收來自該主控設備的對於該邏輯位址的一寫操作請求；

由該快閃記憶體設備發起該寫操作；

由該快閃記憶體設備將資料寫入該快閃記憶體設備的該快閃記憶體的該實體位址；

由該快閃記憶體設備寫入該FTL表的該副本以更新該FTL表的該副本，以與該資料被寫入時對該快閃記憶體設備的該快閃記憶體所作出的改變相對應；及

由該快閃記憶體設備向該主控設備發送該寫操作完成的一通知。

31. 如請求項30述及之系統，其中該第二處理器用處理器可執行指令配置成執行操作，該等操作進一步包括：

由該快閃記憶體設備讀取該FTL表的該副本的至少一部分；及

由該快閃記憶體設備決定對應於該邏輯位址的該實體位址。

32. 如請求項30述及之系統，其中：

該快閃記憶體設備亦包括耦合到該第二處理器的一SRAM；及

該第二處理器用處理器可執行指令配置成執行操作，該等操作進一步包括：

由該快閃記憶體設備讀取該快閃記憶體設備的該SRAM；及

由該快閃記憶體設備決定指示該快閃記憶體設備的該快閃記憶體中的閒置儲存空間的一位置的該實體位址。

33. 如請求項25述及之系統，其中該第二處理器用處理器可執行指令配置成執行操作，該等操作進一步包括由該快閃記憶體設備向該主控設備發送指示將該FTL表的該副本儲存在該主控設備的該揮發性記憶體中已完成的一通知。

34. 如請求項25述及之系統，其中該第二處理器用處理器可執行指令配置成執行操作，該等操作進一步包括由該快閃記憶體設備基於從一日程、可用資源、以及該寫操作的完成構成的一組中選擇的一參數來用該FTL表的該副本更新該快閃記憶體設備的該FTL表。

35. 如請求項25述及之系統，其中該第一處理器用處理器可執行指令配置成執行操作，該等操作進一步包括由該主控設備決定該快閃記憶體設備是否支援將該FTL表的一副本主控緩存在該主控設備的該揮發性記憶體中。

36. 如請求項25述及之系統，其中該第一處理器用處理器可執行指令配置成執行操作，該等操作進一步包括在該主控設備中接收來自該快閃記憶體設備的儲存該FTL表的該副本已完成的一通知。

37. 一種系統，包括：

一快閃記憶體設備；

用於由該快閃記憶體設備將該快閃記憶體設備的一快閃記憶體轉換層（FTL）表的一副本儲存在一主控設備的一揮發性記憶體上的裝置；

用於由該快閃記憶體設備接收對於儲存在該主控設備的該揮發性記憶體中的該FTL表的該副本的存取的裝置；及

用於由該快閃記憶體設備對儲存在該主控設備的該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本進行存取，作為一讀操作和一寫操作中的至少一者的一部分的裝置；

用於由該快閃記憶體設備從該主控設備的該揮發性記憶體中檢索該FTL表的該副本的裝置；及

用於由該快閃記憶體設備利用對於被儲存在該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本的改變來動態地更新該快閃記憶體設備的該FTL表的裝置。

38. 如請求項37述及之系統，亦包括：

用於接收來自該主控設備的對該快閃記憶體設備中的該FTL表的一大小的一查詢的裝置；

用於從該快閃記憶體設備將該FTL表的該大小返回給該主控設備的裝置；

用於在該主控設備處接收來自該快閃記憶體設備的該FTL表的該大小的裝置；及

用於由該主控設備決定該主控設備的該揮發性記憶體是否能夠儲存該FTL表的全部的裝置。

39. 如請求項38述及之系統，進一步包括：

用於由該主控設備對該主控設備的該揮發性記憶體進行子劃分的裝置，其中一子劃分的一大小基於該FTL表的該大小；

用於由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取讀取的特權的裝置；及

用於由該快閃記憶體設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取寫入的特權的裝置，

其中用於儲存該FTL表的一副本的裝置包括用於由該快閃記憶體設備將該FTL表的該副本儲存在該主控設備的該揮發性記憶體的該子劃分中的裝置。

40. 如請求項37述及之系統，其中用於對該FTL表的該副本進

行存取的裝置亦包括用於由該快閃記憶體設備對通訊地連接該快閃記憶體設備和該主控設備的該揮發性記憶體的一通訊匯流排作匯流排主控的裝置。

41. 如請求項37述及之系統，其中用於對該FTL表的該副本進行存取的裝置包括：

用於在該快閃記憶體設備中接收來自該主控設備的對於一邏輯位址的一讀操作請求的裝置；

用於由該快閃記憶體設備發起該讀操作的裝置；

用於由該快閃記憶體設備讀取該FTL表的該副本的至少一部分的裝置；

用於由該快閃記憶體設備決定對應於該邏輯位址的一實體位址的裝置；

用於由該快閃記憶體設備檢索位於該快閃記憶體設備的一記憶體的該實體位址處的資料的裝置；及

用於由該快閃記憶體設備將該資料返回給該主控設備的裝置。

42. 如請求項37述及之系統，其中用於對該FTL表的該副本進行存取的裝置亦包括：

用於由該快閃記憶體設備接收來自該主控設備的對於一邏輯位址的一寫操作請求的裝置；

用於由該快閃記憶體設備發起該寫操作的裝置；

用於由該快閃記憶體設備將資料寫入該快閃記憶體設備

的一記憶體的一實體位址的裝置；

用於由該快閃記憶體設備寫入該FTL表的該副本以更新該FTL表的該副本以與該資料被寫入時對該快閃記憶體設備的該記憶體所作出的改變相對應的裝置；及

用於由該快閃記憶體設備向該主控設備發送該寫操作完成的一通知的裝置。

43. 如請求項42述及之系統，進一步包括：

用於由該快閃記憶體設備讀取該FTL表的該副本的至少一部分的裝置；及

用於由該快閃記憶體設備決定對應於該邏輯位址的該實體位址的裝置。

44. 如請求項42述及之系統，進一步包括：

用於由該快閃記憶體設備讀取該快閃記憶體設備的一SRAM的裝置；及

用於由該快閃記憶體設備決定指示該快閃記憶體設備的該記憶體中的閒置儲存空間的一位置的該實體位址的裝置。

45. 如請求項37述及之系統，亦包括用於由該快閃記憶體設備向該主控設備發送指示將該FTL表的該副本儲存在該主控設備的該揮發性記憶體中已完成的一通知的裝置。

46. 如請求項37述及之系統，亦包括用於由該快閃記憶體設

備基於從一日程、可用資源、以及一寫操作的完成構成的一組中選擇的一參數來用該FTL表的該副本更新該快閃記憶體設備的該FTL表的裝置。

47. 如請求項37述及之系統，亦包括用於由該主控設備決定該快閃記憶體設備是否支援將該FTL表的一副本主控緩存在該主控設備的該揮發性記憶體中的裝置。

48. 如請求項37述及之系統，亦包括用於在該主控設備中接收來自該快閃記憶體設備的儲存該FTL表的該副本已完成的一通知的裝置。

49. 一種配置成耦合到一主控設備的快閃記憶體設備，該快閃記憶體設備包括：

配置成儲存包括用於在一邏輯位址和一實體位址間進行轉換的一快閃記憶體轉換層（FTL）表的資料的一快閃記憶體；及

耦合至該快閃記憶體的一處理器，其中該處理器配置有處理器可執行指令以執行操作，該等操作包括：

將該快閃記憶體設備的一快閃記憶體轉換層FTL表的一副本儲存在該主控設備的一揮發性記憶體中；

接收對於儲存在該主控設備的該揮發性記憶體中的該FTL表的該副本的存取；

對儲存在該主控設備的該揮發性記憶體中的該快閃

記憶體設備的該FTL表的該副本進行存取，作為一讀操作和一寫操作中的至少一者的一部分；

從該主控設備的該揮發性記憶體中檢索該FTL表的該副本；及

利用對於被儲存在該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本的改變來動態地更新該快閃記憶體設備的該FTL表。

50. 如請求項49述及之快閃記憶體設備，其中：

該處理器用處理器可執行指令配置成執行操作，該等操作進一步包括：

接收來自該主控設備的對該FTL表的一大小的一查詢；及

將該FTL表的該大小返回給該主控設備；及

該處理器用處理器可執行指令配置成執行操作，使得將該快閃記憶體設備的該FTL表的該副本儲存在該主控設備的一揮發性記憶體中包括由該主控設備將該FTL表的該副本儲存在該主控設備的該揮發性記憶體的向該處理器標識的一子劃分中。

51. 如請求項50述及之快閃記憶體設備，亦包括

通訊地連接該快閃記憶體設備和該主控設備的該揮發性記憶體的一通訊匯流排；及

其中該處理器用處理器可執行指令配置成執行操作，該

等操作進一步包括：

從該主控設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取讀取的特權；

從該主控設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取寫入的特權；及

其中對該FTL表的該副本的存取包括對該通訊匯流排作匯流排主控。

52. 如請求項49述及之快閃記憶體設備，其中該處理器用處理器可執行指令配置成使得對該FTL表的該副本進行存取包括：

回應於來自該主控設備的針對該邏輯位址的一讀和一寫操作請求之一來從該主控設備的該揮發性記憶體中讀取該FTL表的該副本的至少一部分；

回應於一讀操作請求將位於該快閃記憶體的對應於該邏輯位址的該實體位址處的資料返回給該主控設備；

回應於一寫操作請求寫入儲存在該主控設備的該揮發性記憶體中的該FTL表的該副本以更新該FTL表的該副本，以與該資料被寫入該快閃記憶體設備的對應於該邏輯位址的該實體位址時對該快閃記憶體所作出的改變相對應；及

向該主控設備發送回應於該寫操作請求的該寫操作已完成的一通知。

53. 一種配置成耦合到一主控設備的快閃記憶體設備，該快閃記憶體設備包括：

用於將該快閃記憶體設備的一快閃記憶體轉換層（FTL）表的一副本儲存在該主控設備的一揮發性記憶體中的裝置；

用於接收對於儲存在該主控設備的該揮發性記憶體中的該FTL表的該副本的存取的裝置；及

用於對儲存在該主控設備的該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本進行存取作為一讀操作和一寫操作中的至少一者的一部分的裝置。

用於從該主控設備的該揮發性記憶體中檢索該FTL表的該副本的裝置；及

用於利用對於被儲存在該揮發性記憶體中的該快閃記憶體設備的該FTL表的該副本的改變來動態地更新該快閃記憶體設備的該FTL表的裝置。

54. 如請求項53述及之快閃記憶體設備，亦包括：

用於接收來自該主控設備的對該FTL表的一大小的一查詢的裝置；及

用於將該FTL表的該大小返回給該主控設備的裝置，

其中用於將該快閃記憶體設備的該FTL表的該副本儲存在該主控設備的一揮發性記憶體中的裝置包括：用於將該FTL表的該副本儲存在該主控設備的該揮發性記憶體的一子劃分

中的裝置。

55. 如請求項54述及之快閃記憶體設備，亦包括：

用於從該主控設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取讀取的特權的裝置；

用於從該主控設備接收對該主控設備的該揮發性記憶體中儲存該FTL表的該副本的該子劃分進行直接記憶體存取寫入的特權的裝置；及

其中用於對該FTL表的該副本進行存取的裝置包括：用於對通訊地連接該快閃記憶體設備和該主控設備的該揮發性記憶體的一通訊匯流排作匯流排主控的裝置。

56. 如請求項53述及之快閃記憶體設備，其中用於對該FTL表的該副本進行存取的裝置包括：

用於回應於來自該主控設備的針對一邏輯位址的一讀和一寫操作請求之一來從該主控設備的該揮發性記憶體中讀取該FTL表的該副本的至少一部分的裝置；

用於回應於一讀操作請求將位於一快閃記憶體的對應於該邏輯位址的一實體位址處的資料返回給該主控設備的裝置；

用於回應於一寫操作請求寫入儲存在該主控設備的該揮發性記憶體中的該FTL表的該副本以更新該FTL表的該副本，以與該資料被寫入該快閃記憶體設備的對應於該邏輯位址

的該實體位址時對該快閃記憶體所作出的改變相對應的裝置；及

用於向該主控設備發送回應於該寫操作請求的該寫操作已完成的一通知的裝置。

57. 一種配置成耦合到一快閃記憶體設備的主控設備，該主控設備包括：

一揮發性記憶體；

通訊地連接該主控設備的該揮發性記憶體並配置成當該快閃記憶體設備耦合到該主控設備時與該快閃記憶體設備通訊的一通訊匯流排；及

耦合至該揮發性記憶體和該通訊匯流排的一處理器，其中該處理器配置有處理器可執行指令以執行操作，該等操作包括：

決定該快閃記憶體設備是否支援將該快閃記憶體設備的一快閃記憶體轉換層（FTL）表的一副本主控緩存在該揮發性記憶體中；

分配該揮發性記憶體的一部分用於儲存該FTL表的該副本；

為該快閃記憶體設備授予經由該通訊匯流排對該揮發性記憶體的該部分直接記憶體存取讀取和寫入的特權；

允許對於來自該主控設備的該揮發性記憶體的該FTL表的該副本的存取；及

提供對於該FTL表的該副本的改變以用於動態地更新

該快閃記憶體設備的該FTL表。

58. 如請求項57述及之主控設備，其中該處理器配置有處理器可執行指令以執行操作，該等操作進一步包括：

向該快閃記憶體設備查詢該快閃記憶體設備中儲存的該FTL表的一大小；及

決定該揮發性記憶體是否能夠儲存該FTL表的全部，

其中分配該揮發性記憶體的一部分包括基於該FTL表的該大小決定該揮發性記憶體的該部分的一大小。

59. 一種配置成耦合到一快閃記憶體設備的主控設備，該主控設備包括：

用於決定該快閃記憶體設備是否支援將該快閃記憶體設備的一快閃記憶體轉換層（FTL）表的一副本主控緩存在該主控設備的一揮發性記憶體中的裝置；

用於分配該揮發性記憶體的一部分用於儲存該FTL表的該副本的裝置；及

用於為該快閃記憶體設備授予對該揮發性記憶體的該部分直接記憶體存取讀取和寫入的特權的裝置；

用於允許對於來自該主控設備的該揮發性記憶體的該FTL表的該副本的存取的裝置；及

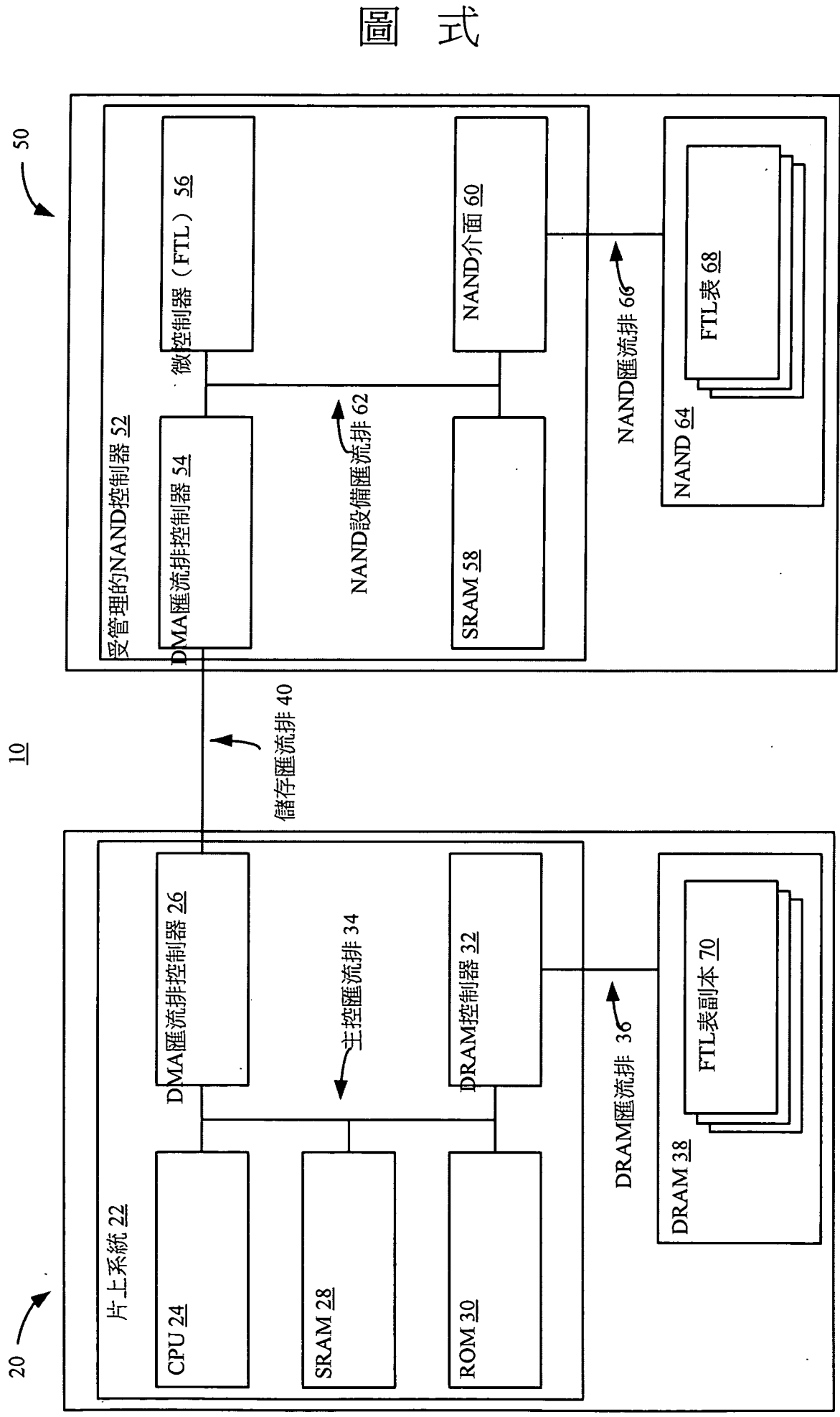
用於提供對於該FTL表的該副本的改變以用於動態地更新該快閃記憶體設備的該FTL表的裝置。

60. 如請求項59述及之主控設備，亦包括：

用於向該快閃記憶體設備查詢該快閃記憶體設備中儲存的該FTL表的一大小的裝置；及

用於決定該揮發性記憶體是否能夠儲存該FTL表的全部的裝置，

其中用於分配該揮發性記憶體的該部分的裝置包括用於基於該FTL表的該大小決定該揮發性記憶體的該部分的一大小的裝置。



圖式

圖1

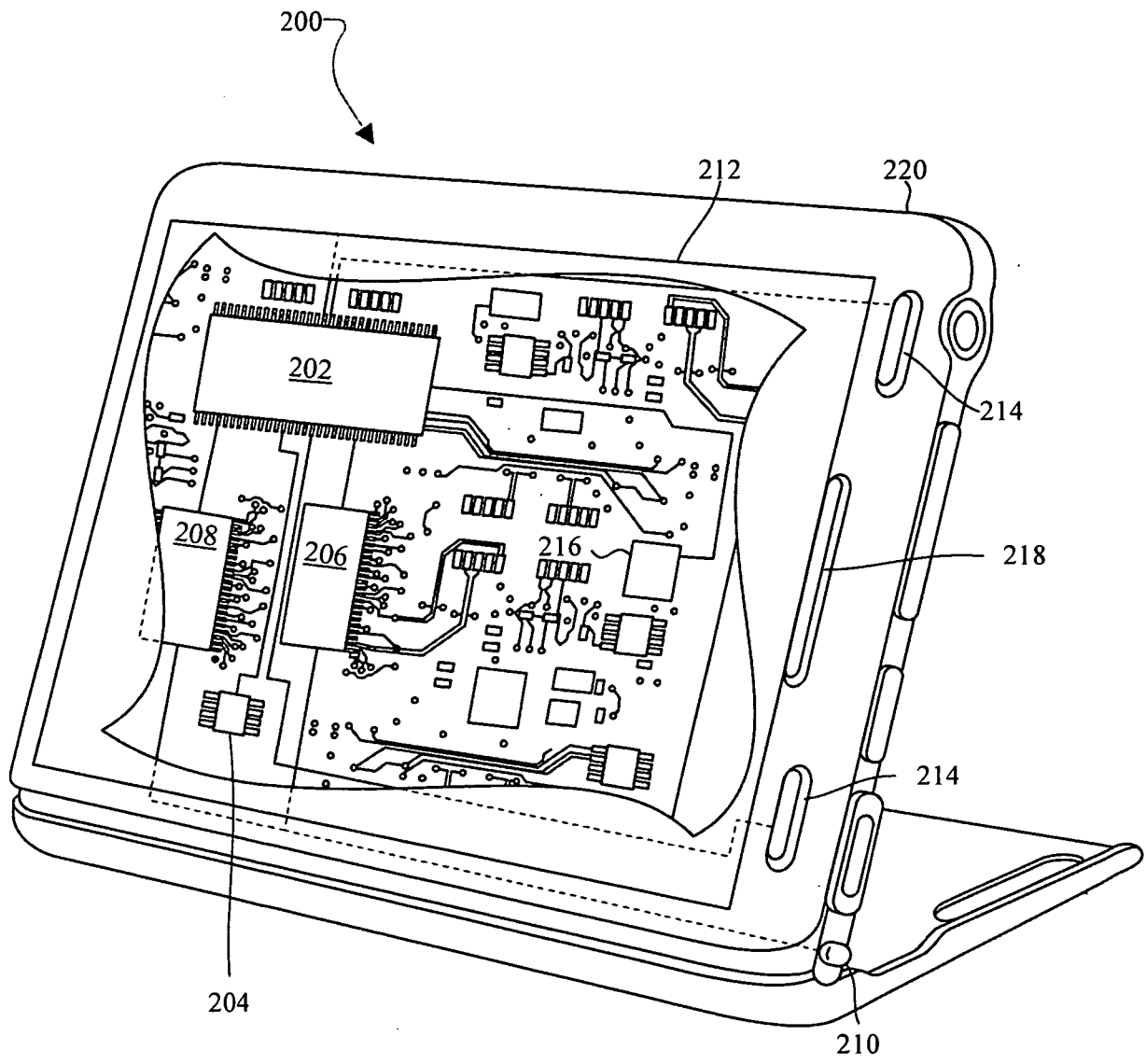


圖2

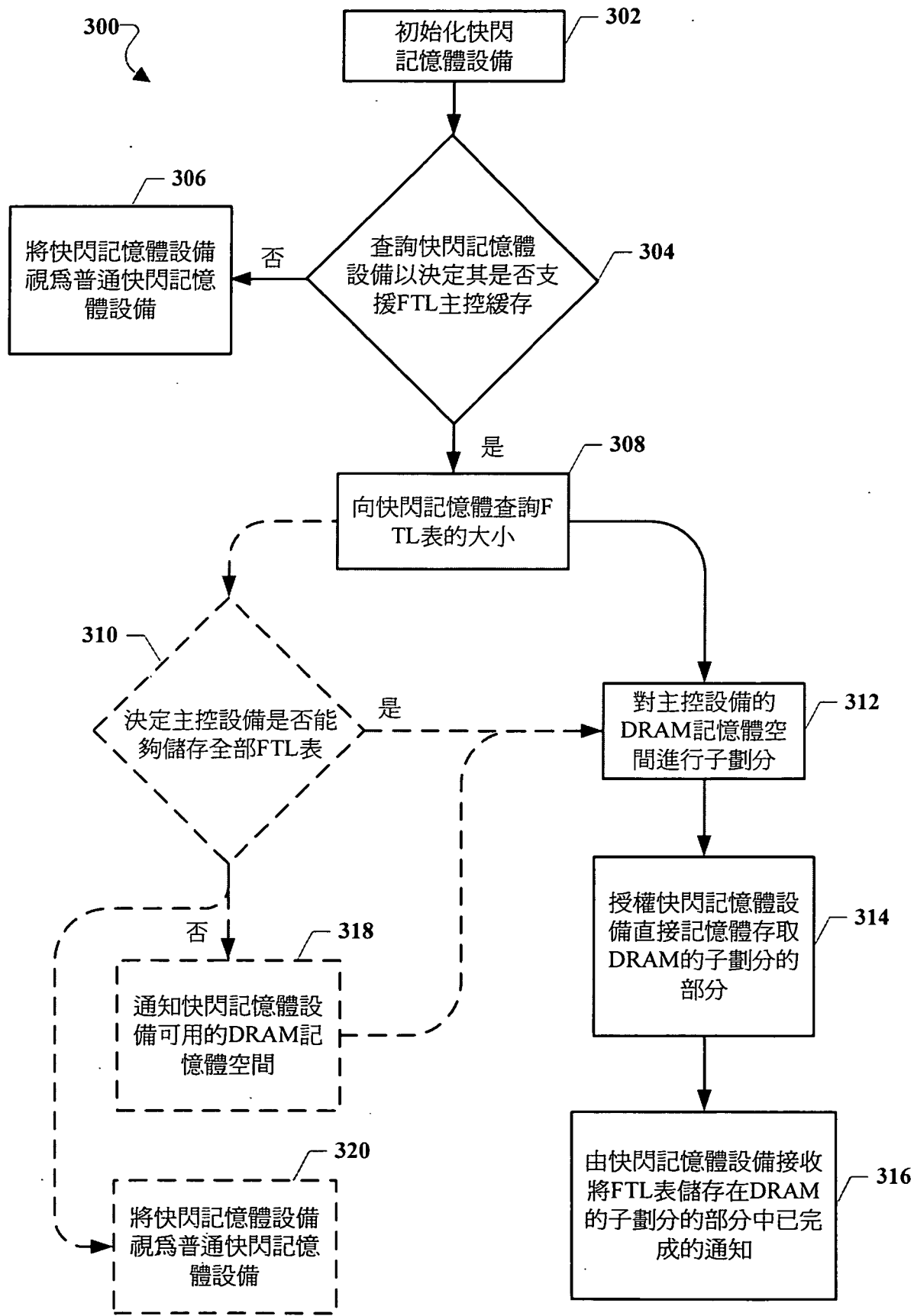


圖3

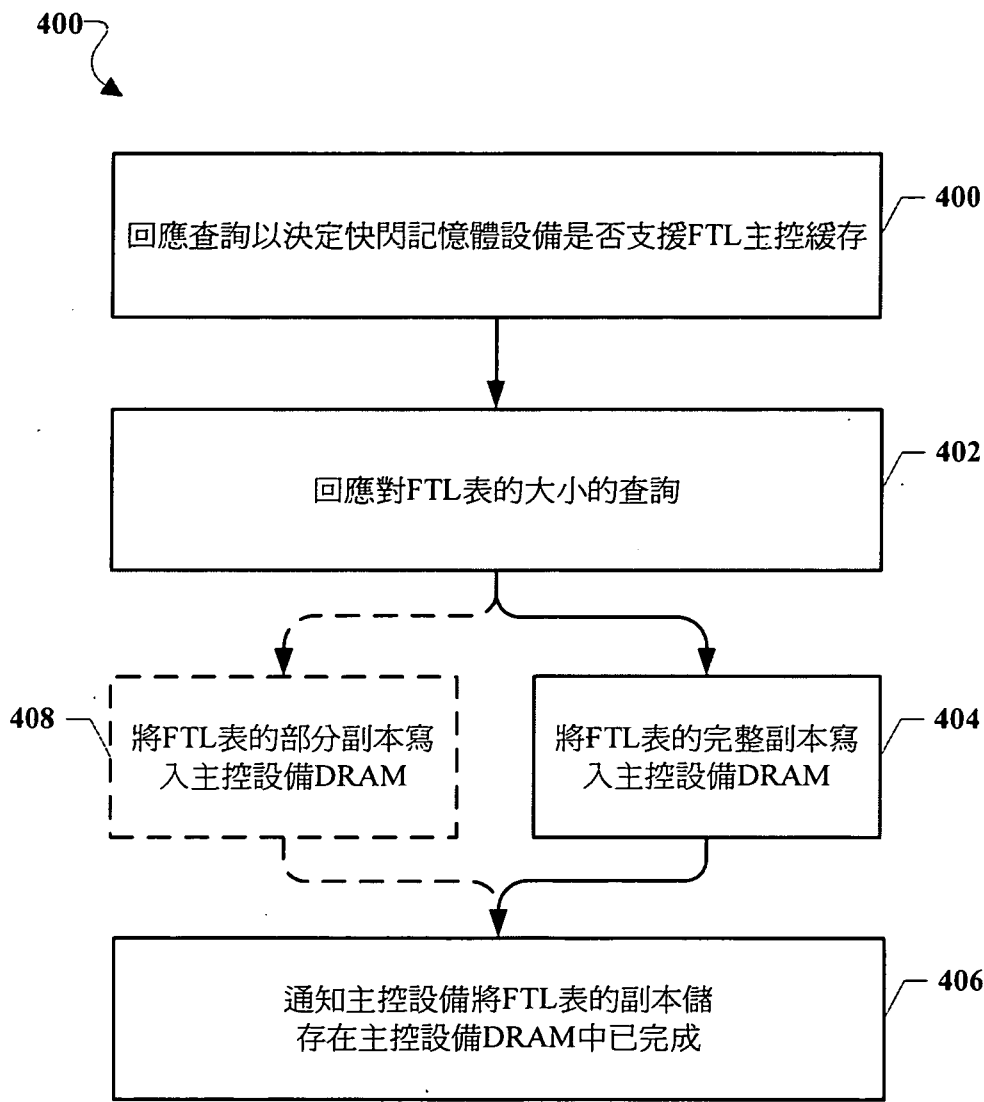


圖4

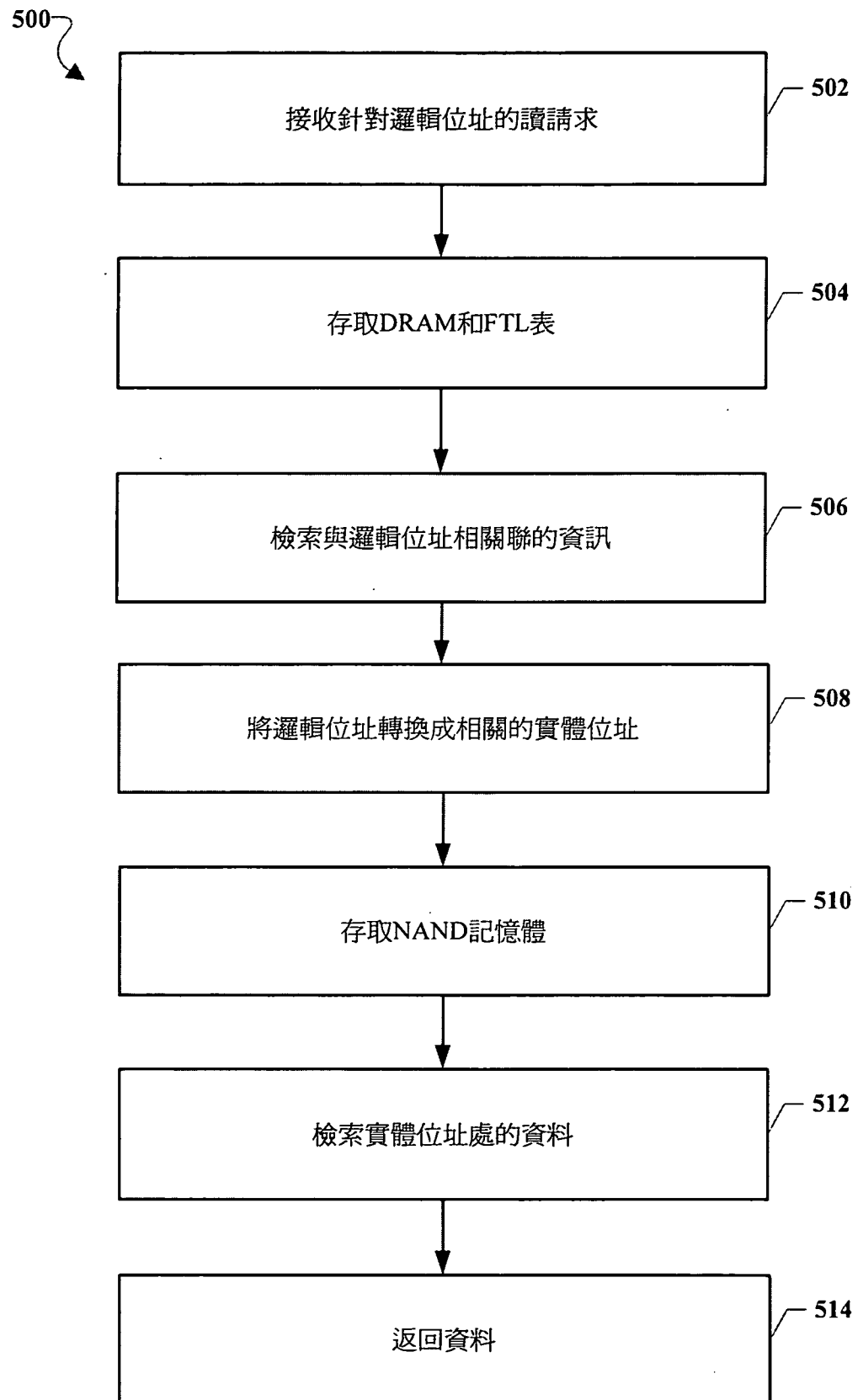


圖5

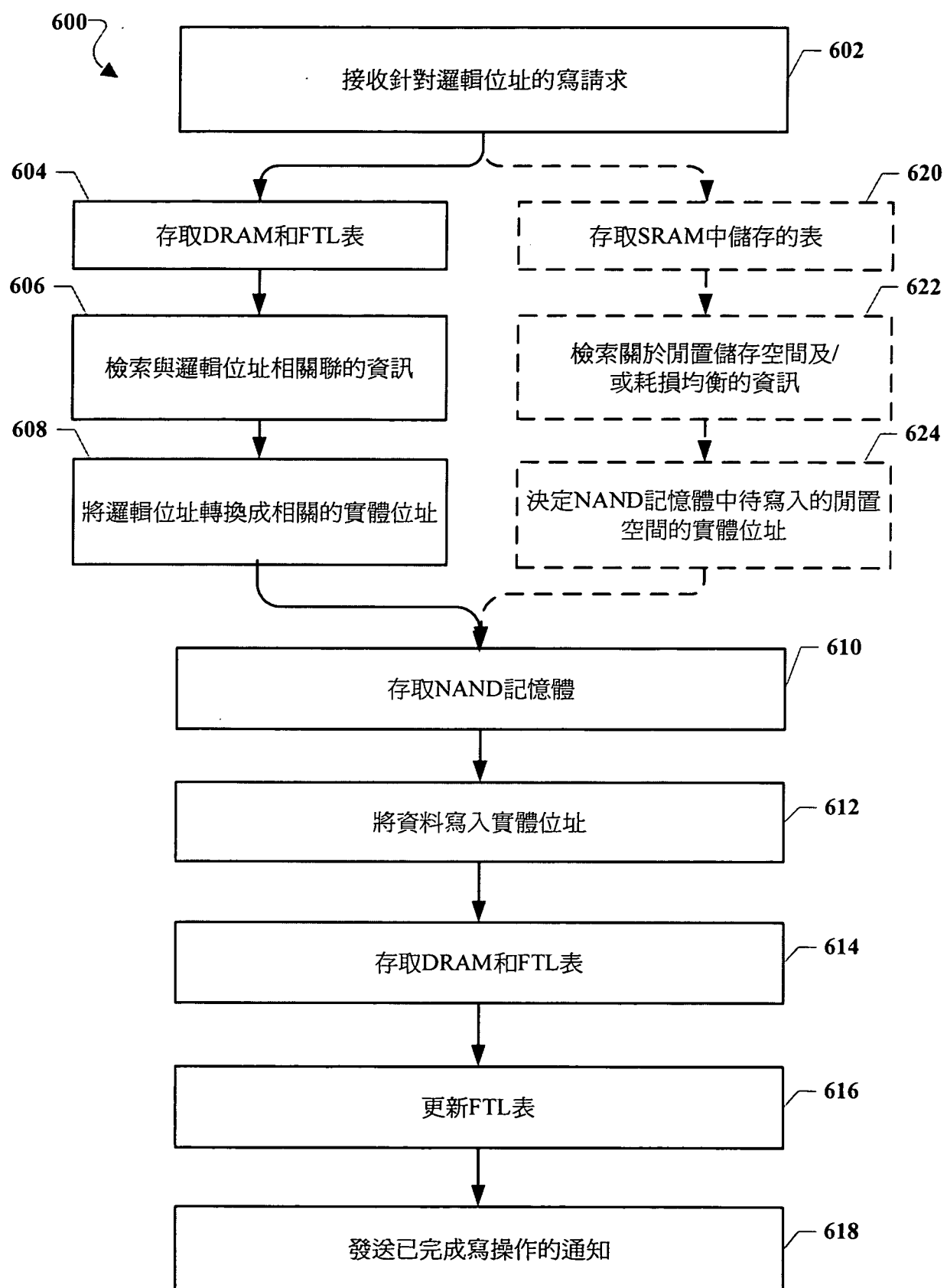


圖6

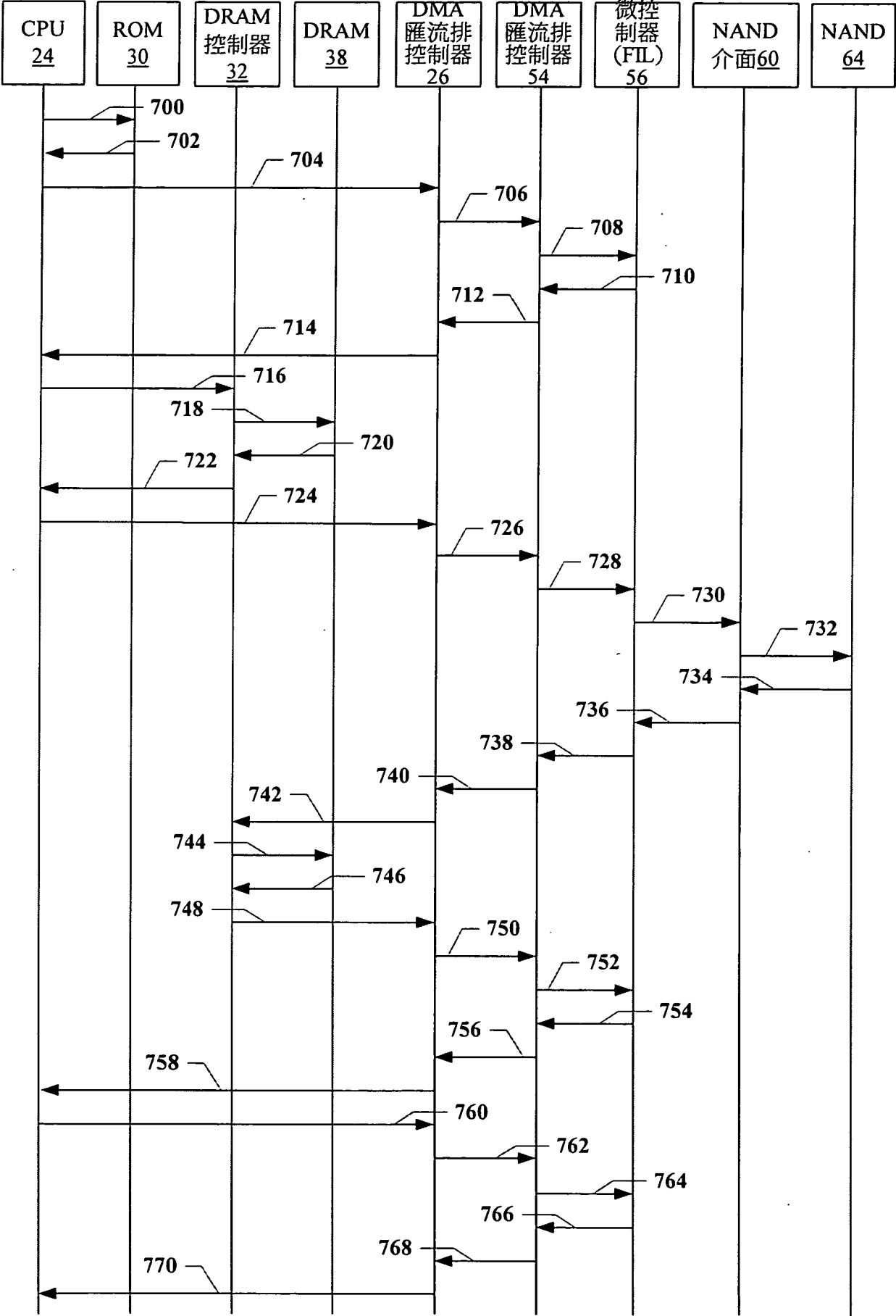


圖7

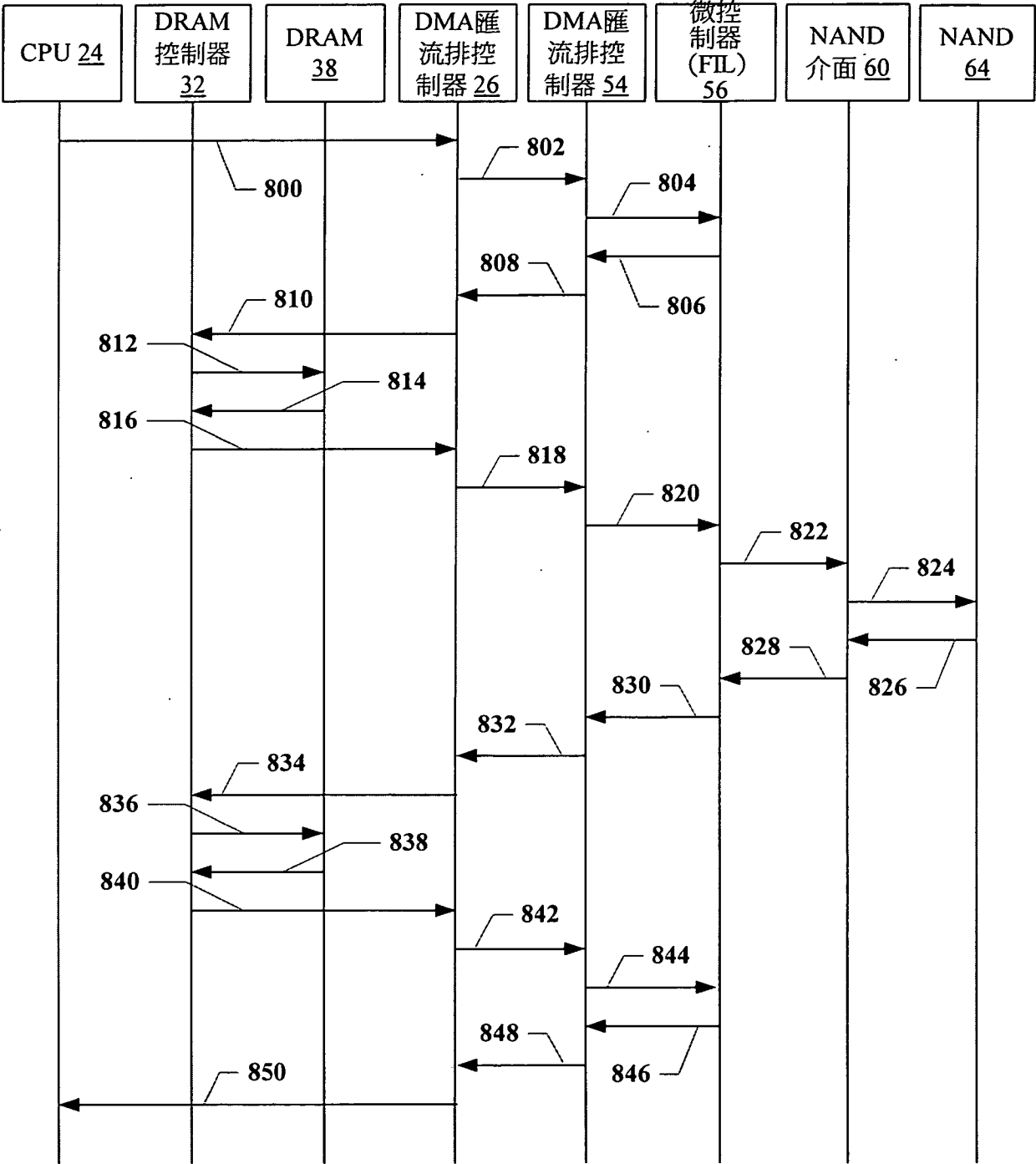


圖8

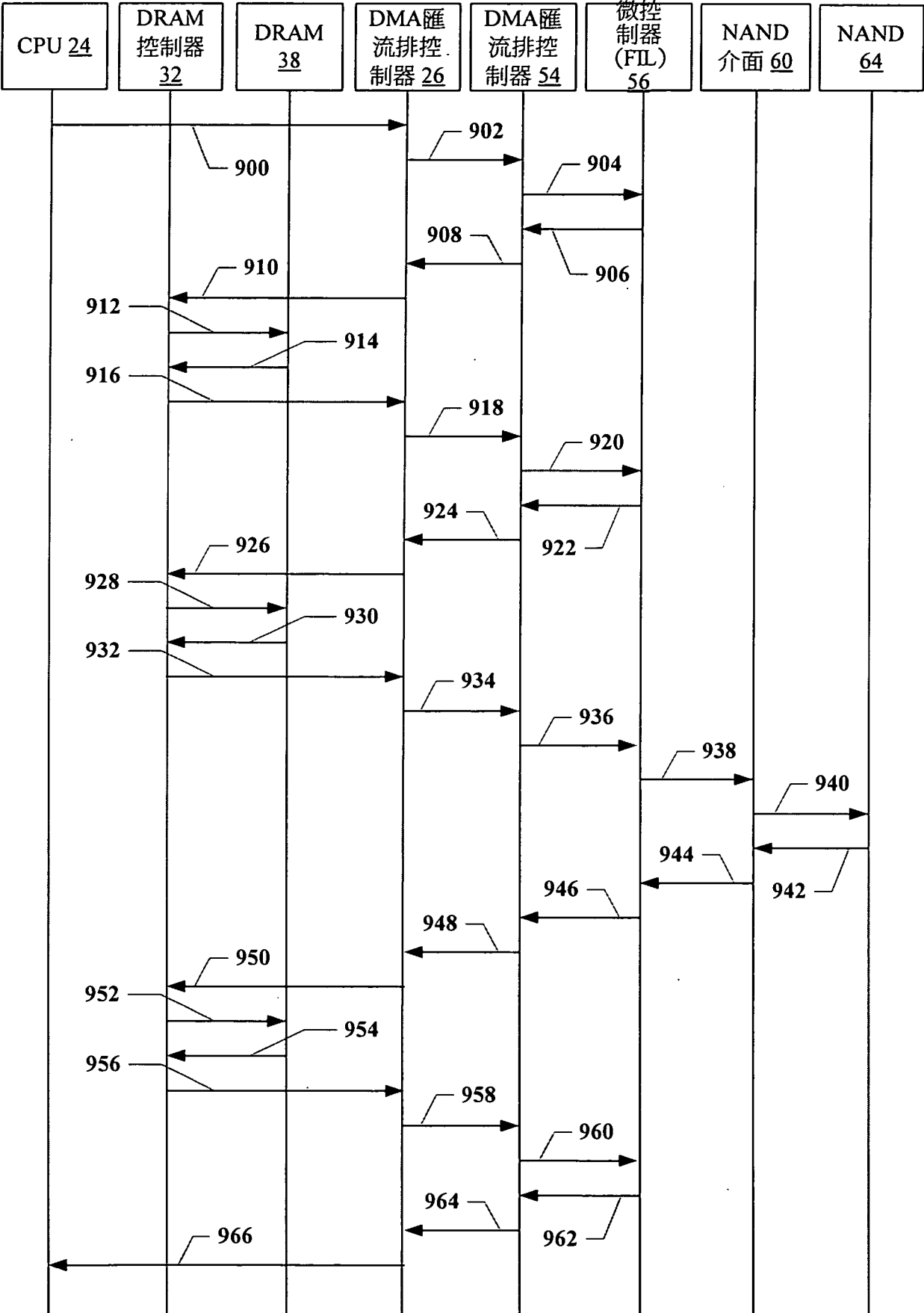


圖9

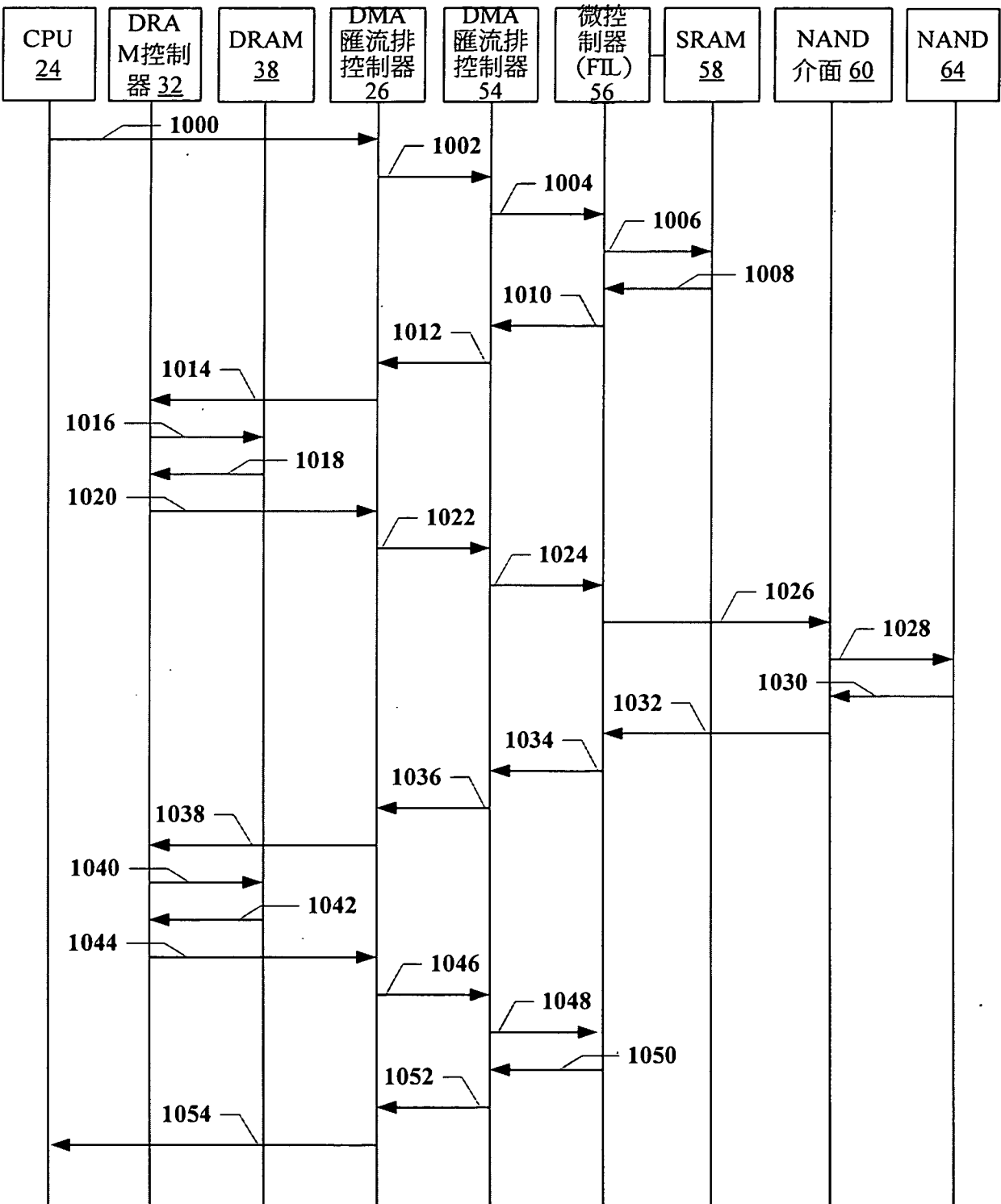


圖10