



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

245659

(11) (B1)

(22) Přihlášeno 26 11 84
(21) PV 9064-84

(51) Int. Cl.⁴
H 03 K 23/00

(40) Zveřejněno 16 07 85

(45) Vydáno 15 09 87

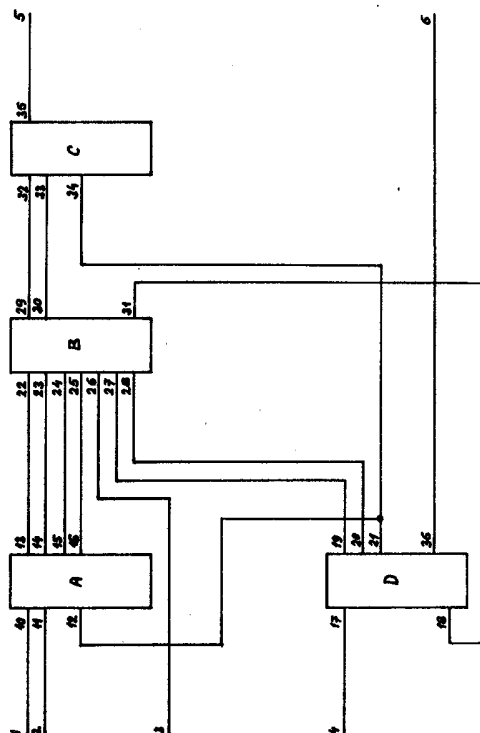
(75)
Autor vynálezu

VANĚČEK PAVEL ing.; KOCUR PAVEL ing.; ŠOUR PAVEL ing., PLZEŇ

(54) Zařízení obvodu pro čítání pulsů jednoho dvoufázového signálu

Zapojení se týká čítačového modulu mikropočítače a řeší problém chyb při předávání dat mikropočítači a programování i za chodu celého počítače. Podstata zapojení spočívá v tom, že svorky pro první fázi i pro druhou fázi dvoufázového signálu jsou připojeny na synchronizační blok, který je sběrnici propojen na blok programovatelné paměti, jehož výstupy jsou propojeny s vratným čítačem a blokem generátoru hodin. Skupinová svorka je připojena na programovatelnou paměť a svorka požadavku na přenos po sběrnici je připojena na generátor hodin, jehož výstup je spojen s výstupní svorkou potvrzení přenosu.

Zapojení je charakterizováno přiloženým vyobrazením.



Vynález se týká zapojení obvodu pro čítání pulsů jednoho dvoufázového signálu sestávajícího ze vstupního synchronizačního bloku, programovatelné paměti s kombinační logikou, vratného čítače s pamětí a generátoru hodin s blokováním.

Toto zapojení zpracovává jeden dvoufázový signál, jehož dvě fáze jsou mezi sebou posunuty o 90 °C. Takovéto signály jsou používány v regulační technice. Zapojení obvodu podle vynálezu zpracovává tento signál a převádí jej od formy snadno zpracovatelné mikropočítačem.

Dosud známá provedení podobných zapojení neumožňovala spolupráci s mikropočítačem a proto použití těchto zapojení by vedlo k chybám při předávání dat mikropočítači a tím by docházelo i k chybám v načítaném počtu pulsů, což by mělo za následek nesprávnou funkci mikropočítačového řízení. Tato zapojení byla sestavena ze součástek malé hustoty integrace, což mělo za následek relativně velkou spotřebu elektrické energie a menší spolehlivost. Kromě toho tato zapojení neumožňovala programování a změny funkcí za chodu zapojení, neboť by to opět vedlo k chybám v řízení.

Uvedené nedostatky odstraňuje zapojení obvodu pro čítání pulsů jednoho dvoufázového signálu, jehož podstata spočívá v tom, že svorka pro první fázi dvoufázového signálu je spojena s prvním vstupem vstupního synchronizačního bloku. Svorka pro druhou fázi dvoufázového signálu je spojena s druhým vstupem vstupního synchronizačního bloku, jehož hodinový vstup je spojen jednak se synchronizačním výstupem generátoru hodin s blokováním a jednak s hodinovým vstupem vratného čítače s pamětí. Výstupy vstupního synchronizačního bloku jsou spojeny s adresovými vstupy programovatelné paměti s kombinační logikou tak, že první výstup je spojen s prvním adresovým vstupem, druhý výstup je spojen s druhým adresovým vstupem, třetí výstup je spojen s třetím adresovým vstupem a čtvrtý výstup je spojen se čtvrtým adresovým vstupem. Skupinový adresový vstup programovatelné paměti s kombinační logikou je spojen se skupinovou svorkou nastavování. První vstup programovatelné paměti s kombinační logikou je spojen s hodinovým výstupem generátoru hodin s blokováním. Jeho první výstup je spojen na druhý vstup programovatelné paměti s kombinační logikou. Druhý výstup generátoru hodin s blokováním je spojen s výstupní svorkou potvrzení přenosu. Svorka požadavku na přenos po sběrnici je připojena na vstup generátoru hodin s nulováním, jehož blokovací vstup je připojen na výstup programovatelné paměti s kombinační logikou.

První datový výstup programovatelné paměti s kombinační logikou je spojen se vstupem pro čítání nahoru vratného čítače s pamětí. Druhý datový výstup programovatelné paměti s kombinační logikou je spojen se vstupem pro čítání dolů vratného čítače s pamětí, jehož skupinový datový výstup je spojen s výstupní skupinovou svorkou dat.

Zapojení obvodu pro čítání pulsů jednoho dvoufázového signálu podle vynálezu odstraňuje veškeré nevýhody dosavadních známých zapojení a umožňuje bezchybnou spolupráci s mikropočítačem. Kromě toho zapojení umožňuje programování a změny funkce mikropočítačem a to i za chodu celého zapojení.

Praktické provedení předmětu vynálezu je na připojeném obrázku, na kterém je znázorněno propojení vstupního synchronizačního bloku s programovatelnou pamětí s kombinační logikou, vratným čítačem s pamětí a generátorem hodin s blokováním.

Vstupní svorka 1 první fáze signálu je spojena s prvním vstupem 10 a vstupní svorka 2 druhé fáze signálu je spojena s druhým vstupem 11 vstupního synchronizačního bloku A, jehož hodinový vstup 12 je připojen na synchronizační výstup 21 generátoru D hodin s nulováním.

Synchronizační výstup 21 generátoru D hodin s blokováním je rovněž spojen s hodinovým vstupem 34 vratného čítače C s pamětí. Čtyři výstupy 13, 14, 15 a 16 vstupního synchroni-

začního bloku A jsou propojeny se čtyřmi datovými vstupy 22, 23, 24 a 25 programovatelné paměti B s kombinační logikou. Skupinová svorka 3 pro nastavování je propojena se skupinovým datovým vstupem 26 programovatelné paměti B s kombinační logikou. Svorka 4 požadavku na přenos po sběrnici je připojena na vstup 17 generátoru D hodin s nulováním. První vstup 27 programovatelné paměti B s kombinační logikou je spojen s hodinovým výstupem 19 generátoru D hodin s blokováním a druhý vstup 28 programovatelné paměti B s kombinační logikou je spojen s prvním výstupem 20 generátoru D hodin s blokováním. První datový výstup 29 programovatelné paměti D s kombinační logikou je připojen na vstup 32 pro čítání nahoru vratného čítače C s pamětí. Druhý datový výstup 30 programovatelné paměti B s kombinační logikou je připojen na vstup 33 pro čítání prvků vratného čítače C s pamětí. Výstup 31 programovatelné paměti B s kombinační logikou je připojen na blokovací vstup 18 generátoru D hodin s nulováním. Druhý výstup 36 generátoru D hodin s blokováním je připojen na výstupní svorku 6 potvrzení přenosu. Skupinový datový výstup 35 vratného čítače C s pamětí je spojen s výstupní skupinovou svorkou 5 dat, která je výstupem celého zařízení.

Na hodinový vstup 12 je přiveden signál ze synchronizačního výstupu 21 generátoru D hodin s nulováním. Na skupinovou svorku 3 pro nastavování se přivádějí signály, které určují rozlišování směru čítání vstupních pulsů a počet jejich hran, po kterém se má zvětšit hodnota vratného čítače s pamětí. Úkolem vstupního synchronizačního bloku A je odstraňovat případné zátky na hranách vstupního signálu a přivést vstupní signál synchronizovaně na čtyři výstupy 13, 14, 15 a 16 vstupního synchronizačního bloku A.

Pulsy, které jsou převedeny z hodinového výstupu 19 generátoru hodin D s blokováním na první vstup 27 programovatelné paměti B s kombinační logikou, ovládají vydávání pulsů na prvním a druhém datovém výstupu 29 a 30 programovatelné paměti B s kombinační logikou. Puls se na jejím prvním datovém výstupu 29 nebo na jejím druhém datovém výstupu 30 objeví pouze za předpokladu, že jsou pro něj splněny podmínky dané kombinací na čtyřech adresových vstupech 22, 23, 24 a 25 programovatelné paměti B a kombinační logikou. Při příchodu požadavku na přenos po sběrnici na svorku 4 požadavku na přenos po sběrnici, která je spojena se vstupem 17 generátoru hodin D s blokováním na jeho prvním výstupu 20, který je propojen s druhým vstupem 28 programovatelné paměti B s kombinační logikou, objeví nesynchronizovaný požadavek na přenos dat po sběrnici. Pokud programovatelná paměť B s kombinační logikou vydekóduje, že na jejích čtyřech adresových vstupech 22, 23, 24, 25 nejsou podmínky pro vydání pulsu na první datový výstup 29 nebo druhý datový výstup 30, objeví se na jejím výstupu 31 informace o tom, že může dojít k přenosu po sběrnici. Tato informace se přenesse na blokovací vstup 18 generátoru D hodin s blokováním a tím se přestanou vydávat pulsy na jeho synchronizační výstup 21 a na druhém výstupu 36 se objeví informace, která se přenesse na výstupní svorku 6 potvrzení přenosu, že mikropočítač si může převzít data ze skupinové výstupní svorky 5 dat, která je spojena se skupinovým datovým výstupem 35 vratného čítače C s pamětí.

Na vstupy 32 a 33 pro čítání nahoru a dolů vratného čítače C s pamětí jsou pulsy přenášeny z prvního a druhého datového výstupu 29 a 30 programovatelné paměti B s kombinační logikou.

Tímto zapojením je zaručeno, že přenos po sběrnici se odehraje v době, kdy jsou pro to vytvořeny vhodné podmínky, což znamená, že na vstupu zařízení není dekódován žádný puls a tím se v průběhu přenosu nebude měnit informace pro mikropočítač.

Zařízení lze použít jako přijímače inkrementálních čidel, která se používají při řízení procesů např. válcovacích tratí, lisů apod.

PŘEDMĚT VYNÁLEZU

Zapojení obvodu pro čítání pulsů jednoho dvoufázového signálu sestávající ze vstupního synchronizačního bloku, programovatelné paměti s kombinační logikou, vratného čítače s pamětí a generátoru hodin s blokováním vyznačené tím, že svorka (1) pro první fázi dvoufázového signálu je spojena s prvním vstupem (10) vstupního synchronizačního bloku (A), zatímco vstupní svorka (2) pro druhou fázi dvoufázového signálu je spojena s druhým vstupem (11) vstupního synchronizačního bloku (A), jehož hodinový vstup (12) je spojen jednak se synchronizačním výstupem (21) generátoru (D) hodin s blokováním a jednak s hodinovým vstupem (34) vratného čítače (C) s pamětí, přičemž výstupy (13, 14, 15, 16) vstupního synchronizačního bloku (A) jsou spojeny s adresovými vstupy (22, 23, 24, 25) programovatelné paměti (B) s kombinační logikou tak, že první výstup (13) je spojen s prvním adresovým vstupem (22), druhý výstup (14) je spojen s druhým adresovým vstupem (23), třetí výstup (15) je spojen s třetím adresovým vstupem (24) a čtvrtý výstup (16) je spojen jen se čtvrtým adresovým vstupem (25), zatímco skupinový datový vstup (26) programovatelné paměti (B) s kombinační logikou je spojen se skupinovou svorkou (3) nastavování, přičemž první vstup (27) programovatelné paměti (B) s kombinační logikou je spojen s hodinovým výstupem (19) generátoru (D) hodin s blokováním, jehož první výstup (20) je spojen na druhý vstup (28) programovatelné paměti (B) s kombinační logikou, přičemž druhý výstup (36) generátoru (D) hodin s blokováním je spojen s výstupní svorkou (6) potvrzení přenosu, zatímco svorka (4) požadavku na přenos po sběrnici je připojena na vstup (17) generátoru (D) hodin s nulováním, jehož blokovací vstup (18) je připojen na výstup (31) programovatelné paměti (B) s kombinační logikou, jejíž první datový výstup (29) je spojen se vstupem (32) pro čítání nahoru vratného čítače (C) s pamětí a druhý datový výstup (30) je spojen se vstupem (33) pro čítání dolů vratného čítače (C) s pamětí, jehož skupinový datový výstup (35) je spojen s výstupní skupinovou svorkou (5) dat,

1. výkres

