

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

101 367

Patent dodatkowy
do patentu nr _____

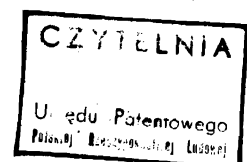
Zgłoszono: 06.09.76 (P. 192228)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 04.07.77

Opis patentowy opublikowano: 30.07.1979

Int. Cl.² G01R 23/10



Twórca wynalazku: Barbara Podgórska

Uprawniony z patentu: Instytut Tele-i Radiotechniczny,
Warszawa (Polska)

Układ sterujący cyfrowego miernika częstotliwości

Przedmiotem wynalazku jest układ sterujący cyfrowego miernika częstotliwości mającego zastosowania zwłaszcza do specjalizowanych mierników częstotliwości.

Cyfrowy miernik częstotliwości zbudowany jest z następujących układów: układ wejściowy przekształcający sygnał mierzony na ciąg impulsów, bramka przepuszczająca ciąg impulsów we wzorcowym odstępie czasu, licznik zliczający impulsy, rejestr do którego wpisywany jest wynik pomiaru, układ wzorcowego odstępu czasu wyznaczający czas otwarcia bramki oraz układ sterujący wytwarzający sygnały zapewniające współpracę wyżej wymienionych układów. W odpowiedzi na sygnał inicjujący rozpoczęcie pomiaru układ sterujący generuje sygnały kasowania licznika, uruchomienia układu wzorcowego odstępu czasu, wpisu wyniku pomiaru do rejestru oraz inne sygnały w przypadku mierników specjalizowanych.

W obecnie stosowanych rozwiązaniach układy sterujące stanowią układy niezależne i są zbudowane z rejestrów przesuwanych lub multiwibratorów wytwarzających wymaganą sekwencję sygnałów.

Celem wynalazku jest zastąpienie układów sekwencyjnych przez układy kombinacyjne, które są bardziej niezawodne, mniej podatne na zakłócenia oraz mniej kosztowne.

Istota wynalazku polega na wyeliminowaniu niezależnego układu sterującego i wykorzystaniu do generowania sygnałów sterujących układami miernika sekwencji stanów pierwszego stopnia dzielnika częstotliwości wzorcowej wchodzącego w skład układu wzorcowego odstępu czasu.

W układzie wyjścia cyfrowe określające stan pierwszego stopnia dzielnika połączone są z wejściami układu dekodera posiadającego wejście częstotliwości wzorcowej, wejście bramkowane sygnałem wzorcowego odstępu czasu oraz wyjście sygnałów sterujących układy licznika i pamięci miernika częstotliwości.

Zaletą wynalazku jest ograniczenie elementów stosowanych w układzie sterującym miernika częstotliwości, poprawa niezawodności działania i wyeliminowanie układów opóźniających z układu sterowania miernika.

Wynalazek jest bliżej objaśniony na przykładzie wykonania przedstawionym na rysunku, który jest schematem ideowym układu.

Układ sterujący miernika według wynalazku jest zbudowany z n — stanowego dzielnika częstotliwości 2,

na którego wejście jest podawany sygnał częstotliwości wzorcowej 1 oraz z dekodera stanów 4 bramkowanego na wejściu 5 wzorcowym odstępem czasu. Układ 2 stanowi jednocześnie pierwszy stopień dzielnika częstotliwości wzorcowej o stopniu podziału $n-m$ układu wzorcowego odstepu czasu, który składa się ponadto z generatora częstotliwości wzorcowej oraz układu sterowania bramką, otwierającego bramkę na odcinek czasu odpowiadający czasowi pomiaru częstotliwości sygnału wejściowego.

Wyjście z n -stanowego dzielnika częstotliwości 2 jest połączone z wejściem m -stanowego dzielnika częstotliwości 3.

Na wejścia dekodera stanów 4 są podawane sygnały z wyjść cyfrowych 6 n -stanowego dzielnika częstotliwości 2 oraz sygnał częstotliwości wzorcowej 1, natomiast wyjścia 7 układu dekodera 4 są połączone z wejściami kasowania i wpisu układów licznika 8 oraz rejestru 9, do którego jest wpisywany wynik pomiaru częstotliwości.

Zadaniem dekodera stanów 4 jest wyróżnienie dowolnych stanów spośród n -stanów dzielnika 2.

Kasowanie dzielnika częstotliwości wzorcowej sygnałem przyłożonym na wejście 6, inicjującym rozpoczęcie pomiaru, n- stan ($n \cdot m - n$) pozwala na wykorzystanie sekwencji n -stanów przed rozpoczęciem wzorcowego odstepu czasu, jako sygnałów z wyjścia 7 do sterowania układami miernika częstotliwości.

Po zakończeniu wzorcowego odstepu czasu układ dekodera stanów 4 wyróżnia stany dzielnika 2 jako drugą sekwencję sygnałów sterujących.

Zastrzeżenia patentowe

Układ sterujący cyfrowego miernika częstotliwości, w którym pierwszy stopień dzielnika częstotliwości wzorcowej doprowadzonej do wejścia posiada wejścia ustawiające oraz wyjście połączone z wejściem drugiego stopnia dzielnika który również posiada wejścia ustawiające, z n a m i e n n y t y m, że wyjścia cyfrowe określające stan pierwszego stopnia dzielnika (2) połączone są z wejściami układu dekodera (4) posiadającego wejście częstotliwości wzorcowej, wejście (5) bramkowane sygnałem wzorcowego odstepu czasu oraz wyjście (7) sygnałów sterujących układy licznika (8) i pamięci (9) miernika częstotliwości.

