

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3679059号
(P3679059)

(45) 発行日 平成17年8月3日(2005.8.3)

(24) 登録日 平成17年5月20日(2005.5.20)

(51) Int.Cl.⁷H01P 5/10
H03H 7/42

F I

H01P 5/10
H03H 7/42

C

請求項の数 2 (全 10 頁)

(21) 出願番号 特願2002-10610 (P2002-10610)
 (22) 出願日 平成14年1月18日(2002.1.18)
 (65) 公開番号 特開2003-115708 (P2003-115708A)
 (43) 公開日 平成15年4月18日(2003.4.18)
 審査請求日 平成15年5月12日(2003.5.12)
 (31) 優先権主張番号 特願2001-230870 (P2001-230870)
 (32) 優先日 平成13年7月31日(2001.7.31)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (72) 発明者 丸山 雄二
 鹿児島県国分市山下町1番1号 京セラ株
 式会社鹿児島国分工場内
 (72) 発明者 牧野 豊
 鹿児島県国分市山下町1番1号 京セラ株
 式会社鹿児島国分工場内
 (72) 発明者 野木 貴文
 鹿児島県国分市山下町1番1号 京セラ株
 式会社鹿児島国分工場内

審査官 西脇 博志

最終頁に続く

(54) 【発明の名称】 バラントランス

(57) 【特許請求の範囲】

【請求項1】

第1～第4の分布定数線路を有し、前記第1の分布定数線路の一端を信号入力端子とし、前記第1～第3の分布定数線路の一端を互いに接続し、前記第2、第3の分布定数線路の他端と前記第4の分布定数線路の一端をと共に接地し、前記第1の分布定数線路の他端を第1の信号出力端子とし、前記第4の分布定数線路の他端を第2の信号出力端子としてなり、

前記第1の分布定数線路と第2の分布定数線路とが電磁界結合可能に互いに対向し、かつ前記第3の分布定数線路と第4の分布定数線路とが電磁界結合可能に互いに対向して配設されていることを特徴とするバラントランス。

【請求項2】

誘電体層が複数積層され、2つの前記誘電体層で形成される第1の誘電体層間と第2の誘電体層間を有してなる積層体を形成するとともに、前記第1の誘電体層間に前記第1の分布定数線路と第4の分布定数線路とを配置し、前記第2の誘電体層間に前記第2の分布定数線路と第3の分布定数線路とを配置していることを特徴とする請求項1記載のバラントランス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はバラントランスに関し、特にたとえばUHF帯以上の高周波回路における伝送

線路のインピーダンスを変換するためのインピーダンス変換器や平衡伝送線路の信号及び不平衡伝送線路の信号を相互に変換するための信号変換器、位相変換器などに用いる積層型バラントランスに関する。

【0002】

【従来の技術】

従来のバラントランス100の構造を図7に示す。従来のバラントランス100は特開平10-163715公報に記載されているように、3本の $\lambda/4$ の分布定数線路101、102、103が順次互いに平行に並べて隣接する分布定数線路101、102、103同士が電磁界結合可能に配置されていた。その接続としては、分布定数線路101の一端がに接続され、分布定数線路101、102の一端が接続され、分布定数線路102の他端と分布定数線路103の一端を接地し、分布定数線路101の他端を信号出力端子201と接続し、分布定数線路103の他端を信号出力端子202と接続してなる。

10

【0003】

そして、上述の構成によりから信号が入力されると、一部が分布定数線路101と分布定数線路102との電磁界結合により信号出力端子201から出力されるとともに、一部は分布定数線路102と分布定数線路103との電磁界結合により信号出力端子202から信号が出力され、この時の信号出力端子201、202から出力される信号の位相は、互いに180度ずれたものになる。このようにして、信号のレベルが略等しく位相が180度ずれた2つの信号に分けられるものである。

20

【0004】

【発明が解決しようとする課題】

しかしながら、従来のバラントランス100において、分布定数線路101と分布定数線路103に電磁界結合するのが分布定数線路102で共通となっており、設計においても、ストリップライン間で一方の電磁界結合状態を決定しても同じような他方の電磁界結合状態を得るように設計するのは難しかった。

【0005】

しかも、バラントランスの本来の特性である信号出力端子201および202から出力されるAmplitude Balance（出力レベルの差）が0に近くなるように設計するのも困難であった。即ち、図5（a）に信号出力端子201、202の2つ出力信号のレベル差を示すが、例えば、2.2～2.6GHzの周波数帯において使用する場合、周波数帯が2.1GHzでは2つ出力信号のレベル差が1.2dBと大きな信号レベル差があり、2.5GHzでは0.8dBと略レベルが等しい出力信号が得られるといったように周波数のバラツキがあり、バラントランスを製造する製造バラツキによって2つ出力信号のレベル差が異なりすぎるといふバラントランスの特性の問題点を有していた。

30

【0006】

また、近年、開発されているバラントランスは、バラントランス単独のチップ部品として利用されるものではなく、フィルタ等と合わせたモジュール製品として利用されるために、近年の電子機器の小型化要求に伴い、モジュール製品も小型化する必要があり、上述のようなバラントランスの特性を維持しつつ、小型、薄型化できる構造が望まれていた。

40

【0007】

本発明は上述の問題点に鑑みて案出されたものであり、その目的は、ストリップライン間の結合レベルの調整を容易にするとともに、何れの周波数でも2つ出力信号のレベル差を小さくでき、かつ、一定の出力レベル差を得ることができ、薄型化で信頼性の高いバラントランスを提供することにある。

【0008】

【課題を解決するための手段】

上述の課題を解決するために本発明は、第1～第4の分布定数線路を有し、前記第1の分布定数線路の一端を信号入力端子とし、前記第1～第3の分布定数線路の一端を互いに接続し、前記第2、第3の分布定数線路の他端と前記第4の分布定数線路の一端をともに接

50

地し、前記第 1 の分布定数線路の他端を第 1 の信号出力端子とし、前記第 4 の分布定数線路の他端を第 2 の信号出力端子としてなり、

前記第 1 の分布定数線路と第 2 の分布定数線路とが電磁界結合可能に互いに対向し、かつ前記第 3 の分布定数線路と第 4 の分布定数線路とが電磁界結合可能に互いに対向して配設されていることを特徴とするバラントランスを提供する。

【0009】

また、誘電体層が複数積層された積層体を形成し、前記誘電体層間に前記第 1 の分布定数線路と第 4 の分布定数線路とを配置し、かつ、当該誘電体層間とは異なる誘電体層間に前記第 2 の分布定数線路と第 3 の分布定数線路とを配置していることを特徴とする請求項 1 記載のバラントランスを提供する。

10

【作用】

従来、入力端子に接続した分布定数線路は第 1 の出力端子に接続した分布定数線路と第 2 の出力端子に接続した分布定数線路とが共通の 1 本の分布定数線路に電磁界結合可能に配置していた。これに対して本発明では、入力端子に接続した分布定数線路を、2 本の第 2、第 3 の分布定数線路に増加して、第 1 の出力信号端子に接続する第 1 の分布定数線路は第 2 の分布定数線路に互いに電磁界結合可能に、また、第 2 の出力信号端に接続する第 4 の分布定数線路は第 3 の分布定数線路に互いに電磁界結合可能に配置している。

【0010】

従って、各第 1、第 2 の分布定数線路間の電磁界結合と第 3、第 4 の分布定数線路間での電磁界結合の調整が容易にできる。また、何れの周波数でも 2 つ出力信号のレベル差を小さくでき、かつ、一定の出力レベルを得ることができるものである。

20

【0011】

【発明の実施の形態】

本発明の実施の形態を図面により説明する。

図 1 はこの発明のバラントランスの構成を示す等価回路図である。

【0012】

本発明のバラントランスは、分布定数線路 1 ~ 4 を平行に配置してなる。

分布定数線路 1 ~ 4 は、図 1 に示すように分布定数線路 1 の一端を信号入力端子 IN としている。また、分布定数線路 1 ~ 3 の一端が互いに接続されている。また、分布定数線路 2、3 の他端と分布定数線路 4 の一端をとともに接地している。さらに、分布定数線路 1 の他端を信号出力端子 OUT 1 とし、分布定数線路 4 の他端を信号出力端子 OUT 2 としている。

30

【0013】

そして、分布定数線路 1 と分布定数線路 2 は互いに電磁界結合 M 1 がされるように対向して配設されている。その電磁界結合部分は互いに $\lambda / 4$ の長さに設定されている。一方、分布定数線路 3 と分布定数線路 4 とが互いに電磁界結合 M 2 がされるように対向して配設されており、その電磁界結合部分が互いに $\lambda / 4$ の長さに設定されている。

【0014】

このバラントランスでは、信号入力端子 IN から信号が入力されると、一部は分布定数線路 1、2 が互いに電磁界結合 M 1 され信号出力端子 OUT 1 から所定の信号が出力される。また、一部は分布定数線路 3、4 が互いに電磁界結合 M 2 され信号出力端子 OUT 2 から所定の信号が出力される。このとき、信号出力端子 OUT 1、2 から出力される信号のレベルが等しくなるように、分布定数線路 1、2 の幅、間隔等と分布定数線路 3、4 の幅、間隔等を適宜設定する。そして、この信号出力端子 OUT 1、2 から出力される信号の位相は、互いに 180 度ずれたものになる。このようにして、信号のレベルが等しく位相が 180 度ずれた 2 つの信号に分けられることになる。

40

【0015】

次に本発明のバラントランスを積層型の誘電体層内に形成した場合について説明する。図 2 は積層型のバラントランス 10 が用いられるチップ型電子部品の全体構造を示す斜視図、図 3 はその分解斜視図である。

50

【 0 0 1 6 】

バラントランス 1 0 は、主に、積層体 1 1 と、積層体 1 1 の側面の厚み方向に向けて形成した端子電極 1 5 a ~ 1 5 f と、積層体 1 1 の内部に形成した分布定数線路であるストリップライン 3 1 ~ 3 4 とからなる。

【 0 0 1 7 】

積層体 1 は誘電体層 1 2 a ~ 1 2 g を順次積層してなる。その材質としては、誘電体セラミック材料と低温焼成化を可能とする酸化物や低融点ガラス材料とから構成されている。具体的には、誘電体セラミック材料とは、例えば、 $BaO - TiO_2$ 系、 $Ca - TiO_2$ 系、 $MgO - TiO_2$ 系等があり、低温焼成化するための酸化物としては、 $BiVO_4$ 、 CuO 、 Li_2O 、 B_2O_3 等がある。

10

【 0 0 1 8 】

次に誘電体層 1 2 a ~ 1 2 g の各層間の内部構造を具体的に説明する。

一番上に積層される誘電体層 1 2 a の一方主面には、略全面にアース電極 4 0 が形成され、ビアホール導体 5 0 と接続されている。また、アース電極 4 0 から誘電体基板 1 2 a の全端面に向かって、4 つの引出電極 4 1、4 2、4 3、4 4 が形成され、各端子電極 1 5 a、1 5 c、1 5 e、1 5 g に接続されている。

【 0 0 1 9 】

誘電体層 1 2 a、1 2 b の層間には、渦巻状に形成されたストリップライン 3 1 が配置されている。ストリップライン 3 1 においては、その外側端部は誘電体層 1 2 b の端面側に形成した引出電極 3 6 が形成されて、信号出力端子 (OUT 2) となる端子電極 1 5 b に接続される。なお、ストリップライン 3 1 の中心側端部はビアホール導体 5 0 を介し誘電体層 1 2 a 上に形成したアース電極 4 0 に接続されている。

20

【 0 0 2 0 】

誘電体層 1 2 b、1 2 c の層間には、渦巻状に形成されたストリップライン 3 2 が配置されている。なお、ストリップライン 3 2 の中心側端部はビアホール導体 5 1 を介し後述する誘電体層 1 2 d 上に形成した入力電極線路 3 5 に接続されている。また、ストリップライン 3 2 の外側端部は誘電体層 1 2 c の端面側に向かって、引出電極 3 7 が形成され、アース電位となる端子電極 1 5 c に接続されている。

【 0 0 2 1 】

誘電体層 1 2 c、1 2 d の層間には、L 字状に形成された入力電極線路 3 5 が配置され、その先端側がビアホール導体 5 1 を介しストリップライン 3 2 の中心側端部と接続されている。なお、誘電体層 1 2 d 上に形成した入力電極線路 3 5 は後述するビアホール導体 5 1、5 3 を介し後述するストリップライン 3 3、3 4 の各中心側端部と接続されている。

30

【 0 0 2 2 】

誘電体層 1 2 d、1 2 e の層間には、渦巻状に形成されたストリップライン 3 3 が配置されている。ストリップライン 3 3 の中心側端部は前述したビアホール導体 5 1 を介し入力電極線路 3 5 に接続されている。また、ストリップライン 3 3 の外側端部は誘電体層 1 2 d の端面側に向かって、引出電極 3 8 が形成され、アース電位となる端子電極 1 5 c に接続されている。

【 0 0 2 3 】

誘電体層 1 2 e、1 2 f の層間には、渦巻状に形成されたストリップライン 3 4 が配置されている。ストリップライン 3 4 の外側端部は誘電体層 1 2 f の端面側に向かって引出電極 3 9 が形成され、信号出力端子 (OUT 1) となる端子電極 1 5 h に接続される。

40

【 0 0 2 4 】

さらに誘電体層 1 2 f と最下部の誘電体基板 1 2 g の層間には、略全面にアース電極 4 5 が形成されている。なお、アース電極 4 5 からは誘電体基板 1 2 g の全端面に向かって、4 つの引出電極 4 6、4 7、4 8、4 9 が形成され、アース電位となる各端子電極 1 5 a、1 5 c、1 5 e、1 5 g に夫々接続されている。

【 0 0 2 5 】

ここで 4 本のストリップライン 3 1、3 2、3 3、3 4 は略 $\lambda / 4$ の長さに設定されてお

50

り、各ストリップライン 3 1 ~ 3 4 の夫々電磁界結合する部分を略 1 / 4 となるように設定している。

アース電極 4 0、4 5、引出電極 4 1 ~ 4 4、4 6 ~ 4 9、ストリップライン 3 1 ~ 3 4、ビアホール導体 5 0、5 1 は導電性ペーストを各誘電体層 1 2 a ~ 1 2 g に印刷して形成されるが、導電性ペーストの材質としては、A g、C uなどを主成分とする導体材料（A g単体もしくはA g - P d、A g - P tなどのA g合金、又はC u単体もしくはC u合金）が用いられる。

【0026】

本発明のバランstrans 1 0によれば、従来、入力端子となる端子電極 1 5 d に接続されたストリップラインが 1 本であったのを、互いに異なる誘電体層に形成したストリップライン 3 2 とストリップライン 3 3 の 2 つに増加させている。そして、ストリップライン 3 2 と端子電極 1 5 b（O U T 2）に接続するストリップライン 3 1 とが電磁界結合 M 1 し、また、ストリップライン 3 3 と端子電極 1 5 h（O U T 1）に接続するストリップライン 3 4 とが電磁界結合 M 2 するように配置している。従って、各ストリップライン 3 1、3 2 間とストリップライン 3 3、3 4 間で電磁界結合の調整が容易にでき、何れの周波数でも 2 つ出力信号のレベル差を小さくできる。また、一定の出力レベル差を得ることができるものである。

10

【0027】

また、ストリップライン 3 1、3 2 とその下側に形成したストリップライン 3 3、3 4 とは誘電体層 1 2 d を介して形成されている。即ち、電磁結合による信号出力を形成するストリップライン 3 1、3 2 とストリップライン 3 3、3 4 の互いの距離が誘電体層 1 2 d を介在させて遠くなるように形成し、ストリップライン 3 1、3 2 からストリップライン 3 3、3 4 への相互干渉を抑えることができる。また、ストリップライン 3 1、3 2 とストリップライン 3 3、3 4 の互いの距離を遠くなるように形成する誘電体層 1 2 d に入力電極線路 3 5 を形成しても良い。距離を遠ざけるために形成する誘電体層 1 2 d を利用して入力電極線路 3 5 を形成しているので、わざわざ入力電極線路 3 5 用に誘電体層を積層する必要がなく電子部品の低背化が可能となる。

20

【0028】

また、ストリップライン 3 1 ~ 3 4 の内、少なくとも 1 つのストリップラインを複数の誘電体層に分割して形成し、分割されたストリップラインはビアホール導体または外部接続により接続されたストリップラインを形成する事により、信号出力端子 O U T 1、2 とする端子電極 1 5 b、1 5 h からの出力信号のレベルを調節することが容易になる。

30

【0029】

例えば、図 4 に図 2 中の誘電体層 1 2 f に形成されているストリップライン 3 4 を誘電体層 1 2 f と誘電体層 1 2 f ' との 2 層に分割した場合の図を示す。ストリップライン 3 4 は中心側部分 3 4 a と外側部分 3 4 b とがビアホール導体 5 2 を介して接続されている。この分割され出力される信号のレベルはストリップライン 3 1 とストリップライン 3 2 との電磁界結合レベル及びストリップライン 3 3 とストリップライン 3 4 との電磁界結合レベルによって決定される。このようにストリップライン 3 4 を 2 層に分割する事によって、分割されたストリップライン 3 4 の中心側端部が存在しているストリップライン長と外側端部が存在しているストリップライン長の割合により、ストリップライン 3 3 とストリップライン 3 4 との電磁界結合レベルの調整し、これにより、ストリップライン 3 1、3 2 とストリップライン 3 3、3 4 の夫々の電磁界結合レベルが調整され、信号のレベルが等しく位相が 1 8 0 度ずれた 2 つの信号を出力できる。

40

なお、ストリップライン 3 4 を 2 層に分割したが、これに限定されず、ストリップライン 3 1 ~ 3 4 の何れかを分割しても構わない。また、分割の数を 2 つで説明したが、これに限定されず、2 つ以上行っても構わない。

【0030】

なお、特に信号出力端子 O U T 2 に電磁界結合するストリップライン 3 3、3 4 の何れかを分割すると良い。即ち、上述のように各々の電磁界結合の結合レベル調節は、ストリッ

50

ブライン 3 1 ~ 3 4 の何れを分割しても可能であるが、ストリップライン 3 1、3 2 は電磁界結合が主だった結合であるのに対し、ストリップライン 3 3、3 4 は電氣的接続による結合と電磁界結合の和となる結合状態であり、ストリップライン 3 3、3 4 の電磁界結合がストリップライン 3 1、3 2 の電磁界結合よりも小さい。従って、電磁界結合が小さいストリップライン 3 3、3 4 の何れかを分割して、電氣的接続は一定とした状態で電磁界結合の状態を調整すると、分割前の設計は分割後の設計に比べて出力レベルの変化量はより微量でとなる。従って、Amplitude - Balance の調整においては OUT 2 の出力レベルで調節する行方が容易である。

【0031】

図 5 (b) に、2 . 2 ~ 2 . 8 GHz の周波数帯において使用する場合のバラントランス 1 0 の周波数における各信号出力端子 OUT 1、OUT 2 の信号出力のレベル差を示す。特性 q は、図 3 に示す構成のバラントランス 1 0 の周波数における各信号出力端子 OUT 1、OUT 2 の信号出力のレベル差を示す。特性 r は図 4 に示す構成の周波数における信号出力端子 OUT 1、OUT 2 の信号出力のレベル差を示す。なお、比較例として、図 5 (a) に 2 . 2 ~ 2 . 8 GHz の周波数帯において使用する場合の図 6 に示したバラントランス 1 0 0 の信号出力端子 2 0 1、2 0 2 の出力信号のレベル差を示す。

10

【0032】

図 3 のバラントランス 1 0 による 2 つ出力信号のレベル差は、2 . 2 ~ 2 . 8 GHz の周波数帯において使用する場合、図 5 (a) の 2 つ出力信号のレベル差に比べて一定に 2 つ出力信号のレベル差を得ていることがわかる。

20

【0033】

また、図 4 に示す 2 つ出力信号のレベル差の特性 r は、2 . 2 ~ 2 . 8 GHz の周波数帯において使用する場合、図 3 に示す 2 つ出力信号のレベル差の特性に比べて低くなり、ストリップライン 3 1、3 2 の結合レベルとストリップライン 3 3、3 4 の結合レベルが略一致させることができるものである。

【0034】

なお、本実施の形態では、ストリップライン 3 1 ~ 3 4 のそれぞれを互いに 1 つの誘電体層 1 2 a ~ 1 2 g 間に形成する例で示したが、これに限定されず、同一層間に形成してもよい。

【0035】

30

即ち、図 6 に示すように誘電体層 6 2 a ~ 6 2 e が積層され、任意の 2 つの誘電体層 6 2 a、6 2 b の層間である第 1 の誘電体層間 x と誘電体層 6 2 b、6 2 c の層間である第 2 の誘電体層間 y のそれぞれにストリップライン 3 1 ~ 3 4 のうちの 2 つずつを形成するのが好ましい。ストリップライン 3 1 ~ 3 4 の組み合わせとしてはストリップライン 3 1、3 2 が対向するように配置し、ストリップライン 3 3、3 4 が対向するように配置できれば何れの組み合わせでも可能である。

【0036】

より好ましくは、第 1 の誘電体層間 x にストリップライン 3 1 (第 1 の分布定数線路) とストリップライン 3 4 (第 2 の分布定数線路) を配置し、第 2 の誘電体層間 y にストリップライン 3 2 (第 2 の分布定数線路) とストリップライン 3 3 (第 3 の分布定数線路) を配置するのがよい。なお、このとき、最上部と最下部の誘電体層 6 2 a、6 2 e の略全面にはアース電極 6 0、6 1 が形成される。

40

【0037】

このような配置にすることで、配線が複雑とならずにストリップライン 3 1 とストリップライン 3 2 が、更にストリップライン 3 3 とストリップライン 3 4 とがそれぞれ対向するように配設され、薄型のバラントランスが構成できる。

【0038】

次に他の特徴部を説明する。

即ち、第 2 の誘電体層間 y とは異なる隣りの誘電体層層 6 2 c、6 2 d 間を第 3 の誘電体層間 z とし、この第 3 の誘電体層間 z に入力電極線路 6 3 を形成している。

50

この入力電極線路 63 は、その一端 63a が信号入力端子 IN に接続されており、他端 63b が接続電極 65a、68a に接続している。そして接続電極 65a、68a は入力電極線路 63 の一端 63a からそれぞれストリップライン 32、33 の中心側端部と対向する位置まで引き出しており、その引き出した先端領域 65b、68b がストリップライン 32、33 の中心側端部とビアホール導体 65、68 を介して接続している。なお、ストリップライン 31、32 はビアホール導体 68 を介して接続しており、ストリップライン 34 はビアホール導体 67 を介してアース電極 60 に接続されている。

【0039】

ここで特徴的なところは、ストリップライン 32、33 を配置した第 2 の誘電体層間 y と入力電極線路 63 を配置した第 3 の誘電体層間 z を近接させて構成したことにある。

10

【0040】

ここで、近接する誘電体層間とは、隣りあう誘電体層間でもよいが、これに限定されるものではない。好ましい構造としては、入力電極線路 63 とストリップライン 32、33 との間に他の分布定数線路、その他の伝送線路等が介在しないような構造にすると良い。

【0041】

これにより、信号入力端子 IN から配線が複雑とならないで入力電極線路 63 を介して直接ビアホール導体 65、68 でストリップライン 32、33 に接続できるので、複雑な配線によるノイズ源とはならず、入力電極線路 63 とストリップライン 32、33 間には他の配線を介在させないので薄型化となるバランタンスを提供できる。

【0042】

20

また、他の特徴的なところは、ストリップライン 32、33 の中心側端部と対向する領域に入力電極線路 63 の一端 63a からそれぞれ接続電極 65a、68a により引き出し、その先端領域 65b、68b とストリップライン 32、33 の中心側端部とがビアホール導体 65、68 を介して接続している。これによって、更に配線が複雑とならず接続電極 65a、68a とストリップライン 32、33 の中心側端部との接続が略直線状に形成できるので配線の引き回しが更に簡素化される。

なお、ストリップライン 31、34 を誘電体層 62d、62e 間に別に誘電体層を介在させて形成して入れ替えても構わない。

【0043】

【発明の効果】

30

本発明の構成によれば、入力端子に接続した分布定数線路を、第 2、第 3 の分布定数線路に分離し、第 1 の出力信号端子に接続する第 1 の分布定数線路は第 2 の分布定数線路に互いに電磁界結合可能に、また、第 2 の出力信号端に接続する第 4 の分布定数線路は第 3 の分布定数線路に互いに電磁界結合可能に配置している。従って、各第 1、第 2 の分布定数線路間の電磁界結合と第 3、第 4 の分布定数線路間での電磁界結合の調整が容易にできるバランタンスを提供することができる。

【0044】

また、何れの周波数でも出力信号のレベル差を小さくでき、かつ、一定の出力レベルを得ることができるバランタンスを提供することができる。

【図面の簡単な説明】

40

【図 1】本発明の一実施の形態のバランタンスの等価回路図である。

【図 2】本発明の一実施の形態のバランタンスが用いられるチップ型電子部品の全体構造を示す斜視図である。

【図 3】本発明のバランタンスの分解斜視図である。

【図 4】本発明のバランタンスの他の実施の形態における分解斜視図である。

【図 5】(a) は従来のバランタンスの周波数と 2 つ出力信号のレベル差を示す図であり、(b) は本発明の図 3、図 4 のバランタンスの周波数と 2 つ出力信号のレベル差を示す図である。

【図 6】本発明のバランタンスの他の実施の形態における分解斜視図である。

【図 7】従来のバランタンスの等価回路である。

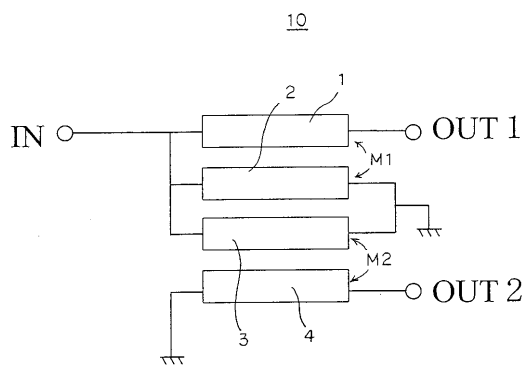
50

【符号の説明】

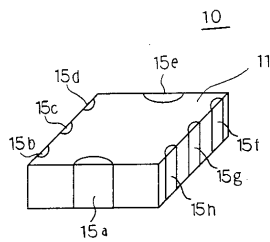
1 ～ 4 : 分布定数線路
 10 : バラントランス
 12 a ～ 12 g、62 a ～ 62 g : 誘電体層
 15 a ～ 15 h : 端子電極
 31 ～ 34 : ストリップライン
 OUT 1 : 信号出力端子
 OUT 2 : 信号出力端子
 35、63 : 入力電極線路
 50 ～ 52、64 ～ 68 : ピアホール導体
 40、45、60、61 : アース電極

10

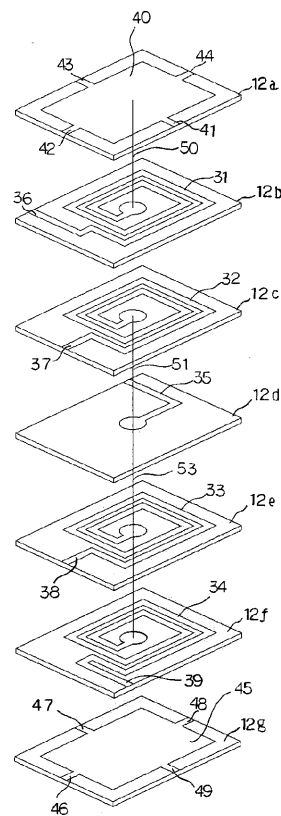
【図 1】



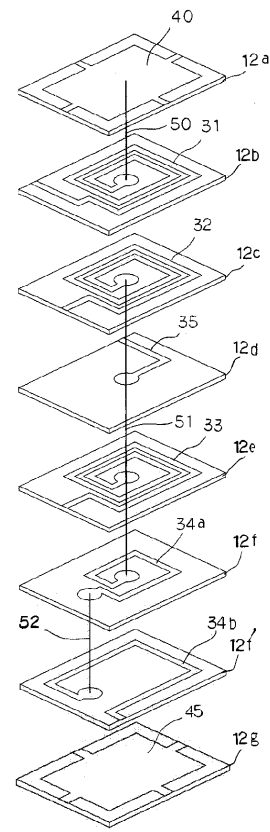
【図 2】



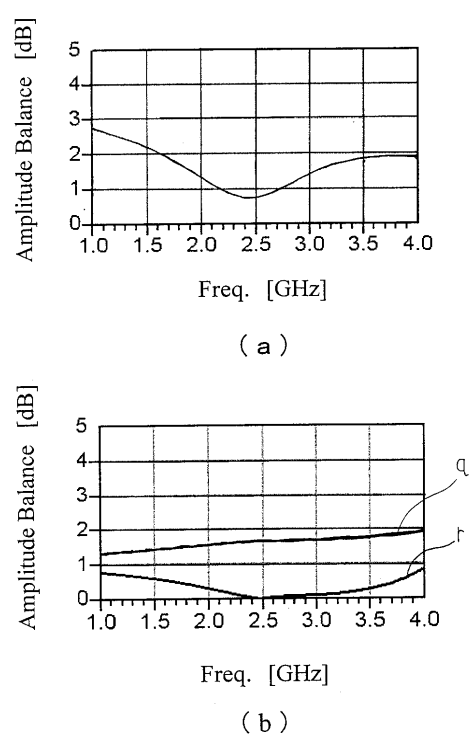
【図 3】



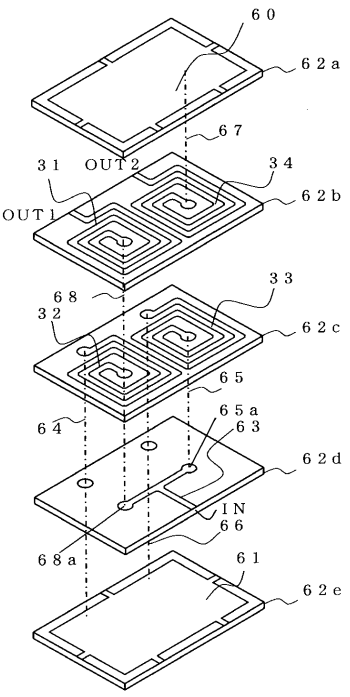
【図 4】



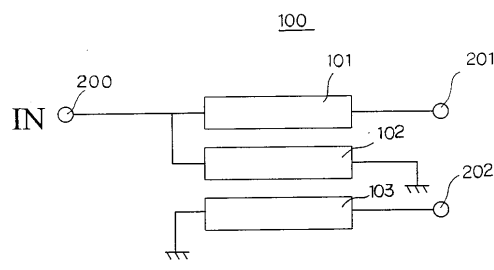
【図 5】



【図 6】



【図 7】



フロントページの続き

- (56)参考文献 特開平 1 0 - 1 6 3 7 1 5 (J P , A)
特開昭 5 9 - 1 4 8 4 0 5 (J P , A)
特開 2 0 0 0 - 1 3 4 0 0 9 (J P , A)
米国特許第 5 7 6 7 7 5 4 (U S , A)

- (58)調査した分野(Int.Cl.⁷, D B 名)

H01P 5/10

H01P 5/02

H01P 5/04