



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월03일
(11) 등록번호 10-1873864
(24) 등록일자 2018년06월27일

- (51) 국제특허분류(Int. Cl.)
G06F 13/40 (2006.01) *H03K 9/08* (2006.01)
H04L 25/49 (2006.01)
- (52) CPC특허분류
G06F 13/4072 (2013.01)
H03K 9/08 (2013.01)
- (21) 출원번호 10-2016-7028843
- (22) 출원일자(국제) 2015년03월11일
심사청구일자 2018년05월29일
- (85) 번역문제출일자 2016년10월17일
- (65) 공개번호 10-2016-0145590
- (43) 공개일자 2016년12월20일
- (86) 국제출원번호 PCT/US2015/020027
- (87) 국제공개번호 WO 2015/163989
국제공개일자 2015년10월29일
- (30) 우선권주장
14/258,980 2014년04월22일 미국(US)
- (56) 선행기술조사문현
US20100260283 A1
KR1020040008108 A
US4216426 A
US20110235459 A1

(73) 특허권자
웰컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자
주, 지
미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
콩, 시아오후아
미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)

(74) 대리인
특허법인 남엔드남

전체 청구항 수 : 총 15 항

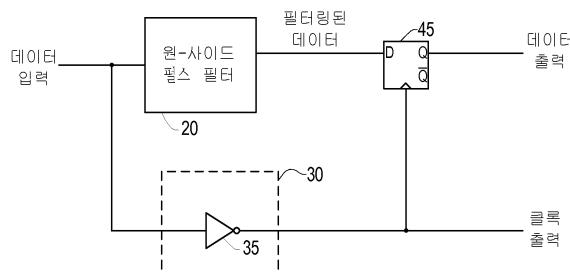
심사관 : 김병균

(54) 발명의 명칭 펄스-폭 변조 데이터 디코더

(57) 요 약

PWM(pulse-width modulated) 데이터를 디코딩하기 위한 시스템들 및 방법들이 개시된다. 예시적인 디코더는 원-사이드 펄스 필터로 데이터 입력 신호를 필터링한다. 원-사이드 펄스 필터는 데이터 입력 신호 상의 짧은 펄스들은 억제하고 긴 펄스들을 통과시킨다. 예시적인 디코더는 데이터 입력 신호의 각각의 비트 시간의 말미에 필터링된 데이터 신호를 래치(latch)한다. 원-사이드 펄스 필터에 의해 억제되는 펄스들의 지속기간은 회로 변동들을 보상하고 디코더가 다양한 데이터 레이트들로 동작하도록 허용하기 위해 교정될 수 있다. 디코더는 작은 집적 회로 영역에 구현될 수 있고 전력 효율적일 수 있다.

대 표 도 - 도2



(52) CPC특허분류

H04L 25/4902 (2013.01)

Y02D 10/14 (2018.01)

Y02D 10/151 (2018.01)

(72) 발명자

선, 리

미국 92121-1714 캘리포니아 샌 디에고 모어하우스

드라이브 5775

수, 지

미국 92121-1714 캘리포니아 샌 디에고 모어하우스
드라이브 5775

명세서

청구범위

청구항 1

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치로서,

상기 데이터 입력 신호는 비트들의 직렬 스트림을 포함하고, 상기 직렬 스트림의 각각의 비트는 비트 시간에 걸쳐있고, 상기 직렬 스트림의 각각의 비트는 그 지속기간이 각각의 비트의 값을 시그널링하는 트레일링 펄스(trailing pulse)를 갖고,

상기 장치는,

트레일링 펄스들을 단축시키도록, 상기 데이터 입력 신호 상의 짧은(short) 트레일링 펄스들은 억제하고 상기 데이터 입력 신호 상의 긴(long) 트레일링 펄스들은 억제하지 않는 것을 포함하는 상기 데이터 입력 신호를 필터링하기 위한 수단(20); 및

상기 데이터 입력 신호의 트레일링 에지(edge)들에 상기 필터링된 데이터 입력 신호를 래치(latch)하기 위한 수단(45)을 포함하는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 2

제 1 항에 있어서,

억제되는 트레일링 펄스들의 지속기간들은 교정되는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 3

제 2 항에 있어서,

상기 교정은 3배보다 더 큰 지연들의 범위를 포함하는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 4

제 2 항에 있어서,

상기 교정은 디지털 방식으로(digitally) 제어되는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 5

제 1 항에 있어서,

상기 데이터 입력 신호를 수신하고, 그리고 상기 필터링된 데이터 신호를 래치하도록 상기 래치하기 위한 수단을 트리거하기 위한 클록 출력 신호를 생성하도록 구성되는 클록 생성기 모듈(30)을 더 포함하는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 6

제 5 항에 있어서,

상기 클록 생성기 모듈은, 상기 데이터 입력 신호에 커플링된 입력 및 상기 클록 출력 신호에 커플링된 출력을 갖는 인버터를 포함하고, 그리고

상기 래치하기 위한 수단은 상기 클록 출력 신호의 트레일링 에지들에 상기 필터링된 데이터 신호를 래치하는, 데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 7

제 1 항에 있어서,

상기 장치는 디코더이고,

상기 데이터 입력 신호를 필터링하기 위한 수단(20)은, 상기 데이터 입력 신호 상에서 하이(high) 펄스들의 지속기간들을 단축시킴으로써 필터링된 데이터 신호를 생성하도록 구성되는 원-사이드(one-sided) 펄스 필터(20)이고,

상기 원-사이드 펄스 필터는 상기 데이터 입력 신호 상의 짧은 하이 펄스들을 억제하도록 구성되고 그리고 상기 데이터 입력 신호 상의 긴 하이 펄스들은 억제하지 않도록 구성되고, 그리고

상기 필터링된 데이터 입력 신호를 래치하기 위한 수단(45)은, 상기 데이터 입력 신호의 각각의 비트 시간의 말미에 상기 필터링된 데이터 신호를 래치하도록 구성되는 플립-플롭(45)인,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 8

제 7 항에 있어서,

상기 원-사이드 펄스 필터는 하강 천이(falling transition)들에 대한 입력-투-출력 지연(input-to-output delay)보다 더 큰 상승 천이들에 대한 입력-투-출력 지연을 갖는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 9

제 8 항에 있어서,

상기 원-사이드 펄스 필터의 상승 천이들에 대한 입력-투-출력 지연은 교정되도록 적응되는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 10

제 7 항에 있어서,

상기 원-사이드 펄스 필터는,

커패시터(27); 및

상기 데이터 입력 신호에 기초하여 상기 커패시터를 방전시키도록 구성된 전류 소스(25)를 포함하고,

상승 천이들에 대한 상기 원-사이드 펄스 필터의 입력-투-출력 지연은 상기 커패시터의 커패시턴스와 상기 전류 소스의 전류의 곱(product)에 기초하는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치.

청구항 11

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 방법으로서,

상기 데이터 입력 신호는 비트들의 직렬 스트림을 포함하고, 상기 직렬 스트림의 각각의 비트는 비트 시간에 걸쳐있고, 상기 직렬 스트림의 각각의 비트는 그 지속기간이 각각의 비트의 값을 시그널링하는 트레일링 펄스를 갖고,

상기 방법은,

상기 트레일링 펄스들을 단축시키도록 상기 데이터 입력 신호를 필터링하는 단계(610) — 상기 데이터 입력 신

호를 필터링하는 것은 상기 데이터 입력 신호 상의 짧은 트레일링 펄스들은 억제하고 상기 데이터 입력 신호 상의 긴 하이 트레일링은 억제하지 않는 것을 포함함 –; 및

상기 데이터 입력 신호의 트레일링 에지들에 상기 필터링된 데이터 입력 신호를 래치하는 단계(620)를 포함하는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 방법.

청구항 12

제 11 항에 있어서,

억제되는 트레일링 펄스들의 지속기간들을 교정하는 단계를 더 포함하는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 방법.

청구항 13

제 12 항에 있어서,

상기 교정은 상기 데이터 입력 신호의 동기화 상태 동안 수행되는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 방법.

청구항 14

제 12 항에 있어서,

상기 교정은 디지털 방식으로 제어되는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 방법.

청구항 15

제 11 항에 있어서,

상기 필터링된 데이터 입력 신호를 래치하는데 이용하기 위해 상기 데이터 입력 신호에 기초하여 클록 출력 신호를 생성하는 단계를 더 포함하는,

데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

작제

발명의 설명

기술 분야

[0001] 본 발명은 전자 회로들에 관한 것으로서, 보다 구체적으로는, 펄스-폭 변조 데이터를 디코딩하기 위한 회로에 관한 것이다.

배경 기술

[0002] MIPI(Mobile Industry Processor Interface) 얼라이언스(Alliance)는 M-PHY라 명명된 직렬 인터페이스 PHY(physical layer)에 대한 표준을 설정하였다. M-PHY는 예를 들어, 모바일 폰의 회로들 간의 통신을 위해 이용될 수 있다. M-PHY의 예시적인 이용은 프로세서와 메모리 간의 UFS(Universal Flash Storage) 링크에 대한 것이다.

[0003] M-PHY는 클록이 데이터 신호에 임베딩되는 PWM(pulse-width modulation)을 이용하여 통신한다. 데이터 신호는 비트들의 직렬 스트림을 포함한다. 직렬 스트림의 각각의 비트는 비트 시간으로서 지정될 수 있는 시간 인터벌에 걸쳐있다.

[0004] 도 1은 펄스-폭 변조 데이터의 과정도이다. 도 1은 M-PHY에 이용되는 과정들을 예시하지만, 다른 과정들이 상이한 극성들 및 상이한 비트 정의들과 더불어 이용될 수 있다. 각각의 비트 시간의 선두 및 말미에, 데이터 신호는 하이(high)로부터 로우(low)로 천이한다. ZERO 데이터 값은 하이 시간보다 더 넓은 로우 시간을 갖는 펄스에 의해 표현된다. ONE 데이터 값은 로우 시간보다 더 넓은 하이 시간을 갖는 펄스에 의해 표현된다. 넓은(wide) 펄스들의 폭은 예를 들어, 비트 시간의 2/3일 수 있다.

[0005] M-PHY의 데이터 레이트들은 "기어들(gears)"로서 표현된다. 각각의 기어는, 표 1에서 도시된 바와 같이, 3-대-1 범위의 지원되는 데이터 레이트를 갖는다.

표 1

기어	최소 데이터 레이트	최대 데이터 레이트
1	3 Mbps	9 Mbps
2	6 Mbps	18 Mbps
3	12 Mbps	36 Mbps
4	24 Mbps	72 Mbps
5	48 Mbps	144 Mbps
6	96 Mbps	288 Mbps
7	192 Mbps	576 Mbps

[0007]

[0006] M-PHY 링크 상의 통신은 베스트들에서 발생할 수 있다. 베스트들은 수신기를 송신기에 동기화하는데 유용한 데이터 시퀀스를 갖는 동기화(SYNC) 상태를 포함하는 다양한 상태들을 포함한다. SYNC 상태는 예를 들어, 데이터 값을 간의 고밀도의 천이들을 가질 수 있다. 사용자 데이터는 8B10B(10 펄스-폭 변조된 비트들로서 코딩된 8 데이터 비트들) 코딩된 심볼들로 구성되는 PAYLOAD 상태에서 통신된다.

[0009]

[0007] 이전의 PWM 디코더들은 데이터를 복원하기 위해 오버샘플링을 이용하였다. 예를 들어, 디코더는 비트

시간 당 12번 데이터 입력을 샘플링하고, 수신된 데이터 값들을 결정하도록 샘플들을 분석할 수 있다. 이러한 타입의 디코더는 더 높은 기어들에서 이용하기에 적합하지 않을 수 있다.

[0010] [0007A] 공개된 미국 특허 출원 US 2010/0260283 A1호는, 값들이 둑티-사이클 비에 의해 시그널링된 비트들이고 둑티-사이클 비가 시그널링의 송신 레이트에 의존하여 변동되는 둑티-사이클 변조된 비트 시그널링 방법 및 회로에 관한 것이다. 비트 기간은 긴 페이즈 및 짧은 페이즈를 포함하고, 둑티-사이클은 긴 페이즈의 지속기간과 짧은 페이즈의 지속기간 간의 비가 감소하는 송신 레이트에 대해 증가되도록 변동된다. 둑티-사이클 비는 송신 레이트의 하나 또는 그 초과의 범위들에 따라 시그널링의 송신 레이트에 의존하여 변동된다. 더 높은 송신 레이트 범위에서, 둑티-사이클은 고정된 비로서 정의되고, 더 낮은 송신 범위에서, 둑티-사이클은 비트 기간의 짧은 페이즈의 고정된 길이에 의해 정의된다.

[0011] [0007B] 공개된 국제 특허 출원 WO 2013/048395 A1호는 오버-클로킹을 이용한 저 전력 데이터 복원에 관한 것이다. 수신기는 송신기로부터 수신된 입력 신호의 제 1 하강 에지 및 제 1 상승 에지를 검출하기 위한 에지 검출기 및 제 1 하강 에지의 검출에 대한 응답으로 제 1 방향에서 카운트하고 입력 신호의 제 1 상승 에지의 검출에 대한 응답으로 제 2 방향에서 카운트하기 위한 카운터를 포함한다. 카운터는 제 1 및 제 2 방향들에서의 카운트들에 기초하여 최종 카운트 값을 생성한다. 수신기는, 최종 카운트 값에 따라 이루어진 결정을 통해, 입력 신호의 데이터가 로직 하이인지 또는 로직 로우 값인지 여부를 결정하기 위한 판단 유닛을 포함한다.

발명의 내용

[0012] [0008] 일 양상에서, 데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 디코더가 제공되며, 상기 데이터 입력 신호는 비트들의 직렬 스트림을 포함하고, 상기 직렬 스트림의 각각의 비트는 비트 시간에 걸쳐있고, 상기 직렬 스트림의 각각의 비트는 그 지속기간이 각각의 비트의 값을 시그널링하는 하이(high) 펄스를 갖는다. 디코더는 데이터 입력 신호 상의 하이 펄스들의 지속기간들을 단축함으로써 필터링된 데이터 신호를 생성하도록 구성된 원-사이드(one-sided) 펄스 필터 및 데이터 입력 신호의 각각의 비트 시간의 말미에 필터링된 데이터 신호를 래치하도록 구성된 플립-플롭을 포함한다.

[0013] [0009] 일 양상에서, 데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 방법이 제공되며, 상기 데이터 입력 신호는 비트들의 직렬 스트림을 포함하고, 상기 직렬 스트림의 각각의 비트는 비트 시간에 걸쳐있고, 상기 직렬 스트림의 각각의 비트는 그 지속기간이 각각의 비트의 값을 시그널링하는 트레일링 펄스를 갖는다. 방법은 트레일링 펄스들을 단축하도록 데이터 입력 신호를 필터링하는 단계; 및 데이터 입력 신호의 트레일링 에지에 필터링된 데이터 입력 신호를 래치하는 단계를 포함한다.

[0014] [0010] 일 양상에서, 데이터 입력 신호로부터의 펄스-폭 변조 데이터를 디코딩하기 위한 장치가 제공되며, 상기 데이터 입력 신호는 비트들의 직렬 스트림을 포함하고, 상기 직렬 스트림의 각각의 비트는 비트 시간에 걸쳐있고, 상기 직렬 스트림의 각각의 비트는 그 지속기간이 각각의 비트의 값을 시그널링하는 트레일링 펄스를 갖는다. 장치는 트레일링 펄스들을 단축하도록 데이터 입력 신호를 필터링하기 위한 수단; 및 데이터 입력 신호의 트레일링 에지에 필터링된 데이터 입력 신호를 래치하기 위한 수단을 포함한다.

[0015] [0011] 본 발명의 다른 특징들 및 이점들은 예로서 본 발명의 양상들을 예시하는 다음의 설명으로부터 명백할 것이다.

도면의 간단한 설명

[0016] [0012] 그 구조 및 동작 둘 다에 관한 본 발명의 세부사항들은 유사한 참조 번호들이 유사한 부분들을 지칭하는 첨부 도면들을 연구함으로써 부분적으로 습득될 수 있다.

[0013] 도 1은 펄스-폭 변조된(PWM) 데이터의 과정도이다.

[0014] 도 2는 현재 개시된 실시예에 따른 PWM 디코더의 기능 블록도이다.

[0015] 도 3은 도 2의 PWM 디코더의 동작을 예시하는 과정도이다.

[0016] 도 4는 현재 개시된 실시예에 따른 원-사이드 펄스 필터의 개략도이다.

[0017] 도 5는 도 4의 원-사이드 펄스 필터의 동작을 예시하는 과정도이다.

[0018] 도 6은 현재 개시된 실시예에 따라 펄스-폭 변조 데이터를 디코딩하기 위한 프로세스의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0017]

[0019] 첨부 도면들과 관련하여 아래에서 기술되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며 여기서 설명되는 개념들이 실시될 수 있는 유일한 구성들만을 나타내도록 의도되는 것은 아니다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하기 위해서 특정 세부사항들을 포함한다. 그러나 이들 개념들은 이들 특정 세부사항들 없이 실시될 수 있음이 당업자에게 명백할 것이다. 일부 경우들에서, 잘 알려진 구조들 및 컴포넌트들은 그러한 개념들을 모호하게 하는 것을 방지하기 위해 단순화된 형태로 도시된다.

[0018]

[0020] 도 2는 현재 개시된 실시예에 따른 PWM 디코더의 기능 블록도이다. PWM 디코더는 다수의 상이한 방식들로 구현될 수 있다. 실시예에서, PWM 디코더는 CMOS(complementary metal oxide semiconductor) 집적 회로에서 구현된다.

[0019]

[0021] 디코더는 데이터 입력 신호(데이터 입력) 상에서 데이터의 직렬 스트림을 수신한다. 데이터 입력 신호는 예를 들어, 도 1에서 예시된 바와 같은 파형들을 이용하여 펄스-폭 변조된다. 디코더는 데이터 입력 신호의 PWM-코딩된 데이터의 값들을 시그널링하는 데이터 출력 신호(데이터 출력)를 생성하도록 데이터 입력 신호의 데이터를 디코딩한다. PWM 디코더는 또한 데이터 출력 신호의 타이밍을 시그널링하는 클록 출력 신호(클록 출력)을 공급할 수 있다.

[0020]

[0022] 디코더는 데이터 입력 신호를 수신하고 필터링된 데이터 신호(필터링된 데이터)를 생성하는 원-사이드 펄스 필터(20)를 포함한다. 원-사이드 펄스 필터(20)는 그것이 수신하는 펄스들의 하이 시간을 단축(또는 쪼{}{

[0023] 원-사이드 펄스 필터(20)에 의해 단축되는 펄스의 양은, PWM 데이터 ZERO 비트의 하이 펄스가 완전히 억제되고 필터링된 데이터 신호가 데이터 ZERO의 비트 시간 동안 로우로 유지되도록 그리고 PWM 데이터 ONE 비트의 활성 펄스가 완전히 억제되지 않고 필터링된 데이터 신호가 데이터 ONE의 비트 시간 동안 하이로 천이하도록 세팅된다.

[0021]

[0024] 원-사이드 펄스 필터(20)는 상승 천이들 및 하강 천이들에 대한 상이한 입력-투-출력 지연들을 갖는 베폐로서 고려될 수 있다. 이에 따라, 원-사이드 펄스 필터(20)는 비대칭 필터로서 지칭될 수 있다. 상승 천이들에 대한 지연은 하강 천이들에 대한 지연보다 더 커서, 하이 펄스들의 지속기간은 단축되게 된다. 하강 천이들에 대한 지연은 짧을 수 있는데, 예를 들어, 몇개의 게이트 지연들일 수 있다.

[0022]

[0025] 신호 천이들은 또한 에지들로서 지칭될 수 있으며; 예를 들어, 상승 천이는 또한 상승 에지로서 지칭될 수 있고 하강 천이는 하강 에지로서 지칭될 수 있다. 유사하게, 상승 천이는 로우 레벨로부터 하이 레벨로의 천이로서 지칭될 수 있고, 하강 천이는 하이 레벨로부터 로우 레벨로의 천이로서 지칭될 수 있다.

[0023]

[0026] 디코더는 사용자 데이터를 수신하기 이전에 상승 천이들에 대한 지연을 교정할 수 있다. 상승 천이들에 대한 지연을 교정하는 것은 억제되는 하이 펄스들의 지속기간들의 교정을 제공한다. 예를 들어, 지연은 수신된 M-PHY 데이터 신호의 동기화 상태 동안 교정될 수 있다. 교정은 예를 들어, 가능한 지연 값들의 범위에 걸친 스위핑(sweeping)을 포함할 수 있다. 지연 값들 중 일부(너무 긴 지연들을 갖는 것들)는 데이터 출력 신호가 모두 ZERO들이 되게 할 것이다. 다른 지연 값들(너무 짧은 지연들을 갖는 것들)은 데이터 출력 신호가 모두 ONE들이 되게 할 것이다. 교정은 예를 들어, 너무 높은 최저 지연 값과 너무 낮은 최고 지연 값 간의 중간의 지연을 선택할 수 있다. 교정은 또한 동기화 상태에서 예상되는 패턴에 기초하여 특정 출력 값들을 기대할 수 있다. 교정 모듈은 동기화(SYNC) 상태 동안 데이터 출력 신호를 모니터링할 수 있다. 데이터 출력 신호의 값들에 기초하여, 교정 모듈은 데이터 출력 신호가 더 이상 일정한 ZERO들 또는 ONE들이 아니도록 지연 세팅들을 조정할 수 있다. 교정 모듈은 또한 8B10B 인코딩된 데이터 패턴을 검사할 수 있고 매 3비트 시간들마다 적어도 하나의 천이를 갖는다.

[0024]

[0027] 원-사이드 펄스 필터(20)로부터의 필터링된 데이터 신호는 플립-플롭(45)에서 캡처된다. 플립-플롭(45)은 필터링된 데이터 신호에 연결되는 데이터 입력(D), 클록 출력 신호에 연결되는 클록 입력 및 디코더의 데이터 출력 신호에 연결되는 데이터 출력(Q)을 갖는다.

[0025]

[0028] 클록 생성기 모듈(30)은 클록 출력 신호를 공급한다. 도 2에서 예시된 실시예에서, 클록 생성기 모듈(30)은 인버터(35)를 포함한다. 클록 생성기 모듈(30)은 데이터 입력 신호로부터 클록 출력 신호를 생성한다. 인버터(35)는 데이터 입력 신호에 연결된 입력 및 클록 출력 신호에 연결된 출력을 갖는다. 따라서, 클록 출력 신호는 데이터 입력 신호의 논리적 보수이다. 다른 실시예들에서, 클록 생성기 모듈(30)은 예를 들어, 플립-플롭(45)의 특성에 기초하는 다른 회로를 포함할 수 있다.

- [0026] [0028] 데이터 입력 신호가 각각의 비트 시간의 말미에서 하강하기 때문에, 클록 출력 신호는 각각의 비트 시간의 말미에 상승한다. 플립-플롭(45)은 상승-에지 트리거되고, 클록 출력 신호의 상승 에지에 필터링된 데이터 신호를 래치하며, 이는 각각의 비트 시간의 말미에 발생한다. 따라서, 데이터 출력 신호는 각각의 비트 시간의 말미에 필터링된 데이터 신호의 값으로 세팅된다. 클록 생성기 모듈(30) 및 원-사이드 펄스 필터(20)는 그들의 지연들이 플립-플롭(45)의 타이밍 요건들을 충족하도록 설계될 수 있다. 예를 들어, 하강 천이들에 대한 원-사이드 펄스 필터(20)의 입력에서 출력으로의 최소 지연은 플립-플롭(45)의 홀드 시간 요건(hold time requirement)을 충족하도록 (클록 생성기 모듈(30)의 지연에 비해) 충분히 길게 되어야 한다.
- [0027] [0029] 도 3은 도 2의 PWM 디코더의 동작을 예시하는 과정도이다. 도 3은 시간(301)으로부터 시간(304)까지 데이터 ONE 비트 시간 및 시간(304)으로부터 시간(306)까지 데이터 ZERO 비트 시간을 예시한다. 예시의 명확성을 위해, 과정들은 순간적인 신호 천이들 및 비트 시간에 비해 작은 희로 지연들에 대해 예시된다.
- [0028] [0030] 데이터 ONE 비트 시간에 대해, 시간(301)에서, 데이터 입력 신호는 하강하고 잠시 후에, 필터링된 데이터 신호가 또한 하강한다. 데이터 입력 신호의 하강으로부터 필터링된 데이터 신호의 하강까지의 지연 시간은 하강 천이들에 대한 원-사이드 펄스 필터(20)의 지연이다. 시간(302)에서, 데이터 입력 신호는 상승한다. 시간(303)에서, 필터링된 데이터 신호가 상승한다. 시간(302)으로부터 시간(303)까지의 지연은 상승 천이들에 대한 원-사이드 펄스 필터(20)의 지연이다. 시간(304)에서, 데이터 ONE 비트 시간의 말미에, 데이터 입력 신호는 하강하고 클록 출력 신호는 상승한다. 클록 출력 신호의 상승 에지는 필터링된 데이터 신호를 래치하도록 플립-플롭(45)을 트리거한다. 필터링된 데이터 신호가 이 때 하이이기 때문에, 데이터 출력은 ONE으로 세팅되며, 이는 데이터 입력 신호의 PWM 코딩된 값과 매칭한다.
- [0029] [0031] 데이터 ZERO 비트 시간에 대해, 시간(304)에서, 데이터 입력 신호는 하강하고 잠시 후에, 시간(301)에서와 같이 필터링된 데이터 신호가 또한 하강한다. 시간(305)에서, 데이터 입력 신호는 상승한다. 시간(306)에서, 데이터 ZERO 비트 시간의 말미에, 데이터 입력 신호는 하강하고 클록 출력 신호는 상승한다. 시간(305)으로부터 시간(306)까지의 데이터 입력 신호의 활성 시간은, 상승 천이들에 대한 원-사이드 펄스 필터(20)의 지연보다 더 짧다. 따라서, 필터링된 데이터 신호는 로우로 유지된다. 클록 출력 신호의 상승 에지는 필터링된 데이터 신호를 래치하도록 플립-플롭(45)을 트리거한다. 필터링된 데이터 신호가 이 시간에 로우이기 때문에, 데이터 출력은 ZERO로 세팅되며, 이는 데이터 입력 신호의 PWM 코딩된 값과 매칭한다.
- [0030] [0032] 도 4는 현재 개시된 실시예에 따른 원-사이드 펄스 필터의 개략도이다. 원-사이드 펄스 필터는 도 2의 디코더의 원-사이드 펄스 필터(20)로서 이용될 수 있다.
- [0031] [0033] 도 4의 원-사이드 펄스 필터는 데이터 입력 신호를 수신하고 펄스들의 단축된 하이 시간들을 갖는 필터링된 데이터 신호를 생성한다. 원-사이드 펄스 필터는 펄스 단축의 양을 제어하기 위해 커패시터(27)가 방전하는 전류를 이용한다. 데이터 입력 신호에 기초하여 커패시터(27)를 스위칭 가능하게 방전하는 전류는 전류 소스(25)로부터 비롯된다.
- [0032] [0034] 원-사이드 펄스 필터는 p-채널 트랜지스터(21), 전류 소스(25) 및 n-채널 트랜지스터(22)로 구성된 제 1 인버터(24)를 포함한다. 인버터의 출력은 원-사이드 펄스 필터의 중간점(Mid)에 연결된다. 제 2 인버터(29)는 중간점에 연결되는 그의 입력 및 필터링된 데이터 신호에 연결되는 그의 출력을 갖는다. p-채널 트랜지스터(21)는 데이터 입력 신호에 연결되는 그의 게이트, 전압 공급기에 연결되는 그의 소스 및 제 1 인버터(24)의 출력에 연결되는 그의 드레인을 갖는다. n-채널 트랜지스터(22)는 데이터 입력 신호에 연결되는 그의 게이트 및 접지 레퍼런스(ground reference)에 연결되는 그의 소스를 갖는다. n-채널 트랜지스터(22)는 전류 소스(25)의 한 단자에 연결되는 그의 드레인을 갖고, 이 전류 소스(25)의 다른 단자는 제 1 인버터(24)의 출력에 연결된다. 따라서, n-채널 트랜지스터(22)의 채널은 전류 소스(25)와 직렬이다. 대안적으로, 전류 소스(25)는 접지 레퍼런스, 및 원-사이드 펄스 필터의 중간점에 연결되는 n-채널 트랜지스터(22)의 드레인에 연결될 수 있다. 전류 소스(25)는 데이터 입력 신호가 하이일 때 커패시터(27)를 방전한다.
- [0033] [0035] 펄스들(상승 천이들에 대한 지연)의 단축의 양은 커패시터(27)의 커패시턴스 및 전류 소스(25)의 전류에 의해 제어된다. 상승 천이들에 대한 지연은 커패시터(27)의 커패시턴스 및 전류 소스(25)의 전류의 곱에 기초한다. 전류 소스(25) 및 커패시터(27) 중 하나 또는 둘 다는 가변적이어서, 펄스 단축의 양은 교정에 대해 그리고 상이한 기어들에 대해 조정될 수 있다. 교정은 디지털 값을 조정하는 것을 포함할 수 있다. 예를 들어, 전류 소스(25)는 전류-모드 디지털-투-아날로그 변환기를 포함할 수 있다. 대안적으로 또는 부가적으로, 커패시터(27)는 예를 들어, 원-사이드 펄스 필터의 중간점에 스위칭 가능하게 연결되는 다수의 커패시터들을 포

함할 수 있다.

- [0034] [0036] 지연 조정의 범위는 PWM 디코더에 이용될 데이터 레이트들의 범위에 기초하여 선택될 수 있다. 예를 들어, PWM 디코더가 M-PHY의 기어 6에서 이용되는 경우, 지연 조정들의 범위는 3의 배수보다 더 클 수 있다. 기어 6에 대한 데이터 레이트들의 범위는 3의 배수에 걸친다. 원-사이드 필터의 조정 범위는 예를 들어, 프로세스, 전압 및 온도의 변동들을 포함하도록 3배보다 더 클 수 있다. 다른 예를 들면, PWM 디코더가 M-PHY의 기어들 6 및 7에서 이용될 경우, 하루 지연 조정들의 범위는 (기어 6의 최소 데이터 레이트 대 기어 7의 최대 데이터 레이트의 비인) 6의 배수보다 더 클 수 있다.
- [0035] [0037] 도 5는 도 4의 원-사이드 필터의 동작을 예시하는 과정도이다. 도 5는 시간(501)으로부터 시간(504)까지 데이터 ONE 비트 시간 및 시간(504)으로부터 시간(506)까지 데이터 ZERO 비트 시간을 예시한다.
- [0036] [0038] 데이터 ONE 비트 시간에 대해, 시간(501)에서, 데이터 입력 신호는 하강한다. 이는 p-채널 트랜지스터(21)를 턴 온하고 중간점을 하이로 풀(pull)링한다. 중간점 상의 하이-레벨은 제 2 인버터(29)가 필터링된 데이터 신호를 로우로 스위칭하고 구동하게 한다. 데이터 입력 신호의 하강으로부터 필터링된 데이터 신호의 하강까지의 지연 시간은 하강 천이들에 대한 원-사이드 필터의 지연이다. 이 지연은 p-채널 트랜지스터(21)가 커페시터(27)를 빠르게 충전할 수 있을 때 짧을 수 있다.
- [0037] [0039] 시간(502)에서, 데이터 입력 신호는 상승한다. 이는 p-채널 트랜지스터(21)를 턴 오프하고, n-채널 트랜지스터(22)를 턴 온하며, 이는 전류 소스(25)가 커페시터(27)를 방전하는 것을 가능케 한다. 중간점 상의 전압은 전류 소스(25) 및 커페시터(27)에 의해 결정된 레이트에서 아래로(downward) 램핑(ramp)할 것이다. 시간(503)에서, 중간점은 제 2 인버터(29)가 스위칭하게 하는 레벨로 램핑한다. 이에 따라, 시간(503)에서, 필터링된 데이터 신호는 하이로 스위칭한다. 시간(502)으로부터 시간(503)까지의 지연은 상승 천이들에 대한 원-사이드 필터의 지연이다. 필터링된 데이터 ZERO 비트 시간의 말미 내내 하이로 유지된다.
- [0038] [0040] 데이터 ZERO 비트 시간에 대해, 시간(504)에서, 데이터 입력 신호는 하강한다. 시간(501)에 대해 설명된 바와 같이, 이는 필터링된 데이터 신호가 하강하게 한다. 시간(505)에서, 데이터 입력 신호는 상승한다. 이는 p-채널 트랜지스터(21)를 턴 오프시키고, n-채널 트랜지스터(22)를 턴 온시키며, 이는 전류 소스(25)가 커페시터(27)를 방전하는 것을 가능케 한다. 중간점 상의 전압은 전류 소스(25) 및 커페시터(27)에 의해 결정된 레이트에서 아래로 램핑할 것이다. 시간(506)에서, 데이터 입력 신호는 하강한다. 이 시간에, 중간점은 제 2 인버터(29)가 스위칭하기에 충분히 아래로 램핑하지 않는다. 이에 따라, 시간(503)에서, 필터링된 데이터 ZERO 비트 시간의 말미 내내 로우로 유지된다.
- [0039] [0041] 위의 시스템들 및 방법들은 M-PHY 통신 링크에서 이용되는 신호 정의들에 대해 설명되었다. 다른 통신 링크들에서, 다른 신호 특성들 및 비트 값 정의들이 이용될 수 있다. 일반적으로, 비트 시간의 선두에서 (도 1에서 하강하는) 천이는 리딩 에지로서 지정될 수 있고, 비트 시간의 말미에서 (도 1에서 하강하는) 천이는 트레일링 에지로서 지정될 수 있다. 유사하게, 비트 시간의 선두에서 (도 1에서 로우인) 필스는 리딩 필스로서 지정될 수 있고, 비트 시간의 말미에서 (도 1에서 하이인) 필스는 트레일링 필스로서 지정될 수 있다. 부가적으로, 비트 시간 내의 필스들은 예를 들어, 좁은, 넓은, 짧은 또는 긴과 같은 용어들을 이용하는 그의 지속기간에 의해 참조될 수 있다.
- [0040] [0042] 도 2의 디코더의 변동들은 다른 신호 특성 및 비트-값 정의들과 함께 작동할 수 있다. 예를 들어, 원-사이드 필터(20)는 그것이 수신하는 트레일링 필스들의 지속기간을 단축(또는 췌핑)하도록 구성될 수 있다. 원-사이드 필터(20)는 짧은 트레일링 필스들을 억제하고 (짧은 지속기간을 갖더라도) 긴 트레일링 필스들을 통과시킨다. 유사하게, 플립-플롭(45)은 데이터 입력 신호의 트레일링 에지들에 필터링된 데이터 신호를 래치하도록 구성될 수 있다.
- [0041] [0043] 도 6은 현재 개시된 실시예에 따라 필스-폭 변조 데이터를 디코딩하기 위한 프로세스의 흐름도이다. 프로세스는 예를 들어, 도 2의 PWM 디코더를 이용하여 구현될 수 있다.
- [0042] [0044] 단계(610)에서, 프로세스는 트레일링 필스들을 단축하기 위해 데이터 입력 신호를 필터링한다. 필터링은 데이터 입력 신호 상의 짧은 트레일링 필스들을 억제하지만, 데이터 입력 신호 상의 긴 트레일링 필스들을 억제하지 않는다. 억제하는 필스들의 지속기간은 교정에 의해 결정될 수 있다. 예를 들어, 도 2의 디코더의 원-사이드 필터(20)는 데이터 입력 신호를 필터링하는데 이용될 수 있다.
- [0043] [0045] 단계(620)에서, 프로세스는 데이터 입력 신호의 트레일링 에지에 (단계(610)로부터) 필터링된 데이터 입력 신호를 래치한다. 예를 들어, 도 2의 디코더의 플립-플롭(45)은 데이터 입력 신호의 하강 에지들에 원-사

이드 펄스 필터(20)의 출력을 래치할 수 있다. 프로세스는 또한 데이터 입력 신호로부터 클록 출력 신호를 생성하고 필터링된 데이터 입력 신호의 래치를 트리거하도록 클록 출력 신호를 이용하는 것을 포함할 수 있다.

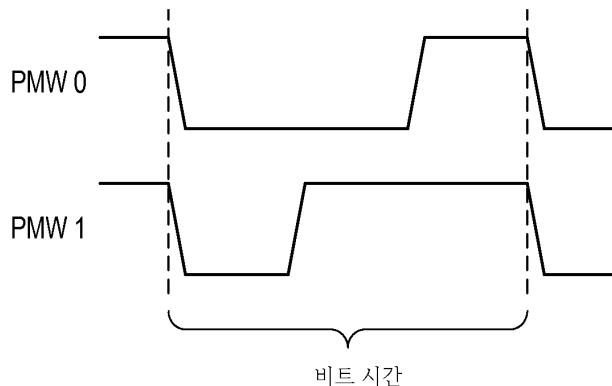
[0044] [0046] 도 6의 프로세스는 예를 들어, 단계들을 부가 또는 변경함으로써 변형될 수 있다. 부가적으로, 단계들은 동시에 수행될 수 있다.

[0045] [0047] 특정한 실시예들이 위에서 설명되었지만, 예를 들어, 상이한 신호 구성들 및 데이터 비트 정의들을 갖는 것들을 포함하는 다수의 변동들이 가능하다. 또한, 하나의 모듈에 의해 수행되는 것으로서 설명된 기능들은 다른 모듈로 이동되거나 모듈들에 걸쳐 분산될 수 있다. 부가적으로, 다양한 실시예들의 특징들은 위에서 설명된 것들과 상이한 결합들로 결합될 수 있다.

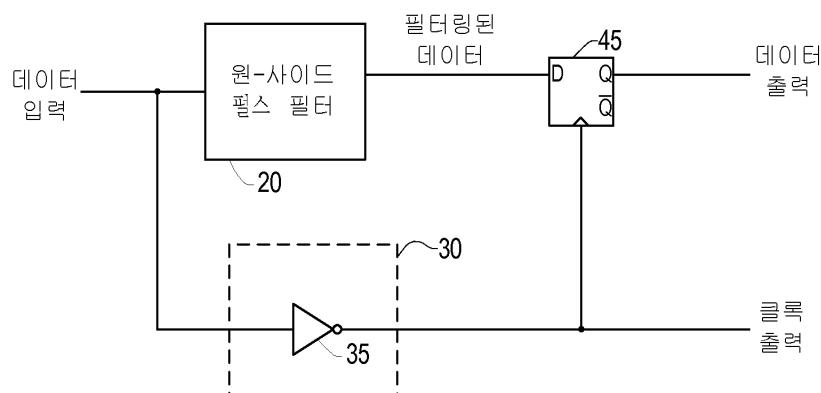
[0046] 개시된 실시예의 위의 설명은 당업자가 본 발명을 실시하거나 이용할 수 있도록 제공된다. 이들 실시예들에 대한 다양한 변형은 당업자에게 쉽게 명백하게 될 것이며, 본원에서 설명된 일반적인 원리들은 본 발명의 사상 또는 범위를 벗어나지 않고 다른 실시예들에 적용될 수도 있다. 따라서, 본원에서 제시된 설명 및 도면들은 본 발명의 현재 바람직한 실시예를 나타내며, 그에 따라 본 발명에 의해 광범위하게 고려되는 청구 대상을 대표한다는 것이 이해될 것이다. 본 발명의 범위는 당업자들에게 명백하게 될 수 있는 다른 실시예들을 완전히 포괄하며, 그에 따라 본 발명의 범위는 첨부된 청구항들 이외의 어떤 것에 의해서도 제한되지 않는다는 것이 추가로 이해된다.

도면

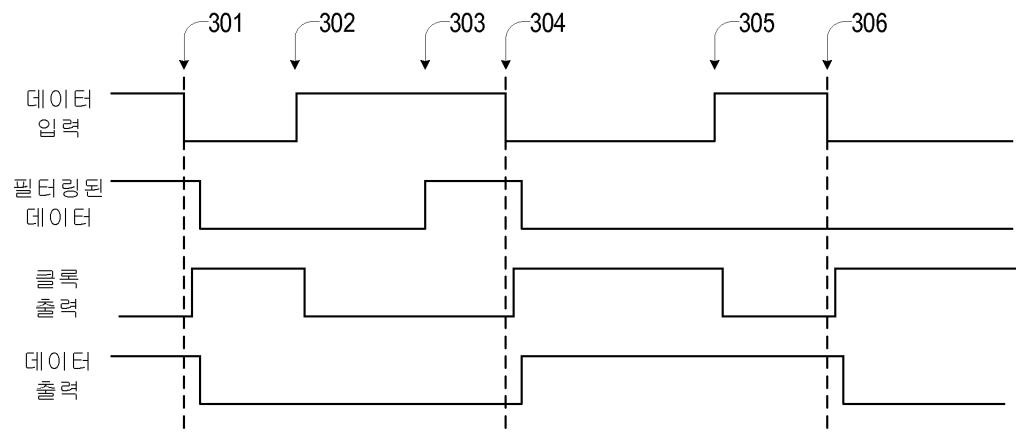
도면1



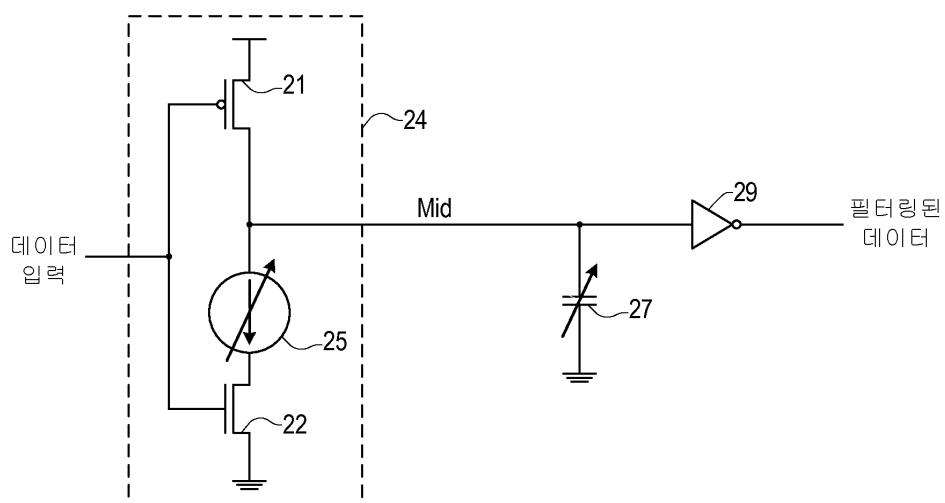
도면2



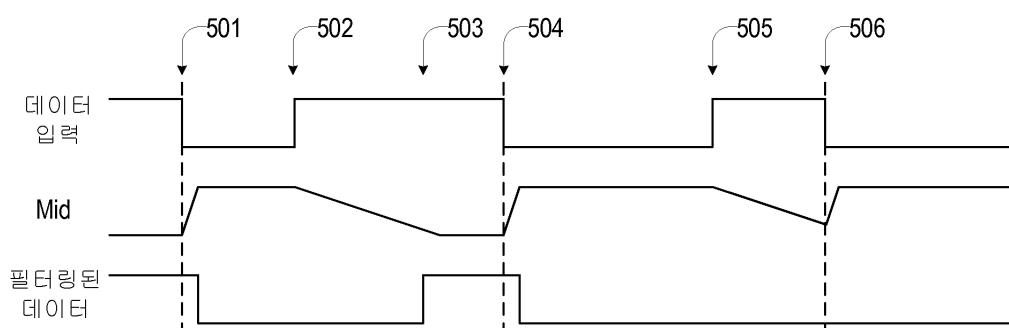
도면3



도면4



도면5



도면6

