

公告本

384431

申請日期	85.12.26
案 號	85116071
類 別	G06F13/36

A4
C4

384431

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	結合有不需待機或暫停模式之熱會接及脫離擴充站能力的電腦系統
	英 文	COMPUTER SYSTEM INCORPORATING HOT DOCKING AND UNDOCKING CAPABILITIES WITHOUT REQUIRING A STANDBY OR SUSPEND MODE
二、發明人	姓 名	(1) 理查 S. 林 (2) 大衛 J. 馬蓋里 (3) 詹姆斯 R. 艾得沃得斯 (4) 大衛 J. 迪里斯里
	國 籍	美 國
三、申請人	住、居所	(1) 美國德州休士頓·貝米爾北休士頓路14545號#2119 (2) 美國德州春天·太陽尖地道8806號 (3) 美國科羅拉多州蘭格摩特·櫻桃塢道536號 (4) 美國德州春天·米斯提克履克道17215號
	姓 名 (名稱)	美商·康培克電腦公司
	國 籍	美 國
	住、居所 (事務所)	美國德州·休士頓市·S.H.249 20555號
	代 表 人 姓 名	艾琳·柯斯圖拉吉斯

裝

訂

線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：1996, 7, 19 案號：08/684, 255 ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係有關膝上型電腦及其相關之會接站，詳言之係有關一種不需將電腦系統置於待機或暫停模式即可熱會接及脫離擴充站的方法。

由於微處理器及記憶體系統之效能改進，使電腦功能變得很強大，已可執行以往只有大電腦才能執行的工作。而技術的改變在功率消耗效率需對特性，成本，大小，重量及效能做平衡之可攜式電腦領域更是特別快速。由於大多數使用者希望可攜式電腦能提供與桌上型電腦類似之功能，故其設計之選擇更具挑戰性。術語“可攜式電腦”通常是泛指以電池或太陽能供電之電腦族類。對可攜式電腦熟悉者將認得其它諸如：攜帶型，膝上型，筆記型及手持式等名稱。這些分類係用於與較大之可攜式電腦市場做區隔。

電腦系統設計師可有許多種選擇。雖然僅使用目前可用之最高效能處理器對提供高效能產品是有所幫助，但這在今日之市場仍是不夠的。處理器須有高效能構件及一高效能I/O(輸入/輸出)匯流排支援。系統設計者有數個標準I/O匯流排可使用：ISA(工業標準結構)；EISA(擴充工業標準結構)；以及PCI(周邊構件介面)。今日之電腦設計通常是使用此三種匯流排之組合，以提供使用者具有PCI之效能以及ISA或EISA之往回相容性。熟知本技藝者對此三種匯流排均很熟悉。

某些效能標準亦包含電腦之特殊特性，可用以區別競爭廠商間之電腦。這些增加的特性會導致大小及重量的增

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(2)

加。譬如，軟體及多媒體文件需要儲存大量的資料，故通常需使用一極高容量之硬碟機。不過，高容量硬碟機通常較可攜式電腦所預期使用之硬碟機要大且重。而可攜式電腦亦希望能有能力增加其功能。不過，典型之擴充間隔亦具有可攜式系統較小之特性。

一種提供額外特性且不會負面影響大小及重量之已知方法，是使用一擴充基部單元(亦稱為會接站)。一擴充單元係一不可攜之單元，通常是由AC電源供電且座落在使用者之桌上。當使用者在桌子工作時，可攜式電腦可插入擴充單元以提供增加之功能。譬如，擴充單元可有一用於連接一區域網路之網路介面單元，一高容量磁碟機，一CRT，一全尺寸大小之鍵盤，一軟碟機或CD-ROM以及其它周邊裝置。

由於尚未製訂出一致性之標準，故可攜式電腦與擴充基部單元間之連接通常是專屬性的。一種連接可攜式電腦與擴充基部單元之已知方式是經由現有之I/O匯流排。在一具有PCI匯流排及ISA匯流排之可攜式電腦，任一匯流排皆可用於連接擴充基部單元。若要得到最高效能，最好是使用PCI匯流排。

目前連接可攜式電腦至會接站所使用的方法都不盡理想。若使用所謂的“冷會接”，則使用者須在做任何會接/脫離擴充站動作之前，關閉所有的應用程式及切斷系統電源。此種會接類型需重新開機，以便使可攜式電腦辨識會接站之周邊裝置。此外，以新的周邊介面卡升級會接站時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

，使用者須具有足夠的技術理解能力以瞭解中斷及直接記憶體存取(DMA)並能正確設定組態跳接器。

新的即插即用(PnP)標準使會接及脫離擴充站變得較為容易。在結合有"熱會接"能力之系統，可攜式電腦必須在會接/脫離擴充站之前，先置於"暫停"或"待機"狀態。通常是壓下可攜式電腦上之按鈕或熱鍵進入待機狀態。在一典型之待機狀態，系統狀態儲存於系統記憶體內，所有裝置儘可能地置於低功率狀態，其中電源移離軟碟機，硬碟機及大部份之埠。匯流排時脈亦被除能，但會保持一低頻時脈動作以維持系統記憶體。藉由利用即插即用特性，可攜式電腦在其離開待機狀態時，可辨識並起動周邊裝置而不需重新開機。不過，在待機狀態所花費的時間通常比預期長。

在許多會接系統，可攜式電腦被規劃為在一段預定時間後，自動離開待機模式。而這段時間除了須完成電動之會接/脫離擴充站動作外，亦須保留一額外之安全餘裕。由於進入待機模式的需要，故將額外時間加入會接/脫離擴充站之程序中。目前，尚無有效方法可以不必暫停或完全關閉可攜式電腦系統之電源即可進行會接/脫離擴充站。

簡言之，依據本發明之可攜式電腦及會接站，結合有熱會接/脫離擴充站之能力。在系統因會接/脫離擴充站而要重新規劃之前，不需暫停正常之電腦工作。會接或脫離擴充站以及重新規劃系統組件所需之時間與不便性會較熟

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

知技藝減少許多。可攜式電腦及會接站實體上是經由一共用之PCI匯流排連接。使用一擴充連接器將可攜式電腦內之PCI匯流排部份與擴充基部內之PCI匯流排連接。擴充連接器提供長，中及短接腳。當可攜式電腦會接時，PCI匯流排之各個信號線分別經由中等長度腳位連接。短接腳及長接腳則是在會接及脫離擴充站事件期間，用於通知可攜式電腦以及擴充基部中之微控制器有關中等長度PCI匯流排信號接腳之連接狀態。

譬如，在會接程序期間，擴充連接器之長接腳是最先被連接並提供一信號至微控制器，用以指示進行中之一會接事件。短接腳功能則係用於通知微控制器，PCI匯流排信號接腳已連接。同樣地，短接腳是最先被分離並提供一脫離擴充站事件之初步警告，而長接腳指示脫離擴充站之程序已完成。

可攜式電腦及會接站是經由可攜式電腦內之低電阻開關做功能上的連接。在會接事件後，閉合開關會將會接站內之共用PCI部份連接至可攜式電腦內之PCI匯流排。當開關為打開時，二個PCI匯流排在功能上是被隔離的。開關是由可攜式電腦內之微控制器所產生之一信號所控制。在熱會接期間，微控制器在閉合開關之前要先確定擴充基部之電源是致能的。

在較佳實施例，可攜式電腦內之微控制器被規劃為在長接腳及短接腳之連接狀態改變之前或之後，產生一系統管理中斷(SMI)。SMI會通知基本輸入輸出系統(BIOS)及作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

業系統，一會接/脫離擴充站事件的發生。可攜式電腦及會接站亦各自包括一本地仲裁器，對連接於共用PCI匯流排上之裝置所提出之匯流排使用請求，做仲裁及准予使用。作業系統(透過系統BIOS)或微控制器可將這些本地仲裁器置於閒置狀態。仲裁器在會接及脫離擴充站事件期間閒置，是為停止PCI匯流排上之匯流排周期，以防止匯流排周期之遺失。

所揭示之可攜式電腦系統實施例亦結合有遵循即插即用標準之特性。在完成一熱會接事件後，執行PCI即插即用以及擴充匯流排即插即用之系統重新規劃，使作業系統可辨識及適當使用所有的系統資源。同樣地，即插即用重新規劃可防止可攜式電腦在一熱脫離擴充站之後，辨識會接站之組件。

從後文件隨附圖對較佳實施例所作之詳細說明可更為瞭解本發明。這些附圖之簡述如下：

第1圖係一依據本發明之具有熱會接與脫離擴充站能力之示範電腦系統之方塊圖；

第2圖係第1圖電腦系統之某些部份更為詳盡之方塊圖；

第3圖係一時序圖，顯示在一依據本發明之熱會接程序期間，膝上型電腦與會接站間之連繫；

第4圖係一時序圖，顯示在一依據本發明之熱脫離擴充站程序期間，膝上型電腦與會接站間之連繫；

第5a-5c圖以及第6a-6c圖皆係在熱會接及熱脫離擴充

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(6)

站事件期間，在膝上型電腦所執行之微控制器示範程式碼之流程圖；

第7圖顯示規劃系統軟體組件以支援熱會接/脫離擴充站之方塊層次圖。

以下之專利申請全部列入本文參考：

美國專利申請序號 _____，名稱“影子暫存器 (SHADOWING REGISTERS) 用之匯流排系統”，作者 Dwight D. Riley 及 David J. Maguire，並與本專利同時提出申請；

美國專利申請序號 _____，名稱“在一具有多個仲裁器之電腦系統中處理分散仲裁用之電路”，作者 David J. Maguire, Dwight D. Riley 及 James R. Edwards，並與本專利同時提出申請；

美國專利申請序號 _____，名稱“當告示時之長延遲中斷處理及輸入/輸出 (LONG LATENCY INTERRUPT HANDLING AND INPUT/OUTPUT WHILE POSTING)”，作者 David J. Maguire 及 James R. Edwards，並與本專利同時提出申請；

美國專利申請序號 _____，名稱“影子暫存器 (SHADOWING REGISTERS) 用之串列匯流排系統”，作者 David J. Maguire 及 Hung Q. Le，並與本專利同時提出申請；

美國專利申請序號 _____，名稱“正確解碼匯流排上位址之裝置與方法”，作者 Gregory N. Santos, James R. Edwards, Dwight D. Riley 及 David J. Maguire，並與本專利同時提出申請；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

美國專利申請序號 _____，名稱"二個ISA匯流排之概念"，作者Gregory N. Santos, James R. Edwards, Dwight D. Riley及David J. Maguire，並與本專利同時提出申請；以及

美國專利申請序號 _____，名稱"可重新規劃之雙主IDE介面"，作者Gregory N. Santos, David J. Maguire, William C. Hallowell及James R. Edwards，並與本專利同時提出申請；所有這些專利申請均已讓渡給本發明之讓受人。

現參考附圖，第1圖係一使用本發明之電腦系統之方塊圖。所顯示之電腦系統分成一膝上型電腦部份L(爾後稱為膝上型電腦 L)以及一會接站/擴充基部單元部份E(爾後稱為擴充基部 E)。膝上型電腦 L 係一可獨立工作之裝置，可與擴充基部 E 分離以便在遠處做計算工作。當膝上型電腦 L 會接至擴充基部 E 時，膝上型電腦 L 是由AC電源供電。當電腦 L 離開擴充基部 E 時，膝上型電腦 L 則是由電池供電。當與擴充基部 E 分開時，亦提供以AC電源操作膝上型電腦之機制。擴充基部 E 通常提供膝上型電腦部份 L 因空間及電力考量而無法具有之功能擴充性。

膝上型電腦 L 所使用之中央處理單元 100 是一傳統之微處理器，諸如Intel公司出品之Pentium或類似處理器。CPU 100 連接至一主匯流排 110，以與諸如一快取記憶體 102，一移動周邊組件互連匯流排快取控制器(MPC)108

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

以及成對之移動資料緩衝器(MDB) 104 等系統邏輯裝置通訊。快取記憶體 102 係一與CPU 100 配合使用之傳統快取記憶體，最好是使用高速同步叢發靜態隨機存取記憶體(RAM)。MPC 108 提供一與快取記憶體 102 之間之介面，並包括標記RAM及其它用於建立快取記憶體 102 之多個快取通路，大小及速度組態之邏輯電路。

MPC 108 及MDB 104 亦連接至一系統記憶體 106 及一周邊構件互連(PCI)匯流排 112。MPC 108 提供系統記憶體 106 之位址及控制信號，記憶體 106 是由可多達256MB(位元組)之傳統動態隨機存取記憶體(DRAM)所組成。MDB 104 在主匯流排 110 與系統記憶體 106 之間提供一64位元寬之資料通路並提供一32位元寬之資料通路至PCI匯流排 112。MPC 108 及MDB 104 具有三個主要功能介面：一處理器/快取記憶體介面，一系統記憶體介面，以及一PCI匯流排介面。MDB 104 係用於緩衝這三個介面間之資料，而MPC 108 則係處理定址，命令與控制。此三個介面彼此獨立運作，且皆包含三個介面中之任何二個介面間之用於讀與寫告示(posting)之佇列。處理器/快取記憶體介面允許CPU 100 將周期管線成讀取周期並允許在執行管線周期時，可伺機存取標記RAM。記憶體介面係用於控制系統記憶體 106 並產生控制信號至 MDB 104。此介面亦允許對PCI主裝置所發出之一讀取多筆命令做預先讀取之動作。PCI介面允許 MPC 108 在CPU 100 存取PCI匯流排 112時，作用如同一PCI主裝置，或當一PCI裝置存取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(9)

系統記憶體 106 時，其作用如同一 PCI 裝置。

PCI 匯流排之設計是為得到高處理能力並利用本地處理器不斷增加之 I/O 功能支援。譬如，大多數磁碟控制器，特別是小型電腦系統介面 (SCSI) 控制器，以及網路介面卡 (NIC) 均包括一本地處理器，以便減輕主處理器之請求。同樣地，視訊繪圖卡通常包括智慧型繪圖加速器，以允許更高階之功能傳輸。這類裝置通常具備如同匯流排主控制器之能力，允許其以可能之最高速率傳輸資料。如前所述，可能之匯流排主控制器包括 CPU/主記憶體子系統 (透過 MPC 108)。

PCI 匯流排 112 提供膝上型電腦 L 與擴充基部 E 之間之通訊管道。PCI 匯流排 112 之一部份 112a 位於膝上型電腦 L 內並包括一供 PCI 匯流排 112 每一信號使用之快速開關 113。在較佳實施例，快速開關 113 是具有開極 (控制線) 為 MSIO-L 124 之控制信號 CONTROL 所驅動之低損失串聯 MOSFET 裝置。故快速開關 113 可用於提供熱插入能力。當膝上型電腦 L 會接至擴充基部 E 且快速開關 113 導通時，在擴充基部 E 內之 PCI 匯流排 112 之一部份 112b 經由擴充連接器 146 連接至 PCI 匯流排的另一部份 112a 以提供延伸之 PCI 匯流排 112。第 2 圖提供有關擴充連接器 146 及其相關之會接/脫離擴充站邏輯電路之詳細方塊圖。

在膝上型電腦 L，PCI 匯流排 112a 另連接至一視訊繪圖控制器 114，一 Cardbus 介面 116 (特別是 116a) 以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (10)

一移動整合系統控制器-膝上型 118(特別是 MISC-L 118a)。
 在擴充基部 E, PCI匯流排 112b 另連接至一第二 MISC 118(MISC-E 118b), 二個 PCI槽 148, 以及一第二 Cardbus 介面 116(特別是 116b)。視訊繪圖控制器 114 另連接至一低功率液晶顯示裝置(LCD) 120 或一陰極射線管(CRT)或任何其它型式之監視器。Cardbus 介面 116 係用於與外加之介面卡 120 通訊, 諸如網路卡, 數據機卡, 固態儲存卡與旋轉儲存卡, 最好是個人電腦記憶體卡國際協會(PCMCIA)規格。MISC 118 提供工業標準結構(ISA)匯流排 138或140之介面, 以及一用於與硬碟機 122 通訊之整合磁碟電子(IDE)硬碟機介面。MISC 118 是根據所使用之輸入接腳(LAP_EXT_)來規劃在膝上型電腦L(如MISC-L 118a)及擴充基部 E (如MISC-E 118b)中使用。因此, 二個MISC裝置, 118a 及 118b 皆連接至PCI匯流排112, 其中MISC-L 118a 連接至PCI匯流排之 112a 部份, 而MISC-E 118b 則連接至PCI匯流排之 112b 部份。MISC-L 118a 另連接至內部ISA匯流排 138, 而MISC-E118b 則連接至外部ISA匯流排 140。熟知本技藝者皆熟悉ISA匯流排 140。

MISC-L 118a 與 MISC-E 118b 之一般功能極為類似, 為求簡化, 一起說明其部份功能。MISC 118 將PCI匯流排 112 橋接至ISA匯流排 138 或 140, 以及作為PCI匯流排 112 之主與僕控制器以及ISA匯流排 138 或 140之匯流排控制器。MISC 118 另包括匯流排仲裁電路, 此電路包括一本地PCI匯流排仲裁器, 一ISA匯流排仲裁器, 以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

一頂層仲裁器 192(第2圖)，用於在膝上型電腦 L 會接後仲裁 MISC-L 118a 與 MISC-E 118b 間之匯流排使用。頂層仲裁器 192 僅在膝上型電腦會接後，才對 MISC-L118a 有作用。MISC 118 是使加強型直接記憶體存取(EDMA)控制器以及 ISA 匯流排主控制器取得 PCI 匯流排 112 使用權之裝置。

在本發明之較佳實施例，MISC 118 亦包括 8237 相容之直接記憶體存取(DMA)控制器(一種用於高速 IDE 硬碟機之加強型 DMA 控制器)，8254 相容之計時器，一 8259 相容之中斷控制器，熱會接支援邏輯電路，系統電力管理邏輯電路，以及即插即用支援(第1圖未顯示)。有些組件在初始化時會為軟體禁能，以便防止衝突或重覆。MISC 118 亦包括一串列中斷介面 144，此中斷結構係支援 PCI 系統中之標準 ISA 中斷。一擴充基部 PCI 請求信號 EXP_REQ 以及一擴充基部 PCI 准予信號 EXP_GNT 亦在 MISC-E 118b 與 MISC-L 118a 之間傳遞。MISC-E 118b 使用 EXP_REQ 及 EXP_GNT 信號請求及接受 PCI 匯流排 112 之控制權。此二信號是透過一串列匯流排 145 傳遞。

MISC 118 及 ISA 匯流排 138 與 140 提供標準 ISA 周邊裝置之支援，諸如結合在移動超級輸入/輸出(MSIO) 124 周邊裝置內之裝置。MSIO 124 周邊裝置包括標準 ISA 周邊裝置，譬如：一 146818 相容之即時時鐘(RTC)，一用於介接標準軟碟機 130 之軟碟機控制器；一與一標準鍵盤 132 及指向裝置 150 通訊之 8051 相容微控制器 172

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

(第2圖)，用於執行鍵盤 132 之掃描及鍵碼轉換，及執行電力管理與熱會接功能；一提供標準串列埠 136 之通用非同步接收器發射器(UART)；以及一並列埠 134 之並列埠邏輯電路。MSIO 124b 亦可控制一位於擴充基部 E 內之可變化速度之會接馬達 117。(鍵盤 132 及指向裝置 150 在圖中雖然連接至 MSIO 124b，但可，且最好是直接透過連接器 146 連接)。一僅讀記憶體(ROM) 126 連接至 MSIO 124，用以提供程式碼給 8051 微控制器 172。此外，ROM 126 提供基本輸入/輸出服務(BIOS)給 CPU 100，ROM 126 之內容在系統初始化時會被拷貝至系統記憶體 106，使 8051 微控制器 172 亦可讀取 ROM 126。提供一個一位元的 MSIO 串列匯流排(MSB) 152 給影子(shadowing)暫存器，這些暫存器包含有關電力管理與熱會接之資訊。最理想的是，匯流排被設計成可擴充且極少延遲。

當膝上型電腦 L 會接後，MSIO-L 124a，MSIO 124b 及其它系統組件(未顯示)另為一標準 I2C 匯流排 149 連接。積體注入邏輯電路或 I2C 匯流排 149 係一簡單之雙向二線匯流排，提供積體電路間之有效控制與辨識功能。菲力普半導體公司在 1992 年一月所發表之 "I2C 匯流排及其使用(包含規格)" 中對 I2C 匯流排有詳細說明。簡言之，I2C 匯流排 149 包括二條信號線：一條串列時脈線(SCL)及一條串列資料線(SDA)。二線皆為雙向。SCL 線提供 I2C 匯流排傳輸資料用之時脈信號。SDL 線是 I2C 匯流排傳輸資料用之資料線。連接至 I2C 匯流排之每一裝置是以一唯一位址來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

辨識。在每一裝置連接處通常均有低值串聯電阻 (未顯示) , 用於防護高壓突波。

在膝上型電腦 L, 亦提供一連接至 ISA 匯流排 138 之數據機與聲頻周邊裝置 128。數據機與聲頻周邊裝置 128 包括一連接至一電話之標準電話通信埠, 以及一用於連接一對立體音響喇叭 S 之介面。在擴充基部 E, 提供三個 ISA 擴充槽 142 給標準 ISA 卡使用。

第1圖係一示範之電腦系統 L 及 E。從此圖可看出, 熟知本技藝者使用稍微不同之組件安排, 即可很容易地發展出其它有效之實施例。

第2圖顯示部份熱會接電路更為詳細之電路方塊圖。此電路係用於協調膝上型電腦 L 與擴充基部 E 之間之通訊, 使作業系統能辨識一會接事件, 並在會接之前, 閒置 PCI 匯流排 112。膝上型電腦 L 與擴充基部 E 之間之實際介面是由短接腳 147a, 中接腳 147b, 及長接腳 147c 所組成。其連接是以等長但相向之"公"接腳來顯示, 但實際之連接則是在其中一側 (最好在膝上型電腦一方) 為"母"接受接腳/槽。短接腳 147a 與長接腳 147c 係用於產生指示會接/脫離擴充站事件之二種信號。

使用一對具有二輸入之 OR 閘 178 及 180 產生一短接腳連接信號 EBOXS#, 以指示短接腳 147a 之連接狀態。在本規格中所使用之"#"號係表示一低準位動作之信號。在此實施例, 信號 EBOXS# 為 OR 閘 178 及 180 之輸出驅動, 且當 OR 閘 178 與 180 輸入端之所有短接腳皆連接時,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

信號會轉變為一邏輯低準位。在膝上型電腦 L 之第一 OR 閘 178 之輸出被用於中斷 MSIO-L 124a 之 8051 微控制器 170a。OR 閘 178 之一輸入連接至位於擴充連接器 146 一端之一短接腳 147a，而第二輸入則連接至擴充連接器 146 另一端之一短接腳 147a。將短接腳對安排在擴充連接器 146 之二端有助於發現膝上型電腦 L 在會接或脫離擴充站時，有稍微向側面或扭轉的情形。在此情形，接腳可能不會有良好的連接/分開。因此，若僅在擴充連接器 146 之一端有短接腳 147a 時，可能會不正確指示其它接腳之連接狀態。

一對提昇電阻 182 及 190 分別連接至 OR 閘 178 之輸入端。因此，當輸入端之任一短接腳 147a 與其在擴充基部 E 之對應短接腳 147a 分開時，則輸入電壓會被其對應之提昇電阻提昇至一邏輯高準位。

一在擴充基部 E 之 OR 閘 180 亦以類似之結構產生並中斷 MSIO-E 124b 中之 8051 微控制器 170b。此 OR 閘 180 之第一輸入連接至位於擴充連接器 146 一端之一短接腳 147a，而第二輸入則連接至擴充連接器 146 另一端之一短接腳 147a。提昇電阻 184 及 192 係用於在這些短接腳 147a 分開時，各自提昇 OR 閘 180 之二輸入電壓至邏輯高準位。

在擴充連接器 146 之二端另安排一第二組之相對短接腳 147a。在膝上型電腦 L，這些接腳是直接連接至接地面。在擴充基部 E 一方，擴充連接器 146 二端之第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

二短接腳 147a 連接至其鄰接之短接腳 147a(OR閘之輸入端)。在此情況，當擴充單元二端之短接腳 147a 皆連接時，OR閘 178 及 180 之每一輸入均被拉降至地電位。因此在擴充基部 E 及膝上型電腦 L 之 EBOXS#信號轉變為一邏輯低準位。此種結構確保 8051 微控制器 170a 及 170b 僅在擴充連接器二端之短接腳 147a 均連接/分開後，才會被中斷。

在會接程序期間，短接腳 147a 係用於通知膝上型電腦 L 及擴充基部 E，擴充連接器 146 的所有接腳(包括長接腳 147c 及中接腳 147b)均已連接。在脫離擴充站程序期間，短接腳 147a 係用於通知 8051 微控制器 170a 及 170b 有一脫離擴充站事件。在打開快速開關 113 前，使用警告信號讓 PCI 匯流排 112a 及 112b 不動作，以防止在脫離擴充站程序期間發生 PCI 周期遺失的情形。

同樣地，擴充連接器 146 之長接腳 147c 係用於提供一會接事件之初步警告以及指示一脫離擴充站事件的完成。詳言之，亦即提供一長接腳連接信號 EBOXL# 至 8051 微控制器 170a 及 170b。一第一提昇電阻 186 連接至膝上型電腦 L 一方之 EBOXL# 信號用之信號線，而一第二提昇電阻 188 則連接至擴充基部 E 一方之 EBOXL# 信號用之信號線。因此，當長接腳 147c 分開時，信號 EBOXL# 在此二方均被提昇至一邏輯高準位。在擴充連接器 146 之每一端，一對相對應之長接腳 147c 在成功的連接後，會使信號 EBOXL# 被拉降至一邏輯低準位。在膝上型電腦 L 一方，每

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

對長接腳 147c 其中之一是連接至信號 EBOXL# 所使用之信號線，而另一長接腳 147c 則連接至接地面。在擴充基部 E 一方，每一對長接腳 147c 之二支接腳皆連接至 EBOXL# 信號所使用之信號線，使長接腳 147c 之連接造成膝上型電腦 L 一方之信號線與接地面短路。

另一對相對長接腳 147c 用於連接一提供系統備妥信號 SRDY 之信號線，此信號是從 MSIO-L 124a 之通用目的 I/O 電路 172a 傳送至 MSIO-E 124b 之 8051 微控制器 170b。而另有一對相對長接腳 147c 用於連接一提供擴充基部備妥信號 ERDY 之信號線，此信號是從 MSIO-E 124b 之通用目的 I/O 電路 172b 傳送至 MSIO-L 124b 之 8051 微控制器 170a。使用信號 ERDY 及 SRDY 有雙重目的：亦即，在會接期間信號交握以閉合快速開關 113 以及在連接至 I2C 匯流排 149 之不同構件之間做信號交握。這些信號在第 3 圖及第 4 圖有更為詳盡之說明。

如第 2 圖所示，中等長度之接腳 147b 係用於連接 PCI 匯流排之二部份 112a 及 112b 之各個信號線。當中長度接腳 147b 連接且快速開關 113 閉合時，PCI 匯流排 112 在實體與運作上是合而為一的。為求清楚明瞭，僅顯示數條信號線與 PCI 匯流排 112 連接。

中等長度接腳 147b 亦用於連接膝上型電腦 L 之 I2C 匯流排 149a 至擴充基部 E 之 I2C 匯流排 149b。MSIO-L 124a 及 MSIO-E 124b 皆具有一 I2C 介面 174a 及 174b，可作為 I2C 匯流排 149 之主或僕裝置。亦有一電氣式可除

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

拭僅讀記憶體(EEPROM) 151 連接至I2C匯流排 149b, 用於提供有關擴充基部 E 之辨識資訊。此資訊可為膝上型電腦 L 之系統組件所讀取, 以便確定擴充基部 E 之智慧並建立適當之信號交換協定。在較佳實施例, EEPROM記憶體 151 是由膝上型電腦 L 供電。因此, 可取得有關擴充基部 E 之資料, 而不必在意其電源狀況。使用I2C匯流排 149 協調8051微控制器 170a 與 170b 之間之連繫, 可提供一有彈性且具智慧之通訊通道。

如上所述, MISC-L 118a 及 MISC-E 118b 包含一頂層仲裁器 192a 及 192b。當膝上型電腦 L 會接後, MISC-L 118a 提供整個系統之頂層仲裁功能, 而MISC-E 118b 之頂層仲裁器 192b 則是不動作的。有關此仲裁方式在前已列入本文參考之美國專利申請"在一具有多個仲裁器之電腦系統中處理分散仲裁用之電路"中有詳細的說明。

頂層仲裁器 192a 主要是控制 MISC-L 118a 之本地 PCI 仲裁器 194a 或是 MISC-E 118b 之本地 PCI 仲裁器 194b 有權存取 PCI 匯流排 112。本地 PCI 仲裁器 194a 及 194b 須先收到頂層仲裁器之准予信號後, 才可開始其匯流排周期。PCI 匯流排 112 之使用准予, 主要是根據分時原則。當膝上型電腦 L 未會接時, 頂層仲裁器 192a 將匯流排存取權給予膝上型本地 PCI 仲裁器 194a。膝上型 PCI 仲裁器 194a 使用一膝上型請求信號(未顯示)向頂層仲裁器 192a 請求匯流排存取權, 而頂層仲裁器 192a 則使用一膝上型准予信號給予匯流排存取權。這些信號都是在膝上型電腦內

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(18)

發生。同樣地，擴充基部PCI仲裁器 194b 傳送與接收擴充請求及准予信號EXP_GNT/EXP_REQ(第1圖)，這些信號是經由擴充連接器 146 之中等長度接腳 147b在膝上型電腦 L 與擴充基部 E 之間通訊。

現參考第3圖，顯示在一熱會接程序期間，膝上型電腦 L 與擴充基部 E 之間之通訊時序示範圖。詳言之，時序圖顯示在熱會接程序期間，擴充基部備妥信號ERDY及系統備妥信號SRDY在膝上型電腦 L 與擴充基部 E 之間之信號交握情形。信號交握係用於將本地PCI仲裁器 194a及 194b 置於閒置模式，使快速開關 113 之閉合不會造成一潛在之致命系統錯誤。亦即，實際會接是發生在邏輯會接之後，以允許PCI匯流排 112a 及 112b 安全且快速的合而為一。

在本實施例，當膝上型電腦 L 被置於一會接匣(未顯示)做會接時，程序即開始。在步驟2，第2圖之長接腳 147c 連接，使信號EBOXL#從一邏輯高準位轉變為邏輯低準位。8051微控制器 170a 及 170b 可由一中斷辨識信號EBOXL#之轉變，而此信號轉變指出使用者要會接膝上型電腦 L。MSIO-E 124b 之8051微控制器 170b 在接收到中斷信號後，會在步驟3透過I2C匯流排 149 起動會接馬達 117。較佳實施例使用會接馬達 117 是為幫助會接程序之可重覆性及可靠性。

短接腳 147a 在會接馬達 117 被打開後之某一時刻連接(步驟4)。當短接腳 147a 連接後，信號EBOXS#從一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(19)

邏輯高準位轉變為一邏輯低準位，通知8051微控制器170a及170b膝上型電腦L與擴充基部E之間之所有信號均已連接。緊接著，在步驟5及6，停止會接馬達117，完成擴充基部E之初始化，以及MSIO-E 124a將擴充基部備妥信號ERDY傳送至MSIO-L 124a之8051微控制器170a。在初始化程序期間所採取之步驟包括初始化遮罩值，硬體信箱及8051微控制器170之程式碼之多個部份。所發出之擴充基部備妥信號ERDY會使膝上型電腦L在步驟7經由I2C匯流排194取得擴充基部E之識別資訊。如前所述，有關擴充基部E之組態資訊是儲存在一連接於I2C匯流排149b之EEPROM 151內。

然後，會接程序進入步驟8，膝上型電腦L藉由發出系統備妥信號SRDY釋放I2C匯流排149。在本實施例中，擴充備妥信號ERDY及系統備妥信號SRDY係用於避免在I2C匯流排上產生碰撞。當擴充基部備妥信號ERDY為邏輯低準位時，膝上型電腦L內之8051微控制器170a是不允許成為I2C匯流排之主控制器的。同樣地，當系統備妥信號SRDY無作用時，擴充基部E內之8051微控制器170b是不允許成為I2C匯流排之主控制器的。基本上，此二信號係作為旗標使用。譬如，當膝上型電腦L需經由I2C匯流排149傳送一命令至擴充基部E時，它會先將系統備妥信號SRDY變成無作用狀態以避免I2C匯流排發生碰撞。另假設8051微控制器170a希望與電池或風扇或其它連接至I2C匯流排149之組件通訊時，它會先檢查擴充基部備妥

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

款

五、發明說明(20)

信號ERDY。若信號ERDY在作用狀態(在一邏輯低準位)，則8051微控制器 170a 知道擴充基部 E 正透過I2C匯流排通訊，故不會中斷它。系統備妥信號SRDY之使用情形亦相同。

在一理想之I2C匯流排實現，不需此額外層次之信號交握且允許I2C匯流排可以有一個以上之主控制器同時通訊。不過，在本實施例，使用信號SRDY及ERDY係避免因競爭I2C匯流排而引起任何可能的問題。需注意，I2C匯流排 149 不是由快速開關 133 所致能/除能且一旦系統會接時，二個PCI匯流排部份 149a 及 149b 即為中等長度接腳 147b 連接。

在膝上型電腦 L 經由I2C匯流排 149 取得擴充基部 E 之資訊後，它會發出系統備妥信號SRDY並釋放I2C匯流排。在步驟9，MSIO-L 124a 之8051微控制器 170a 產生一第一系統管理中斷(SMI)。SMI是一不可遮罩之中斷，在電腦系統中幾乎具有最高優先權。只有重置信號R\S*及沖洗信號FLUSH*(觀念上可視為中斷)之優先權高於SMI。熟知本技藝者對系統管理中斷及系統管理模式之細節皆已熟知。在較佳實施例，藉由寫入一8051-至-系統之信箱暫存器(未顯示)即可產生SMI，但亦有其它多個方式可產生。

SMI將電腦系統置於系統管理模式，使一SMI處理程式被執行。而SMI處理程式會通知系統BIOS會接狀態已改變。此為會接程序之邏輯部份之開始。在接收到SMI後，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(21)

BIOS會設定記憶體旗號(位元)，以便讓作業系統解釋其為一會接事件。當系統離開系統管理模式且處理器之控制回到作業系統後，作業系統會呼叫或輪詢BIOS，訊問是否有請求會接之指示。作業系統可使用一虛擬裝置驅動程式(VxD)輪詢系統BIOS所設定之旗號。通常希望系統每次在系統管理模式的時間少於 100 微秒。

其次，作業系統(最好是Windows 95或其它支援即插即用之作業系統)會輪詢驅動程式或其它執行中之程序，以決定是否該接受或拒絕熱會接請求。若作業系統拒絕熱會接請求，快速開關 113 會保持打開的狀態。若接受熱會接，作業系統會傳送一命令至BIOS，指示其完成會接程序並閉合快速開關 113。

現參考步驟10，系統BIOS或MISO-L 124a 將MISC-L 118a 之本地PCI仲裁器 194a 置於閒置模式，以迫使PCI匯流排 112a 之所有活動停止。MISC 118 之仲裁器可有三個工作模式：主，僕，及閒置。這些模式之組合允許支援熱會接並允許MISC 118 用於膝上型電腦 L 以及擴充基部 E 中。如前所述，MISC-L 118a 及 MISC-E 118b在熱會接程序期間，均可被置於閒置模式。閒置模式強迫PCI匯流排 112 之所有活動停止並使匯流排停泊在MISC118。可從僕模式或主模式進入閒置模式。當一仲裁器閒置請求位元(未顯示)為MISO 124 經由MSB匯流排 152設定後，即開始以下之序列：

1. 頂層仲裁器(僅在MISC-L 118a 中動作)超控其准予計

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

時器並立即將請求給予主及僕仲裁器。

2. 主及僕仲裁器正常運作並被允許讓各自之主裝置用完最小准予時間。
3. 然後，主及僕仲裁器遮罩所有請求並將自己停泊至匯流排。
4. 主及僕仲裁器設定各自之仲裁器閒置狀態位元(未顯示)，然後經由MSB匯流排 152 與MSIO 124 通訊以指示PCI匯流排 112 為閒置並已就序熱會接。

在完成熱會接之後清除仲裁器閒置請求位元，在MISC-L 118a 內之頂層仲裁器會將仲裁器閒置狀態位元反相並只授權給MISC-L 118a。然後重新開始正常之PCI匯流排 112 活動。

此外，須知道"閒置模式"與"待機模式"是有分別且是不同之狀況。在一典型之待機模式，系統的狀態是儲存在系統記憶體中，所有的裝置儘可能置於低功率狀態，而電源被移離軟碟機，硬碟機及大多數的埠。匯流排時脈亦被除能，但通常仍維持一低頻率時脈以維護系統記憶體。

在步驟11，即插即用BIOS產生一信箱運轉(runtime)命令，用於通知8051微控制器 170a 許可其繼續會接程序。與8051微控制器 170a 之連繫是透過系統BIOS來完成，並經由硬體信箱與8051微控制器 170a 之程式碼連繫。

在接收到許可後，8051微控制器 170a 在步驟12致能擴充基部 E 內之PCI時脈。膝上型電腦 L 之8051微控制器 170a 被規劃經由 MSIO-L 124a 之一通用目的I/O接腳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

來控制擴充基部 E 之 PCI 時脈。在本發明所揭示之實施例，必須致能擴充基部 E 之 PCI 時脈以閒置 PCI 匯流排 112b。

可使用許多方法產生擴充基部 E 之 PCI 時脈信號。譬如，在擴充基部 E 內提供額外之快速開關，可在擴充基部 E 之來源時脈與膝上型電腦 L 之來源時脈間切換 PCI 時脈。或者，可使用一時脈產生器晶片產生與一內部振盪源或膝上型電腦 L 供應之 PCI 時脈同步之擴充基部 E 之 PCI 時脈。擴充 PCI 時脈最好是為擴充基部 E 之許多組件(包括 MISC-E 118b)所使用之 33MHz 時脈信號。

在較佳實施例，在擴充基部 E 內有二個電源面。第一電源面 VCC1 提供電源至 MSIO-L 124b 內之一即時時鐘(RTC)。除了維持 RTC 外，此電源面 VCC1 用於確保 CMOS 記憶體內容不會被清除。第一電源面 VCC1 亦用於供電給擴充基部 E 內之快閃 ROM 126，I2C 介面 174b，會接馬達 117，以及 8051 微控制器 170b。僅有極少功率會自此電源面消耗。不過，若擴充基部 E 自一牆壁插座拔出時，即會失去電源 VCC1。第二主電源面 VCC2 用於供電擴充基部 E 之其餘組件以及會接後之膝上型電腦 L。

在步驟 13，8051 微控制器 170a 傳送一“打開”命令至擴充基部 E，指示其打開主電源面 VCC2。在此通訊期間，系統備妥信號 SRDY 會被除去作用，以便繼續占有 I2C 匯流排 149 之使用。在“打開”命令傳送之後，進入步驟 14，MSIO-E 124b 將擴充基部備妥信號 ERDY 除去作用，擴充基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

部 E 之主電源面 VCC2 則被致能。擴充基部 E 之主電源供應最好是類似一傳統桌上型電腦之電源供應。致能此電源供應之過程至多耗費約三秒，但在所揭示之實施例中則通常約需 500 毫秒。

在電源供應輸出到達一種態後，會發出一 POWERGOOD 信號(未顯示)通知系統主電源供應面 VCC2 已致能。須知道，操作會接馬達 117 及 PCI 時脈並不需要主電源供應面 VCC2。此外，當桌上型電腦 L 脫離擴充站時，擴充基部 E 之電源供應通常會被除能。

在步驟 15，擴充基部 E 之主電源面 VCC2 被打開，MISC-E 118b 先被置於閒置模式，然後轉變為僕模式。MISC-E 118b 被置於僕模式以使會接程序期間發生錯誤之事件在一已知狀態。8051 微控制器 170b 使用 MSB 串列匯流排 152 閒置 MISC-E 118b 之本地 PCI 仲裁器 194b。

在步驟 16，8051 微控制器 170b 之時脈將禁能自身時脈，以釋出快閃 ROM 126 之控制權給系統 BIOS，如上所述。然後，系統 BIOS 即可控制 8051 微控制器 170b 所使用之時脈。在步驟 1 亦 6 發出擴充基部備妥信號 ERDY。此時，擴充基部 E 之所有 PCI 時脈信號皆在邏輯低準位。擴充基部備妥信號 ERDY 係用於表示擴充基部 E 是在一可安全閉合快速開關 113 之適當狀態。

在步驟 17，MSIO-L 124a 發出一控制信號 CONTROL 至快速開關 113。然後快速開關 113 閉合，使 PCI 匯流排之二部份 112a 及 112b 在功能上連接。在快速開關 113 閉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

合後，8051微控制器 170a 產生一第二SMI(步驟18)，通知系統BIOS快速開關 113 已閉合。而作業系統現在即可與連接至擴充基部 E 內之PCI匯流排 112b 之裝置通訊。膝上型電腦 L 現在亦可規劃擴充基部 E 內之多個控制器，而系統BIOS可與PCI匯流排 112 上之所有裝置通訊以得到即插即用組態。

在步驟19，MISC-L 118a 之本地仲裁器被置於主模式。然後執行PCI即插即用及ISA即插即用之系統重規劃，使系統所有資源皆可適當利用。在重規劃期間，所有即插即用卡先被隔離並指定一識別碼。然後從所安裝之每一卡上讀取資源資料。在規劃及啟動所識別之每一介面卡後，會根據這些資源資料，將電腦系統資源分配給每一即插即用卡。這些卡所使用之裝置驅動程式亦被載入。

現參考第4圖，顯示在一熱脫離擴充站程序期間，膝上型電腦 L 與擴充基部 E 之間之通訊時序示範圖。信號交握係用於將本地PCI仲裁器 194a 及 194b 置於閒置模式，使快速開關 113 打開時不會造成PCI匯流排上之周期遺失。

在所揭示之實施例中，在步驟1，藉由壓下脫離擴充站按鈕/彈出開關或在遵循即插即用之作業系統下選擇脫離擴充站選單按鈕，即開始脫離擴充站之程序。若脫離擴充站是由軟體所起動，則不需要步驟2及3。在步驟2，8051微控制器 170b 經由I2C匯流排 149 傳送一脫離擴充站請求至8051微控制器 170a。此時信號ERDY在低準位以便

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(26)

先占有I2C匯流排 149 之使用。然後，8051微控制器170a在步驟3會產生一第一SMI，通知作業系統使用者要脫離擴充站。在步驟4，若作業系統准許所請，則會經由系統BIOS送出一脫離擴充站命令，在完成目前周期後且無其它工作在SMI下執行時，即會彈退出膝上型電腦 L。

在步驟5，系統BIOS之即插即用碼或是8051微控制器170a將MISC-L 118a之本地仲裁器 194a置於閒置模式。一旦在閒置模式時，MISC-L 118a將自己停泊在PCI匯流排 112a。然後在步驟6，系統BIOS指示8051微控制器170a經由I2C匯流排 149傳送一脫離擴充站命令至擴充基部 E之8051微控制器 170b。在此脫離擴充站命令之後，微控制器 170a會除去系統備妥信號SRDY之作用。在步驟7，8051微控制器 170b使擴充基部備妥信號ERDY不再作用，而擴充基部開始轉變至off狀態。

擴充基部轉變至off狀態是從步驟8開始，其中8051微控制器 170b將MISC-E 118b之本地仲裁器 194b置於閒置狀態。現在二個本地PCI仲裁器 194a及 194b均為閒置，故在進行脫離擴充站時，PCI匯流排 112不會有任何動作。在所揭示之實施例中，需讓擴充基部 E內之PCI時脈產生器運轉，直至MISC-E 118b之本地仲裁器 194b變為閒置為止。在步驟9，8051微控制器170a透過MSIO-L124a內之通用目的I/O電路 172a所產生之控制信號CONTROL，打開快速開關 113。幾乎在同一時間(步驟10)，8051微控制器 170b將擴充基部 E內之主電源供應面除能，然後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(27)

啟動會接馬達 117 以彈退出膝上型電腦。

此時，電動脫離擴充站已經開始，在步驟11，擴充連接器 146 之短接腳 147a 最先分開。此會在信號EBOXS#上產生一升緣。信號EBOXS#可作為一種安全機制，在自動軟體脫離擴充站程序被跳過時，可警示膝上型電腦 L(特別是8051微控制器 170a)。譬如，在所揭示之實施例中，EBOXS#信號會啟動適當之脫離擴充站軟體，即使該信號是第一次指示正在進行一脫離擴充站事件。在短接腳147a 分開後約1毫秒，中等長度接腳 147b 亦分開。

其次，長接腳 147c 在步驟12分開使信號EBOXL#從邏輯低準位轉變為邏輯高準位。此種轉變即係告知8051微控制器 170a 及 170b 所有中等長度接腳 147b 皆完全分開。8051微控制器 170a 亦在此步驟產生一第二SMI，通知即插即用碼已完成實際之脫離擴充站程序。即插即用碼之回應是在步驟13將MISC-L 118a 之本地仲裁器 194a置於主模式。最後，執行PCI即插即用及/或ISA即插即用系統重規劃，使擴充基部 E 之系統資源不再為膝上型電腦辨識。

現參考第5a，5b及5c圖，這些圖顯示在熱會接及熱脫離擴充站事件期間，膝上型電腦 L 所執行之微控制器程式碼之流程圖。此程式碼與擴充基部 E 之微控制器之程式碼類似並一起配合運作。後者之程式碼係接收諸如啟動會接馬達 117 等之完成任務指令，且為求清楚明瞭而未將其顯示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(28)

在步驟300當擴充基部送出注意信號後，即開始微控制器程式碼之執行。控制接著進入步驟302，輪詢注意信號旗號以判定其是否仍有作用。注意信號是由擴充連接器 146 之短接腳 147a 及長接腳 147c 所產生。若注意信號無作用，則表示是一假的請求，常式會由步驟304離開。若在步驟302判定注意信號仍有作用，則控制會轉移至步驟306判定一個1毫秒旗號是否設定。一個1毫秒延遲周期是在進入步驟300之程式碼時即起動，用於更進一步過濾假請求。若延遲期間未完成且1毫秒旗號未被設定(步驟306做判定)時，控制回到步驟302。若1毫秒時限過去，則控制進入步驟308，清除1毫秒旗號。

其次，控制進入步驟310，檢查信號EBOXS#及EBOXL#。若二個信號皆為低準位，則表示短接腳 147a 及長接腳 147c 皆已連接，控制進入步驟312進行100毫秒之除彈跳周期。需知道，此時會接馬達 117 最好是已為擴充基部 E 所執行之微控制器程式碼打開。在除彈跳周期之後，控制進入步驟314，膝上型電腦 L 等待擴充基部備妥信號ERDY轉變為一邏輯高準位。在所揭示之實施例中，信號ERDY須在250毫秒內轉變，否則產生一時間屆滿(timeout)並返回主微控制器常式。

在信號ERDY轉變為邏輯高準位後，控制進入步驟316，8051微控制器 170a 取得I2C匯流排 149 之控制權。然後控制進入步驟318，從I2C匯流排 149 取得擴充基部識別資訊。接著控制轉移至步驟320(第5b圖)，重置擴充基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(29)

部注意旗號。其次，在步驟322，致能長接腳 147c 之中斷，禁能短接腳 147a 之中斷。然後控制進入步驟324，取消任何擱置之會接改變SMI。

其次，控制轉移至步驟326，決定擴充基部 E 之處理能力。若擴充基部 E 不具有諸如第2圖說明中之處理能力時，控制進入步驟328，傳送一打開電源之命令至擴充基部 E。然後控制進入步驟330，等待一段時期直至收到來自擴充基部 E 之一電源良好信號為止。其次，控制進入步驟332，閉合快速開關 113，以功能連接PCI匯流排112的二部份。然後在步驟334設定一會接旗號後，由步驟336返回主微控制器常式。

若擴充基部 E 具有如同第2圖所述之處理能力時，控制從步驟326進入步驟338，產生一會接SMI。如前所述，此SMI係用於提供作業系統一接受或拒絕熱會接請求之機會。然後控制進入步驟340，返回主微控制器常式。

若在步驟340所檢查之信號EBOXS#及EBOXL#為邏輯高準位時，控制轉移至步驟346(第5c圖)。若信號EBOXS#及EBOXL#皆為邏輯高準位時，則係表示短接腳 147a 及長接腳 147b 皆已分開且未依照正確之脫離擴充站程序嘗試將膝上型電腦 L 自擴充基部 E 脫離。在步驟346，再度檢查信號EBOXS#及EBOXL#，判定它們是否為邏輯高準位。如果不是，控制會停留在步驟346繼續輪詢這些信號。如果信號EBOXS#及EBOXL#為邏輯高準位，則控制轉移至步驟350，若是手動彈出則執行一除彈跳周期(等待周期)。然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(30)

後控制轉移至步驟352，清除來自擴充基部 E 之注意旗號。

其次，控制進入步驟354，禁能I2C匯流排 149 之信號交握。然後控制轉移至步驟356，致能短接腳 147a 之中斷以及除能長接腳 147c 之中斷C。然後在步驟358取消任何擱置之會接改變SMI。接著控制進入步驟360，檢查擴充基部 E 之處理能力與組態。若擴充基部 E 具有如同第2圖所述之處理能力時，控制進入步驟362，清除會接旗號。然後控制進入步驟364，產生一SMI信號允許作業系統執行即插即用重規劃，使擴充基部 E 之能力不再為膝上型電腦 L 所辨識。然後控制進入步驟366，將MISC-L 118a 之本地PCI仲裁器 194a 置於主模式。

其次，控制進入步驟368。若在步驟360檢查擴充基部 E 沒有足夠之處理能力時，亦進入步驟368。在步驟368，清除並致能熱會接及熱脫離擴充站中斷之後，在步驟370返回主微控制器常式。

現參考第6a圖，顯示一示範之指派程式 400 之細節部份。此常式可在第5b圖之步驟338之後呼叫。首先控制進入步驟402，檢查是否發生一熱會接事件或熱脫離擴充站事件。若是由於一熱會接事件而使擴充基部 E 產生注意信號時，控制進入步驟406，膝上型電腦 L 取得I2C匯流排 149 之控制權。然後控制轉移至步驟408，經由I2C匯流排 149 傳送一打開電源命令至擴充基部 E。然後控制轉移至步驟410，開始一輪詢迴圈，檢查擴充基部 E 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(31)

電源是否致能。如果不是，控制進入步驟412，檢查擴充連接器 146 之接腳 147 是否仍連接。若接腳 147 仍連接，則控制回到步驟410。若接腳 147 不連接，控制進入步驟414，取消信號交握並釋放 I2C 匯流排 149。

在擴充基部 E 致能電源後，控制進入步驟416，檢查擴充基部備妥信號 ERDY。若信號為一邏輯低準位時，則表示擴充基部 E 尚未備妥完成熟會接程序，控制會進入步驟418。在步驟418，再度檢查擴充基部連接器 146 之接腳是否連接。如果不是，則取消信號交握並釋放 I2C 匯流排。如果接腳連接，控制回到步驟416。在擴充基部備妥信號轉變為一邏輯低準位時，控制進入步驟 420，致能擴充基部 E 之 PCI 時脈。

然後控制轉移至步驟422，延遲10微秒使擴充基部 E 之 PCI 時脈穩定。接著控制進入步驟424，發出膝上型電腦 L 備妥信號 SRDY。然後控制進入步驟426(第6b圖)，再度檢查擴充基部備妥信號 ERDY。若此信號在邏輯低準位時，控制進入步驟428，檢查擴充基部連接器 146 之接腳是否仍連接。如果是，控制回到步驟426。如果不是，控制進入步驟430，異常結束信號交握。若在步驟 426 發現信號 ERDY 轉變為邏輯高準位時，控制進入步驟432，閉合快速開關 113。然後控制轉移至步驟434，設定會接旗號。然後在步驟436產生一第二 SMI，允許完成即插即用重規劃。然後控制轉移至步驟438，將 MISC-L 118a 之本地 PCI 仲裁器 194a 置於主模式。最後，在步驟440返回主微控制器常

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(32)

式。

若在步驟402，來自擴充基部 E 之注意信號指示一熱脫離擴充站事件時，則控制進入第6c圖之步驟442，由膝上型電腦 L 獲得I2C匯流排 149 之控制權。然後控制轉移至步驟444，經由I2C匯流排 149 傳送一脫離擴充站請求至擴充基部 E。接著控制進入步驟446，檢查擴充連接器 146 之接腳是否連接或者是否發生時間屆滿。若接腳 147 分開或發生一時間屆滿事件，則在步驟448異常結束脫離擴充站程序並待以後再試。否則，控制進入步驟450，檢查擴充基部備妥信號ERDY。若信號ERDY在一邏輯高準位時，控制進入步驟452，再度檢查擴充連接器 146 之接腳 147 之連接狀態。若接腳 147 仍連接，控制回到步驟450。若接腳 147 不再連接，控制進入步驟454，取消信號交握並釋放I2C匯流排 149。

若在步驟450，擴充基部 E 備妥信號ERDY為邏輯低準位時，控制進入步驟456，打開快速開關 113。其次，控制進入步驟458，再度檢查信號ERDY。若信號ERDY在一邏輯低準位時，控制進入步驟460，檢查擴充連接器之接腳 147 是否連接。如果是，控制回到步驟458。如果接腳 147 是分開時，則在步驟462異常結束脫離擴充站程序。

如果在步驟458，信號ERDY為高準位時，控制進入步驟464，除能擴充基部 E 之時脈。其次，控制進入步驟466，產生一第二SMI。此SMI允許膝上型電腦 L 進行即插即用重規劃，使擴充基部 E 之資源不再被辨識。然後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(33)

控制進入步驟468，將MISC-L 118a之本地PCI仲裁器149a置於主模式，使膝上型電腦L可重新開始正常運作。最後，在步驟470返回主微控制器常式。

現參考第7圖，顯示規劃系統軟體組件以支援熱會接/脫離擴充站之方塊層次圖。如前所述，使用SMI處理程式200通知系統BIOS 202會接狀態已改變。在較佳實施例，系統BIOS 202具有包含即插即用能力之熱會接/脫離擴充站支援特性。系統BIOS 202設定會被Windows 95 204解釋為一會接事件之記憶體旗號。

當膝上型電腦L離開系統管理模式且處理器之控制權回到Windows 95時，作業系統會呼叫或輪詢系統BIOS 202，查看是否有指示會接請求之改變。作業系統可使用一先進之電源管理(APM)驅動程式或虛擬裝置驅動程式BIOS.VxD 206來輪詢系統BIOS所設定之旗號。BIOS.VxD 206被規劃支援Windows 95 204與系統BIOS 202間之連繫。在一熱會接/脫離擴充站事件之後對系統重規劃後，會自Windows 95之登錄資料庫(Registry)適當登錄或刪除系統組件之即插即用驅動程式 208。

本發明之許多其它替代實施例是可以預期的。譬如，擴充基部E不需要具有電動之會接/脫離擴充站能力。在此種擴充基部，長接腳及短接腳之會接信號可能需要額外的除彈跳。此種系統可允許使用者事先不需做任何動作，只需將膝上型電腦從擴充基部拉出即可。短接腳會啟動脫離擴充站軟體，而不需使用者介入。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(34)

亦可使用不同智慧之擴充基部。譬如，擴充基部可以不包括一能透過I2C匯流排通訊之8051微控制器。在此情況，可使用簡化之硬體信號交握，將連接之匯流排置於閒置狀態。在具有簡化之信號交握與匯流排控制能力之擴充基部，僅需確定擴充基部之電源在快速開關閉合前是接通的。在此實施例，擴充基部備妥信號ERDY可為來自電源供應之一信號POWERGOOD(未顯示)所驅動。因此，膝上型電腦L可檢查擴充基部是否未插電，若是如此它將不閉合快速開關。

在所揭示及預期之所有實施例中，需注意在會接事件之前擴充基部之PCI匯流排要在閒置狀態。此外，最好是納入某種方法，用於通知作業系統發生一會接事件。作業系統最好是具備接受或拒絕會接事件的能力且亦提供即插即用支援。

因此，前文所說明之一種方法與電路係用於允許作業系統，韌體，系統BIOS，微控制器，以及安裝之系統硬體彼此配合以便有效熱會接/脫離擴充站。膝上型電腦與擴充基部是經由一共用PCI匯流排及低電阻開關連接。使用不同長度之接腳提供會接與脫離擴充站之狀態資訊。在一會接或脫離擴充站事件之前，匯流排是被置於靜態、閒置狀態--跳過需要進入之待機狀態。故本發明提供一種快速且更具使用者親和力之方式，將膝上型電腦插入一擴充基部或自擴充基部移出膝上型電腦。

以上對本發明之揭示及說明僅係用於描述及解說，故

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(35)

只要不偏離本發明之精神即可對大小，形狀，材料，構件，電路元件，線路連接與接合，以及所示電路及結構之細部與操作方法做修改。

(請先閱讀背面之注意事項再填寫本頁)

○ 裝

訂

○ 線

五、發明說明(36)

元件標號對照表

100	CPU
102	快取記憶體
104	移動資料緩衝器(MDB)
106	系統記憶體
108	移動周邊組件互連匯流排快取控制器(MPC)
110	主匯流排
112	周邊構件互連(PCI)匯流排
112a	PCI匯流排 112 之一部份(在膝上型電腦內)
112b	PCI匯流排 112 之一部份(在擴充基部內)
113	快速開關
114	視訊繪圖控制器
116	Cardbus 介面
116a	Cardbus 介面
116b	Cardbus 介面
117	可變化速度之會接馬達
118	移動整合系統控制器(MISC)
118a	移動整合系統控制器-膝上型(MISC-L)
118b	MISC-E
120	液晶顯示裝置
122	硬碟機
124	移動超級輸入/輸出(MSIO)
124a	MSIO-L

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(37)

124b	MSIO-E
126	僅讀記憶體(ROM)
128	數據機與聲頻周邊裝置
130	標準軟碟機
132	標準鍵盤
134	並列埠
136	標準串列埠
138	ISA匯流排
140	ISA匯流排
142	ISA擴充槽
144	串列中斷介面
145	串列匯流排
146	擴充連接器
147a	短接腳
147b	中接腳
147c	長接腳
148	PCI槽
149	I2C匯流排
149a	I2C匯流排
149b	I2C匯流排
150	指向裝置
151	電氣式可除拭僅讀記憶體(EEPROM)
152	MSIO串列匯流排
170a	8051微控制器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(38)

170b	8051微控制器
172	8051相容微控制器
172a	通用目的I/O電路
172b	通用目的I/O電路
174a	I2C介面
174b	I2C介面
178	OR閘
180	OR閘
182	提昇電阻
184	提昇電阻
186	提昇電阻
188	提昇電阻
190	提昇電阻
192	提昇電阻
192	頂層仲裁器
192a	頂層仲裁器
192b	頂層仲裁器
194a	MISC-L之本地PCI仲裁器
194b	MISC-E之本地PCI仲裁器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

四、中文發明摘要(發明之名稱：

結合有不需待機或暫停模式之熱會接及
脫離擴充站能力的電腦系統

一種熱會接與熱脫離一可攜式電腦及一會接站之方法。
可攜式電腦與會接站經由一共用PCI匯流排及一擴充連接器做實體連接。擴充連接器之不同長度接腳產生會接及脫離擴充站交握信號，供可攜式電腦及會接站中之微控制器使用。可攜式電腦及會接站經由位於可攜式電腦內之低電阻開關做功能連接。在一會接事件之後，閉合開關以連接會接站內之共用PCI匯流排部份與可攜式電腦內之PCI匯流排。當開關打開時，PCI匯流排則形成功能隔離。可攜式電腦及會接站亦各自包括一本地仲裁器，用於仲裁與授

(接下頁)

英文發明摘要(發明之名稱：

COMPUTER SYSTEM INCORPORATING HOT DOCKING
AND UNDOCKING CAPABILITIES WITHOUT REQUIRING
A STANDBY OR SUSPEND MODE

A method for hot docking and hot undocking a portable computer and a docking station. The portable computer and docking station are physically coupled via a shared PCI bus and an expansion connector. Varying length pins in the expansion connector generate docking and undocking handshaking signals used by microcontrollers in the portable computer and docking station. The portable computer and docking station are functionally connected via low on-resistance switches located in the portable computer. Following a docking event, closure of the switches connects the portion of the shared PCI bus in the docking station with the PCI bus in the portable computer. When the switches are open, the PCI busses are functionally isolated. Both the portable computer and the docking station also include a local arbiter for arbitrating and granting bus control requests from devices coupled to the shared PCI bus. These local arbiters may be placed into an idled state by either the operating system (through system BIOS) or by the

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

(承上頁)

予來自連接於共用PCI匯流排之裝置之匯流排控制請求。
這些本地仲裁器可被作業系統(透過系統BIOS)或微控制器
設定為閒置狀態。仲裁器在會接及脫離擴充站事件期間為
閒置狀態，是為停止PCI匯流排上之匯流排周期，以防止
周期之遺失。在完成一熱會接或脫離擴充站事件之後，執
行即插即用系統重規劃，使所有的系統資源可為作業系統
辨識及適當使用。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：)

microcontrollers. The arbiters are idled during docking and undocking events in order to inhibit bus cycles on the PCI bus, thereby preventing cycles from being lost. Following completion of a hot docking or undocking event, Plug-and-Play system reconfiguration is carried out so that all system resources may be recognized and properly utilized by the operating system.

六、申請專利範圍

1. 一種將電腦系統熱會接至一擴充基部之方法，其中當電腦系統會接時，電腦系統與擴充基部會經由一具有信號線之共用輸入/輸出匯流排之兩部份做實體連接；且其中電腦系統包括多個用於功能連接共用輸入/輸出匯流排兩部份之開關，電腦系統及擴充基部均包括一本地仲裁器，用於仲裁及授予來自連接於輸入/輸出匯流排之裝置之匯流排控制請求，一微控制器，用於傳送及接收交握信號，以及一具有不同長度接腳之擴充連接器，用於產生會接交握信號並實體連接共用輸入/輸出匯流排之輸入/輸出匯流排信號線；此方法包含以下步驟：

回應會接交握信號，檢查輸入/輸出匯流排信號線是否正在進行或發生實體連接；

回應前述判定實體連接正在進行或發生之步驟，將電腦系統及擴充基部之本地仲裁器置於閒置狀態；

經由會接交握信號，判定輸入/輸出匯流排信號線是否已實體連接；以及

回應前述判定輸入/輸出匯流排信號線實體連接之步驟，閉合該等多個開關以便功能連接共用輸入/輸出匯流排之兩部份。

2. 依據申請專利範圍第1項所述之方法，更進一步包含以下步驟：

在閉合該等多個開關之後，將本地仲裁器其中之一置於主模式。

六、申請專利範圍

3. 依據申請專利範圍第1項所述之方法，其中依每一微控制器所產生之一信號，將對應之本地仲裁器置於閒置狀態。

4. 依據申請專利範圍第1項所述之方法，其中依電腦作業系統所產生之信號，將本地仲裁器置於閒置狀態。

5. 依據申請專利範圍第1項所述之方法，更進一步包含以下步驟：

在判定實體連接正在進行或發生之步驟之後以及在閉合該等多個開關之步驟之前，致能位於擴充基部內之輸入/輸出匯流排之電源。

6. 依據申請專利範圍第1項所述之方法，更進一步包含以下步驟：

通知作業系統，輸入/輸出匯流排信號線已實體連接；以及

通知作業系統該等多個開關已閉合。

7. 依據申請專利範圍第6項所述之方法，其中通知作業系統輸入/輸出匯流排信號線已實體連接之步驟以及通知作業系統該等多個開關已閉合之步驟皆會產生系統管理中斷。

8. 依據申請專利範圍第1項所述之方法，其中電腦系統回應閉合該等多個開關之步驟，會執行一即插即用系統重規劃。

9. 依據申請專利範圍第1項所述之方法，更進一步包含以下步驟：

六、申請專利範圍

在閉合該等多個開關之前，回應於微控制器其中之一所產生之一信號，將擴充基部內之輸入/輸出匯流排時脈除能。

10. 依據申請專利範圍第1項所述之方法，更進一步包含以下步驟：

在閉合該等多個開關之前，啟動一會接馬達以完成輸入/輸出匯流排信號線之實體連接。

11. 一種將電腦系統自一擴充基部熱脫離之方法，其中當電腦系統會接時，電腦系統與擴充基部會經由一具有信號線之共用輸入/輸出匯流排之兩部份做實體連接；且其中電腦系統包括多個用於功能連接共用輸入/輸出匯流排兩部份之開關，電腦系統及擴充基部均包括一本地仲裁器，用於仲裁及授予來自連接於與輸入/輸出匯流排之裝置之匯流排控制請求，一微控制器，用於傳送及接收交握信號，以及一具有不同長度接腳之擴充連接器，用於產生會接交握信號並實體連接共用輸入/輸出匯流排之輸入/輸出匯流排信號線；此方法包含以下步驟：

回應會接交握信號，檢查輸入/輸出匯流排信號線是否正在進行實體連接；

回應前述判定實體連接正在進行之步驟，將電腦系統及擴充基部之本地仲裁器置於閒置狀態；以及

回應前述將本地仲裁器置於閒置狀態之步驟，打開該等多個開關以便功能分開共用輸入/輸出匯流排

六、申請專利範圍

之兩部份。

12. 依據申請專利範圍第11項所述之裝置，更進一步包含以下步驟：

通知作業系統正進行輸入/輸出匯流排信號線之實體分離；以及

通知作業系統該等多個開關已打開。

13. 依據申請專利範圍第12項所述之裝置，其中通知作業系統正進行輸入/輸出匯流排信號線之實體分離之步驟以及通知作業系統該等多個開關已打開之步驟皆會產生系統管理中斷。

14. 依據申請專利範圍第11項所述之方法，其中電腦系統回應打開該等多個開關之步驟，會執行一即插即用系統重規劃。

15. 依據申請專利範圍第11項所述之方法，更進一步包含以下步驟：

回應打開該等多個開關之步驟，啟動一會接馬達以實體分開輸入/輸出匯流排信號線。

16. 一種用於熱會接與熱脫離一電腦系統及一擴充基部之方法，其中當電腦系統會接時，電腦系統與擴充基部會經由一具有信號線之共用輸入/輸出匯流排之兩部份做實體連接；且其中電腦系統包括多個用於功能連接共用輸入/輸出匯流排兩部份之開關，電腦系統及擴充基部均包括一本地仲裁器，用於仲裁及授予來自連接於輸入/輸出匯流排之裝置之匯流排控制請求，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一微控制器，用於傳送及接收交握信號，以及一具有不同長度接腳之擴充連接器，用於產生會接交握信號並實體連接共用輸入/輸出匯流排之輸入/輸出匯流排信號線；此方法包含以下步驟：

回應會接交握信號，檢查輸入/輸出匯流排信號線是否正在進行或發生實體連接；

回應前述判定實體連接正在進行或發生之步驟，將電腦系統及擴充基部之本地仲裁器置於閒置狀態；

經由會接交握信號，判定輸入/輸出匯流排信號線是否已實體連接；

回應前述判定輸入/輸出匯流排信號線實體連接之步驟，閉合該等多個開關以便功能連接共用輸入/輸出匯流排之兩部份；

回應會接交握信號，檢查輸入/輸出匯流排信號線是否正在進行實體連接；

回應前述判定實體連接正在進行之步驟，將電腦系統及擴充基部之本地仲裁器置於閒置狀態；以及

回應前述將本地仲裁器置於閒置狀態之步驟，打開該等多個開關以便功能分開共用輸入/輸出匯流排之兩部份。

17. 一種結合有熱會接及熱脫離擴充站能力之電腦系統，此電腦系統包括：

一輸入/輸出匯流排，具有一第一部份及一第二部份；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一擴充連接器，用於連接該電腦系統至一擴充基部，其中該擴充連接器經由多個對應於該輸入/輸出匯流排之各個信號線之電氣接點電氣連接至該輸入/輸出匯流排之第二部份；

數個開關，其中每一開關包括一連接至該輸入/輸出匯流排第一部份之一信號線之第一端點，一連接至該輸入/輸出匯流排第二部份之對應信號線之第二端點，以及一用於接收一控制信號之控制端點，且其中當該控制信號有作用時，第一及第二端點會電氣連接，否則為電氣隔離；

一本地仲裁器，連接至該輸入/輸出匯流排之第一部份，用於仲裁與授予來自連接於該輸入/輸出匯流排之裝置之匯流排控制請求，其中該本地仲裁器可被置於一閒置狀態，以停止在該輸入/輸出匯流排上之匯流排周期；

信號交握電路，用於產生、接收及交換會接及脫離擴充站交握信號至一擴充基部；以及

一微控制器，連接至該信號交握電路，該本地仲裁器，以及該等多個開關之控制端點，其中該微控制器在會接及脫離擴充站事件期間，利用交握信號將該本地仲裁器置於閒置狀態。

18. 依據申請專利範圍第17項所述之電腦系統，其中該微控制器在該電腦系統與擴充基部實體連接且該等多個開關為閉合期間，更進一步利用交握信號確保擴充基

六、申請專利範圍

部內之電源為致能。

19. 依據申請專利範圍第17項所述之電腦系統，其中該擴充連接器經由短接腳，中等長度接腳以及長接腳與一擴充基部連接，長接腳與短接腳用於產生會接及脫離擴充站之交握信號，而中等長度接腳則用於產生輸入/輸出匯流排實體連接之信號。

20. 依據申請專利範圍第17項所述之電腦系統，其中該等多個開關係具有一開極作為控制端之低損失串聯MOSFET裝置。

21. 依據申請專利範圍第17項所述之電腦系統，其中該等多個開關之位置在傳送至該等多個開關之控制信號為無作用時，會電氣隔離連接於該輸入/輸出匯流排之電腦系統組件與該擴充連接器。

22. 依據申請專利範圍第17項所述之電腦系統，其中該輸入/輸出匯流排主要是遵循周邊構件介面(PCI)匯流排規格。

23. 一種結合有熱會接及熱脫離擴充站能力之電腦系統用之擴充基部，此擴充基部包括：

一輸入/輸出匯流排；

一擴充連接器，用於實體連接該擴充基部至一電腦系統，其中該擴充連接器經由多個對應於該輸入/輸出匯流排之各個信號線之電氣接點電氣連接至該輸入/輸出匯流排；

一本地仲裁器，連接至該輸入/輸出匯流排，用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

於仲裁與授予來自連接於該輸入/輸出匯流排之裝置之匯流排控制請求，其中該本地仲裁器可被置於一閒置狀態，以禁止在該輸入/輸出匯流排上之匯流排周期；

信號交握電路，用於產生，接收及交換會接及脫離擴充站交握信號至一電腦系統；以及

一微控制器，連接至該信號交握電路以及該本地仲裁器，其中該微控制器在會接及脫離擴充站事件期間，利用交握信號將該本地仲裁器置於閒置狀態。

24. 依據申請專利範圍第23項所述之擴充基部，其中該微控制器在該電腦系統經由該輸入/輸出匯流排與該擴充基部功能連接期間，更進一步利用交握信號確保該擴充基部內之電源為致能。

25. 依據申請專利範圍第23項所述之擴充基部，其中該輸入/輸出匯流排主要是遵循周邊構件介面(PCI)匯流排規格。

26. 依據申請專利範圍第23項所述之擴充基部，更包括一由微控制器之信號所控制之會接/脫離擴充站馬達。

27. 依據申請專利範圍第23項所述之擴充基部，其中該擴充連接器經由短接腳，中等長度接腳以及長接腳連接至一電腦系統，長接腳與短接腳用於產生會接及脫離擴充站之交握信號，而中等長度接腳則用於產生實體連接輸入/輸出匯流排之信號。

28. 依據申請專利範圍第23項所述之擴充基部，其中該等

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

交握信號包括用於指示該擴充基部之硬體組態之信號

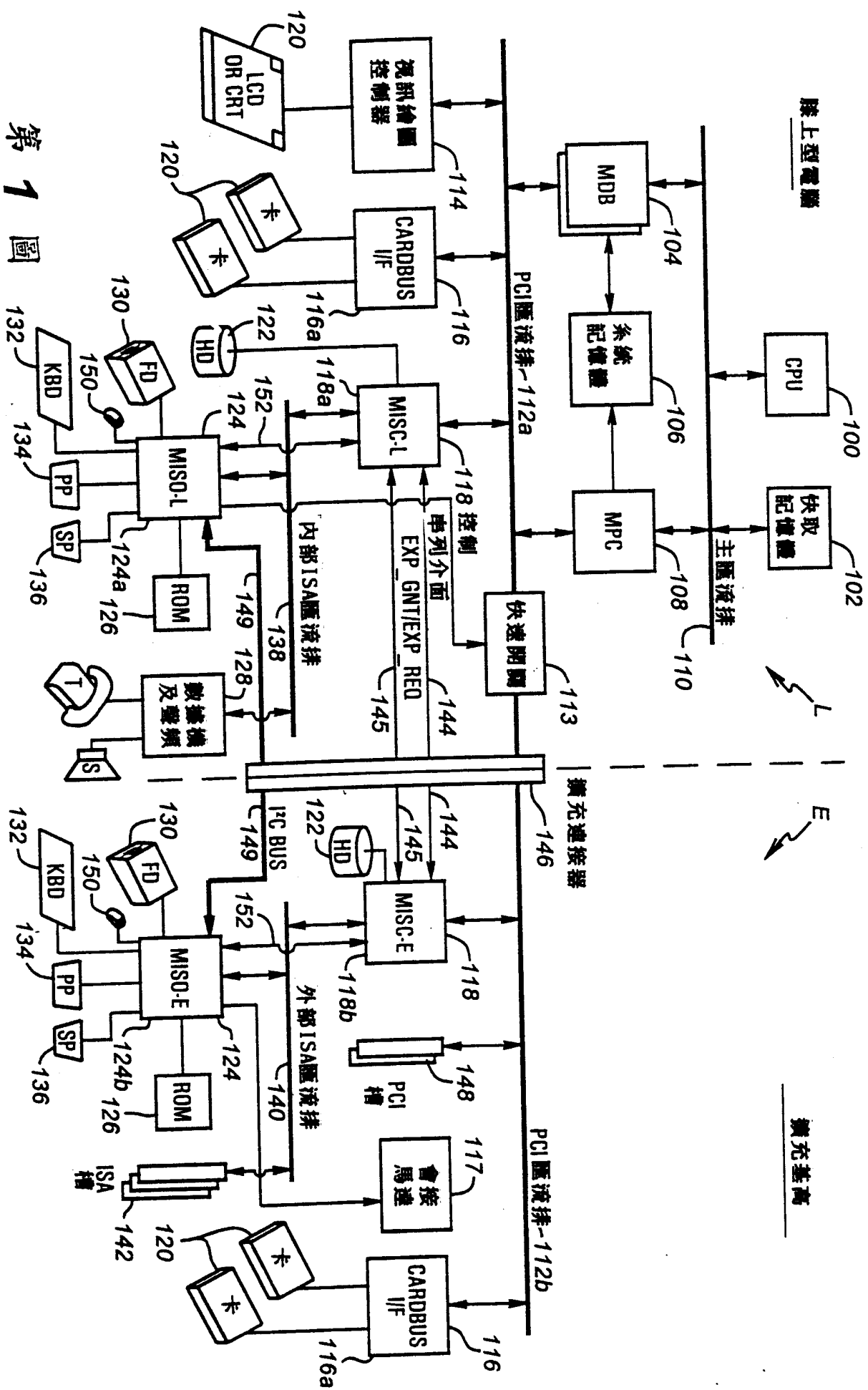
。

(請先閱讀背面之注意事項再填寫本頁)

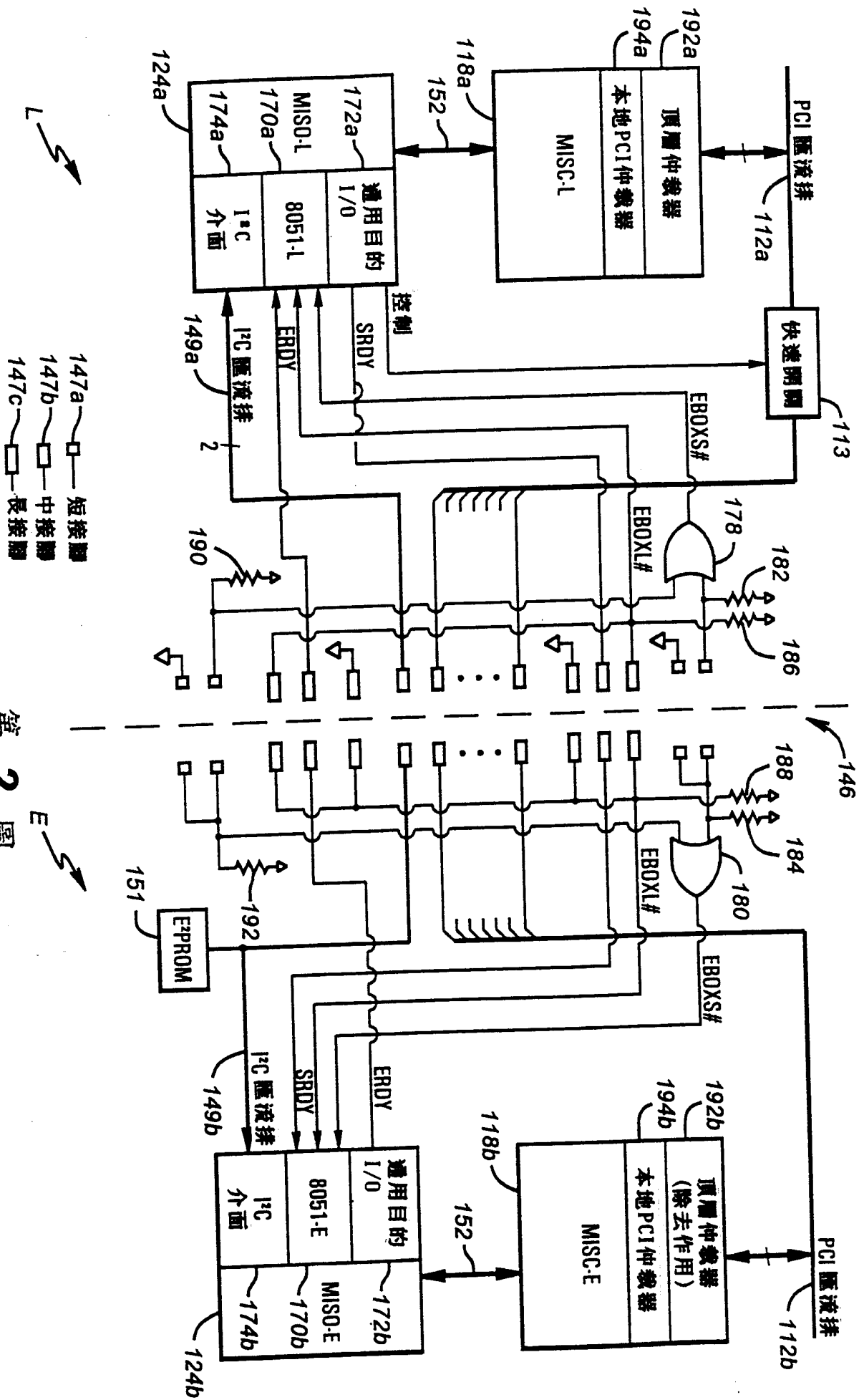
裝

訂

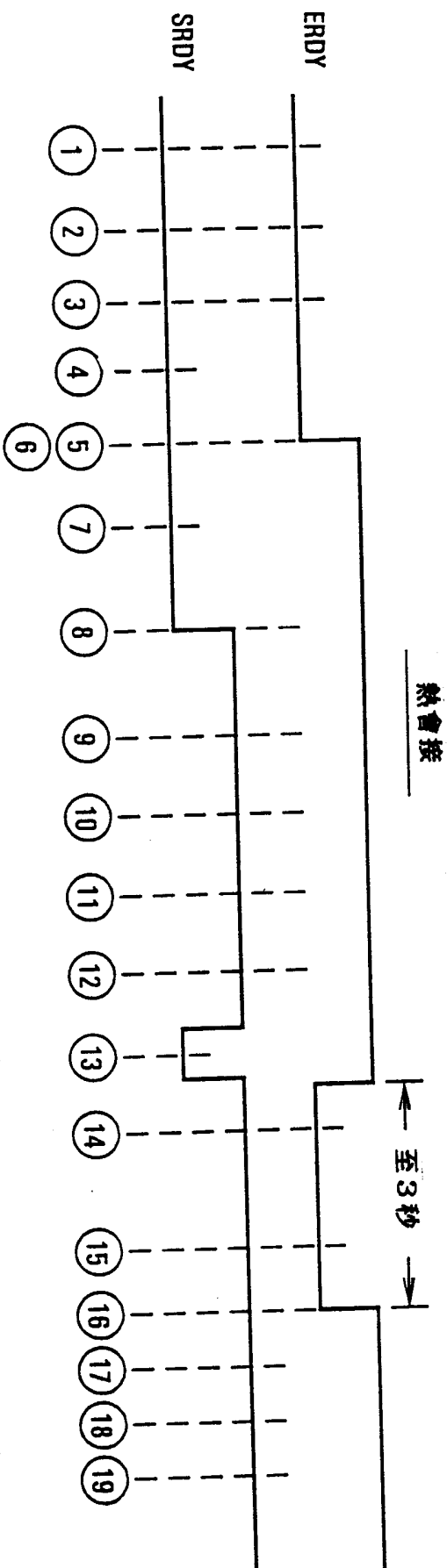
線



第 1 圖



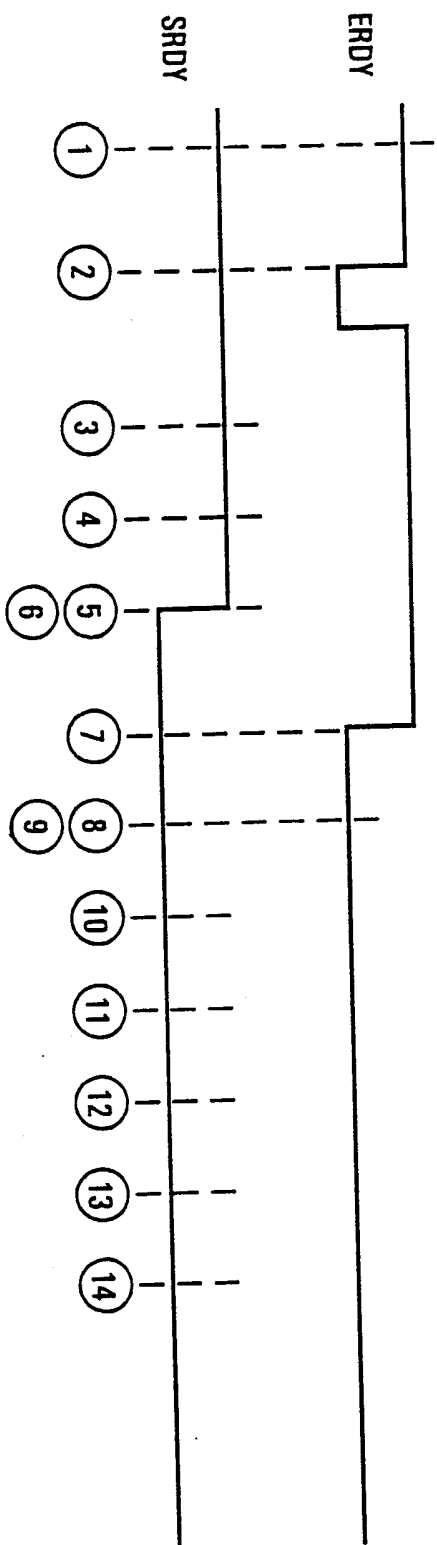
第 2 圖



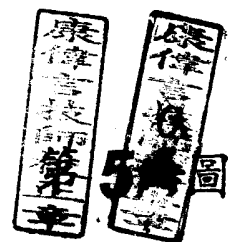
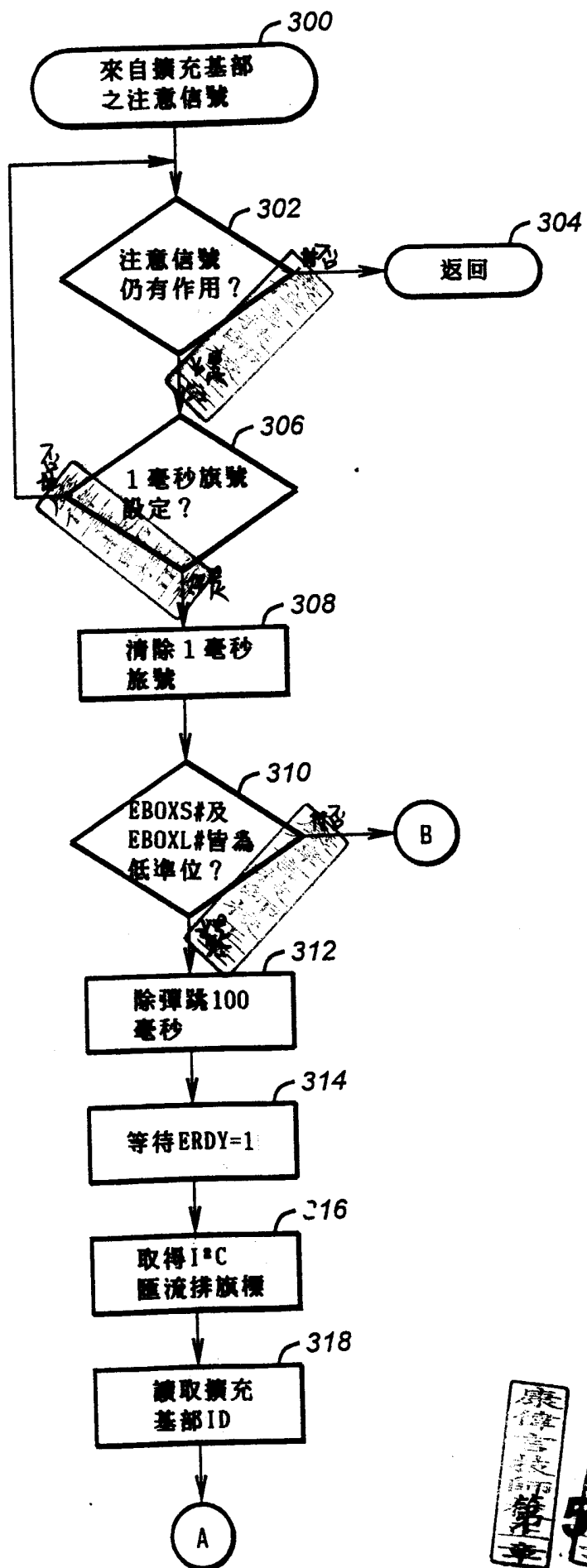
- 1 將膝上型電腦置於會接匣內
- 2 長按鍵連接／中斷 8051
- 3 8051-E打開會接馬達
- 4 短接腳連接
- 5 會接馬達停止
- 6 完成擴充基部初始化，發出ERDY信號
- 7 膝上型電腦經由I²C匯流排讀取擴充基部ID
- 8 膝上型電腦釋放I²C匯流排，發出SRDY信號
- 9 8051-L產生第一SMI
- 10 系統BIOS將MISC-L置於閒置狀態
- 11 呼叫信箱指派程式
- 12 起始擴充基部PCI時脈
- 13 8051-L傳送命令至擴充基部
- 14 ERDY除能，而擴充基部之主電源面則打開
- 15 MISC-E置於閒置狀態，再置於候模式
- 16 停止擴充基部PCI時脈
- 17 8051-L閉合快速開關
- 18 8051-L產生第二SMI
- 19 即插即用系統重規劃，MISC-L置於主模式

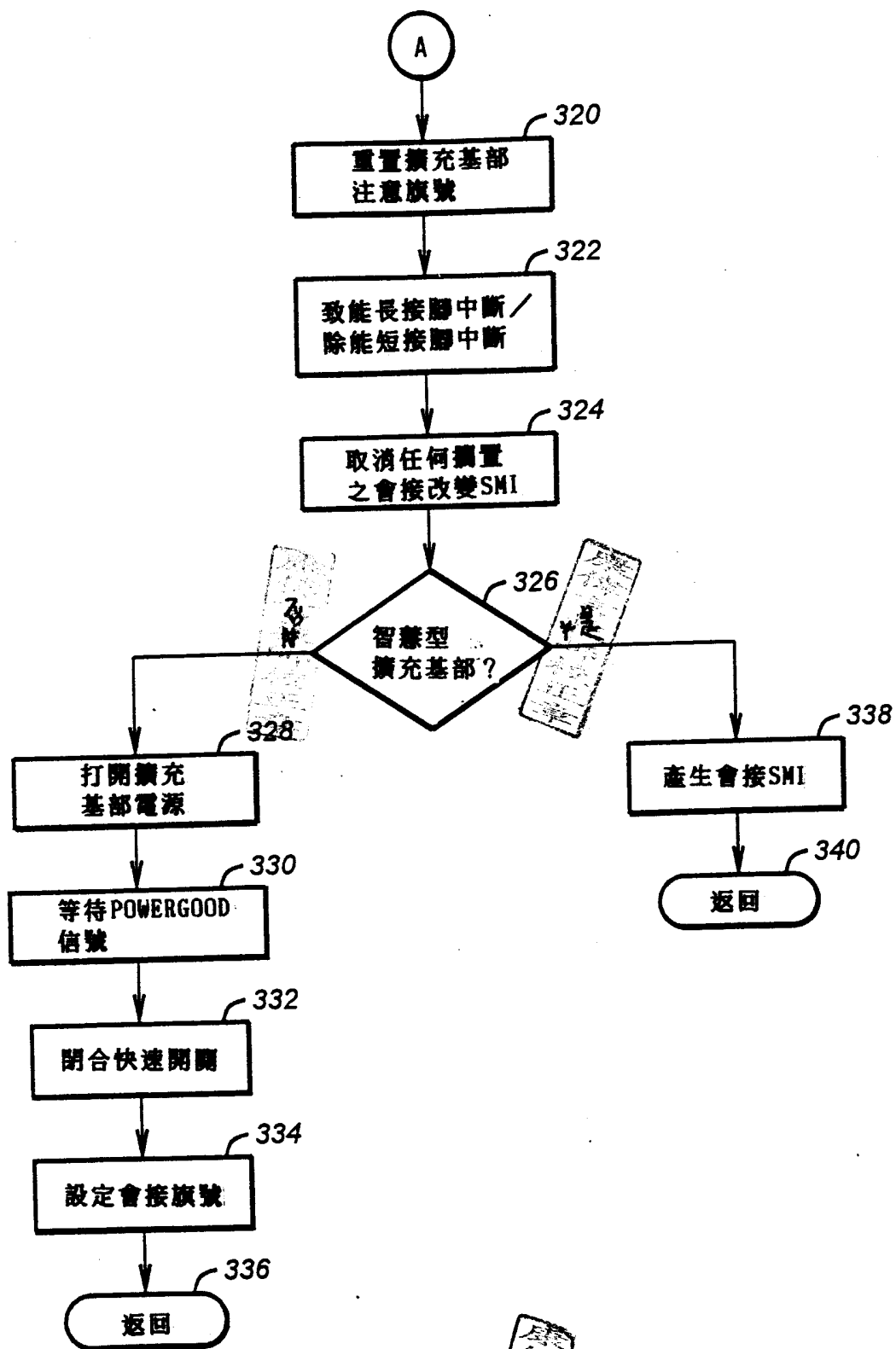
第 3 圖

熱會接

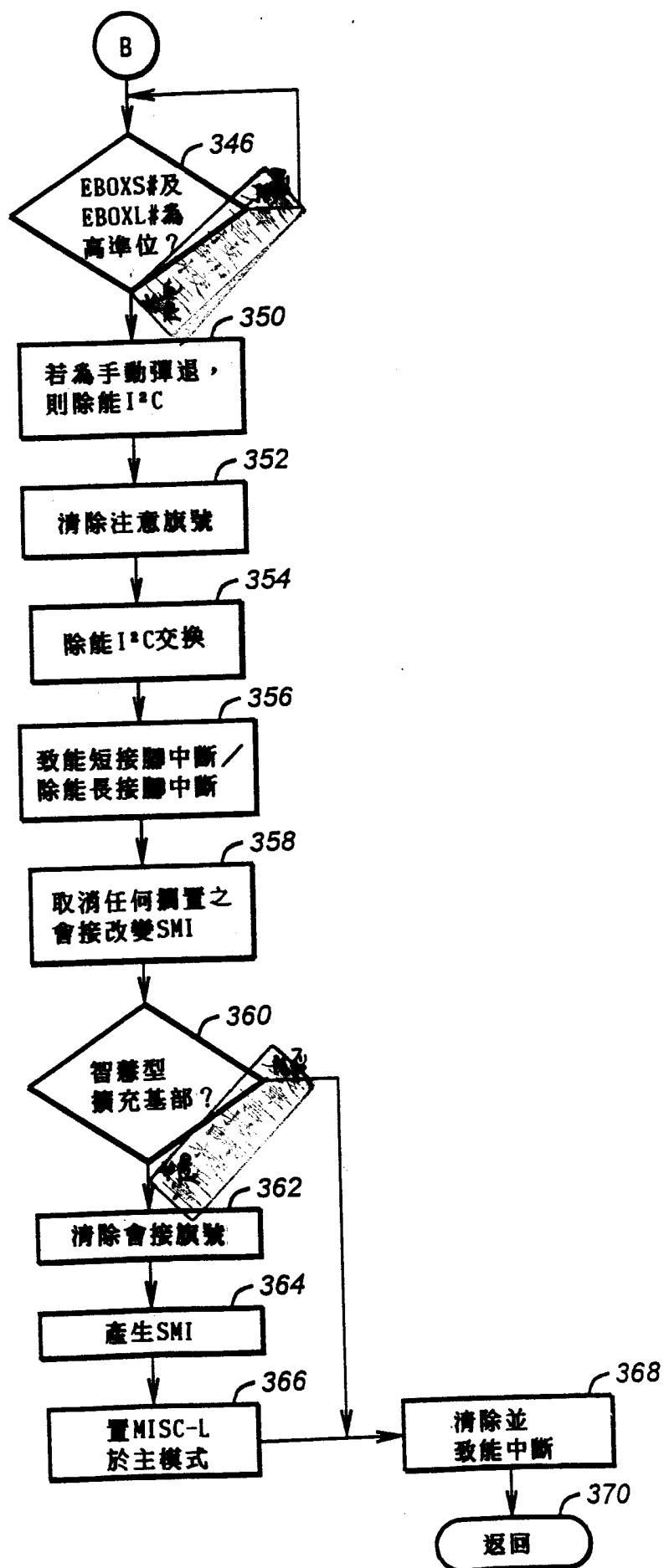


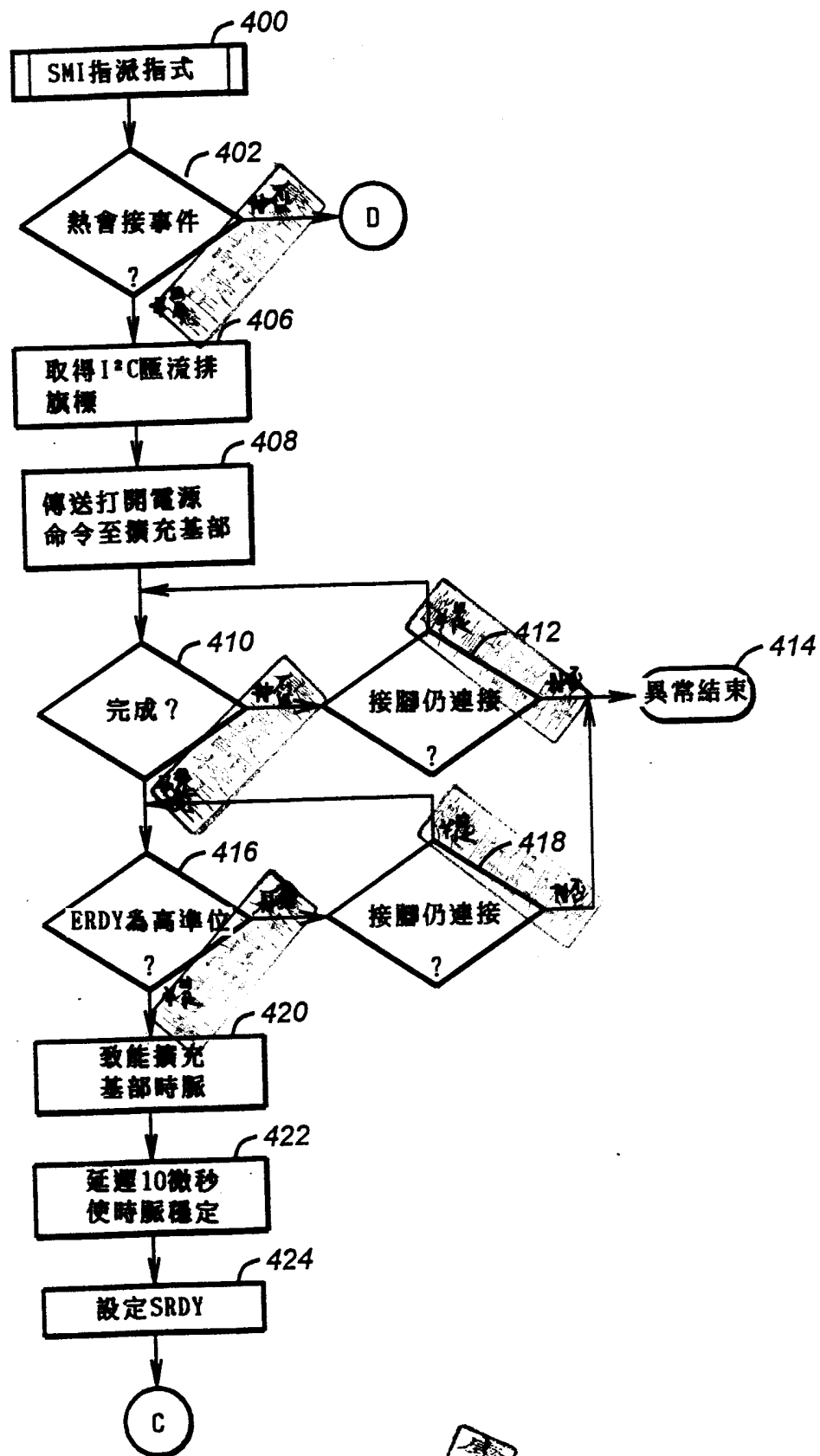
- 1 起始脫離擴充站
- 2 8051-E經由I²C匯流排傳送一脫離請求至8051-L
- 3 8051-L產生第1 SMI通知OS
- 4 OS准予所請並透過PnP BIOS傳送脫離命令
- 5 PnP BIOS將MISC-L置於閒置狀態
- 6 PnP BIOS指示8051-L經由I²C匯流排傳送脫離命令至8051-E
- 7 8051-E除能ERDY腳位，然後開始轉變為OFF狀態
- 8 8051-E將MISC-E置於閒置狀態
- 9 8051-L打開快速閉關並除能擴充基部之PCI時脈
- 10 8051-E關閉擴充基部之主電源面，然後打開馬達彈退出膝上型電腦
- 11 短接腳分開，中斷8051-L
- 12 長接腳分開，8051產生第二SMI
- 13 PnP BIOS將MISC-L置於主模式
- 14 PnP系統重規劃



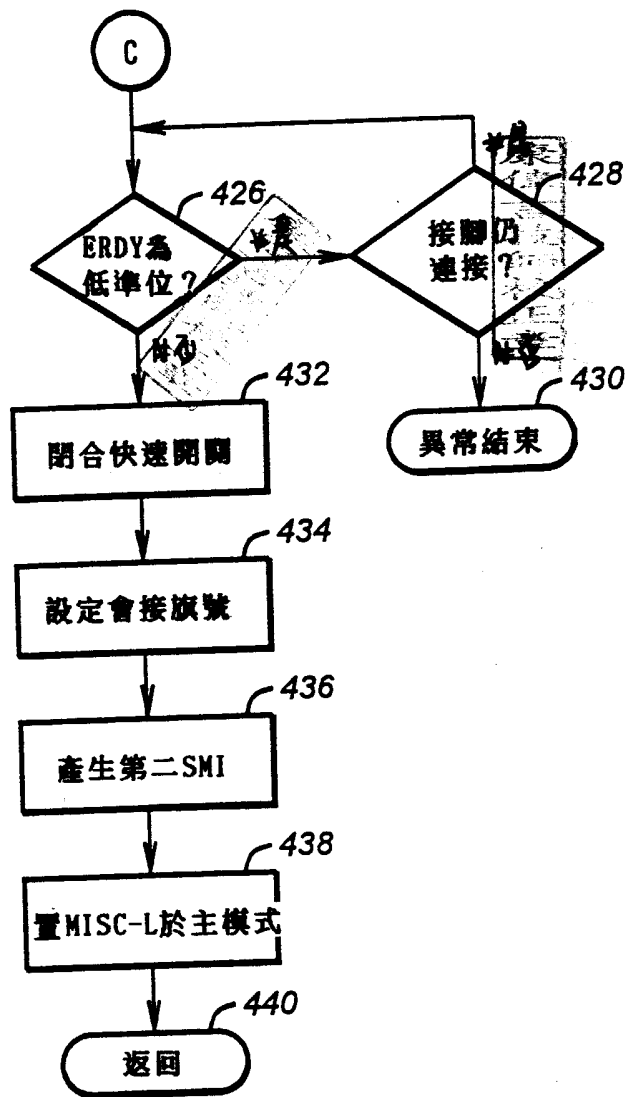


第 5 圖

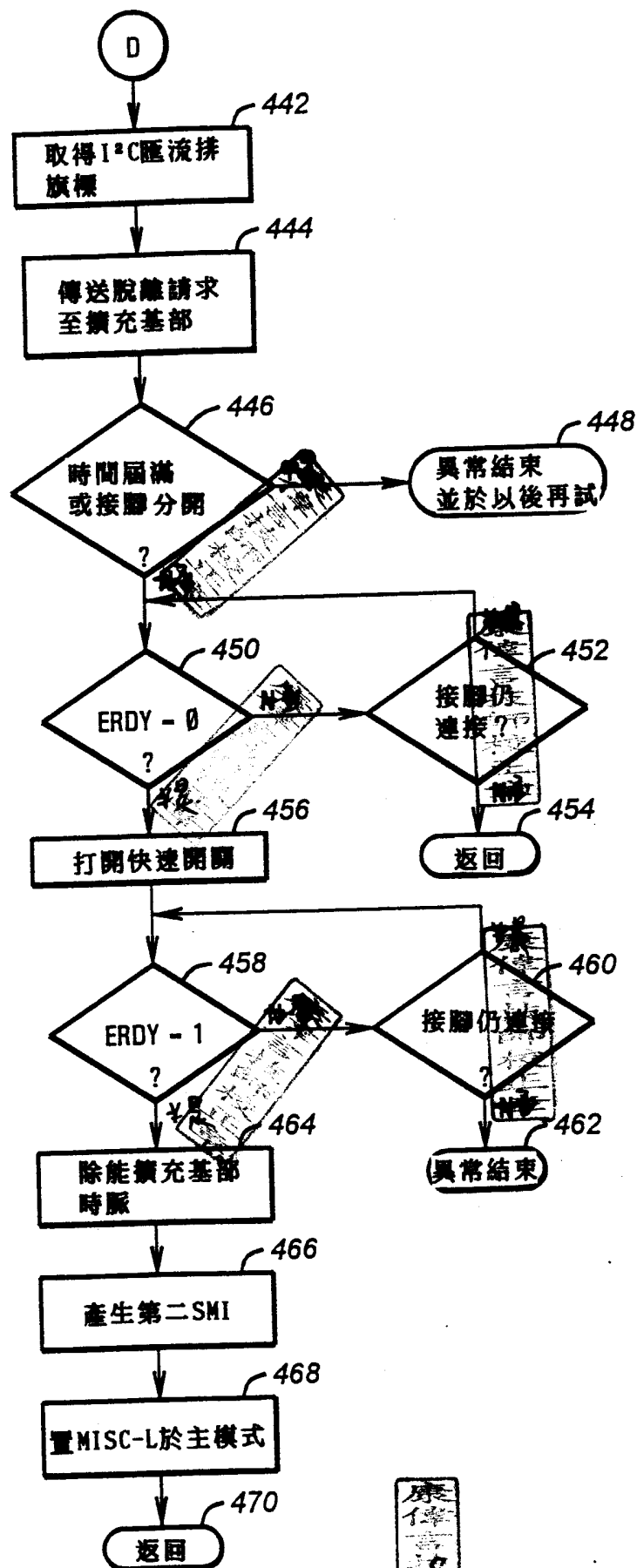


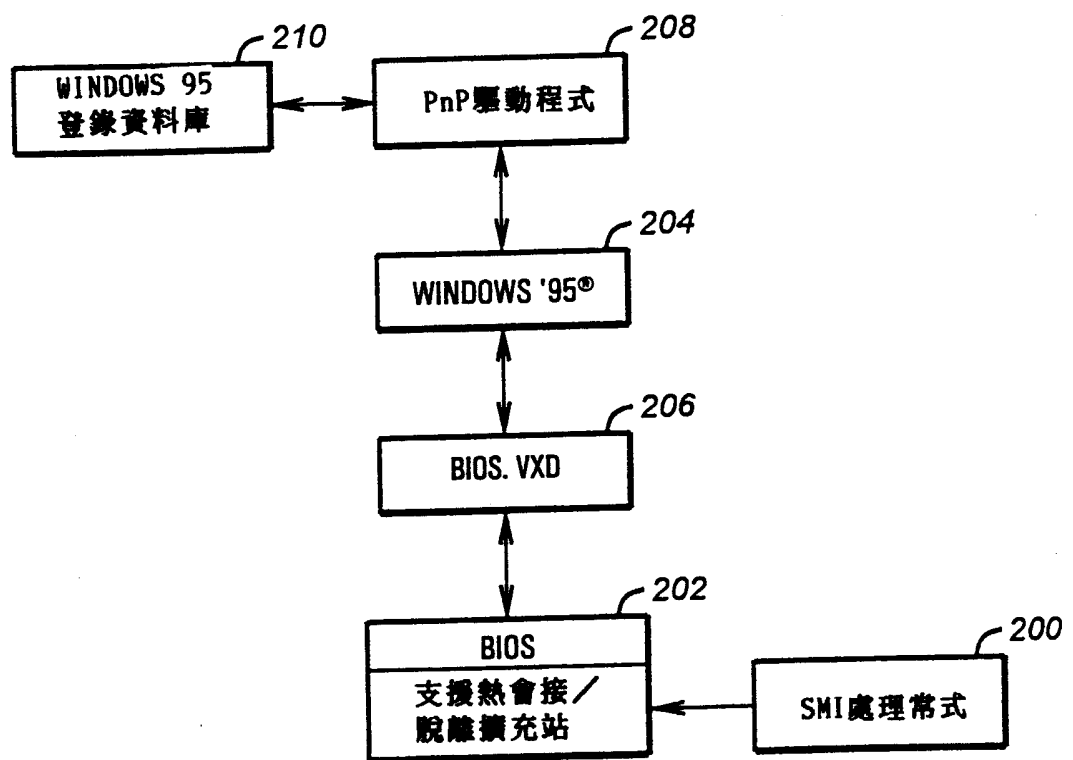


第 6A 圖



第 6B 圖





第 7 圖