

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第6930285号  
(P6930285)

(45) 発行日 令和3年9月1日 (2021. 9. 1)

(24) 登録日 令和3年8月16日 (2021. 8. 16)

(51) Int.Cl.  
G 0 6 F 3 / 0 0 (2006. 01)

F I  
G O 6 F 3 / 0 0 Y

請求項の数 5 (全 20 頁)

|           |                              |           |                                |
|-----------|------------------------------|-----------|--------------------------------|
| (21) 出願番号 | 特願2017-159325 (P2017-159325) | (73) 特許権者 | 000005223                      |
| (22) 出願日  | 平成29年8月22日 (2017. 8. 22)     |           | 富士通株式会社                        |
| (65) 公開番号 | 特開2019-40240 (P2019-40240A)  |           | 神奈川県川崎市中原区上小田中4丁目1番1号          |
| (43) 公開日  | 平成31年3月14日 (2019. 3. 14)     | (74) 代理人  | 110002147                      |
| 審査請求日     | 令和2年5月14日 (2020. 5. 14)      |           | 特許業務法人酒井国際特許事務所                |
|           |                              | (72) 発明者  | 田中 亮大                          |
|           |                              |           | 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |
|           |                              | 審査官       | 松平 英                           |

最終頁に続く

(54) 【発明の名称】 情報処理装置、情報処理システム及び情報処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

電源から供給される電力を基に生成された所定の電力で動作する第1演算処理部と、  
第1入力経路を介して前記第1演算処理部と他の情報処理装置が有する第2演算処理部とを結ぶ経路の接続又は切断の切り替えを行う接続制御回路を有効又は無効にする第1制御信号を送信し、第2入力経路を介して前記接続制御回路の切り替えを制御する第2制御信号を送信する信号出力回路と、  
前記第1入力経路及び前記第2入力経路の接続又は切断を制御し、前記第1演算処理部が前記第2演算処理部に接続される場合に前記第1入力経路及び前記第2入力経路を切断し、その後所定時間経過すると第1入力経路及び第2入力経路を接続スイッチと、  
前記電源から供給される電力を前記接続制御回路の前記第1入力経路及び前記第2入力経路の入力端へそれぞれ異なる抵抗を経由させて供給することで、前記抵抗の抵抗値に応じて前記第1制御信号及び前記第2制御信号に時間差をつけて入力する複数の入力経路と、  
前記接続制御回路を有し、前記第1演算処理部が前記第2演算処理部に接続される場合に前記電源から電力供給を受けて動作を開始し、前記スイッチにより前記第1入力経路及び前記第2入力経路が切断された状態で、前記接続制御回路を無効にする前記第1制御信号の入力を前記入力経路から受けて前記第1演算処理部と前記第2演算処理部との接続を無効にし、所定時間経過後に前記スイッチが前記第1入力経路及び前記第2入力経路を接続すると、前記信号出力回路から送信された前記接続制御回路を有効にする前記第1制御

10

20

信号の入力を受けて前記接続制御回路を有効とし、且つ、前記信号出力回路から送信された前記第2制御信号を基に前記第1演算処理部と前記第2演算処理部とを接続させる接続制御部と

を備えたことを特徴とする情報処理装置。

【請求項2】

前記所定時間は、前記接続制御部又は前記第1演算処理部の動作が安定する時間以上であることを特徴とする請求項1に記載の情報処理装置。

【請求項3】

前記接続制御部は、前記第1演算処理部への前記電源からの電力供給に障害が発生した場合、前記第1演算処理部と前記第2演算処理部との接続を切断することを特徴とする請求項1又は2に記載の情報処理装置。

10

【請求項4】

電力を供給する電源、複数の情報処理装置及び複数の前記情報処理装置を挿抜可能な接続機構を有する情報処理システムであって、

前記接続機構は、1本の経路で挿入された全ての前記情報処理装置を接続する経路を複数有し、

前記情報処理装置は、

前記電源から供給される電力を基に生成された所定の電力で動作する第1演算処理部と

、

第1入力経路を介して前記第1演算処理部と他の情報処理装置が有する第2演算処理部とを結ぶ経路の接続又は切断の切り替えを行う接続制御回路を有効又は無効にする第1制御信号を送信し、第2入力経路を介して前記接続制御回路の切り替えを制御する第2制御信号を送信する信号出力回路と、

20

前記第1入力経路及び前記第2入力経路の接続又は切断を制御し、前記第1演算処理部が前記第2演算処理部に接続される場合に前記第1入力経路及び前記第2入力経路を切断し、その後所定時間経過すると第1入力経路及び第2入力経路を接続する接続スイッチと

、

前記電源から供給される電力を前記接続制御回路の前記第1入力経路及び前記第2入力経路の入力端へそれぞれ異なる抵抗を経由させて供給することで、前記抵抗の抵抗値に応じて前記第1制御信号及び前記第2制御信号に時間差をつけて入力する複数の入力経路と

30

、

前記接続制御回路を有し、自装置が前記接続機構に挿入され、前記電源から電力供給を受けて動作を開始し、前記接続機構が有する前記経路を介して前記第1演算処理部が前記第2演算処理部に接続される場合に、前記スイッチにより前記第1入力経路及び前記第2入力経路が切断された状態で、前記接続制御回路を無効にする前記第1制御信号の入力を前記入力経路から受けて前記第1演算処理部と前記第2演算処理部との接続を無効にし、所定時間経過後に前記スイッチが前記第1入力経路及び前記第2入力経路を接続すると、前記信号出力回路から送信された前記接続制御回路を有効にする前記第1制御信号の入力を受けて前記接続制御回路を有効とし、且つ、前記信号出力回路から送信された前記第2制御信号を基に前記第1演算処理部と前記第2演算処理部とを接続させる接続制御部とを備えた

40

ことを特徴とする情報処理システム。

【請求項5】

電力を供給する電源と、前記電源から供給される電力で動作する第1演算処理装置と、第1入力経路を介して前記第1演算処理装置と他の情報処理装置が有する第2演算処理装置とを結ぶ経路の接続又は切断の切り替えを行う接続制御回路を有効又は無効にする第1制御信号を送信し、第2入力経路を介して前記接続制御回路の切り替えを制御する第2制御信号を送信する信号出力回路と、前記第1入力経路及び前記第2入力経路の接続又は切断を制御し、前記第1演算処理装置が前記第2演算処理装置に接続される場合に前記第1入力経路及び前記第2入力経路を切断し、その後所定時間経過すると第1入力経路及び第

50

2入力経路を接続する接続スイッチと、前記電源から供給される電力を前記接続制御回路の前記第1入力経路及び前記第2入力経路の入力端へそれぞれ異なる抵抗を経由させて供給することで、前記抵抗の抵抗値に応じて前記第1制御信号及び前記第2制御信号に時間差をつけて入力する複数の入力経路とを有する情報処理装置の制御方法であって、

前記第1演算処理装置が前記第2演算処理装置に接続される場合に前記電源から電力供給を受けて動作を開始し、

前記スイッチにより前記第1入力経路及び前記第2入力経路が切断された状態で、前記接続制御回路を無効にする前記第1制御信号の入力を前記入力経路から受けて前記第1演算処理装置と前記第2演算処理装置の接続を無効にし、

所定時間経過後に前記スイッチが前記第1入力経路及び前記第2入力経路を接続すると、前記信号出力回路から送信された前記接続制御回路を有効にする前記第1制御信号の入力を受けて前記接続制御回路を有効とし、且つ、前記信号出力回路から送信された前記第2制御信号を基に前記第1演算処理装置と前記第2演算処理装置とを接続させる

ことを特徴とする情報処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置、情報処理システム及び情報処理装置の制御方法に関する。

【背景技術】

【0002】

近年、サーバ装置は、複数のCPU（Central Processing Unit）を搭載したSMP（Symmetric Multiprocessing）構成を有することが増えてきている。このようなサーバ装置では、複数のCPUを1枚のマザーボード上に搭載することを想定して設計されている。さらに、このようなサーバは、一つの筐体内に別々のサーバに相当するシステムボードを複数搭載する場合が考えられる。そして、このような場合、サーバに搭載された各システムボードは、フレキシブルにSMP結合することが求められる。

【0003】

ここで、フレキシブルなSMP結合を可能にするためには、以下の要求を満たすことが望ましい。1つには、CPU間の信号の送信経路をフレキシブルに切り替えられることが好ましい。また、1つには、各パーティションで発生した障害を他のパーティションに波及させないことが好ましい。さらに、もう1つには、システムボードに電源故障などが発生した場合に、他のシステムボードを動作させた状態で、電源故障が発生したシステムボードを挿抜できることが好ましい。

【0004】

この点、従来は、システムボードをまたぐCPU間信号に関して、各CPU間で信号の送信経路を異ならせて通信を行うことを可能とするポート数を有する多ポートのMUX（Multiplexer）が用いられてきた。この構成の場合、送信経路は自由に選択することができる。また、特定のパーティションにおいて電源障害が発生するなどして信号レベルが下がっても、信号の送信経路が異なるため他のパーティションにおける信号レベルへの影響は抑えられ、パーティション間の影響が軽減できていた。

【0005】

なお、複数のCPUを搭載したボードを接続する技術として、複数のCPUを搭載したCPUブレードを他のCPUブレードと接続するためのスイッチを組み込んで仮想サーバを構築する従来技術がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2017-102659号公報

【発明の概要】

【発明が解決しようとする課題】

## 【0007】

しかしながら、近年、CPU間におけるリセットやクロックの同期といったCPU間で共有される信号の数が増加している。そのため、全ての信号種に対応するように多ポートのMUXを使用してCPU間を接続した場合、コネクタのピン数が膨大な数に上るおそれがある。ただし、コネクタのピン数制限のため、信号種の数に合わせて自由にコネクタのピン数を増やすことは困難である。また、コネクタのピン数の増加にしたがい配線スペースも増加するため、物理的に配置することが困難となるおそれもある。

## 【0008】

このように、近年では、多ポートのMUXを用いてCPU間を接続することは困難である。そのため、CPU間の信号をフレキシブルにスイッチング可能にした上で、他のシステムボードを動作させたままでの特定のシステムボードの挿抜や、特定のシステムボードで発生した障害の他のシステムボードへの波及の抑制は困難である。すなわち、従来のCPU間の接続方法では、システムの安定性を維持することは困難である。

10

## 【0009】

また、スイッチを組み込んだ仮想サーバを構成する従来技術を用いても、CPU間の通信経路に従来との違いはなく、システムの安定性を維持することは困難である。

## 【0010】

開示の技術は、上記に鑑みてなされたものであって、システムの安定性を維持する情報処理装置、情報処理システム及び情報処理装置の制御方法を提供することを目的とする。

## 【課題を解決するための手段】

20

## 【0011】

本願の開示する情報処理装置、情報処理システム及び情報処理装置の制御方法の一つの態様において、第1演算処理部は、電源から供給される電力を基に生成された所定の電力で動作する。信号出力回路は、第1入力経路を介して前記第1演算処理部と他の情報処理装置が有する第2演算処理部とを結ぶ経路の接続又は切断の切り替えを行う接続制御回路を有効又は無効にする第1制御信号を送信し、第2入力経路を介して前記接続制御回路の切り替えを制御する第2制御信号を送信する。接続スイッチは、前記第1入力経路及び前記第2入力経路の接続又は切断を制御し、前記第1演算処理部が前記第2演算処理部に接続される場合に前記第1入力経路及び前記第2入力経路を切断し、その後所定時間経過すると第1入力経路及び第2入力経路を接続する。複数の入力経路は、前記電源から供給される電力を前記接続制御回路の前記第1入力経路及び前記第2入力経路の入力端へそれぞれ異なる抵抗を経由させて供給することで、前記抵抗の抵抗値に応じて前記第1制御信号及び前記第2制御信号に時間差をつけて入力する。接続制御部は、前記接続制御回路を有し、前記第1演算処理部が前記第2演算処理部に接続される場合に前記電源から電力供給を受けて動作を開始し、前記スイッチにより前記第1入力経路及び前記第2入力経路が切断された状態で、前記接続制御回路を無効にする前記第1制御信号の入力を前記入力経路から受けて前記第1演算処理部と前記第2演算処理部との接続を無効にし、所定時間経過後に前記スイッチが前記第1入力経路及び前記第2入力経路を接続すると、前記信号出力回路から送信された前記接続制御回路を有効にする前記第1制御信号の入力を受けて前記接続制御回路を有効とし、且つ、前記信号出力回路から送信された前記第2制御信号を基に前記第1演算処理部と前記第2演算処理部とを接続させる。

30

40

## 【発明の効果】

## 【0012】

1つの側面では、本発明は、システムの安定性を維持することができる。

## 【図面の簡単な説明】

## 【0013】

【図1】図1は、情報処理装置の構成図である。

【図2】図2は、実施例1に係るシステムボードの接続状態を表す図である。

【図3】図3は、実施例1に係るシステムボード間の通信を説明するための図である。

【図4】図4は、システムボードの概略回路図である。

50

【図5】図5は、システムボード挿入時の各信号の挙動を表すタイムチャートである。

【図6】図6は、電源短絡発生時の各信号の挙動を表すタイムチャートである。

【図7】図7は、システムボード挿入時のCPU接続処理のフローチャートである。

【図8】図8は、電源短絡発生時のCPU切離処理のフローチャートである。

【図9】図9は、実施例2に係るシステムボードの接続状態を表す図である。

【図10】図10は、実施例2に係るシステムボード間の通信を説明するための図である。

【発明を実施するための形態】

【0014】

以下に、本願の開示する情報処理装置、情報処理システム及び情報処理装置の制御方法の実施例を図面に基づいて詳細に説明する。なお、以下の実施例により本願の開示する情報処理装置、情報処理システム及び情報処理装置の制御方法が限定されるものではない。

【実施例1】

【0015】

図1は、情報処理装置の構成図である。本実施例に係る情報処理システム100は、図1に示すように、システムボード1、ミッドプレーン2、スイッチ3及びI/O（Input/Output）ユニット4を有する。

【0016】

システムボード1は、複数のCPU及びメモリを有する。システムボード1に搭載されたCPU及びメモリは、演算処理を行う。

【0017】

ミッドプレーン2は、システムボード1に搭載されたCPUを相互に接続するための信号回路が配設された回路基板を有する。ミッドプレーン2は、システムボード1が挿抜可能である。そして、ミッドプレーン2は、挿入されたシステムボード1同士を信号回路で接続する。ミッドプレーン2に挿入されたシステムボード1は、信号回路を介して通信可能である。また、ミッドプレーン2は、電源ユニット5から供給された電力をミッドプレーン2に接続されたシステムボード1へ供給する電力供給経路を有する。さらに、ミッドプレーン2が有する電力供給経路を用いることで、システムボード1は、相互に電力供給を行うこともできる。このミッドプレーン2が、「接続機構」の一例にあたる。

【0018】

スイッチ3は、システムボード1とI/Oユニット4との接続を切り替える経路切替装置である。スイッチ3は、操作者からの指定にしたがい、システムボード1とI/Oユニット4とを、1対1、1対多、多対1、又は、多対多で接続する。

【0019】

I/Oユニット4は、ハードディスク、PCI（Peripheral Component Interconnect）デバイスなどを有する。例えば、I/Oユニット4は、システムボード1上のCPUの指示にしたがい動作する。

【0020】

システムボード1及びI/Oユニット4の組で、1つの演算処理装置として動作するパーティションが構成される。例えば、図1のうちの2つのシステムボード1と1つのI/Oユニット4との組で1つのパーティションが構成される。さらに、残りのシステムボード1のうち1つのシステムボード1と2つのI/Oユニット4との組で1つのパーティションが構成される。さらに、残りの1つのシステムボード1と1つのI/Oユニット4との組で1つのパーティションを構成される。これにより、1つの情報処理システム100の中に、3つのパーティションが構成される。なお、パーティションの構成はフレキシブルに設定可能である。

【0021】

電源ユニット（PSU：Power Supply Unit）5は、例えば12Vの商用電源から供給された電気を直流に変換しさらに電圧の調整を行い、システムボード1、ミッドプレーン2、スイッチ3及びI/Oユニット4などの各部品にそれぞれ供給する。図1では、電

10

20

30

40

50

源ユニット 5 から各部品への電力供給経路は記載を省略した。電源ユニット 5 からの電力は、システムボード 1 内では、システムボード 1 上の各部品の駆動に適した、例えば、3.3 V の電圧の電力を生成し、各部品へ供給する。例えば、電源ユニット 5 は、ミッドプレーン 2 を介してミッドプレーン 2 に挿入された各システムボード 1 に電力供給を行う。この電源ユニット 5 が「電源」の一例にあたる。

#### 【0022】

ここで、安価で汎用的な PSU は、システムボード 1 上の各部品の駆動に適した所望の電力 (3.3 V) を出力するものは少ない、このように、PSU の出力電力と所望の電力が異なっている場合、システムボード 1 をミッドプレーン 2 に挿入しても、直ぐに所望の電力を得ることが困難である。そのため、本実施例に係るシステムボード 1 は、MUX への信号を無効にするための電力として、稼働中の他のシステムボード 1 から供給される電力を活用する。稼働中の他のシステムボード 1 から供給される電力は、3.3 V での安定供給状態であるため、システムボード 1 をミッドプレーン 2 に接続後すぐに利用することができる。ただし、常に他のシステムボード 1 からの電力を原源として動作する構成の場合、ミッドプレーン 2 から他のシステムボード 1 が抜去された際に電力供給を受けているシステムボード 1 も同時に停止してしまう。そのため、本実施例に係るシステムボード 1 は、動作が安定した後は電源ユニット 5 から直接供給された電力で動作を行う構成としている。

10

#### 【0023】

次に、図 2 を参照して、システムボード 1 同士の接続について説明する。図 2 は、実施例 1 に係るシステムボードの接続状態を表す図である。図 2 は、ミッドプレーン 2 に 4 つのシステムボード 1 が挿入された状態を表す。図 2 では、システムボード 1 同士を接続する配線以外の配線は省略した。

20

#### 【0024】

図 2 に示すように、システムボード 1 は、CPU 11 及び 12、MUX (Multiplexer) 13、信号伝送回路 14 及び CPLD (Complex Programmable Logic Device) 15 を有する。ここで、図示の都合上、図 2 では、最下部のシステムボード 1 に CPLD 15 を記載したが、実際には他のシステムボード 1 にも CPLD 15 は搭載される。

#### 【0025】

ミッドプレーン 2 は、システムボード 1 間を結ぶシステムボード 1 の数の経路を有する。そして、ミッドプレーン 2 は、1 本の経路で挿入された全てのシステムボード 1 を接続し、且つそのような経路を 4 本有する。

30

#### 【0026】

CPU 11 及び 12 は、演算処理部である。CPU 11 及び 12 は、レギュレータ 17 で生成された電力の入力を電源供給部 141 を介して受けて動作する。CPU 11 及び 12 は、信号伝送回路 14 を介して MUX 13 に接続される。CPU 11 及び 12 は、MUX 13 及びミッドプレーン 2 を介して、他のシステムボード 1 に搭載された CPU 11 及び 12 と通信を行う。この CPU 11 及び 12 が、「第 1 演算処理部」及び「第 1 演算処理装置」の一例にあたる。また、他のシステムボード 1 に搭載された CPU 11 及び 12 が、「第 2 演算処理部」及び「第 2 演算処理装置」の一例にあたる。

40

#### 【0027】

信号伝送回路 14 は、例えば、GTL (Gunning Transceiver Logic) 回路である。信号伝送回路 14 は、MUX 13 から入力された信号に対して信号伝送のための処理を施して CPU 11 又は 12 へ出力する。逆に、信号伝送回路 14 は、CPU 11 又は 12 から入力された信号に対して信号伝送のための処理を施して MUX 13 へ出力する。

#### 【0028】

CPLD 15 は、MUX 13 の動作を制御する回路である。CPLD 15 は、GPIO (General purpose Input Output) ピンを有する。そして、CPLD 15 の GPIO ピンは、MUX 13 に接続される。CPLD 15 は、MUX 13 を有効又は無効に設定するイネーブル信号及び経路選択を行うための経路選択信号を MUX 13 へ出力する。こ

50

で、本実施例では、C P L D 1 5 は、自己が記憶する予め指定された設定にしたがいイネーブル信号及び経路設定信号を出力する。ただし、C P L D 1 5 は、他のマイクロコンピュータからの設定の入力を受けて、その入力された設定にしたがいイネーブル信号及び経路設定信号を出力してもよい。このC P U L D 1 5 が、「信号出力回路」の一例にあたる。

#### 【0029】

M U X 1 3 は、ミッドプレーン 2 から延びる経路と信号伝送回路 1 4 へ繋がる経路とを選択的に切り替える。具体的には、M U X 1 3 は、ミッドプレーン 2 から延びる経路のうち、C P L D 1 5 により指定された経路と信号伝送回路 1 4 へ繋がる経路とを接続する。そして、M U X 1 3 は、ミッドプレーン 2 を介して、他のシステムボード 1 上の M U X 1 3 と接続される。本実施例では、M U X 1 3 は、他の 4 つのシステムボード 1 に接続するためのミッドプレーン 2 から延びる 4 本の経路が接続される。

10

#### 【0030】

図 3 は、実施例 1 に係るシステムボード間の通信を説明するための図である。本実施例に係るシステムボード 1 は、図 3 に示すように、4 つのポートを有する。そして、システムボード 1 は、1 つのポートを他のシステムボード 1 へ信号を送信するためのポートとし、残りの 3 つのポートを他のシステムボード 1 から信号を受信するためのポートとする。

#### 【0031】

さらに、システムボード 1 の信号送信用のポートから延びる経路には、他の 3 つのシステムボード 1 が芋づる式に接続される。すなわち、システムボード 1 の信号送信用のポートから延びる経路は、3 つに分岐し、分岐した経路がそれぞれ他の異なるシステムボード 1 に接続される。

20

#### 【0032】

M U X 1 3 は、自己が搭載されたシステムボード 1 が他のシステムボード 1 に信号を送信する場合、ミッドプレーン 2 から延びる 4 本の経路の中から信号送信用ポートに繋がる経路を選択して C P U 1 1 及び 1 2 に接続する。逆に、自己が搭載されたシステムボード 1 が他のシステムボード 1 から信号を受信する場合、M U X 1 3 は、信号の送信元のシステムボード 1 に繋がる経路を選択して C P U 1 1 及び 1 2 に接続する。

#### 【0033】

次に、図 4 を参照して、システムボード 1 の M U X 1 3 への挿入時の動作を説明する。図 4 は、システムボードの概略回路図である。

30

#### 【0034】

図 4 における、電源供給部 1 0 1 ~ 1 0 6 は、ミッドプレーン 2 を介してミッドプレーン 2 に挿入された他のシステムボード 1 から電力が供給される電力を供給する電源供給ピンや電力供給経路などの電力供給部材である。電源供給部 1 0 1 ~ 1 0 6 は、例えば、3 . 3 V の電圧を供給する。

#### 【0035】

電源供給部 1 4 1 は、レギュレータ 1 7 から出力された電力が供給される。電源供給部 1 4 1 は、レギュレータ 1 7 から供給された電力を、例えば電源供給部 1 1 1 ~ 1 1 3、C P U 1 1 及び 1 2、M U X 1 3、C P L D 1 5、スイッチ 1 6 及びドライバ 1 8 などへ供給する。また、電源供給部 1 4 2 は、他のシステムボード 1 のレギュレータ 1 7 の電源と接続される。そして、電源供給部 1 4 2 におけるレギュレータ 1 7 から供給される電圧が低い場合、電源供給部 1 4 2 は、他のシステムボード 1 のレギュレータ 1 7 から出力された電力が流れ込む。電源供給経路 1 4 3 は、例えば、電源供給経路 1 0 1 ~ 1 0 6 に接続される。電源供給経路 1 4 3 は、電源供給経路 1 4 1 又は 1 4 2 のうち電圧の高い方の電力を電源供給経路 1 0 1 ~ 1 0 6 に供給する。

40

#### 【0036】

レギュレータ 1 7 は、電源ユニット 5 から電力の供給を受ける。例えば、レギュレータ 1 7 は、電源ユニット 5 が出力した 1 2 V の電圧が 5 V に降圧された電力を取得する。レギュレータ 1 7 は、例えば 5 V の電圧を 3 . 3 V へ降圧し、各部品を動作させる電源種を

50

生成する。そして、レギュレータ17は、生成した電源種をCPU11及び12、ドライバ18並びにCPLD15へ供給する。また、レギュレータ17は、3.3Vの電圧の電力を電源供給部141へ向けて出力する。そして、電源供給部141から出力された電力は、電源供給経路111～113へ送られる。

#### 【0037】

本実施例に係るMUX13は、ミッドプレーン2から延びる4本の信号経路が接続される。4本の信号経路は、CPU11及び12と他のシステムボードとの間の信号の伝送に使用される。さらに、MUX13は、3本の経路131～133により、スイッチ16を介してCPLD15に接続される。MUX13におけるミッドプレーン2から延びる4本の信号経路に接続するためのピンは、システムボード1における電源ユニット5及び他のシステムボード1から電力供給を受ける電力供給ピンよりも短い。そのため、システムボード1をミッドプレーン2に接続する場合、システムボード1への電力供給が開始された後に、システムボード1間の信号経路が接続される。このMUX13が、「接続制御回路」及び「接続制御部」の一例にあたる。

10

#### 【0038】

経路131は、MUX13に対してMUXイネーブル信号を入力するための経路である。MUXイネーブル信号の値がHighの場合、MUX13は無効になる。逆に、MUXイネーブル信号の値がLowの場合、MUX13は有効になる。経路132は、MUX13に対して第1経路選択信号を入力するための経路である。経路133は、MUX13に対して第2経路選択信号を入力するための経路である。MUX13は、第1経路選択信号及び第2経路選択信号の組み合わせにより、ミッドプレーン2から延びる4本の信号経路のうちの選択する経路の設定の通知を受ける。MUXイネーブル信号が、「第1制御信号」の一例にあたる。また、第1経路選択信号及び第2経路選択信号が、「第2制御信号」の一例にあたる。

20

#### 【0039】

また、経路131には、スイッチ16とMUX13との間に抵抗121を介して電源供給部101が接続される。抵抗121は、例えば、1KΩの抵抗値を有する。また、経路132には、スイッチ16とMUX13との間に抵抗121よりも抵抗値の高い抵抗122を介して電源供給部102が接続される。抵抗122は、例えば、10KΩの抵抗値を有する。また、経路133には、スイッチ16とMUX13との間に抵抗121よりも抵抗値の高い抵抗123を介して電源供給部103が接続される。抵抗123は、例えば、10KΩの抵抗値を有する。

30

#### 【0040】

この経路131が、「第1入力経路」の一例にあたる。また、経路132及び133が、「第2入力経路」の一例にあたる。また、電源供給部101から出力される電力を抵抗121を介してMUX13へ入力する経路、電源供給部102から出力される電力を抵抗122を介してMUX13へ入力する経路、及び、電源供給部103から出力される電力を抵抗123を介してMUX13へ入力する経路が、「複数の入力経路」の一例にあたる。

#### 【0041】

スイッチ16は、電源供給部113から供給された電力で動作する。スイッチ16は、CPLD15とMUX13とを結ぶ経路131～133のそれぞれを接続又は切断する。また、スイッチ16が無効の場合、CPLD15から出力された信号は、MUX13に入力されない。スイッチ16は、AND回路124に接続される。そして、スイッチ16は、AND回路124からSW(Switch)イネーブル信号の入力を受ける。スイッチ16は、SWイネーブル信号の値がHighの場合に有効になる。逆に、SWイネーブル信号の値がLowの場合、スイッチ16は無効になる。

40

#### 【0042】

レギュレータ17は、D(Digital)Dコンバータを有する。レギュレータ17は、電源ユニット5から出力された電力の供給を受ける。図4では、電源ユニット5からの電力の

50



供給経路は図示していない。そして、レギュレータ17は、供給された電力に基づく電源電圧を出力する。本実施例では、レギュレータ17は、3.3Vの電圧を出力する。

【0043】

そして、レギュレータ17は、自己の出力を監視し、予め決められた閾値電圧と自己の出力電圧とを比較する。自己の出力電圧が閾値電圧以上になると、レギュレータ17は、システムボード1上の各部品に電力を出力する。レギュレータ17は、電源ユニット5からの電力が供給され、所望の電圧が安定的に出力可能になったと判定して、Power Good信号を出力する。レギュレータ17のPower Good信号の出力端子はFET(Field Effect Transistor)スイッチ126のゲートに接続される。

【0044】

FETスイッチ126は、NチャネルのFETである。すなわち、FETスイッチ126は、ゲートにHighの値を有する閾値電圧以上の電圧が印加された場合、オンになる。FETスイッチ126は、ゲートにレギュレータ17のPower Good信号の出力端子が接続される。また、FETスイッチ126のソースは、電源供給部105及びFETスイッチ125のゲートに接続される。また、FETスイッチ126のドレインは、グランドに接続される。

【0045】

FETスイッチ125は、NチャネルのFETである。すなわち、FETスイッチ125は、ゲートにHighの値を有する閾値電圧以上の電圧が印加された場合、オンになる。FETスイッチ125は、ゲートにFETスイッチ125のソースが接続される。また、FETスイッチ125のソースは、電源供給部111及びAND回路124に接続される。また、FETスイッチ126のドレインは、グランドに接続される。

【0046】

ここで、FETスイッチ125から出力されAND回路124へ入力される電圧の値について説明する。システムボード1がミッドプレーン2に接続されると、電源供給部111は、電源供給経路141から供給された電圧を出力する。さらに、電源供給部105は、他のシステムボード1から出力された電圧を出力する。FETスイッチ125は、電源供給部105からの出力によりオンになる。FETスイッチ125がオンになると、電源供給部111はグランドに接続されるのでAND回路124には、Lowの値を有する電圧が入力される。その後、レギュレータ17は、自己の出力電圧が閾値電圧以上になるとPower Good信号をFETスイッチ126のゲートに出力する。これにより、FETスイッチ126のゲートにHighの値の電圧が印加され、FETスイッチ126は、オンになる。FETスイッチ126がオンになると、電源供給部105はグランドに接続されるので、FETスイッチ125のゲートにはLowの値を有する電圧が印加され、FETスイッチ125はオフになる。FETスイッチ125がオフになると、電源供給部111から出力されたHighの値を有する電圧がAND回路124へ入力される。

【0047】

ドライバ18は、出力端子がFETスイッチ128のゲートに接続される。ドライバ18は、レギュレータ17から供給された電圧をFETスイッチ128のゲートへ印加する。ここで、ドライバ18は、出力電圧が安定した後十分に時間が経過するまでの所定時間を計測するタイマを有する。そして、ドライバ18は、タイマによる所定時間の計測が完了するまでFETスイッチ128への電圧の印加を待機し、所定時間経過後にその後FETスイッチ128への電圧の印加を開始する。すなわち、ドライバ18は、CPU11及び12などの動作が安定するまでMUX13及びスイッチ16を無効にし続ける。ここで、電源ユニット5から供給される電力は、レギュレータ17により所望の電力に変換され各部品に供給される。しかし、各部品は起動時には動作が安定せず、動作が安定するまでに時間が掛かる。特に、MUX13は、他のシステムボード1との間で信号を転送させる部品であり、ドライバ18により動作が安定するまで所定時間待機させられる。この所定時間は、例えば、数十msec程度である。

【0048】

F E Tスイッチ128は、NチャネルのF E Tである。すなわち、F E Tスイッチ128は、ゲートにH i g hの値を有する閾値電圧以上の電圧が印加された場合、オンになる。F E Tスイッチ128は、ゲートにドライバ18の出力端子が接続される。また、F E Tスイッチ128のソースは、電源供給部106及びF E Tスイッチ127のゲートに接続される。また、F E Tスイッチ128のドレインは、グランドに接続される。

**【0049】**

F E Tスイッチ127は、NチャネルのF E Tである。すなわち、F E Tスイッチ127は、ゲートにH i g hの値を有する閾値電圧以上の電圧が印加された場合、オンになる。F E Tスイッチ127は、ゲートにF E Tスイッチ128のソースが接続される。また、F E Tスイッチ128のソースは、電源供給部112及びF E Tスイッチ127のゲートに接続される。また、F E Tスイッチ127のドレインは、グランドに接続される。

10

**【0050】**

ここで、F E Tスイッチ127から出力されA N D回路124へ入力される電圧の値について説明する。システムボード1がミッドプレーン2に接続されると、電源供給部106は、他のシステムボード1から出力された電圧を出力する。F E Tスイッチ127は、電源供給部106からの出力によりオンになる。F E Tスイッチ127がオンになると、電源供給部112はグランドに接続されるのでA N D回路124には、L o wの値を有する電圧が入力される。さらに、ドライバ18がレギュレータ17から供給された電力の入力を受け、H i g hの電圧をF E Tスイッチ128のゲートに印加すると、F E Tスイッチ128はオンになる。ここで、ドライバ18は、安定した電圧を出力するため、電源ユニット5から電力供給が始まってすぐには電圧の出力を開始せず、一定時間経過して電圧が安定してから十分時間が経過後にH i g hの値を有する電圧を出力する。このドライバ18が安定した出力を開始するまでの時間が、「所定時間」の一例にあたる。

20

**【0051】**

F E Tスイッチ128がオンになると、電源供給部106はグランドに接続されるのでF E Tスイッチ127のゲートには、L o wの値を有する電圧が印加され、F E Tスイッチ127はオフになる。F E Tスイッチ127がオンであればA N D回路124の入力経路はグランドに接続されるので、A N D回路124には、L o wの値を有する電圧が入力される。これに対して、F E Tスイッチ127がオンであれば、A N D回路124の入力経路は、グランドに接続されずに電源供給経路112から出力されたH i g hの値を有する電圧の入力を受ける。

30

**【0052】**

次に、システムボード1をミッドプレーン2へ挿入し、システムボード1をミッドプレーン2に接続した場合のシステムボード1の各部の動作についてまとめて説明する。ここでは、新たに挿入するシステムボード1以外に、既にミッドプレーン2にシステムボード1が接続されている場合で説明する。

**【0053】**

システムボード1をミッドプレーン2に挿入する場合、ピンの長さの違いから、システムボード1への電源ユニット5や他のシステムボード1からの電力供給経路が、システムボード1間の信号経路よりも先に接続される。

40

**【0054】**

システムボード1における電源経路が接続されることで、電源供給部101～106は、いずれも他のシステムボード1から出力された電圧の供給を開始する。また、システムボード1がミッドプレーン2に接続され電源ユニット5から電力供給が開始されると、電源供給部111及び113は、電圧の出力を開始する。ドライバ18は、出力の安定後十分時間が経過した後にH i g hの電圧の出力を開始する。M U X 13は、電源供給部104からの電力供給を受けて駆動を開始する。このM U X 13が動作中の他のシステムボード1からの電力供給を電源供給部104から受けることが、「外部装置から電力供給」を受けることの一例にあたる。

**【0055】**

50

この状態で、AND回路124のFETスイッチ127へ繋がる経路にはHighの値を有する電圧が入力される。一方、システムボード1がミッドプレーン2に接続され電源ユニット5から電力供給が開始された直後には、AND回路124のFETスイッチ125へ繋がる経路にはLowの値を有する電圧が入力される。この場合、AND回路124は、Lowの値を有するSWイネーブル信号を出力する。すなわち、スイッチ16は無効になる。すなわち、CPLD15とMUX13との信号経路は切断され、MUX13は、CPLD15の制御を受けなくなる。

#### 【0056】

この場合、経路131には電源供給部101から出力された電圧が入力される。また、経路132には電源供給部102から出力された電圧が入力される。また、経路133には電源供給部103から出力された電圧が入力される。ここで、電源供給部101に繋がる抵抗121の抵抗値が、電源供給部102及び103に繋がる抵抗122及び123の抵抗値より小さいため、経路131に入力される電圧が、経路132及び133へ入力される電圧よりも早くHighの値を有するようになる。そのため、Highの値を有するMUXイネーブル信号が、第1及び第2経路選択信号がHighになるよりも先に入力される。したがって、ミッドプレーン2とCPU11及び12とを結ぶ経路が接続されるよりも前に、MUX13が無効になる。すなわち、ミッドプレーン2とCPU11及び12とを結ぶ経路の接続が行われなくなる。ここで、本実施例では、抵抗を用いて信号の入力タイミングを異ならせたが、信号の入力タイミングをずらすことが可能であれば他の構成でもよい。例えば、キャパシタや遅延回路などを用いて信号の入力タイミングを異ならせる構成でもよい。

#### 【0057】

その後、レギュレータ17は、AND回路124のFETスイッチ125へ繋がる経路へHighの値を有する電圧を出力する。この場合、AND回路124は、Highの値を有するSWイネーブル信号を出力する。すなわち、スイッチ16は有効になる。スイッチ16は、有効になると経路131～133を接続する。これにより、MUX13は、CPLD15の制御を受け付けるようになる。そして、スイッチ16が接続されると、CPLD15は、Lowの値を有する電圧を経路131へ出力する。MUX13は、Lowの値を有するMUXイネーブル信号の入力を経路131から受ける。そして、MUX13は有効になる。その後、CPLD15は、予め指定された経路を選択する第1及び第2経路選択信号を経路132及び133へ出力する。MUX13は、CPLD15から出力された第1及び第2経路選択信号の入力を経路132及び133から受ける。そして、MUX13は、入力された第1及び第2経路選択信号にしたがいミッドプレーン2から延びる4本の信号経路の中から1本の信号経路を選択してCPU11及び12に接続する。

#### 【0058】

ここでは、既に他のシステムボード1が挿入されたミッドプレーン2に新たなシステムボード1を挿入する場合で説明した。ただし、他のシステムボード1が挿入されていない場合、挿入により影響を与える相手がいないため、システムボード1の挿入時に上述した動作が行われなくても問題は発生しない。

#### 【0059】

次に、ミッドプレーン2に挿入されたシステムボード1においてレギュレータ17が適切な出力を行えなくなった場合の、システムボード1の各部の動作について説明する。ここで、レギュレータ17が適切な出力を行えなくなった場合とは、例えば、電源ユニット5からの出力系統で短絡が発生した場合や、レギュレータ17の過電流保護機能が動作した場合や、レギュレータ17の故障の場合などが考えられる。ここでは、電源短絡が発生した場合を例に説明する。

#### 【0060】

電源短絡が発生すると、レギュレータ17はPower Good信号の出力を停止する。これにより、FETスイッチ126がオフになる。そして、FETスイッチ125がオンになる。FETスイッチ125がオンになると、AND回路124にはLowの値を有

10

20

30

40

50

する電圧が入力される。

#### 【0061】

また、電源短絡の状態により、ドライバ18への電力供給が停止する場合がある。ドライバ18への電力供給が停止した場合、FETスイッチ128がオフになり、FETスイッチ127がオンになる。FETスイッチ127がオンになると、AND回路124には、Lowの値を有する電圧が入力される。一方、ドライバ18への電力供給が停止しない場合、AND回路124には、Highの値を有する電圧が入力される。

#### 【0062】

ドライバ18への電力供給の状態にかかわらず、最終的に、AND回路124への2つの入力系統のうち少なくとも1つはLowの値を有する電圧が入力される。その場合、AND回路124は、Lowの値を有するSWイネーブル信号をスイッチ16へ入力する。これにより、スイッチ16が無効になる。そして、CPLD15とMUX13とを結ぶ経路が切断される。

10

#### 【0063】

この場合、他のシステムボード1からの入力とは停止しないので、電源供給部101～103はHighの値を有する電圧の出力を継続する。ここで、電源供給部101に繋がる抵抗121の抵抗値が、電源供給部102及び103に繋がる抵抗122及び123の抵抗値より大きいと、経路131に入力される電圧が、経路132及び133へ入力される電圧が変化するよりも早くHighの値を有するようになる。そして、MUX13は、Highの値を有するMUXイネーブル信号の入力を経路131から受ける。これにより、MUX13は、経路132及び133から入力される電圧が変化する前に無効になる。したがって、MUX13は、第1及び第2経路選択信号の論理が不定になる前に無効となり、第1及び第2経路選択信号の論理が不定による他のシステムボードへの影響を軽減することができる。

20

#### 【0064】

次に、図5を参照して、システムボード1のミッドプレーン2への挿入時の各信号の挙動について説明する。図5は、システムボード挿入時の各信号の挙動を表すタイムチャートである。図5は、図に向かって左方向に進むにしたがい時間が経過することを表す。

#### 【0065】

グラフ301は、電源供給経路101～106により供給される3.3Vの電圧の変化を表す。グラフ302は、MUXイネーブル信号の変化を表す。グラフ303は、第1経路選択信号の変化を表す。グラフ304は、第2経路選択信号の変化を表す。グラフ305は、SWイネーブル信号の変化を表す。グラフ301～305の何れも、上に向かうにしたがい電圧が高くなることを表す。

30

#### 【0066】

時刻T1でシステムボード1をミッドプレーン2に挿入すると、グラフ301に示すように他のシステムボード1からの入力電圧が上昇を始める。このとき、SWイネーブル信号は、Lowの値を維持する。そのため、スイッチ16は無効であり、CPLD15とMUX13とは切断された状態である。そこで、電源供給部101～103が出力した電圧がMUX13に入力される。他のシステムボードからの入力電圧が上昇するにしたがい、グラフ302に示すように、MUXイネーブル信号の値も上昇し、時刻T2でHighとなる。ここで、グラフ303及び304に示すように、第1及び第2経路選択信号も上昇を開始するが、抵抗122及び123の抵抗値が抵抗121の抵抗値に比べて高いと、上昇が遅くなる。そのため、MUXイネーブル信号がHighになった後に、第1及び第2経路選択信号がHighになる。この状態では、ピンの長さの違いから、MUX13のミッドプレーン2の4つの経路に接続するピンは、ミッドプレーン2の4つの経路に未だ接触しておらず、信号は未接続の状態である。その後、MUX13のミッドプレーン2の4つの経路に接続するピンがミッドプレーン2の4つの経路に接触することで、信号が接続の状態となる。その後、ドライバ18は、出力が安定するまで待機し、その後十分時間が経過してから、Highの値を有する電圧を出力する。これにより、グラフ305に示

40

50

すように、ドライバ18の出力が安定して十分時間が経過した後、SWイネーブル信号が時刻T3でHighになる。これにより、CPLD15は、MUX13の制御が可能になる。そして、CPLD15が、Lowの値を有するMUXイネーブル信号を出力することで、グラフ302に示すように時刻T4でMUXイネーブル信号がLowとなり、MUX13が有効になる。その後、CPLD15が、設定にしたがい第1及び第2経路選択信号を出力する。ここでは、CPLD15は、グラフ303及び304に示すように第1経路選択信号をHighの値とし、第2経路選択信号Lowの値とする。これにより、MUX13は、ミッドプレーン2から延びる4つの経路のうちの1つとCPU11及び12とを接続する。

#### 【0067】

次に、図6を参照して、電源短絡発生時のシステムボード1における各信号の挙動について説明する。図6は、電源短絡発生時の各信号の挙動を表すタイムチャートである。図6は、左に向かうにしたがい時間が経過することを表す。

#### 【0068】

グラフ311は、電源供給経路111～113により供給される3.3Vの電圧の変化を表す。グラフ312は、Power Good信号の変化を表す。グラフ313は、MUXイネーブル信号の変化を表す。グラフ314は、第1経路選択信号の変化を表す。グラフ315は、第2経路選択信号の変化を表す。グラフ316は、SWイネーブル信号の変化を表す。グラフ311～315のいずれも、図に向かって上方向に進むにしたがい電圧が高くなることを表す。ここでは、グラフ314及び315に示すように、CPLD15は、電源故障発生前にLowの値の第1経路選択信号を出力し、Highの値の第2経路選択信号を出力した場合で説明する。

#### 【0069】

時刻T5で短絡が発生すると、グラフ311に示すように、電源供給経路111～113から供給される電圧が降下を開始する。この時、レギュレータ17の出力も低下するため、グラフ312に示すようにレギュレータ17はPower Good信号の出力を停止する。そして、時刻T6で、電源供給経路111～113から供給される電圧がLowになり、Power Good信号の値もLowになる。ただし、電源供給経路111～113から供給される電圧がLowになるタイミングと、Power Good信号がLowになるタイミングは一致しなくてもよい。Power Good信号は、電源供給経路111～113から供給される電圧が下がれば停止されるため、電源供給経路111～113から供給される電圧の低下するスピードに依存せずに一定の時間でLowに達する。

#### 【0070】

Power Good信号がLowになると、グラフ316に示すように、時刻T6において、SWイネーブル信号がLowに変化し、スイッチ16が無効になる。スイッチ16が無効になると、CPLD15とMUX13との接続が切断される。この時刻T6でMUX13のミッドプレーン2から延びる4つの経路のうちの経路選択の論理が確定状態から不定状態に変化する。そして、経路131～133には、電源供給部101～103から出力された電圧の入力が開始される。これにより、グラフ313に示すように、時刻T6からMUXイネーブル信号の電圧上昇が開始し、MUX13が無効になる。ここで、グラフ314及び315に示すように、第1も上昇を開始するが、抵抗122及び123の抵抗値が抵抗121の抵抗値に比べて高いため、上昇が遅くなる。そのため、MUXイネーブル信号がHighになった後に、第1がHighになる。第2経路選択信号は、電源故障発生前からHighの値を有するので、そのままHighの値を維持し続ける。このように、MUX13の信号経路の選択の論理が不定になる前に、確実にMUX13を無効にすることができ、システムボード1間の信号経路を切り離すことができる。

#### 【0071】

次に、図7を参照して、本実施例に係るシステムボード1のミッドプレーン2への接続時のCPU11及び12の接続処理の流れをさらに説明する。図7は、システムボード挿入時のCPU接続処理のフローチャートである。

## 【0072】

新たなシステムボード1が、ミッドプレーン2に挿入される（ステップS101）。この時、スイッチ16は無効状態である。

## 【0073】

次に、MUX13にミッドプレーン2経由で他のシステムボード1からの電圧が供給される。この場合、スイッチ16は、無効状態を維持する。そして、Highの値のイネーブル信号が、経路131からMUX13へ入力される（ステップS102）。

## 【0074】

Highの値のイネーブル信号の入力を受けて、MUX13は、無効となる（ステップS103）。 10

## 【0075】

レギュレータ17は、自己の出力電圧と電圧閾値とを比較し、自己の出力電圧が電圧閾値以上になるとPower Good信号を出力する（ステップS104）。

## 【0076】

その後、ドライバ18は、自己の出力電圧が安定したかを判定する（ステップS105）。出力が安定していない場合（ステップS105：否定）、ドライバ18は、出力が安定するまで待機する。

## 【0077】

出力が安定した場合（ステップS105：肯定）、ドライバ18は、十分時間が経過後にHighの値を有する電圧を出力する（ステップS106）。 20

## 【0078】

AND回路124は、システムボード1に対する電源ユニット5からの電力供給及び他のシステムボード1からの電力供給が行われることで、一方の入力系統にHighの値の信号の入力を受ける。また、AND回路124は、レギュレータ17からPower Good信号が出力されることで、他方の入力系統にHighの値の信号の入力を受ける。そして、スイッチ16は、ドライバ18からHighの値を有する電圧が出力された後、Highの値を有するSWイネーブル信号の入力をAND回路124から受ける（ステップS107）。

## 【0079】

スイッチ16は、Highの値を有するSWイネーブル信号の入力を受けることで有効になる（ステップS108）。 30

## 【0080】

スイッチ16が有効になると、CPLD15は、Lowの値を有するMUXイネーブル信号をMUX13へ出力する。さらに、CPLD15は、第1及び第2経路選択信号をMUX13へ出力する（ステップS109）。

## 【0081】

MUX13は、Lowの値を有するMUXイネーブル信号の入力を受けることで有効になる。MUX13は、有効になった後に、取得した第1及び第2経路選択信号にしたがいミッドプレーン2から延びる4本の経路の中から経路を選択してCPU11及び12に接続する（ステップS110）。 40

## 【0082】

その後、新たにミッドプレーン2に接続されたシステムボード1は、他のシステムボード1との間で通信を開始する（ステップS111）。

## 【0083】

次に、図8を参照してシステムボード1における電源短絡発生時のCPU11及び12の切離処理の流れについて説明する。図8は、電源短絡発生時のCPU切離処理のフローチャートである。

## 【0084】

システムボード1において、電源短絡が発生する（ステップS201）。

## 【0085】 50

レギュレータ17は、入力される電圧の値が低下することにより、Power Good信号の出力を停止する（ステップS202）。

【0086】

AND回路124は、システムボード1に対する電源ユニット5からの電力供給及び他のシステムボード1からの電力供給が行われることで、一方の入力系統にHighの値の信号の入力を受ける。これに対して、レギュレータ17からのPower Good信号の出力が停止することで、AND回路124は、他方の入力系統にLowの値の信号の入力を受ける。そして、スイッチ16は、レギュレータ17のPower Good信号の出力が停止された後、Lowの値を有するSWイネーブル信号の入力をAND回路124から受ける（ステップS203）。

10

【0087】

スイッチ16は、Lowの値を有するSWイネーブル信号の入力を受けることで無効になる（ステップS204）。

【0088】

スイッチ16が無効になることで、CPLD15とMUX13との接続が切れ、CPLD15から出力される信号は、MUX13へ入力されなくなる。そして、MUX13に、ミッドプレーン2経由で入力されたHighの値のMUXイネーブル信号が経路131から入力される（ステップS205）。

【0089】

MUX13は、Highの値のMUXイネーブル信号が経路131から入力されることで無効になる（ステップS206）。MUX13が無効になることで、ミッドプレーン2から延びる他のシステムボード1に繋がる経路とCPU11及び12との接続が切断される。

20

【0090】

その後、MUX13にミッドプレーン2経由で入力されたHighの値を有する第1及び第2経路選択信号が経路132及び133から入力される（ステップS207）。ただし、既にMUX13は無効になっているので、この入力された第1及び第2経路選択信号の影響は他のシステムボード1に及ばない。

【0091】

また、本実施例でミッドプレーン2に挿入されたシステムボード1が稼働中に、他のシステムボード1がミッドプレーン2に挿入された場合、レギュレータ17は、新たに挿入されたシステムボード1へミッドプレーン2を介して電力を供給する。

30

【0092】

以上に説明したように、本実施例に係るシステムボードは、ミッドプレーンへの挿入時に他のシステムボードから供給される電力を用いてMUXを一度無効にし、ドライバの出力が安定し十分時間が経過した後、すなわち所定時間の経過後に他のシステムボードへ繋がる経路をCPUと接続する。これにより、システムボードの挿入におけるシステムボード間での信号の引き込みを抑えることができ、挿入直後にシステムボード間の信号を切り離すことが可能となる。したがって、他のシステムボードを稼働させた状態で、他のシステムボードへ影響を与えることなく新たにミッドプレーンにシステムボードを挿入することができ、システムの安定稼働を継続することができる。

40

【0093】

また、本実施例に係るシステムボードは、レギュレータが適切な出力を行えなくなった場合に、スイッチを無効にしてCPLDとMUXとの接続を切断し、MUXを無効にすることができる。特に、他のシステムボードから電圧が入力されるMUXの制御信号のプルアップ抵抗の抵抗値の大きさに差をつけることで、他のシステムボードから電圧が入力された際の信号の変化に時間差を設けることができる。これにより、MUXの経路選択が不定になる前に、MUXイネーブル信号がデアサートされ、MUXが無効となり、システムボード間の信号を切り離すことが可能となる。これにより、システムボードの電源故障の影響の他のシステムボードへの波及を抑えることが可能となり、システムの安定稼働を継

50

続することができる。また、電源ユニットからシステムボードへ入力される電源種に依存せずに、MUXを無効にすることができるため、導入コストを抑えることもできる。

【実施例2】

【0094】

図9は、実施例2に係るシステムボードの接続状態を表す図である。本実施例に係る情報処理システム100は、システムボード1間の通信が1つの経路を用いて双方向で行われることが実施例1と異なる。

【0095】

本実施例に係るミッドプレーン2は、例えば、図9に示すように挿入された複数のシステムボード1を相互に接続する。ここで、図10を参照して、実施例2に係る情報処理システム100における、システムボード1間の信号の送受信について説明する。図10は、実施例2に係るシステムボード間の通信を説明するための図である。

【0096】

本実施例に係るシステムボード1は、図10に示すように、4つのポートを有する。そして、システムボード1の4つのポートはいずれも、他のシステムボード1との間で信号を送受信するためのポートである。

【0097】

そして、システムボード1の各ポートから延びる経路には、他の3つのシステムボード1が芋づる式に接続される。すなわち、システムボード1の各ポートから延びる経路は、3つに分岐し、分岐した経路がそれぞれ他の異なるシステムボード1に接続される。

【0098】

この場合、MUX13は、自己が搭載されたシステムボード1と他のシステムボード1との通信のために、ミッドプレーン2から延びる4本の経路の中から経路を選択し接続する。これにより、MUX13は、自己が搭載されたシステムボード1と、他の3つのシステムボード1との間における双方向の信号の送受信を可能とする。

【0099】

このような接続をミッドプレーン2が行う場合も実施例1と同様に、システムボード1は、ミッドプレーン2への挿入時に、MUX13を一時的に無効にして、システムボード1間の信号を切り離す。その後、システムボード1は、ドライバ18の出力が安定した後にMUX13を有効にしてCPU11及び12を接続する。このように、ミッドプレーン2への挿入時にシステムボード1間の信号を切り離すことで、本実施例のように双方向に信号の送受信を行う構成であっても、他のシステムボード1へ影響を与えることなく新たにシステムボード1を追加することができる。

【0100】

また、システムボード1は、レギュレータ17が適切な出力をすることが困難になった場合に、MUX13を無効にしてシステムボード1間の信号を切り離す。このように、電源故障の発生時にシステムボード1間の信号を切り離すことで、本実施例のように双方向に信号の送受信を行う構成であっても、電源故障の影響の他のシステムボード1への波及を抑制することができる。

【0101】

以上に説明したように、双方向に信号の送受信を行う構成であっても、他のシステムボードを動作させたままの新たなシステムボードの追加及び電源故障の影響の抑制を実現することができる。すなわち、双方向に信号の送受信を行う構成であっても、システムの安定稼働を継続することができる。

【符号の説明】

【0102】

- 1 システムボード
- 2 ミッドプレーン
- 3 スイッチ
- 4 I/Oユニット

10

20

30

40

50

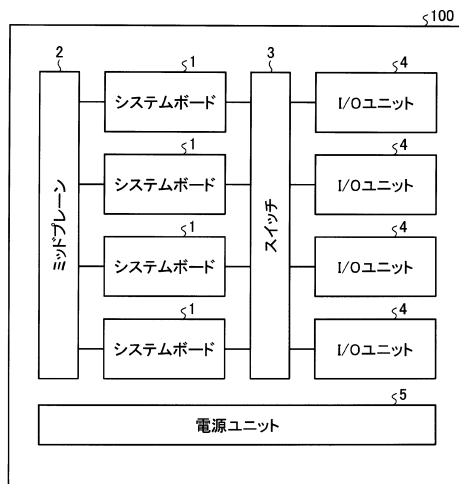


- 5 電源ユニット
- 11, 12 CPU
- 13 MUX
- 14 信号伝送回路
- 15 CPLD
- 16 スイッチ
- 17 レギュレータ
- 18 ドライバ
- 100 情報処理システム
- 101~106, 111~113 電源供給部
- 121~123 抵抗
- 124 AND回路
- 125~128 FETスイッチ

10

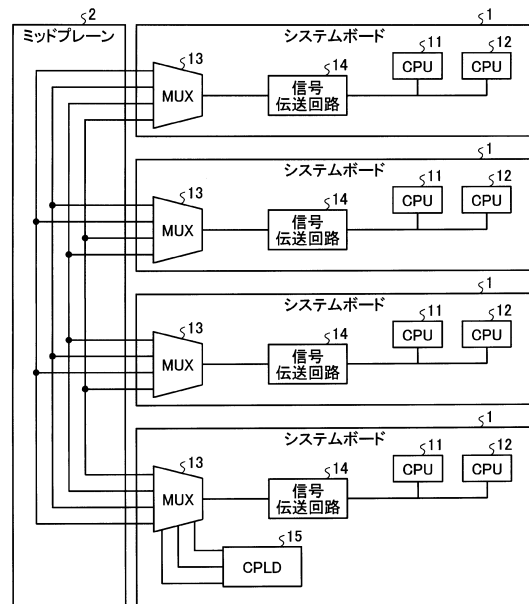
【図1】

情報処理装置の構成図



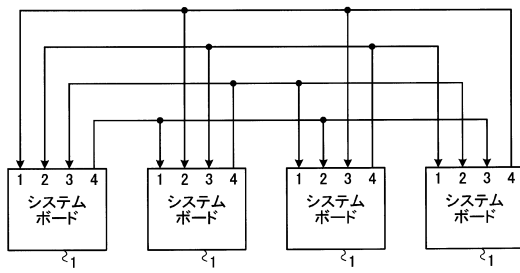
【図2】

実施例1に係るシステムボードの接続状態を表す図



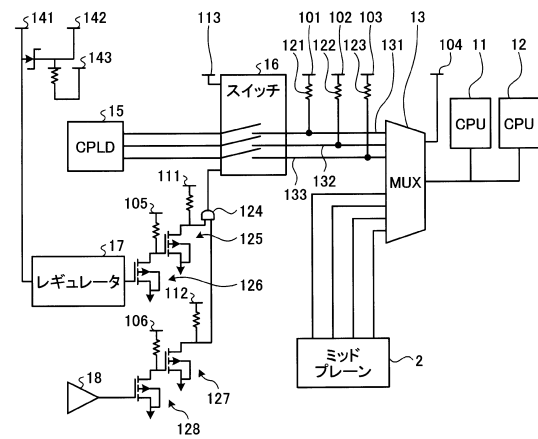
【図 3】

実施例1に係るシステムボード間の通信を説明するための図



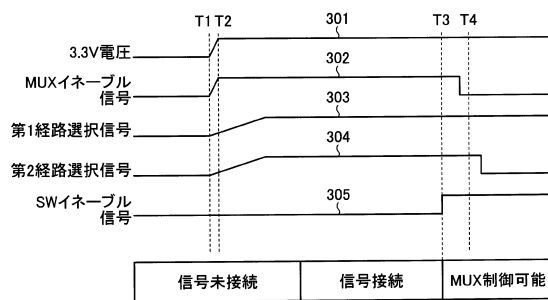
【図 4】

システムボードの概略回路図



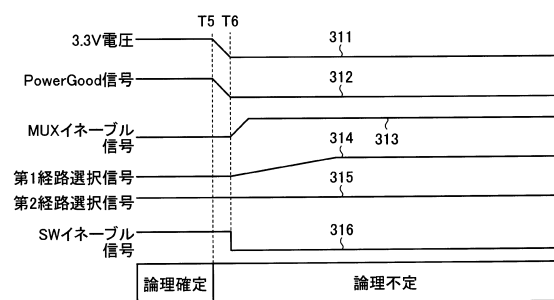
【図 5】

システムボード挿入時の各信号の挙動を表すタイムチャート



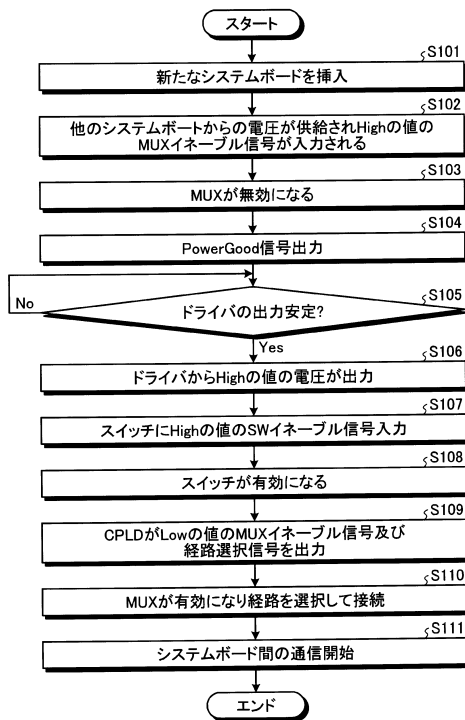
【図 6】

電源短絡発生時の各信号の挙動を表すタイムチャート



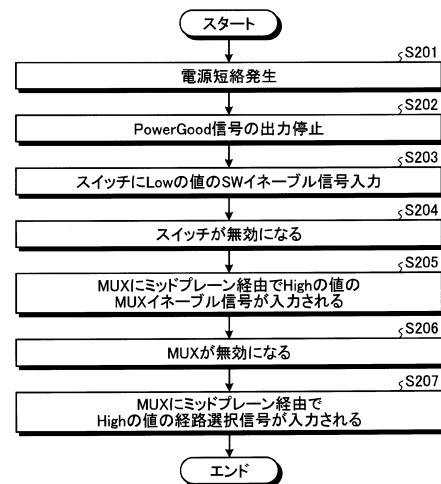
【図 7】

システムボード挿入時のCPU接続処理のフローチャート



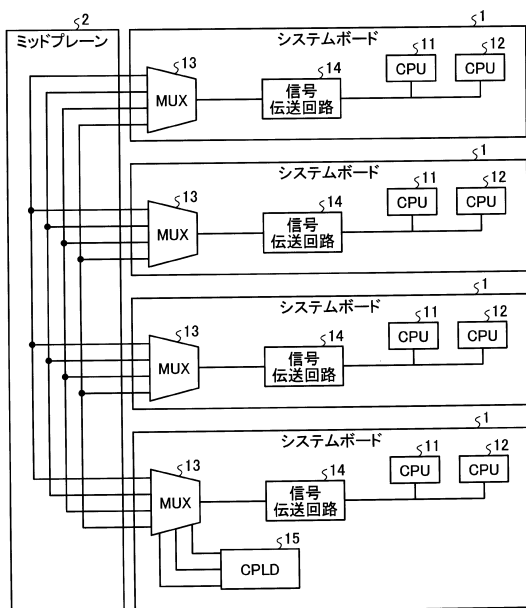
【図 8】

電源短絡発生時のCPU切離処理のフローチャート



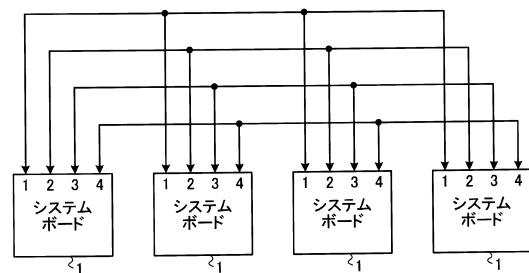
【図 9】

実施例2に係るシステムボードの接続状態を表す図



【図 10】

実施例2に係るシステムボード間の通信を説明するための図



---

フロントページの続き

- (56)参考文献 特開平10-063385 (JP, A)  
特表2009-542053 (JP, A)  
米国特許出願公開第2003/0105984 (US, A1)  
特開平08-211975 (JP, A)  
特開2014-164488 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G06F 1/26-3/00  
3/18  
11/16-11/20  
15/16-15/177