【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成19年2月15日(2007.2.15)

【公開番号】特開2005-183886(P2005-183886A)
【公開日】平成17年7月7日(2005.7.7)
【年通号数】公開・登録公報2005-026
【出願番号】特願2003-426521(P2003-426521)
【国際特許分類】
Ｈ０１Ｌ　21/338　(2006.01)
Ｈ０１Ｌ　29/812　(2006.01)
Ｈ０１Ｌ　29/47　(2006.01)
Ｈ０１Ｌ　29/872　(2006.01)
Ｈ０１Ｌ　29/778　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　29/80　Ｆ
Ｈ０１Ｌ　29/48　Ｆ
Ｈ０１Ｌ　29/80　Ｈ

【手続補正書】
【提出日】平成18年12月27日(2006.12.27)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
半絶縁性半導体基板上に窪み構造のリセスを有する半導体層と、前記リセス部分に設けたゲート電極と、前記リセスを挟むように設けられるソース電極およびドレイン電極と、前記半導体層上に形成した保護膜とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記半導体層上まで形成されていることを特徴とする半導体装置。
【請求項２】
半絶縁性半導体基板上に設けられ、かつ、窪み構造のリセスを有し不純物が注入された第１半導体層と、前記リセス部分に設けたゲート電極と、前記第１半導体層上に形成した保護膜と、前記ゲート電極を挟んでその両側に設けられ、前記第１半導体層よりも高い濃度で不純物が注入された第２および第３の半導体層と、前記第２半導体層上に形成したソース電極と、前記第３半導体層上に形成したドレイン電極とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記第１半導体層上まで形成されていることを特徴とする半導体装置。
【請求項３】
半絶縁性半導体基板上に設けられ不純物が注入されない第１半導体層と、この第１半導体層上に設けられ、かつ、窪み構造のリセスを有し不純物が注入された第２半導体層と、前記リセス部分に設けたゲート電極と、前記第２半導体層上に形成した保護膜と、前記ゲート電極を挟んだその両側に設けられ、不純物が注入された第３および第４の半導体層と、前記第３半導体層上に形成したソース電極と、前記第４半導体層上に形成したドレイン電極とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記第２半導体層上まで形成されていることを特徴とする半導体装置。

【請求項４】
半絶縁性半導体基板上に設けられ不純物が注入された第１半導体層と、この第１半導体層上に設けられ、かつ、窪み構造のリセスを有し不純物が注入されない第２半導体層と、前記リセス部分に設けたゲート電極と、前記第２半導体層上に形成した保護膜と、前記ゲート電極を挟んだその両側に設けられ、不純物が注入された第３および第４の半導体層と、前記第３半導体層上に形成したソース電極と、前記第４半導体層上に形成したドレイン電極とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は前記リセス外の前記第２半導体層上まで形成されていることを特徴とする半導体装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００６
【補正方法】変更
【補正の内容】
【０００６】
リセス４３の深さｄは、ゲート電極Ｇ直下の能動層４２の厚さが所望の値になるように設定される。同時に、ゲート電極Ｇ直下に隣接する能動層４２部分の厚さを厚くし、チャネル抵抗を低減している。表面保護膜４５は能動層４２表面を不活性化している。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１０
【補正方法】変更
【補正の内容】
【００１０】
図４のＦＥＴの場合、符号Ｐで示した領域、たとえばリセス４３のドレイン電極Ｄ側領域にトラップ準位が形成される。トラップ準位は電子を蓄積し、能動層４２上のたとえば点線Ｑに示す領域に空乏層を形成する。空乏層Ｑは、たとえばリセス４３底部のさらに下方まで伸び、能動層４２の実効的な厚さを狭くする場合がある。その結果、電流が流れるチャネルが狭くなり、出力が低下するなどＦＥＴ特性を劣化させる。トラップ準位に蓄積する電子は動作時間に比例し、動作時間の経過とともにＦＥＴ特性が劣化する。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１２
【補正方法】変更
【補正の内容】
【００１２】
本発明は、半絶縁性半導体基板上に窪み構造のリセスを有する半導体層と、前記リセス部分に設けたゲート電極と、前記リセスを挟むように設けられるソース電極およびドレイン電極と、前記半導体層上に形成した保護膜とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記半導体層上まで形成されていることを特徴とする。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】変更
【補正の内容】
【００１７】
リセス１３の深さｄは、ゲート電極Ｇ直下の第１半導体層１２の厚さが所望の値になるように設定され、同時に、ゲート電極Ｇ直下に隣接する領域の第１半導体層１２の厚さを厚くし、チャネル抵抗を低減している。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】変更
【補正の内容】
【００２１】
上記した構成によれば、ゲート電極Ｇを構成する金属膜のドレイン電極Ｄ側は、リセス１３外の第１半導体層１２上の部分Ｂまで形成されている。この場合、ゲート電極Ｇのドレイン電極Ｄ側領域の第１半導体層１２部分に空乏層Ｒが形成されても、この空乏層Ｒは第１半導体層１２の厚い領域に形成される。そのため、空乏層Ｒによってチャネル部分が狭められるようなことがなく、出力低下などのＦＥＴ特性の劣化が防止され、信頼性が向上する。