(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0034450
(43) 공개일자 2022년03월18일

(51) 국제특허분류(Int. Cl.)
G11C 16/30 (2006.01) *G11C 16/04* (2006.01)
G11C 16/08 (2006.01) *G11C 5/14* (2021.01)
(52) CPC특허분류
G11C 16/30 (2013.01)
G11C 16/0483 (2013.01)
(21) 출원번호 10-2020-0116833
(22) 출원일자 2020년09월11일
심사청구일자 2020년09월11일

(71) 출원인
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
김홍주
경상남도 창원시 의창구 창원대학로 20, 학생생활관 2동 216호
(74) 대리인
이철희, 고윤호

전체 청구항 수 : 총 6 항

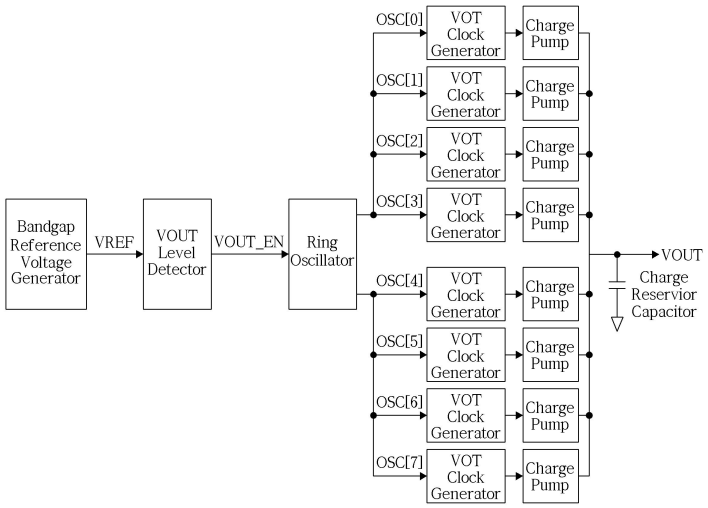
(54) 발명의 명칭 **비휘발성 메모리 회로**

(57) 요 약

본 발명은 비휘발성 메모리 회로에 관한 것으로, 외부 전원 전압 VCC의 변화를 검출하여 VPP 전하 펌프 회로들의 인에이블되는 개수를 제어하여, VCC가 높아지더라도 2.5V ~ 5.5V의 넓은 전압 범위에서 최대 VPP 펌핑 전류를 억제하여 리플 전압을 줄일 수 있게 한 것이다.

이를 위하여 본 발명은 다수 개의 비휘발성 메모리 셀이 배열되어 이루어지는 비휘발성 메모리 셀 어레이, 외부 전원 전압 VCC 변화를 검출하여 VCC 전압에 따라 VPP 전하 펌프의 인에이블되는 개수를 제어하는 펌핑 전압 발생기 회로를 포함하여, VCC 전압 변동에 따른 VPP 펌핑 전류를 억제하고 리플 전압을 줄일 수 있게 한다.

대 표 도



(52) CPC특허분류
G11C 16/08 (2013.01)
G11C 5/145 (2013.01)

명 세 서

청구범위

청구항 1

비휘발성 메모리 셀들이 배열되어 이루어지는 셀 어레이;

복수 개의 전하 펌프 회로들과, 공급되는 전원 전압의 변동을 감지하는 전원 전압 감지기를 포함하는 펌핑 전압 발생기 회로;

상기 전원 전압 감지기는 상기 전원 전압의 변동을 감지하여, 상기 복수 개의 전하 펌프 회로들 가운데서 인에이블되어 동작하는 개수를 제어하는 것을 특징으로 하는 비휘발성 메모리 회로.

청구항 2

제1항에 있어서, 상기 VPP 전압 발생기 회로(10)는,

상기 메모리 셀 어레이의 각 메모리 셀의 커플링 커패시터를 형성하는 피웰과 터널게이트_센스 트랜지스터를 형성하는 피웰에 VPP 전압을 인가하는 VPP 전하 펌프 회로(11);

외부 전원공급장치인 VCC 전압을 검출하는 VCC 검출기 회로(12);

프로그램 동작 또는 소거 동작시 포지티브 펌핑 전압(VPP)의 레벨을 검출하는 VPP 레벨 검출기(13);

상기 VPP 전하 펌프 회로(11)에 90도의 위상차를 갖는 OSC_T 신호 및 OSC_B 신호를 발생시켜 출력하는 링 발진기(14); 및

상기 VPP 전하 펌프 회로(11)에 연결되는 VPP 프리차징회로(15);를 포함하여 구성되는 것을 특징으로 하는 비휘발성 메모리 회로.

청구항 3

제2항에 있어서, 상기 VPP 전하 펌프 회로(11)는,

N개의 M-스테이지 VPP 전하 펌프로 구성되며, 여기서 N은 링 발진기의 발진신호 OSC[N-1:0]의 개수에 의해 결정되며 M은 단위 전하 펌프가 케스케이드로 연결되는 단수에 의해 결정되는 것을 특징으로 하는 비휘발성 메모리 회로.

청구항 4

제3항에 있어서, 상기 M-스테이지 VPP 전하 펌프의 각 단위 전하 펌프는,

엔모스 전하이동 스위치(MN1, MN2), 교차결합(cross-coupled) 피모스(PMOS) 전하이동 스위치(MP1, MP2), 바디 포텐셜 바이어싱 회로(MP3, MP4, MP5, MP6), N0와 N3 노드를 VIN과 VIN+VCC 사이에 스위칭 기능을 하는 게이트 부스팅 회로(MN3, MN4, MC0, MC3)와 펌핑 커패시터(MC1, MC2)로 구성되는 것을 특징으로 하는 비휘발성 메모리 회로.

청구항 5

제1항에 있어서, 상기 펌핑 전압 발생기 회로는,

상기 펌핑 전압의 레벨을 검출하는 레벨 검출기, 링 오실레이터 및 프리차지 회로를 포함하는 것을 특징으로 하는 비휘발성 메모리 회로.

청구항 6

제1항에 있어서, 상기 인에이블 동작에 의존하여, 상기 전하 펌프가 가지는 리플 전압을 목표 전압의 3 퍼센트 이하로 줄일 수 있게 하는 것을 특징으로 하는 비휘발성 메모리 회로.

발명의 설명

기 술 분 야

[0001] 본 발명은 버티컬(vertical) 피아이피(PIP; Polysilicon-Insulator-Polysilicon) 커패시터를 이용한 비휘발성 메모리(NVM) 회로에 관한 것으로, 보다 상세하게는 버티컬 피아이피 커패시터를 이용한 비휘발성 메모리에 인가되는 외부 전원 전압인 VCC 전압을 검출하여 인에이블되는 전하 펌프 회로의 개수를 제어함으로써 VCC 전압이 높아지더라도 2.5V~5.5V의 넓은 VCC 전압 범위에서 VPP 펌핑전류를 최대 474.6[㎂]로 억제하여 VPP 전하 펌프의 리플 전압을 목표전압의 3% 이내, 예컨대 목표전압이 7.5V일 경우 리플전압은 0.19V 이내로 줄일 수 있도록 한 비휘발성 메모리 회로에 관한 것이다.

배 경 기 술

[0002] 일반적으로 MCU(Micro Controller Unit) 등에서는 40[ns] 이하의 고속의 읽기 동작이 가능하면서 테스터 시간을 줄이기 위한 고속의 쓰기동작 특성을 가진 이이피롬(EEPROM; Electrically Erasable Programmable Read-Only Memory)이나 플래시 메모리 IP(Intellectual Property)같은 비휘발성 메모리가 요구되고 있으며, 무선 충전기(Wireless charger), USB type-C 등의 응용에서 사용되는 반도체 칩에서는 MCU용 EEPROM 메모리 IP가 요구된다.

[0003] EEPROM 셀은 전하를 저장하는 스토리지 레이어(storage layer)가 있는 플로팅 게이트(Floating Gate, 이하 FG)인 FG 소자가 많이 사용되며, 특히 성능과 전력소모 특성이 우수한 2T(Two Transitor) FG EEPROM 셀이 주로 많이 사용되고 있다. 한편 2T FG EEPROM 셀인 스프릿 게이트(split gate) EEPROM 셀을 사용하는 더블 폴리(double poly) EEPROM 셀이 발표되었는데, 이는 소거(erase)와 프로그램(program) 방식이 파울러 노드하임(FN; Fowler-Nordheim) 터널링 방식이지만 EEPROM 셀의 커플링 커패시터로 버티컬 피아이피 커패시터의 더블 폴리 EEPROM 셀 구조이므로 110nm 제조 공정에서의 셀 사이즈는 0.97[μm^2]로 작다. 참고로, 이하에서는 모두 110nm 제조 공정에서의 수치들임을 미리 밝혀둔다. 싱글 폴리(single poly) EEPROM 셀은 더블 폴리 EEPROM 셀과 마찬가지로 포지티브(positive) 펌핑 전압인 VPP와 네가티브(negative) 펌핑 전압인 VNN을 이용하여 FN 터널링 방식의 소거와 프로그램 동작을 수행한다. 한편, 프로그램 동작이 이루어지는 셀의 커플링 커패시터를 형성하는 피웰(P-Well, 이하 PW)과 터널게이트_센스(TG_SENSE) 트랜지스터를 형성하는 PW은 각각 VPP와 VNN 전압을 인가하고, 소거 동작이 이루어지는 셀의 커플링 커패시터를 형성하는 PW과 TG_SENSE 트랜지스터를 형성하는 PW은 각각 VNN과 VPP 전압을 인가하여야 하므로 싱글 폴리 EEPROM 셀 어레이의 딥엔웰(DNW; Deep N-Well) 안에서 커플링 커패시터와 TG_SENSE 트랜지스터의 PW은 서로 분리시켜야 해서 셀 사이즈가 33[μm^2]로 크다. 한편, 싱글 폴리 EEPROM의 셀 사이즈를 줄이기 위해서는 동일한 PW 안에 소자를 형성하는 것이 필요하다. 동일한 PW 안에 소자를 형성하는 싱글 폴리 EEPROM 셀은 레이터럴(lateral) 엠아이피(MIP; Metal-Insulator-Polysilicon) 커패시터를 사용하면서 FG EEPROM 셀을 프로그램하기 위해 CHEI(Channel Hot Electron Injection) 방식을 사용하여 PW을 GND로 바이어싱한다. 커플링 비(Coupling ratio)를 0.815로 유지하기 위해서는 lateral MIP 커패시터가 차지하는 면적이 큰 탓에 셀 사이즈 역시 7.37[μm^2]로 크다. 소거는 BTBT(Band-To-Band Tunneling) 방식을 사용하고 프로그램은 HCI(Hot Carrier Injection) 방식을 사용하는 머지드 모스(merged MOS) 커패시터를 갖는 MTP 셀이 제안되었으나 PW은 GND로 바이어싱된 탓에 분리된 PW이 필요 없게 되어 셀 사이즈를 줄일 수 있는 장점은 있긴 하지만 머지드 모스 커패시터를 PW에 형성해야 할 경우에는 셀 사이즈를 줄이는데 한계를 보이게 된다.

[0004] 한편, USB type-C 등의 응용에서 요구되는 MTP 메모리 IP는 전원 전압 VCC이 2.5V ~ 5.5V의 넓은 범위에서도 동작되는 것이 필요로 한다. 그런데 VPP 전하 펌프회로의 펌핑 전류는 VCC 전압이 최소인 2.5V일 때 가장 낮은 반면, 리플 전압(ripple voltage)은 VCC 전압이 5.5V일 때 오히려 크게 나타나는 문제점이 있다. 만약 32비트 메모리 셀 어레이의 프로그래밍에서, 320[㎂] 이상의 VPP 펌핑 전류가 요구되는 경우 기존의 VPP 전하 펌프의 리플 전압은 모의 실험에서 5.5V의 VCC에서 0.85V로 너무 높게 나타난다. 따라서 2.5V ~ 5.5V의 넓은 전압 범위에서 내구력(endurance)와 유지력(retention) 특성을 보증하기 위해서 VPP 전하 펌프회로의 리플 전압은 가능하면 3% 이내로 억제하는 것이 필요하다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) KR 10-2082147 B1 2020.02.21. 등록

발명의 내용

해결하려는 과제

[0006] 따라서 본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로, 본 발명이 해결하고자 하는 기술적 과제는, 인가되는 전원 전압 VCC를 검출하여 복수 개의 전하 펌프 회로들 가운데 인에이블(enable)되어 동작하는 개수를 제어하는 펌핑 전압 발생기 회로를 구현함으로써 VCC가 높아지더라도 2.5V ~ 5.5V의 넓은 VCC 전압 범위에서 최대 VPP 펌핑 전류를 억제하여 리플 전압을 줄일 수 있는 비휘발성 메모리 회로를 제공하고자 하는 것이다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위한 본 발명의 일 실시 형태는, 비휘발성 메모리 셀들이 배열되어 이루어지는 셀 어레이; 복수 개의 전하 펌프 회로들과, 공급되는 전원 전압의 변동을 감지하는 전원 전압 감지기를 포함하는 펌핑 전압 발생기 회로;를 포함하되, 전원 전압 감지기는 외부에서 가해지는 전원 전압의 변동을 감지하여, 상기 복수 개의 전하 펌프 회로들 가운데서 인에이블되어 동작하는 개수를 제어하는 것을 특징으로 하며, VCC 전압에 따라 VPP 펌핑 전류를 억제하고 리플 전압을 줄이도록 구성한 비휘발성 메모리 회로이다.

[0008] 상기 본 발명에서 비휘발성 메모리 셀 어레이는 버티컬 피아이피 커패시터로 커플링 커패시터를 구성하는 엠티피 셀이 배열되어 이루어질 수 있다.

발명의 효과

[0009] 본 발명에 의하면, 비휘발성 메모리 셀에 인가되는 외부 전원공급장치인 VCC 전압을 검출하여 인에이블되는 VPP 전하 펌프 회로의 개수를 제어함으로써 VCC가 높아지더라도 2.5V~5.5V의 넓은 VCC 전압 범위에서 VPP 펌핑전류를 최대 474.6[㎂]로 억제하여 VPP 전하펌프의 리플전압을 목표전압(7.5V)의 3%(0.19V) 이내로 줄일 수 있게 한다.

도면의 간단한 설명

[0010] 도 1은 본 발명에서 제안된 비휘발성 메모리 회로의 일 예를 예시한 버티컬 피아이피 커패시터를 이용한 엠티피 셀의 등가회로도이다.

도 2는 본 발명에 의한 비휘발성 메모리 회로에 적용될 수 있는 펌핑 전압 발생기 회로의 구성을 예시한 블록도이다.

도 3은 본 발명에서 VPP 부스팅 전압을 위해 사용되는 전하 펌핑 방식을 이용한 DC-DC 변환기의 블록 회로도이다.

도 4는 도 3의 4-스테이지 VPP 전하 펌프 회로에 사용된 단위 전하 펌프의 상세 회로도이다.

도 5는 4-위상 전하 펌핑 동작의 모의실험 결과를 예시한 파형도이다.

도 6은 도 3의 VCC 검출회로의 상세 회로도이다.

도 7은 Temp.=25℃, typical 모델 파라미터의 모의실험 조건에서 기존의 VPP 전하 펌프 회로와 본 발명에서 제안된 VPP 전하펌프 회로의 VCC별 리플전압을 비교한 결과를 예시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명의 바람직한 실시 형태에 따른 비휘발성 메모리 회로의 구성과 동작 및 그에 의한 작용 효과를 첨부 도면을 참조하여 상세히 설명한다.

[0012] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정 해석되지 아니하며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시 예에 불과할 뿐이므로, 본 출원시점에 있어서

이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

[0013] 도 2는 본 발명에 의한 비휘발성 메모리 회로의 일 예를 예시한 엠티피 셀의 등가회로도로서, 본 발명이 적용될 수 있는 비휘발성 메모리 셀 어레이는 버티컬 피아이피 커패시터로 커플링 커패시터를 구성하는 엠티피(MTP; Multi-Time Programmable) 셀이 배열되어 이루어질 수 있으며, 이하의 본 발명에서는 비휘발성 메모리 셀 어레이로서 버티컬 피아이피 커패시터로 커플링 커패시터를 구성하는 엠티피 셀이 배열되어 이루어진 경우를 예로 들어 설명하기로 한다.

[0014] 버티컬 피아이피 커패시터를 이용한 엠티피 셀은 도 2에 예시된 바와 같이 단위 면적당 커패시턴스가 큰 버티컬 피아이피(Poly-Insulator-Poly) 커패시터로 커플링 커패시터를 구성하며, 엠티피 셀 어레이는 커플링 커패시터가 차지하는 면적을 줄인 엠티피 셀이 배열되어 이루어진다. 이러한 엠티피 셀은 일측 단자가 5V의 컨트롤 게이트에 연결된 커플링 커패시터인 버티컬 피아이피 커패시터(C1), 소거 게이트 옥사이드 커패시터(C2), 플로팅 게이트가 상기 커플링 커패시터의 타측 단자에 연결되고 일측단자가 비트라인(BL)에 연결되며 타측단자가 셀렉트 트랜지스터에 연결되는 플로팅 게이트 모스 트랜지스터(MN1), 및 과도 소거시 비트라인(BL)에서의 오프-누설전류를 줄이기 위한 셀렉트 트랜지스터(MN2)로 구성된다.

[0015] 이러한 엠티피 셀은 행 방향으로 컨트롤 게이트(CG), 셀렉트 게이트(SG), 소스라인(SL) 신호가 라우팅 되고, 열 방향으로 비트라인(BL)과 소거 게이트(EG) 신호가 라우팅된다. 또한 이러한 엠티피 셀에 사용된 플로팅 게이트 모스 트랜지스터(MN1)와 셀렉트 트랜지스터(MN2) 및 소거게이트 n+ 접합부의 피웰은 공유되어 있다.

[0016] 아래의 표 1은 엠티피 셀의 동작 모드별 바이어스 조건을 예시하고 있다.

[0017] [표 1]

Mode	Cell State	CG	SG	SL	BL	EG	PW
BytePGM (HCI)	Selected Row / Selected Column	5V	2.5V	0V	7.5V	0V	0V
	Selected Row / Unselected Column	5V	2.5V	0V	0V	0V	0V
	Unselected Row / Selected Column	0V	0V	0V	7.5V	0V	0V
	Unselected Row / Unselected Column	0V	0V	0V	0V	0V	0V
Page ERS (FN)	Selected Page	-7.5V	0V	0V	0V	7.5V	0V
	Unselected Page	0V	0V	0V	0V	7.5V	0V
Read	Selected Row / Selected Column	1.5V	5V	0V	1.5V	0V	0V
	Selected Row / Unselected Column	1.5V	5V	0V	0V	0V	0V
	Unselected Row / Selected Column	0V	0V	0V	1.5V	0V	0V
	Unselected Row / Unselected Column	0V	0V	0V	0V	0V	0V

[0018]

[0019] 표 1에서 알 수 있는 바와 같이 소거 모드는 소거시간을 줄이기 위해 한 행(row)에 연결된 1024비트의 셀에 해당되는 한 페이지를 한꺼번에 소거하는 페이지 소거방식을 사용한다. 페이지 소거모드에서 선택된 페이지 행(page row)에 연결된 셀의 CG, SG, SL, BL, EG, PW에 각각 -7.5V, 0V, 0V, 0V, 7.5V와 0V의 전압을 바이어싱하게 되면 한 행에 연결된 모든 셀의 플로팅 게이트(FG)에 있는 전자는 소거 게이트 노드로 소거되면서 소거된 셀의 플로팅 게이트 모스 트랜지스터(MN1)의 문턱전압(threshold voltage)인 VTE는 -0.5V 정도 된다. 한편 프로그램 모드에서는 32비트씩 프로그램을 수행하며, CG, SG, SL, BL, EG, PW에 각각 5V, 2.5V, 0V, 7.5V, 0V와 0V의 전압을 바이어싱하게 되면 HCI에 의해 선택된 셀의 플로팅 게이트로 전자가 주입되면서 프로그램된 셀의 플로팅 게이트 모스 트랜지스터(MN1)의 문턱전압인 VTP는 4V 정도 된다. 한편 리드 모드에서 CG, SG, SL, EG, PW에 각각 1.5V, 5V, 0V, 0V와 0V의 전압을 바이어싱하고 BL 전압을 VDD-V_T로 프리차징하면 소거된 셀의 BL은 0V 가까이 떨어지는 반면, 프로그램 된 셀의 BL은 VDD-V_T로 유지된다.

[0020] 도 2는 본 발명에 의한 비휘발성 메모리 회로, 바람직하게는 엠티피(MTP) 메모리에 적용될 수 있는 펌핑 전압 발생기 회로의 블록도로서, 본 발명에 의한 비휘발성 메모리 회로는 외부 전원공급장치인 VCC 전압을 검출하고 VCC 전압에 따라 VPP 전하 펌프 회로의 온되는 VPP 전하 펌프의 개수를 제어하여 VPP 전하 펌프 회로의 최대 펌핑 전류를 조절하는 펌핑 전압 발생기 회로(10)를 포함하며, VCC 전압에 따라 VPP 펌핑 전류를 억제하여 VPP 전하 펌프의 리플 전압을 목표전압(7.5v)의 3%(0.19V) 이내로 줄이도록 구성된다. 이러한 펌핑 전압 발생기 회로

(10)는 VPP 전하 펌프 회로(11), VCC 검출기 회로(12), VPP 레벨 검출기(13), 링 발진기(14), 및 VPP 프리차징 회로(15)를 포함하여 구성될 수 있다.

[0021] VPP 전하 펌프 회로(11)는 엠티피 셀의 커플링 커패시터를 형성하는 피웰(P-WELL)과 터널게이트_센스(TG_SENSE) 트랜지스터를 형성하는 피웰에 동작 모드별 상기 엠티피 셀의 바이어스전압을 인가한다. 이러한 VPP 전하 펌프 회로(11)는 N개의 M-스테이지 VPP 전하 펌프로 구성될 수 있다. 여기서 N은 링 발진기에서 출력되는 N 개의 발진신호 OSC[N-1:0]에 의해 결정되며 M은 단위 전하 펌프가 케스케이드로 연결되는 단수, 즉 예를 들면 후술될 도 5에 예시된 바와 같은 단위 전하 펌프가 몇 개의 cascade로 연결되어 있는지에 의해 결정된다. 바람직하게는 8개의 4-스테이지 전하펌프이다.

[0022] VCC 검출기 회로(12)는 외부 전원공급장치인 VCC 전압을 검출하여 VCC 전압에 따라 VPP 전하펌프 회로(11)의 각 단위 전하 펌프를 제어한다.

[0023] VPP 레벨 검출기(13)는 프로그램 동작 또는 소거 동작시 포지티브 펌핑 전압(VPP)의 레벨을 검출하며, 이러한 VPP 레벨 검출기(13)는 VPP 전압을 1/5로 전압 분배한 전압인 VPP_DIV 전압과 VREF_VPP(=1.5V)를 비교하여 VPP 전압이 7.5V보다 낮은 경우 링발진기(14)에 인에이블(OSC_EN) 신호로 VDD를 제공하여 링 발진기(14)를 동작시키고, 이에 의한 N 개의 M-스테이지 VPP 전하 펌프 회로의 펌핑에 의해 VPP 전압을 부스팅한다.

[0024] 링 발진기(14)는 VPP 전하 펌프 회로(11)에 90도의 위상차를 갖는 OSC_A 신호 및 OSC_B 신호를 발생시켜 출력한다.

[0025] VPP 프리차징회로(15)는 VPP 전하 펌프 회로(11)에 연결된다.

[0026] 아래의 표 2는 512Kb MTP 메모리 IP의 주요 특징을 예시하고 있다.

[0027] [표 2]

Items		Main Features
Supply Voltage	VCC	2.5V - 5.5V
	VDD	1.35V - 1.6V
Function	Normal Mode	Read / Page Erase / Program
	Write-Verify-Read	Erase-Verify-Read / Program-Verify-Read
	Others	All Erase / Cell V_T Measuring
Memory Density		512Kb
Cell Array		512Rows × 1024Columns
I/O		32bit
Temperature Range		-40~125℃
Erase TIme		20ms
Program TIme		20㎲
Access TIme		40ns
Endurance		10K Cycles
Data Retention		10Years

[0028]

[0029] 표 2에서 알 수 있는 바와 같이, 512Kb MTP 메모리 IP에서 사용되는 전압은 VCC와 VDD(=1.5V)의 듀얼 파워(dual power)를 사용하고 있고 VCC 전압은 2.5V~5.5V의 넓은 동작 전압 범위를 가진다. 동작 모드는 정상동작 모드로 리드 모드, 페이지 소거 모드, 프로그램 모드가 있으며, 라이트-확인-리드(write-verify-read) 모드로 소거-확인-리드(erase-verify-read)와 프로그램-확인-리드(program-verify-read) 모드가 있다. MTP 셀 어레이는 512행 x 1,024열로 구성될 수 있으며, 리드, 페이지 소거, 프로그램 동작은 각각 32bit, 1Kbit, 32bit 단위로 수행된다. 한편 소거시간, 프로그램시간과 리드 엑세스시간은 각각 20[ms], 20[㎲]와 40[ns]이다.

[0030] 아래의 표 3은 동작모드별 DC-DC 변환기의 전압원 출력전압 및 회로의 종류를 예시하고 있다.

[0031] [표 3]

Voltage Source	Page Erase	Program	Read	PVR	EVR	회로
VRD	2.5V	2.5V	1.5V	1.5V	1.5V	Voltage Regulator
VCP	1.25V	1.25V	VCC	VCC	VCC	Voltage Follower
VEVR	0V	0V	0V	0V	1V	Voltage Follower
VPP	7.5V	7.5V	VCC	VCC	VCC	Charge Pump
V5V	5V	5V	5V	5V	5V	Charge Pump
VPVR	VRD	VRD	VRD	3V	3V	Charge Pump
VNN	-7.5V	0V	0V	0V	0V	Charge Pump
VNNL	-2.5V	0V	0V	0V	0V	Charge Pump

[0032]

[0033] 표 2 및 표 3에서 보면, 표 1의 동작모드별 셀 바이어스 전압을 공급하기 위해서는 표 3에 예시된 바와 같이 전압 조절기로 VRD(Read Voltage), 전압 폴로워 회로를 이용한 VCP와 VEVR(Erase-Verify-Read Voltage), 포지티브 전하 펌프 회로로 VPP(Boosted Voltage), V5V(5VPower), VPVR(Program-Verify-Read Voltage), 네가티브 전하 펌프 회로로 VNN(Negative Voltage)와 VNNL(Lower VNN) 발생 회로가 필요하다.

[0034] 또한 표 2에서 알 수 있는 바와 같이 프로그램 모드에서는 선택되는 BL에 7.5V의 전압이 필요하고 페이지 소거 모드에서도 모든 EG 노드에 7.5V의 전압이 필요하다. 그런데 7.5V 전압은 외부 전압원인 VCC보다 더 높은 전압이고 32비트의 셀을 HCI 방식으로 프로그램하기 위해서는 셀당 5[㎂]의 전류를 고려하면 160[㎂] 이상의 구동전류가 요구된다.

[0035] 이러한 VCC 전압보다 더 높은 전압인 VPP 부스팅 전압을 위한 DC-DC 변환기는 PWM(Pulse Width Modulation) 방식과 전하 펌핑 방식이 가능하나, 요구되는 구동 전류가 설계 마진을 고려하여 320[㎂]로 작은 경우 전하 펌핑 방식이 작은 레이아웃 면적으로 설계가 가능하므로 본 발명에서는 도 4에 예시된 바와 같은 전하 펌핑 방식의 VPP 전하 펌프 회로를 사용한다.

[0036] 도 3은 본 발명에서 VPP 부스팅 전압을 위해 사용되는 전하 펌핑 방식을 이용한 DC-DC 변환기의 블록 회로도로서, 도 4에 예시된 바와 같이 링 발진기(ring oscillator)는 8개의 oscillation 신호 OSC[7:0]를 출력하며, 2-위상 교차결합형(cross-coupled) 단위 전하 펌프 회로를 사용하여 전하 펌핑 시 VCC 공급전압원의 피크 전류를 줄여 전자파 간섭(EMI) 특성을 낮출 수 있게 구성한다. 그런데 도 4에서 사용된 링 발진기는 발진 주기가 길어서 8개의 OSC[7:0]를 출력할 수 있지만 MTP IP에 사용되는 VPP 전하 펌프의 펌핑 전류는 설계 마진을 고려하여 320[㎂] 이상을 목표로 설계하는 경우는 VCC=5.5V, FF(Fast NMOS, Fast PMOS) 모델 파라미터, Temp.=-40℃에서 발진 주기가 15.7ns로 짧으므로 8개의 OSC 출력 신호를 만들 수는 없고 90도 위상차를 갖는 OSC_T과 OSC_B 신호를 만들어 설계할 수 있으며, 각각의 OSC_T과 OSC_B 신호는 각각 4-stage VPP 전하 펌프 회로에 연결된다. 이러한 4-스테이지 VPP 전하 펌프 회로에 사용된 단위 전하 펌프는 도 5의 상세 회로도에 예시되어 있으며, 4-위상 전하 펌핑 동작의 모의실험 결과는 도 6에 파형도로 예시되어 있다.

[0037] 도 4에 예시된 바와 같이 4-스테이지 VPP 전하 펌프의 각 단위 전하 펌프는 엔모스 전하이동 스위치(MN1, MN2), 교차결합(cross-coupled) 피모스(PMOS) 전하이동 스위치(MP1, MP2), 바디 포텐셜 바이어싱 회로(MP3, MP4, MP5, MP6), N0와 N3 노드를 VIN과 VIN+VCC 사이에 스위칭 기능을 하는 게이트 부스팅 회로(MN3, MN4, MC0, MC3)와 펌핑 커패시터(MC1, MC2)로 구성된다. 여기서 펌핑 커패시터는 5V의 isolated NMOS 트랜지스터를 사용하고, 4개의 clock 신호(CLK0, CLK1, CLK2, CLK3)는 non-overlap clock 신호이며, VCC 전압으로 스위칭한다. 이러한 단위 전하 펌핑 회로는 한 주기 동안 CLK1과 CLK2의 라이징 에지(rising edge)에 한번 씩 전하 펌핑이 일어나는 2-위상 전하 펌핑 방식 회로이므로, 만약 90도 위상차가 있는 OSC_T와 OSC_B가 각각 4-stage 전하 펌프 회로를 구동하게 되면 도 5의 파형도에서 알 수 있는 바와 같이 한 주기 발진동안 전하를 4번 펌핑하는 4-위상 전하펌프로 동작하게 된다. 그런데 4-위상 4-stage VPP 전하 펌프를 사용하는 경우 VPP 전하 펌프의 펌핑 전류는 VCC 전압이 최소인 2.5V일 때 320[㎂]의 펌핑 전류를 만족하도록 설계하여야 한다. 만약 2.5V의 VCC에서 320[㎂]의 펌핑 전류를 만족하도록 설계하면 5.5V의 VCC에서는 1.9[mA]로 너무 높게 공급되므로 리플 전압은 SPICE 모의실험 결과 0.85V로 너무 높게 나타난다. 따라서 VPP 리플 전압은 VCC 전압이 5.5V일 때 크게 나타난다.

[0038] 도 6은 도 3의 VCC 검출회로(12)의 상세 회로도로서, VCC 검출기 회로(12)는 6개의 출력을 갖는 Flash A/D 변환기를 이용하여 구현될 수 있으며, 외부 전원공급장치인 VCC 전압을 미리 설정된 각각의 기준 전압으로 비교하여

VCC 전압에 따라 8개의 4-stage VPP 전하 펌프 회로에 구동신호를 제공한다. 여기서 VCC 검출기 회로(12)는 VCC 검출 결과에 따라 상, 하에 배치되어 있는 각각 4개의 4-스테이지 VPP 전하 펌프 회로 중 맨 위의 전하 펌프를 제외한 나머지드 각각 3개씩의 전하 펌프에 구동신호를 각각 제공한다.

[0039] 아래의 표 4는 VCC 검출회로(12)의 VCC 검출 결과에 따라 온(ON)되는 VPP 전하펌프의 개수를 예시하고 있다.

[0040] [표 4]

VCC	CP_ON_3EA	CP_ON_4EA	CP_ON_5EA	CP_ON_6EA	CP_ON_7EA	CP_ON_8EA	CP개수
2.2V	VCC	VCC	VCC	VCC	VCC	VCC	8
2.3V	VCC	VCC	VCC	VCC	VCC	VCC	8
2.4V	VCC	VCC	VCC	VCC	VCC	VCC	8
2.5V	VCC	VCC	VCC	VCC	VCC	0V	7
2.6V	VCC	VCC	VCC	VCC	0V	0V	6
2.7V	VCC	VCC	VCC	0V	0V	0V	5
2.8V	VCC	VCC	VCC	0V	0V	0V	5
2.9V	VCC	VCC	VCC	0V	0V	0V	5
3.0V	VCC	VCC	0V	0V	0V	0V	4
3.1V	VCC	VCC	0V	0V	0V	0V	4
3.2V	VCC	VCC	0V	0V	0V	0V	4
3.3V	VCC	VCC	0V	0V	0V	0V	4
3.4V	VCC	0V	0V	0V	0V	0V	3
3.5V	VCC	0V	0V	0V	0V	0V	3
3.6V	VCC	0V	0V	0V	0V	0V	3
3.7V	VCC	0V	0V	0V	0V	0V	3
3.8V	VCC	0V	0V	0V	0V	0V	3
3.9V	VCC	0V	0V	0V	0V	0V	3
4.0V	VCC	0V	0V	0V	0V	0V	3
4.1V	VCC	0V	0V	0V	0V	0V	3
4.2V	0V	0V	0V	0V	0V	0V	2
4.3V	0V	0V	0V	0V	0V	0V	2
4.4V	0V	0V	0V	0V	0V	0V	2
4.5V	0V	0V	0V	0V	0V	0V	2
4.6V	0V	0V	0V	0V	0V	0V	2
4.7V	0V	0V	0V	0V	0V	0V	2
4.8V	0V	0V	0V	0V	0V	0V	2
4.9V	0V	0V	0V	0V	0V	0V	2
5.0V	0V	0V	0V	0V	0V	0V	2
5.1V	0V	0V	0V	0V	0V	0V	2
5.2V	0V	0V	0V	0V	0V	0V	2
5.3V	0V	0V	0V	0V	0V	0V	2
5.4V	0V	0V	0V	0V	0V	0V	2
5.5V	0V	0V	0V	0V	0V	0V	2

[0041]

[0042] 표 4에서 알 수 있는 바와 같이 본 발명에 의한 비휘발성 메모리 회로의 VPP 전압 발생기회로(10)에서는 VCC 검출회로(12)에서 검출되는 VCC 전압이 2.4V까지는 8개, 2.5V는 7개, 2.6V는 6개, 2.9V까지는 5개, 3.3V까지는 4개, 4.1V까지는 3개, 그리고 나머지드 5.5V까지는 2개의 4-stage VPP 전하 펌프만 온되도록 설정된다. 이러한 VCC 검출 회로를 이용하는 경우 본 발명에 의한 펌핑 전압 발생기 회로(10)에서는 도 3에서 예시된 바와 같이 8개의 4-stage VPP 전하펌프 회로(11) 중 온(ON)되는 전하펌프의 개수를 VCC 검출 결과에 따라 제어할 수 있게 된다.

[0043] 아래의 표 5는 Temp.=25℃, typical 모델 파라미터의 모의실험 조건에서 측정된 VCC별 4-스테이지 전하펌프의 펌핑 전류, 온되는 전하 펌프의 개수, 및 총 VPP 펌핑전류를 비교한 것이다.

[0044] [표 5]

VCC	Unit CP의 Pumping Current	CP ON개수	Total Pumping Current
2.2V	37.44μA	8	299.52μA
2.3V	44.40μA	8	355.20μA
2.4V	51.30μA	8	410.40μA
2.5V	58.16μA	7	407.12μA
2.6V	64.98μA	6	389.88μA
2.7V	71.79μA	5	358.95μA
2.8V	78.58μA	5	392.90μA
2.9V	85.33μA	5	426.65μA
3.0V	92.03μA	4	368.12μA
3.1V	98.71μA	4	394.84μA
3.2V	105.40μA	4	421.60μA
3.3V	112.00μA	4	448.00μA
3.4V	118.60μA	3	355.80μA
3.5V	125.20μA	3	375.60μA
3.6V	131.70μA	3	395.10μA
3.7V	138.10μA	3	414.30μA
3.8V	144.50μA	3	433.50μA
3.9V	150.70μA	3	452.10μA
4.0V	156.90μA	3	470.70μA
4.1V	162.90μA	3	488.70μA
4.2V	168.70μA	2	337.40μA
4.3V	174.20μA	2	348.40μA
4.4V	179.30μA	2	358.60μA
4.5V	184.40μA	2	368.80μA
4.6V	189.50μA	2	379.00μA
4.7V	194.60μA	2	389.20μA
4.8V	199.80μA	2	399.60μA
4.9V	205.20μA	2	410.40μA
5.0V	210.50μA	2	421.00μA
5.1V	215.80μA	2	431.60μA
5.2V	221.20μA	2	442.40μA
5.3V	226.60μA	2	453.20μA
5.4V	232.00μA	2	464.00μA
5.5V	237.30μA	2	474.60μA

[0045]

[0046] 상기 표 5에서 알 수 있는 바와 같이 4-stage VPP 전하펌프의 펌핑 전류는 VCC가 증가할수록 증가하는 반면, VCC가 증가할수록 ON되는 펌핑 전류가 조절되어 총 VPP 펌핑 전류가 320[㎂] 이상을 만족하고 VCC가 높아지더라도 총 VPP 펌핑 전류는 최대 474.6[㎂]로 억제할 수 있었다.

[0047] 도 7은 Temp.=25℃, typical 모델 파라미터의 모의실험 조건에서 기존의 VPP 전하 펌프 회로와 본 발명에서 제안된 VPP 전하펌프 회로의 VCC별 리플전압을 비교한 결과를 예시하는 그래프이다. 도면에서와 같이 본 발명의 VCC 검출 회로(12)를 사용한 VPP 전하 펌프 회로(11)의 경우 ON되는 4-stage VPP 전하 펌프 개수를 조절하여 최대 VPP 펌핑 전류를 474.6[㎂]로 억제할 수 있게 되므로 VPP 리플 전압은 도면에 예시된 바와 같이 기존 VPP 전하 펌프 회로의 0.85V보다 낮은 0.19V 정도로 양호한 리플전압 특성을 보여줌을 알 수 있다.

[0048] 이상과 같이 구성되는 본 발명에 의하면, 하이닉스 110nm 공정을 이용하여 커플링 커패시터로 버티컬 피아이피 커패시터를 사용한 엠티피 셀을 구현할 수 있게 되며, 소거 동작을 FG와 PW 사이의 FN 터널링 대신 FG와 EG 사이의 FN 터널링을 이용하고 프로그램 동작은 CHEI 주입 방식을 사용하므로 MTP 셀 어레이의 PW(=0V)을 공유하여 MTP 셀 사이즈를 1.09[μm^2]로 줄일 수 있었다.

[0049] 그리고 상기 MTP 셀을 사용하여 구현된 512Kb 엠티피 IP에서는 VCC 검출기 회로를 사용하여 ON되는 VPP 전하 펌프의 개수를 제어할 수 있게 되므로, VCC가 높아지더라도 2.5V ~ 5.5V의 넓은 VCC 전압 범위에서 VPP 펌핑 전류를 최대 474.6[㎂]로 억제할 수 있게 되며, 이와 같은 ON되는 VPP 전하 펌프의 개수를 제어하는 회로를 사용하여 VPP 펌핑 전류를 억제할 수 있게 되므로 리플 전압을 목표전압의 3%(0.19V) 이내로 줄일 수 있게 된다.

부호의 설명

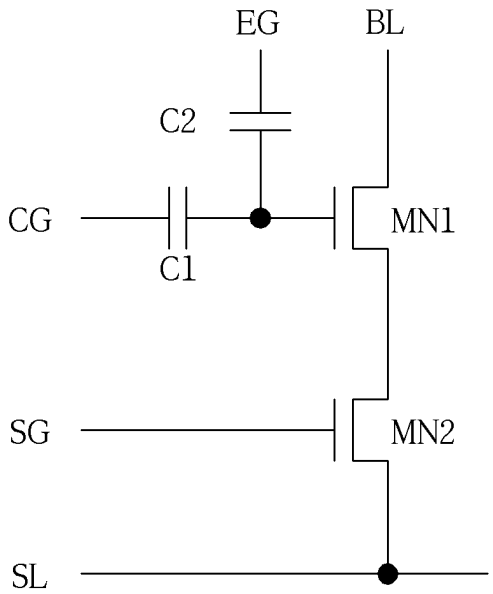
[0050] 10 : 펌핑 전압 발생기 회로 11: 전하 펌프 회로

12 : 전원 전압 감지기 13 : 레벨 검출기

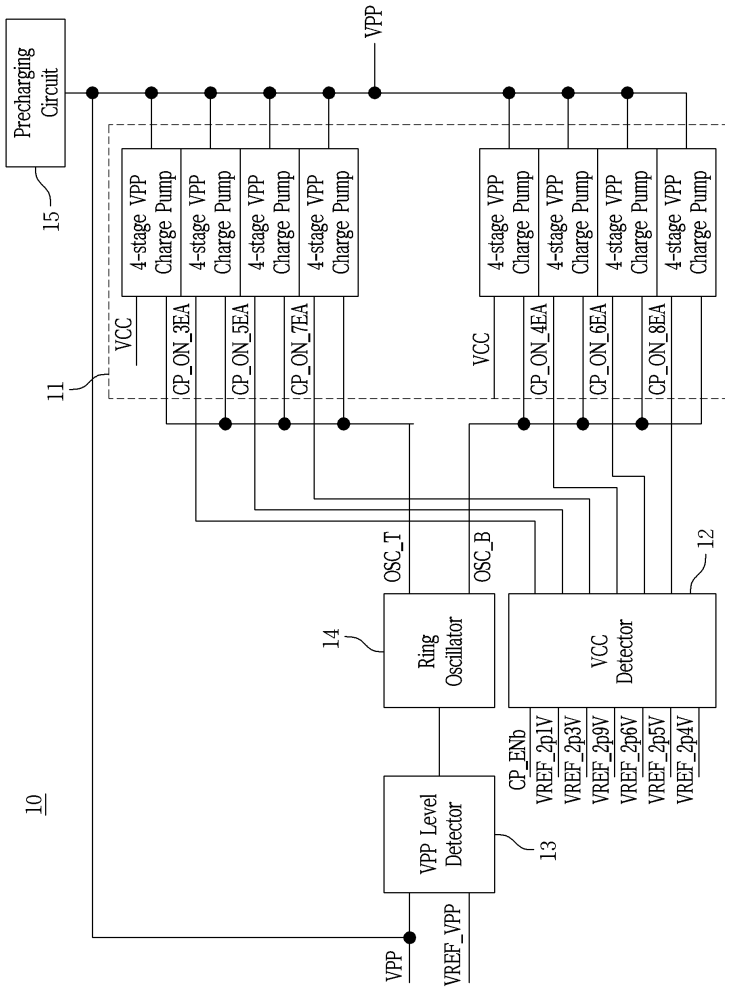
14 : 링 오실레이터 15 : 프리차징회로

도면

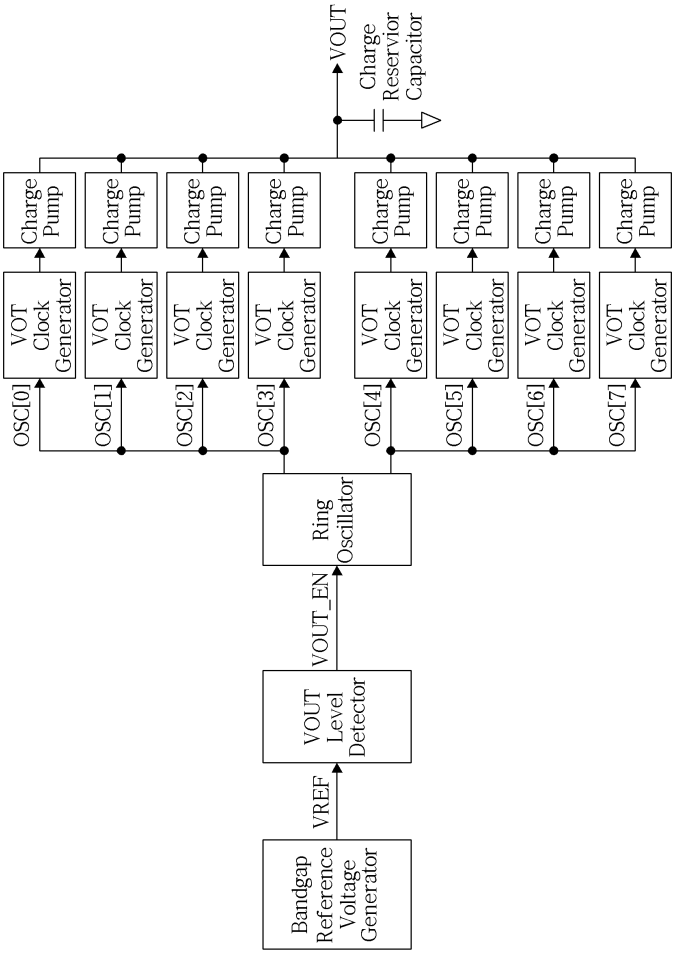
도면1



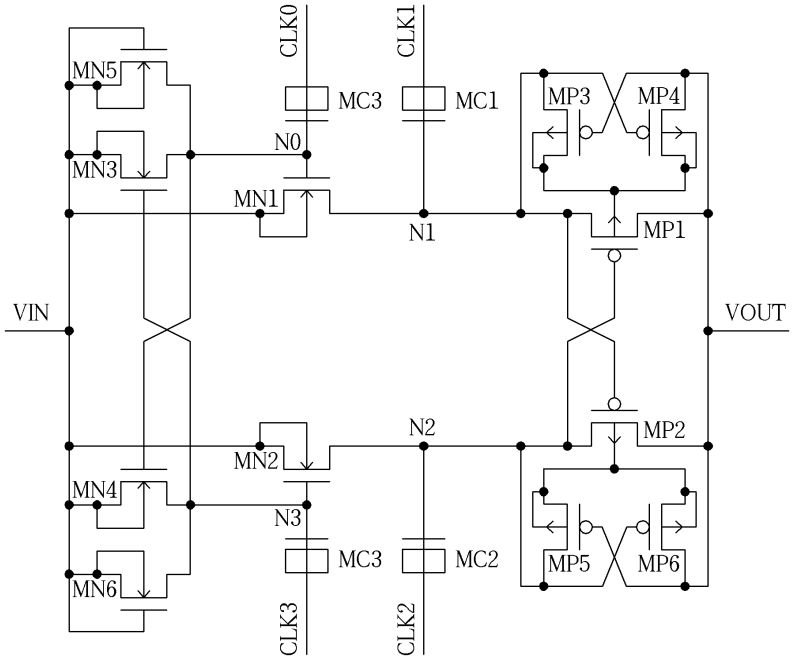
도면2


Precharging Circuit
15
VPP
4-stage VPP Charge Pump
VCC
CP_ON_3EA
CP_ON_5EA
CP_ON_7EA
CP_ON_4EA
CP_ON_6EA
CP_ON_8EA
11
OSC_T
OSC_B
12
14
Ring Oscillator
VCC Detector
CP_ENb
VREF_2p1V
VREF_2p3V
VREF_2p9V
VREF_2p6V
VREF_2p5V
VREF_2p4V
10
VPP Level Detector
13
VPP
VREF_VPP

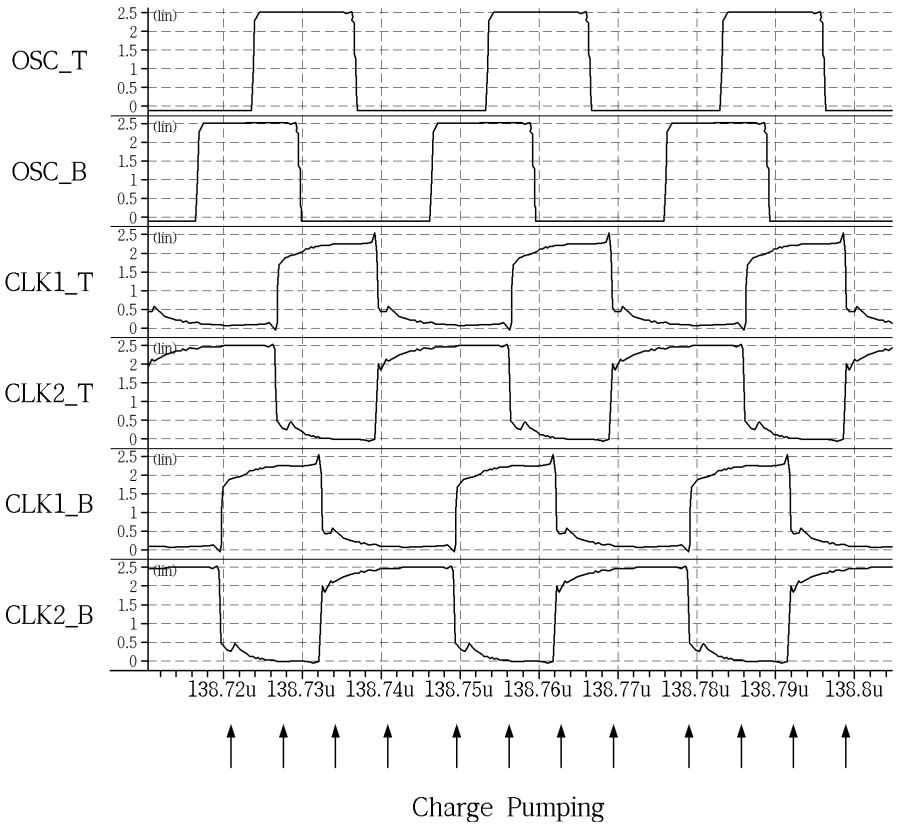
도면3


VOUT
Charge Reservior Capacitor
Charge Pump
VOT Clock Generator
OSC[0]
OSC[1]
OSC[2]
OSC[3]
OSC[4]
OSC[5]
OSC[6]
OSC[7]
Ring Oscillator
VOUT_EN
VOUT Level Detector
VREF
Bandgap Reference Voltage Generator

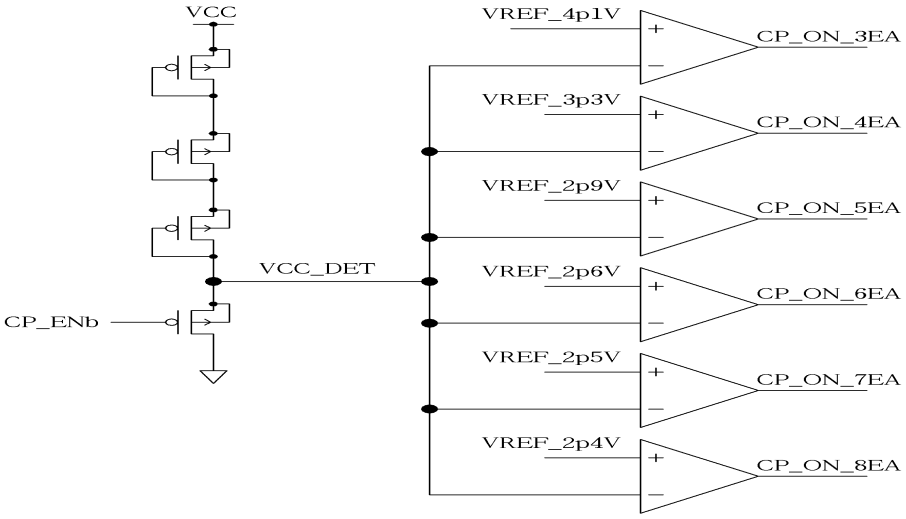
도면4


CLK0
CLK1
MN5
MC3
MC1
MP3
MP4
N0
MN3
MN1
N1
MP1
VIN
VOUT
N2
MP2
MN2
MN4
N3
MC3
MC2
MP5
MP6
MN6
CLK3
CLK2

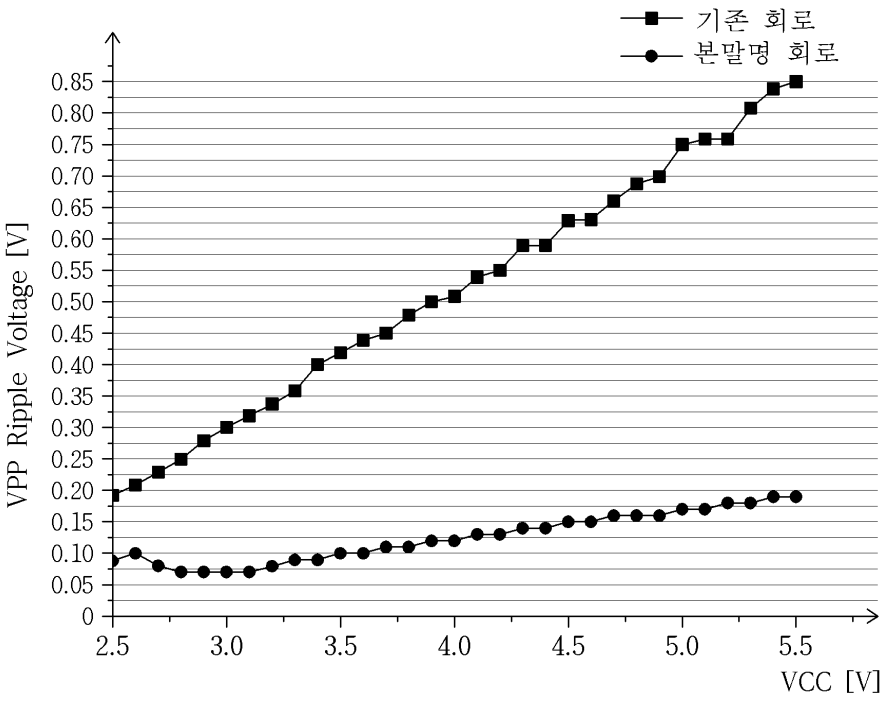
도면5


OSC_T
OSC_B
CLK1_T
CLK2_T
CLK1_B
CLK2_B
(lin)
2.5
2
1.5
1
0.5
0
138.72u
138.73u
138.74u
138.75u
138.76u
138.77u
138.78u
138.79u
138.8u
Charge Pumping

도면6


VCC
VCC_DET
CP_ENb
VREF_4p1V
VREF_3p3V
VREF_2p9V
VREF_2p6V
VREF_2p5V
VREF_2p4V
CP_ON_3EA
CP_ON_4EA
CP_ON_5EA
CP_ON_6EA
CP_ON_7EA
CP_ON_8EA

도면7


기존 회로
본말명 회로
VPP Ripple Voltage [V]
0.85
0.80
0.75
0.70
0.65
0.60
0.55
0.50
0.45
0.40
0.35
0.30
0.25
0.20
0.15
0.10
0.05
0
2.5
3.0
3.5
4.0
4.5
5.0
5.5
VCC [V]