

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9827

(P2008-9827A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 17/50 (2006.01)	G06F 17/50 654N	5B046
H01L 21/822 (2006.01)	H01L 27/04 T	5F038
H01L 27/04 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2006-181065 (P2006-181065)  
 (22) 出願日 平成18年6月30日 (2006. 6. 30)

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 (74) 代理人 100092174  
 弁理士 平戸 哲夫  
 (72) 発明者 脇田 芳二  
 神奈川県横浜市港北区新横浜二丁目3番9号 富士通マイクロソリューションズ株式会社内  
 (72) 発明者 山田 誠  
 神奈川県横浜市港北区新横浜二丁目3番9号 富士通マイクロソリューションズ株式会社内

最終頁に続く

(54) 【発明の名称】 テストポイント自動挿入方法及びプログラム

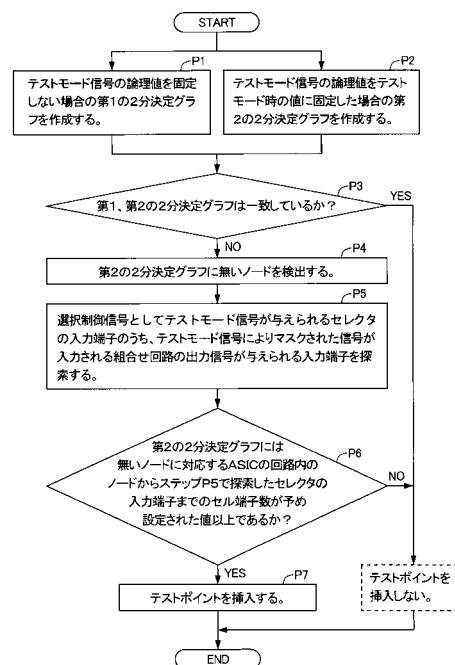
(57) 【要約】

【課題】 半導体集積回路のテスト設計時におけるテストポイントの挿入を省力的・効果的に行い、故障検出率を高めることができるテストポイント自動挿入方法を提供する。

【解決手段】 テストモード信号の値を固定しない場合の第1の2分決定グラフと、テストモード信号をテストモード時の値に固定した場合の第2の2分決定グラフを作成する ( P 1、 P 2 )。第1、第2の2分決定グラフを比較し ( P 3 )、一致しない場合、第2の2分決定グラフに無いノードを検出し、テストモード信号によりマスクされた信号を特定する ( P 4 )。選択制御信号としてテストモード信号が与えられるセクタの入力端子のうち、前記マスクされた信号が入力される組合せ回路の出力信号が与えられる入力端子を探索し ( P 5 )、前記マスクされた信号から前記入力端子までのセル端子数が設定値以上である場合には、前記入力端子の信号を観測するテストポイントを挿入する ( P 6、 P 7 )。

【選択図】 図 2

本発明のテストポイント自動挿入方法の一実施形態を示すフローチャート



**【特許請求の範囲】****【請求項 1】**

コンピュータを使用し、半導体集積回路のテスト設計時に、該半導体集積回路内の回路にテストポイントを自動挿入するテストポイント自動挿入方法であって、

前記回路について、テストモード信号の論理値を固定しない場合の第 1 の 2 分決定グラフと、前記テストモード信号の論理値をテストモード時の値に固定した場合の第 2 の 2 分決定グラフを作成する工程と、

前記第 1、第 2 の 2 分決定グラフを比較し、前記第 1、第 2 の 2 分決定グラフが一致しない場合には、前記第 2 の 2 分決定グラフには無いノードを検出し、選択制御信号として前記テストモード信号が与えられるセレクタの入力端子のうち、前記テストモード信号の論理値をテストモード時の値に固定した場合に伝播されなくなる信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するためのテストポイントを挿入する工程を有することを特徴とするテストポイント自動挿入方法。

10

**【請求項 2】**

前記テストポイントを挿入する工程は、前記第 2 の 2 分決定グラフには無いノードに対応する前記回路内のノードから前記探索した入力端子までのセル端子数が予め設定された値以上であるか否かを判断する工程を含み、前記セル端子数が前記予め設定された値以上の場合に、前記テストポイントを挿入することを特徴とする請求項 1 記載のテストポイント自動挿入方法。

**【請求項 3】**

半導体集積回路のテスト設計時に、該半導体集積回路内の回路にテストポイントを自動挿入する工程をコンピュータに実行させるテストポイント自動挿入プログラムであって、

前記回路について、テストモード信号の論理値を固定しない場合の第 1 の 2 分決定グラフと、前記テストモード信号の論理値をテストモード時の値に固定した場合の第 2 の 2 分決定グラフを作成する工程と、

前記第 1、第 2 の 2 分決定グラフを比較し、前記第 1、第 2 の 2 分決定グラフが一致しない場合には、前記第 2 の 2 分決定グラフには無いノードを検出し、選択制御信号として前記テストモード信号が与えられるセレクタの入力端子のうち、前記テストモード信号の論理値をテストモード時の値に固定した場合に伝播されなくなる信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するためのテストポイントを挿入する工程をコンピュータに実行させることを特徴とするテストポイント自動挿入プログラム。

20

30

**【請求項 4】**

前記テストポイントを挿入する工程は、前記第 2 の 2 分決定グラフには無いノードに対応する前記回路内のノードから前記探索した入力端子までのセル端子数が予め設定された値以上であるか否かを判断する工程を含み、前記セル端子数が前記予め設定された値以上の場合に、前記テストポイントを挿入することを特徴とする請求項 3 記載のテストポイント自動挿入プログラム。

**【請求項 5】**

前記回路は、順序回路で区切られた回路であることを特徴とする請求項 3 又は 4 記載のテストポイント自動挿入プログラム。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、ASIC（特定用途向け集積回路）等の半導体集積回路のテスト設計時に、半導体集積回路内の回路に観測用フリップフロップであるテストポイント（Test Point）を挿入する場合に使用して好適なテストポイント自動挿入方法及びプログラムに関する。

**【背景技術】****【0002】**

図 5 は ASIC の出荷までの手順を示すフローチャートである。即ち、ASIC の出荷

50

までの手順は、顧客ニーズを受けた後、要求分析（S1） システム設計（S2） アーキテクチャ・機能設計（S3） 論理設計（S4） テスト設計（S5） レイアウト設計（S6） 製造・テスト（S7） 出荷（S8）の順で行われる。

【0003】

ステップS1の「要求分析」は、顧客ニーズが何であるかを調査した上で、システムがどのようなサービスを提供するかを定義し、システム運用に関する制約条件を規定した要求仕様を作成する作業である。ステップS2の「システム設計」は、ステップS1の「要求分析」で明確にした要求仕様を実現するために必要となるシステムとしての仕様を策定する作業である。

【0004】

ステップS3の「アーキテクチャ・機能設計」は、動作仕様に基づき、回路の動作処理を決定し、回路記述言語で設計を行う作業である。ステップS4の「論理設計」は、回路記述言語で表現された論理を論理回路に変換して、所望のテクノロジーのライブラリセルにマッピングを行う作業である。ステップS5の「テスト設計」は、製造段階でのトランジスタ故障を検出できる回路を設計し、ステップS4の「論理設計」で作成された論理回路に挿入する作業である。

10

【0005】

ステップS6の「レイアウト設計」は、ステップS5までに作成された回路を元に配置・配線を行い、マスクデータを作成する作業である。ステップS7の「製造・テスト」は、ステップS6の「レイアウト設計」で作成したマスクデータに基づいて試作・評価を行い、ASICを製造する作業である。ステップS7の「製造・テスト」の結果、良品と判定されれば、製品としてステップS8の「出荷」となる。

20

【0006】

出荷テストにおいて故障を検出することができる割合を故障検出率というが、ステップS5の「テスト設計」は、DFT（Design For Testability：テスト容易化設計）とも呼ばれ、故障検出率の向上を図るための設計手法である。ASICの出荷テストにおいて、ASICの良否を判定する方法としては、テストパターンによる検査方法がある。これは、ASICにテストパターンを入力し、ASICからの出力パターンを期待値パターンと照合して良否を判定する方法である。

【0007】

出荷テストの手法には様々な手法があるが、その中の一つに、スキャンテストと呼ばれる手法がある。これは、ASICテスト用に作られるフリップフロップをシフトレジスタのように数珠繋ぎにしてテストする方法である。

30

【0008】

図6はスキャンテストを説明するための回路図であり、テスト設計後のASICの一部を示している。図6中、1～4は論理設計された組合せ回路、5～8はテスト設計によりスキャンテスト用に挿入されたフリップフロップ、9はSIN（スキャンイン）端子、10はSOUT（スキャンアウト）端子、11はCLK（クロック）入力端子である。

【0009】

通常動作では、二点鎖線矢印A1で示すように、フリップフロップ5のD端子 フリップフロップ5のQ端子 組合せ回路1 フリップフロップ6のD端子 フリップフロップ6のQ端子 組合せ回路2というパスや、二点鎖線矢印A2で示すように、フリップフロップ7のD端子 フリップフロップ7のQ端子 組合せ回路3 フリップフロップ8のD端子 フリップフロップ8のQ端子というパスで動作する。

40

【0010】

これに対して、スキャンテスト時には、テストモード信号により、二点鎖線矢印A3で示すように、SIN端子9 フリップフロップ5のSI（スキャンイン）端子 フリップフロップ5のSO（スキャンアウト）端子 フリップフロップ6のSI端子 フリップフロップ6のSO端子 フリップフロップ7のSI端子 フリップフロップ7のSO端子 フリップフロップ8のSI端子 フリップフロップ8のSO端子 SOUT端子10とい

50

うパスが形成され、テストパターンデータがフリップフロップ5～8にセットされる。

【0011】

そして、フリップフロップ5～8にセットされたテストパターンデータが組合せ回路1～4に与えられた後、二点鎖線矢印A3に示すパスに沿ってフリップフロップ5～8の内容が出力され、この出力パターンと期待値パターンとの照合が行われ、ASICの良否が判定される。

【0012】

故障検出率は、ASICの内部にある論理セルの端子総数を $n_a$ とし、この中から故障を検出することができる端子数を $n_b$ とすると、 $n_b/n_a$ で表すことができるが、出荷テストでASICの良否を正しく判定できるようにするために、故障検出率を100%に近づけることが求められる。故障検出率の向上を図る手段として様々な手段があるが、その中の一つに、一般にテストポイントと呼ばれる観測用フリップフロップを挿入する方法がある。

10

【0013】

図7はASIC内の回路にテストポイントを挿入した例を示す回路図である。図7中、20、21は論理設計された組合せ回路、22は選択制御信号としてテストモード信号 $X_t$ が与えられるセレクタであり、選択制御信号 $X_t$ は、テストモード時には“1”とされる。本例では、セレクタ22は、テストモード信号 $X_t = “0”$ の場合には、 $X_0$ 端子の信号、即ち、組合せ回路20の出力信号を選択し、テストモード信号 $X_t = “1”$ の場合には、 $X_1$ 端子の信号、即ち、組合せ回路21の出力信号を選択する。

20

【0014】

また、23～25はスキャンテスト用のフリップフロップ、26はSIN端子、27はSOUT端子であり、フリップフロップ24は、セレクタ22の $X_0$ 端子の信号(組合せ回路20の出力信号)を観測するためにテストポイントとして挿入されたフリップフロップである。

【0015】

図7に示す回路においては、テストモード信号 $X_t = “1”$ とされるテストモード時には、組合せ回路21の出力信号のみがセレクタ22のY端子に出力され、組合せ回路20の出力信号はセレクタ22のY端子には出力されない。このため、組合せ回路20の出力信号が異常であっても、その故障を検出することができないことになり、故障検出率の低下を招くことになる。

30

【0016】

そこで、このような場合には、スキャンチェーンの一部をなすテストポイント24を挿入し、セレクタ22の $X_0$ 端子をテストポイント24のD端子に接続する。このようにすると、スキャンテスト時にセレクタ22の $X_0$ 端子の信号を観測することができ、これにより、組合せ回路20の出力信号の故障検出を行うことができ、故障検出率を高めることができる。

【特許文献1】特開平8-212247号公報

【特許文献2】特開平6-3419号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0017】

従来、設計対象のASIC内の回路にテストポイントを挿入する場合、テストパターンを用いてコンピュータ上でシミュレーションを行い、テストパターンにより故障を検出することができなかった箇所をリストに出力し、このリストを元に、作業者が回路を目視で確認しながら、テストポイントの挿入位置を決めるという方法が採られていた。このテストポイント挿入方法は、回路を目視する必要があるため、非省力的であり、かつ、テストポイント挿入箇所の選定は作業者の主観によるものであるため、作業者の技量により故障検出の効果が左右されるという問題点を有していた。

【0018】

50

本発明は、かかる点に鑑み、半導体集積回路のテスト設計時におけるテストポイントの挿入を省力的かつ効果的に行い、故障検出率の向上を図ることができるテストポイント自動挿入方法及びプログラムを提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明のテストポイント自動挿入方法は、コンピュータを使用し、半導体集積回路のテスト設計時に、該半導体集積回路内の回路にテストポイントを自動挿入する方法であって、前記回路について、テストモード信号の論理値を固定しない場合の第1の2分決定グラフと、前記テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフを作成する工程と、前記第1、第2の2分決定グラフを比較し、前記第1、第2の2分決定グラフが一致しない場合には、前記第2の2分決定グラフには無いノードを検出し、選択制御信号として前記テストモード信号が与えられるセレクタの入力端子のうち、前記テストモード信号の論理値をテストモード時の値に固定した場合に伝播されなくなる信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するためのテストポイントを挿入する工程を有するものである。

10

【0020】

本発明のテストポイント自動挿入プログラムは、半導体集積回路のテスト設計時に、該半導体集積回路内の回路にテストポイントを自動挿入する工程をコンピュータに実行させるプログラムであって、前記回路について、テストモード信号の論理値を固定しない場合の第1の2分決定グラフと、前記テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフを作成する工程と、前記第1、第2の2分決定グラフを比較し、前記第1、第2の2分決定グラフが一致しない場合には、前記第2の2分決定グラフには無いノードを検出し、選択制御信号として前記テストモード信号が与えられるセレクタの入力端子のうち、前記テストモード信号の論理値をテストモード時の値に固定した場合に伝播されなくなる信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するためのテストポイントを挿入する工程をコンピュータに実行させるものである。

20

【0021】

また、本発明のテストポイント自動挿入方法及びプログラムにおいては、前記テストポイントを挿入する工程は、前記第2の2分決定グラフには無いノードに対応する前記回路内のノードから前記探索した入力端子までのセル端子数が予め設定された値以上であるかを判断する工程を含み、前記セル端子数が前記予め設定された値以上の場合に、前記テストポイントを挿入するとしても良い。

30

【発明の効果】

【0022】

本発明よれば、コンピュータにより、テストモード信号の論理値を固定しない場合の第1の2分決定グラフと、テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフを作成し、これら第1、第2の2分決定グラフを比較し、第1、第2の2分決定グラフが一致しない場合には、第2の2分決定グラフには無いノードを検出し、選択制御信号としてテストモード信号が与えられるセレクタの入力端子のうち、テストモード信号の論理値をテストモード時の値に固定した場合に伝播されなくなる信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するためのテストポイントを挿入することができる。

40

【0023】

したがって、従来のように、テストパターンを用いてコンピュータ上でシミュレーションを行い、テストパターンにより故障を検出することができなかつた箇所をリストに出力し、このリストを元に、作業者が回路を目視で確認しながら、テストポイントの挿入位置を決めるという工程を必要としない。即ち、本発明によれば、テストポイントを必要な箇所に自動的に挿入することができるので、半導体集積回路のテスト設計時におけるテストポイントの挿入を省力的かつ効果的に行い、故障検出率の向上を図ることができる。

50

**【発明を実施するための最良の形態】****【0024】**

図1は本発明のテストポイント自動挿入方法の一実施形態を実施するための装置の概略的構成図である。この装置はコンピュータからなり、CPU（中央制御装置）30、半導体メモリ31、マウス32、キーボード33、ディスプレイ34及びハードディスク35等を備えており、ハードディスク35には、本発明のテストポイント自動挿入方法の一実施形態の実施に必要なデータ及びプログラム（本発明のテストポイント自動挿入プログラムの一実施形態）等が格納される。

**【0025】**

本例の場合、データとしては、設計対象のASICのネットリスト36が使用され、プログラムとしては、2分決定グラフ作成プログラム37、2分決定グラフ比較プログラム38、ノード検出プログラム39、セクタ入力端子探索プログラム40、セル端子数判断プログラム41及びテストポイント挿入プログラム42が使用される。

10

**【0026】**

2分決定グラフ作成プログラム37は、設計対象のASICのネットリスト36から2分決定グラフを作成するプログラムであり、本例では、テストモード信号の論理値を固定しない場合の第1の2分決定グラフと、テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフが作成される。

**【0027】**

2分決定グラフ比較プログラム38は、第1の2分決定グラフと第2の2分決定グラフが一致するか否かを比較するプログラムである。ノード検出プログラム39は、第1の2分決定グラフにはあるが、第2の2分決定グラフには無いノード、即ち、第1の2分決定グラフ内のノードからテストモード信号によりマスクされたノードを検出するプログラムである。

20

**【0028】**

セクタ入力端子探索プログラム40は、第2の2分決定グラフには無いノードに対応するASICの回路内のノード上の信号、即ち、テストモード信号によりマスクされた信号が入力される組合せ回路の接続を解析し、選択制御信号としてテストモード信号が与えられるセクタの入力端子のうち、テストモード信号によりマスクされた信号が入力される組合せ回路の出力信号が与えられる入力端子を探索するプログラムである。

30

**【0029】**

セル端子数判断プログラム41は、第2の2分決定グラフには無いノードに対応するASICの回路内のノードから、選択制御信号としてテストモード信号が与えられるセクタの入力端子までのセル端子数が設計者又はユーザにより予め設定された値以上であるかを判断するプログラムである。テストポイント挿入プログラム42は、テストモード信号によりマスクされた信号が入力される組合せ回路の出力信号を観測するためのテストポイントを挿入するプログラムである。

**【0030】**

図2は本発明のテストポイント自動挿入方法の一実施形態を示すフローチャートである。即ち、本発明のテストポイント自動挿入方法の一実施形態を実施する場合には、まず、設計対象のASICのネットリスト36及び2分決定グラフ作成プログラム37を使用して、テストモード信号の論理値を固定しない場合の第1の2分決定グラフ43を作成し、作成した第1の2分決定グラフ43をハードディスク35に格納する（ステップP1）。

40

**【0031】**

また、設計対象のASICのネットリスト36及び2分決定グラフ作成プログラム37を使用して、テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフ44を作成し、作成した第2の2分決定グラフ44をハードディスク35に格納する（ステップP2）。

**【0032】**

次に、2分決定グラフ比較プログラム38を使用して、第1の2分決定グラフ43と第

50

2の2分決定グラフ44が一致しているか否かを比較する(ステップP3)。比較の結果、第1の2分決定グラフ43と第2の2分決定グラフ44が一致している場合には、テストポイントを挿入せず、テストポイント自動挿入処理を終了する。

【0033】

これに対して、第1の2分決定グラフ43と第2の2分決定グラフ44が一致しない場合には、設計対象のASICの回路内にテストモード信号によりマスクされる信号が存在するので、ノード検出プログラム39を使用して、第1の2分決定グラフ43にはあるが、第2の2分決定グラフ44には無いノードを検出する(ステップP4)。なお、第2の2分決定グラフ44に無いノードに対応するASICの回路内のノード上の信号がテストモード信号によりマスクされる信号ということになる。

10

【0034】

次に、セクタ入力端子探索プログラム40を使用して、第2の2分決定グラフ44に無いノードに対応するASICの回路内のノード上の信号、即ち、テストモード信号によりマスクされた信号が入力される組合せ回路の接続を解析し、選択制御信号としてテストモード信号が与えられるセクタの入力端子のうち、テストモード信号によりマスクされた信号が入力される組合せ回路の出力信号が与えられる入力端子を探索する(ステップP5)。いわば、テストモード信号と、テストモード信号によりマスクされた信号が入力される組合せ回路の出力信号との交点を探索する。

【0035】

次に、第2の2分決定グラフ44には無いノードに対応するASICの回路内のノードからステップP5で探索したセクタの入力端子までのセル端子数が設計者又はユーザにより予め設定された値以上であるか否かを判断する(ステップP6)。第2の2分決定グラフ44には無いノードに対応するASICの回路内のノードからステップP5で探索したセクタの入力端子までのセル端子数を予め設定するのは、テストポイントを挿入しても故障検出に効果が少ない場合に、不要にテストポイントを入れないようにするためである。

20

【0036】

ステップP6における判断の結果、第2の2分決定グラフ44には無いノードに対応するASICの回路内のノードからステップP5で探索したセクタの入力端子までのセル端子数が予め設定された値以上でない場合には、テストポイントを挿入せず、テストポイント自動挿入処理を終了する。

30

【0037】

これに対して、第2の2分決定グラフ44には無いノードに対応するASICの回路内のノードからステップP5で探索したセクタの入力端子までのセル端子数が予め設定された値以上である場合には、ステップP5で探索したセクタの入力端子の信号を観測するためのテストポイントを挿入する(ステップP7)。以上のステップP1~P7をASIC内の全回路に対して行う。

【0038】

図3は本発明のテストポイント自動挿入方法の一実施形態を具体的に説明するための回路図であり、設計対象のASICの一部を示している。図3中、50~55はフリップフロップ、X1~X6はフリップフロップ50~55が出力する信号、56は信号X1~X4を入力信号とする組合せ回路であり、57は信号X1~X3をAND処理するAND回路、58はAND回路57の出力と信号X4をOR処理するOR回路、59は信号X5、X6をAND処理するAND回路である。

40

【0039】

また、60はテストモード信号Xtにより選択動作が制御され、組合せ回路56の出力信号又はAND回路59の出力信号を選択するセクタであり、このセクタ60は、テストモード信号Xt="0"の場合は、OR回路58の出力を選択し、テストモード信号Xt="1"の場合は、AND回路59の出力を選択する。61はセクタ60の出力信号を取り込むフリップフロップ、62~64はスキャンチェーンを構成するフリップフロ

50

ップであり、フリップフロップ 63 は、テストポイントである。65 は S I N 端子、66 は S O U T 端子である。

【0040】

なお、本発明のテストポイント自動挿入方法の一実施形態においては、入力信号と出力信号の関係は、外部端子間だけでなく、フリップフロップとフリップフロップとの間、フリップフロップとラッチ回路との間、ラッチ回路とフリップフロップとの間、フリップフロップとグローバル・クロック・バッファとの間など、順序回路と順序回路との間で区切ることができる。2分決定グラフを作成する場合も、この区切りで作成される。

【0041】

ここで、図3に示す回路に本発明のテストポイント自動挿入方法の一実施形態を適用すると、まず、図3に示す回路について、テストモード信号 X t の論理値を固定しない場合の第1の2分決定グラフが作成されるが(ステップ P 1)、この場合に作成される第1の2分決定グラフは、図4(A)に示すようになる。なお、2分決定グラフを作成する場合には、テストモード信号 X t を始点として作成する。

10

【0042】

次に、テストモード信号 X t の論理値をテストモード時の値である“1”に固定した場合の第2の2分決定グラフが作成されるが(ステップ P 2)、この場合に作成される第2の2分決定グラフは、図4(B)に示すようになる。なお、この場合の2分決定グラフは、破線で示すパスが存在しない状態になっている。

【0043】

20

次に、図4(A)に示す第1の2分決定グラフと図4(B)に示す第2の2分決定グラフが一致しているか否かが比較されるが(ステップ P 3)、図4(B)に示す第2の2分決定グラフにおける破線のパスが差分として存在することになる。この比較の結果、ノード N A 1 ~ N A 4 が第2の2分決定グラフに無いノードであり、図3に示す信号 X 1 ~ X 4 がテストモード信号 X t によりマスクされており、故障検出ができなくなっている信号であるということになる。

【0044】

次に、テストモード信号 X t によりマスクされた信号 X 1 ~ X 4 が入力される組合せ回路 56 の接続が解析され、セクタ 60 の入力端子のうち、組合せ回路 56 の出力信号が与えられる入力端子が探索されるが(ステップ P 5)、この場合、入力端子 Q 6 が探索され、入力端子 Q 6 がテストポイントの D 端子を接続する候補となる。

30

【0045】

次に、図4(B)に示す第2の2分決定グラフには無いノード N A 1 ~ N A 4 に対応する A S I C の回路内のノード N B 1 ~ N B 4 からステップ P 5 で探索したセクタ 60 の入力端子 Q 6 までの組合せ回路 56 内のセル端子数が予め設定された値以上であるか否かが判断されるが(ステップ P 6)、本例では、組合せ回路 56 内のセル端子は、Q 1 ~ Q 5 であり、組合せ回路 56 内のセル端子数は5である。

【0046】

したがって、セル端子数 = 5 が予め設定された値未満の場合には、テストポイントを挿入しないで、テストポイント自動挿入処理を終了し、セル端子数 = 5 が予め設定された値以上の場合には、テストポイント 63 を挿入し、テストポイント 63 の D 端子を入力端子 Q 6 に接続して処理を終了する。

40

【0047】

以上のように、本発明のテストポイント自動挿入方法の一実施形態においては、図1に示すコンピュータからなる装置と、設計対象の A S I C のネットリスト 36 及び本発明のテストポイント自動挿入プログラムの一実施形態を構成するプログラム(2分決定グラフ作成プログラム 37、2分決定グラフ比較プログラム 38、ノード検出プログラム 39、セクタ入力端子探索プログラム 40、セル端子数判断プログラム 41 及びテストポイント挿入プログラム 42)が使用される。

【0048】

50

そして、テストモード信号の論理値を固定しない場合の第1の2分決定グラフと、テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフを作成し、これら第1、第2の2分決定グラフを比較し、第1、第2の2分決定グラフが一致しない場合には、第2の2分決定グラフには無いノードを検出し、選択制御信号としてテストモード信号が与えられるセレクタの入力端子のうち、テストモード信号の論理値をテストモード時の値に固定した場合にマスクされた信号が入力される組合せ回路の出力信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するテストポイントを挿入するとしている。

【0049】

したがって、従来のように、テストパターンを用いてコンピュータ上でシミュレーションを行い、テストパターンにより故障を検出することができなかつた箇所をリストに出力し、このリストを元に、作業者が回路を目視で確認しながら、テストポイントの挿入位置を決めるという工程を必要としない。即ち、本発明のテストポイント自動挿入方法の一実施形態によれば、テストポイントを必要な箇所に自動的に挿入することができるので、半導体集積回路のテスト設計時におけるテストポイントの挿入を省力的かつ効果的に行い、故障検出率の向上を図ることができる。

10

【0050】

ここで、本発明を整理すると、本発明には、少なくとも、以下のテストポイント自動挿入方法及びプログラムが含まれる。

【0051】

(付記1) コンピュータを使用し、半導体集積回路のテスト設計時に、該半導体集積回路内の回路にテストポイントを自動挿入するテストポイント自動挿入方法であって、前記回路について、テストモード信号の論理値を固定しない場合の第1の2分決定グラフと、前記テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフを作成する工程と、前記第1、第2の2分決定グラフを比較し、前記第1、第2の2分決定グラフが一致しない場合には、前記第2の2分決定グラフには無いノードを検出し、選択制御信号として前記テストモード信号が与えられるセレクタの入力端子のうち、前記テストモード信号の論理値をテストモード時の値に固定した場合に伝播されなくなる信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するためのテストポイントを挿入する工程を有することを特徴とするテストポイント自動挿入方法。

20

30

【0052】

(付記2) 前記テストポイントを挿入する工程は、前記第2の2分決定グラフには無いノードに対応する前記回路内のノードから前記探索した入力端子までのセル端子数が予め設定された値以上であるか否かを判断する工程を含み、前記セル端子数が前記予め設定された値以上の場合に、前記テストポイントを挿入することを特徴とする付記1記載のテストポイント自動挿入方法。

【0053】

(付記3) 前記回路は、順序回路で区切られた回路であることを特徴とする付記1又は2記載のテストポイント自動挿入方法。

【0054】

(付記4) 半導体集積回路のテスト設計時に、該半導体集積回路内の回路にテストポイントを自動挿入する工程をコンピュータに実行させるテストポイント自動挿入プログラムであって、前記回路について、テストモード信号の論理値を固定しない場合の第1の2分決定グラフと、前記テストモード信号の論理値をテストモード時の値に固定した場合の第2の2分決定グラフを作成する工程と、前記第1、第2の2分決定グラフを比較し、前記第1、第2の2分決定グラフが一致しない場合には、前記第2の2分決定グラフには無いノードを検出し、選択制御信号として前記テストモード信号が与えられるセレクタの入力端子のうち、前記テストモード信号の論理値をテストモード時の値に固定した場合に伝播されなくなる信号が与えられる入力端子を探索し、該探索した入力端子の信号を観測するためのテストポイントを挿入する工程をコンピュータに実行させることを特徴とするテス

40

50

トポイント自動挿入プログラム。

【0055】

(付記5) 前記テストポイントを挿入する工程は、前記第2の2分決定グラフには無いノードに対応する前記回路内のノードから前記探索した入力端子までのセル端子数が予め設定された値以上であるか否かを判断する工程を含み、前記セル端子数が前記予め設定された値以上の場合に、前記テストポイントを挿入することを特徴とする付記4記載のテストポイント自動挿入プログラム。

【0056】

(付記6) 前記回路は、順序回路で区切られた回路であることを特徴とする付記4又は5記載のテストポイント自動挿入プログラム。

10

【図面の簡単な説明】

【0057】

【図1】本発明のテストポイント自動挿入方法の一実施形態を実施するための装置の概略的構成図である。

【図2】本発明のテストポイント自動挿入方法の一実施形態を示すフローチャートである。

【図3】本発明のテストポイント自動挿入方法の一実施形態を具体的に説明するための回路図である。

【図4】図3に示す回路の2分決定グラフを示す図である。

【図5】ASICの出荷までの手順を示すフローチャートである。

20

【図6】スキャンテストを説明するための回路図である。

【図7】ASIC内の回路にテストポイントを挿入した例を示す回路図である。

【符号の説明】

【0058】

- 1 ~ 4 ... 組合せ回路
- 5 ~ 8 ... フリップフロップ
- 9 ... S I N (スキャンイン) 端子
- 10 ... S O U T (スキャンアウト) 端子
- 11 ... C L K (クロック) 端子
- 20、21 ... 組合せ回路
- 22 ... セレクタ
- 23 ~ 25 ... フリップフロップ
- 26 ... S I N 端子
- 27 ... S O U T 端子
- 30 ... C P U
- 31 ... 半導体メモリ
- 32 ... マウス
- 33 ... キーボード
- 34 ... ディスプレイ
- 35 ... ハードディスク
- 36 ... ネットリスト
- 37 ... 2分決定グラフ作成プログラム
- 38 ... 2分決定グラフ比較プログラム
- 39 ... ノード検出プログラム
- 40 ... セレクタ入力端子探索プログラム
- 41 ... セル端子数判断プログラム
- 42 ... テストポイント挿入プログラム
- 43 ... 第1の2分決定グラフ
- 44 ... 第2の2分決定グラフ
- 50 ~ 55 ... フリップフロップ

30

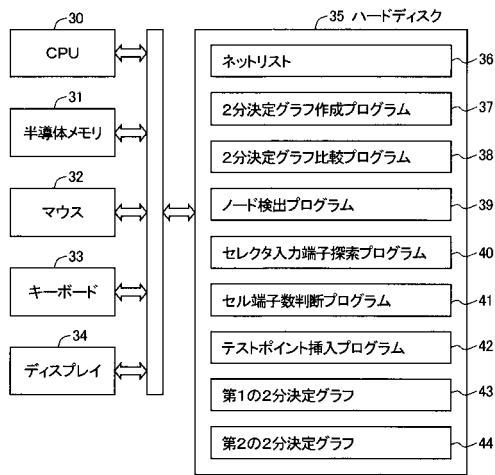
40

50

- 5 6 ... 組合せ回路
- 5 7 ... A N D 回路
- 5 8 ... O R 回路
- 5 9 ... A N D 回路
- 6 0 ... セレクタ
- 6 1 ~ 6 4 ... フリップフロップ
- 6 5 ... S I N 端子
- 6 6 ... S O U T 端子

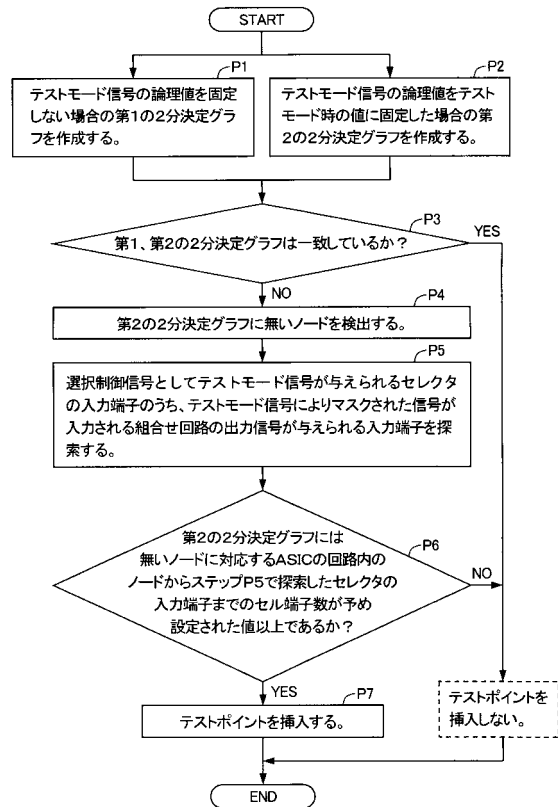
【 図 1 】

本発明のテストポイント自動挿入方法の一実施形態を実施するための装置の概略的構成図

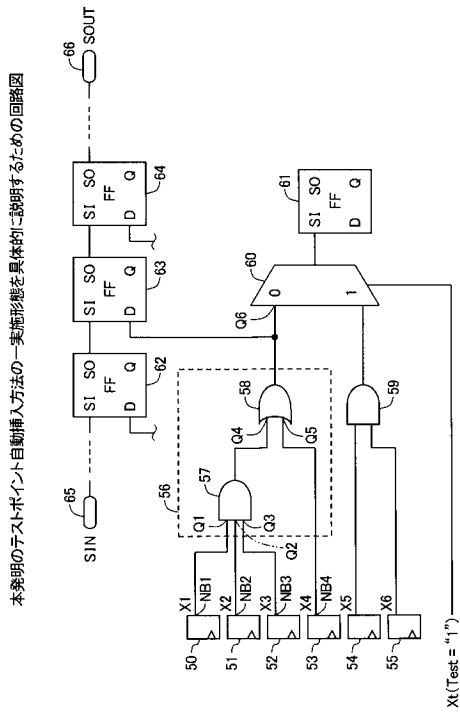


【 図 2 】

本発明のテストポイント自動挿入方法の一実施形態を示すフローチャート

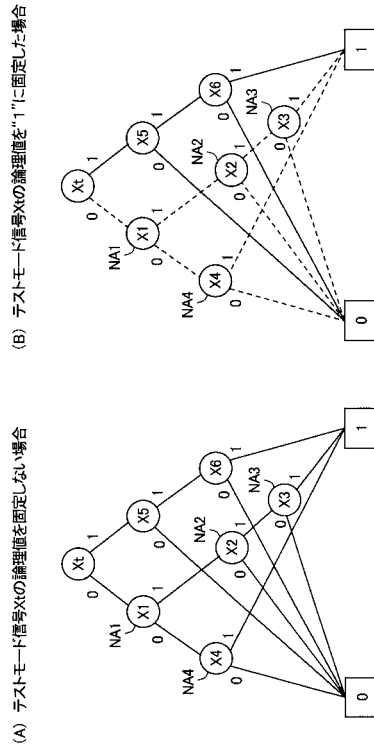


【 図 3 】



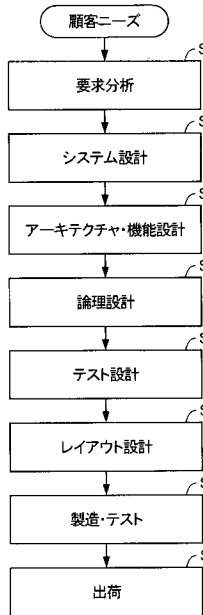
【 図 4 】

図3に示す回路の2分決定グラフを示す図



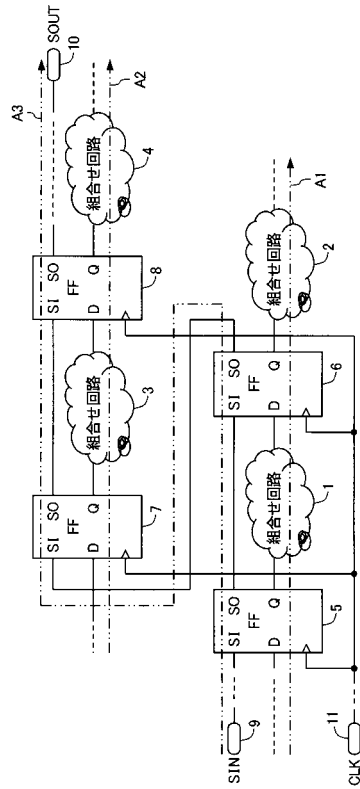
【 図 5 】

ASICの出荷までの手順を示すフローチャート



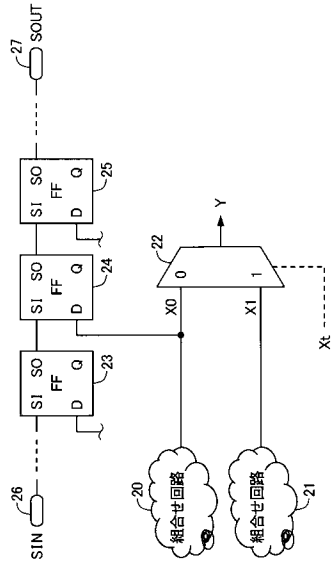
【 図 6 】

スキャンテストを説明するための回路図



【 図 7 】

ASIC内の回路にテストポイントを挿入した例を示す回路図



---

フロントページの続き

- (72)発明者 小畠 悠希  
神奈川県横浜市港北区新横浜二丁目3番9号 富士通マイクロソリューションズ株式会社内
- (72)発明者 石谷 朋寛  
神奈川県横浜市港北区新横浜二丁目3番9号 富士通マイクロソリューションズ株式会社内
- (72)発明者 田所 宗晃  
神奈川県横浜市港北区新横浜二丁目3番9号 富士通マイクロソリューションズ株式会社内
- Fターム(参考) 5B046 AA08 BA03  
5F038 DT02 DT06 DT15 EZ09 EZ20