

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4149377号
(P4149377)

(45) 発行日 平成20年9月10日 (2008. 9. 10)

(24) 登録日 平成20年7月4日 (2008. 7. 4)

(51) Int. Cl.

F I

H O 1 L 25/065 (2006. 01)

H O 1 L 25/08

Z

H O 1 L 25/07 (2006. 01)

H O 1 L 25/18 (2006. 01)

請求項の数 5 (全 30 頁)

(21) 出願番号 特願2003-506004 (P2003-506004)
 (86) (22) 出願日 平成14年4月5日 (2002. 4. 5)
 (86) 国際出願番号 PCT/JP2002/003434
 (87) 国際公開番号 W02002/103793
 (87) 国際公開日 平成14年12月27日 (2002. 12. 27)
 審査請求日 平成16年10月1日 (2004. 10. 1)
 (31) 優先権主張番号 特願2001-172503 (P2001-172503)
 (32) 優先日 平成13年6月7日 (2001. 6. 7)
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 角 義之
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体グループ内
 (72) 発明者 内藤 孝洋
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体グループ内
 (72) 発明者 佐藤 俊彦
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

(a) 第1主面、前記第1主面上に形成された複数の第1電極、前記複数の第1電極上にそれぞれ形成された複数の第1パンプ電極、及び前記第1主面と反対側の第1裏面を有する第1半導体チップと、第2主面、前記第2主面上に形成された複数の第2電極、前記複数の第2電極上にそれぞれ形成された複数の第2パンプ電極、及び前記第2主面と反対側の第2裏面を有する第2半導体チップと、第3主面、前記第3主面上に形成された複数の第3電極、及び前記第3主面と反対側の第3裏面を有する第3半導体チップとを準備する工程、

(b) 表面、前記表面に形成された複数の配線、前記複数の配線の周囲に形成された複数のボンディングパッド、前記表面と反対側の裏面、及び前記裏面に形成された複数の電極パッドを有する配線基板を準備し、前記配線基板の前記複数の配線上に樹脂テープを貼り付ける工程、

(c) 前記(b)工程の後、前記第1半導体チップの前記第1主面及び前記第2半導体チップの前記第2主面のそれぞれが前記配線基板の前記表面と対向し、前記第1半導体チップと前記第2半導体チップが互いに隣り合うように、前記配線基板の前記表面に貼り付けられた前記樹脂テープ上に前記複数の第1パンプ電極を介して前記第1半導体チップ及び前記複数の第2パンプ電極を介して前記第2半導体チップのそれぞれを搭載する工程、

(d) 前記(c)工程の後、前記第1半導体チップの前記第1裏面及び前記第2半導体チップの前記第2裏面にツールを押し当て、前記複数の第1パンプ電極及び前記複数の第2

10

20

パンプ電極のそれぞれを前記複数の配線と電氣的に接続し、前記複数の第 1 パンプ電極及び前記複数の第 2 パンプ電極を前記樹脂テープで封止し、前記第 1 半導体チップと前記第 2 半導体チップとの間に前記樹脂テープを充填させる工程、

(e) 前記 (d) 工程の後、前記第 3 半導体チップの前記第 3 裏面が前記第 1 半導体チップの前記第 1 裏面及び前記第 2 半導体チップの前記第 2 裏面とそれぞれ対向するように、前記第 1 半導体チップの前記第 1 裏面上及び前記第 2 半導体チップの前記第 2 裏面上に前記第 3 半導体チップを積層する工程、

(f) 前記 (e) 工程の後、前記第 3 半導体チップの前記複数の第 3 電極と前記配線基板の前記複数のボンディングパッドとを複数のワイヤを介してそれぞれ電氣的に接続する工程、

(g) 前記 (f) 工程の後、前記第 1 半導体チップ、前記第 2 半導体チップ、前記第 3 半導体チップ、及び前記複数のワイヤをモールド樹脂で封止する工程、

(h) 前記 (g) 工程の後、前記配線基板の前記複数の電極パッドに複数の半田バンプをそれぞれ接続する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記 (b) 工程において、前記樹脂テープは、前記第 1 半導体チップと前記第 2 半導体チップとの間よりも小さい粒径サイズから成る第 1 フィラーを有し、

前記 (g) 工程において、前記モールド樹脂は、前記第 1 半導体チップと前記第 2 半導体チップとの間及び前記第 1 フィラーの径よりも大きい粒径サイズから成る第 2 フィラーを有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記 (d) 工程では、前記ツールを加熱した状態で押し当てることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記樹脂テープは、前記配線基板をベークしてから貼り付けることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】

前記樹脂テープは、前記配線基板をベークし、さらにプラズマ処理を施してから貼り付けることを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

【 0 0 0 2 】

本発明は、半導体装置およびその製造技術に関し、特に、複数の半導体チップを同一の配線基板上に搭載したマルチチップモジュール (Multi-Chip Module; M C M) またはマルチチップパッケージ (Multi-Chip Package; M C P) に適用して有効な技術に関する。

【従来の技術】

【 0 0 0 3 】

フラッシュメモリや D R A M (Dynamic Random Access Memory) などのメモリ L S I を大容量化する対策の一つとして、これらのメモリ L S I が形成された半導体チップ (メモリチップ) を積層して単一のパッケージに封止したメモリ・モジュール構造が種々提案されている。

【 0 0 0 4 】

例えば特開平 4 - 3 0 2 1 6 4 号公報は、一つのパッケージ内に同一機能、同一サイズの複数の半導体チップを絶縁層を介して階段状に積層し、それぞれの半導体チップの階段状部分に露出したボンディングパッドとパッケージのインナーリードとをワイヤを介して電氣的に接続したパッケージ構造を開示している。

【 0 0 0 5 】

また、特開平 1 1 - 2 0 4 7 2 0 号公報は、絶縁性基板上に熱圧着シートを介して第 1 の

10

20

30

40

50

半導体チップを搭載し、この第1の半導体チップ上に熱圧着シートを介して、外形寸法が第1の半導体チップよりも小さい第2の半導体チップを搭載し、第1および第2の半導体チップのボンディングパッドと絶縁性基板上の配線層とをワイヤを介して電氣的に接続し、第1および第2の半導体チップとワイヤとを樹脂により封止したパッケージ構造を開示している。

【発明が解決しようとする課題】

【0006】

本発明者らは、一つのパッケージ内に複数個の半導体チップ（以下、単にチップという）を搭載したマルチチップモジュールを開発している。

【0007】

本発明者らが開発中のマルチチップモジュールは、DRAM（Dynamic Random Access Memory）が形成されたチップと、フラッシュメモリが形成されたチップと、高速マイクロプロセッサ（MPU：超小型演算処理装置）が形成されたチップとを単一の樹脂パッケージ内に封止することによって、複数個のメモリチップを樹脂封止した従来のメモリ・モジュールよりも汎用性が高いシステムを実現しようとするものである。また、このマルチチップモジュールは、実装面積を縮小するために、3個のチップのうち、DRAMが形成されたチップとフラッシュメモリが形成されたチップとをパッケージ基板の主面上に並べて配置し、フリップチップ方式によって実装する。また、マイクロプロセッサが形成された第3のチップは、上記2個のメモリチップの上に積層し、ワイヤボンディング方式によって実装する。

【0008】

ところが、上記のような構造のマルチチップモジュールは、高密度実装の観点から、並べて配置した2個のメモリチップの間隔が数10 μ m程度と極めて狭く、しかもこれら2個のメモリチップの上に第3のチップが積層されるため、これら3個のチップをモールド樹脂で封止しようとする、2個のメモリチップの隙間にモールド樹脂が入り難いという問題がある。

【0009】

一般に、モールド樹脂中には、モールド樹脂の熱膨張係数をシリコンチップのそれに近づけるために、シリカフィラーが混入されている。しかし、このシリカフィラーの粒径（例えば70～100 μ m）は、上記した2個のメモリチップの間隔（数10 μ m）よりも大きい、これがメモリチップの隙間にモールド樹脂が充填され難いという原因の一つになっている。

【0010】

2個のメモリチップの隙間がモールド樹脂で充填されないと、そこに空気溜まり（ボイド）が生じるため、ボイド内の空気の熱膨張が繰り返されることに起因して、ボイドを中心にモールド樹脂とチップの剥離が広がり、例えば、MCPを実装基板に半田リフロー技術を用いて実装する時に、パッケージクラックを引き起こす虞れがある。

【0011】

本発明の目的は、複数個のチップを配線基板に搭載してその主面を樹脂封止したマルチチップモジュールの信頼性、高密度実装化、低コスト化を促進させる技術を提供することにある。

【0012】

本発明の他の目的は、複数個のチップの上に他のチップを積層して樹脂封止したマルチチップモジュールの信頼性を向上させる技術を提供することにある。

【0013】

本発明の他の目的は、複数個のチップの上に他のチップを積層して樹脂封止したマルチチップモジュールの製造コストを低減することのできる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

20

30

40

50

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

本願発明による半導体装置の製造方法は、以下の工程を含んでいる。

(a) 第1主面、前記第1主面上に形成された複数の第1電極、前記複数の第1電極上にそれぞれ形成された複数の第1バンパ電極、及び前記第1主面と反対側の第1裏面を有する第1半導体チップと、第2主面、前記第2主面上に形成された複数の第2電極、前記複数の第2電極上にそれぞれ形成された複数の第2バンパ電極、及び前記第2主面と反対側の第2裏面を有する第2半導体チップと、第3主面、前記第3主面上に形成された複数の第3電極、及び前記第3主面と反対側の第3裏面を有する第3半導体チップとを準備する工程、

10

(b) 表面、前記表面に形成された複数の配線、前記複数の配線の周囲に形成された複数のボンディングパッド、前記表面と反対側の裏面、及び前記裏面に形成された複数の電極パッドを有する配線基板を準備し、前記配線基板の前記複数の配線上に樹脂テープを貼り付ける工程、

(c) 前記(b)工程の後、前記第1半導体チップの前記第1主面及び前記第2半導体チップの前記第2主面のそれぞれが前記配線基板の前記表面と対向し、前記第1半導体チップと前記第2半導体チップが互いに隣り合うように、前記配線基板の前記表面に貼り付けられた前記樹脂テープ上に前記複数の第1バンパ電極を介して前記第1半導体チップ及び前記複数の第2バンパ電極を介して前記第2半導体チップのそれぞれを搭載する工程、

20

(d) 前記(c)工程の後、前記第1半導体チップの前記第1裏面及び前記第2半導体チップの前記第2裏面にツールを押し当て、前記複数の第1バンパ電極及び前記複数の第2バンパ電極のそれぞれを前記複数の配線と電気的に接続し、前記複数の第1バンパ電極及び前記複数の第2バンパ電極を前記樹脂テープで封止し、前記第1半導体チップと前記第2半導体チップとの間に前記樹脂テープを充填させる工程、

(e) 前記(d)工程の後、前記第3半導体チップの前記第3裏面が前記第1半導体チップの前記第1裏面及び前記第2半導体チップの前記第2裏面とそれぞれ対向するように、前記第1半導体チップの前記第1裏面上及び前記第2半導体チップの前記第2裏面上に前記第3半導体チップを積層する工程、

30

(f) 前記(e)工程の後、前記第3半導体チップの前記複数の第3電極と前記配線基板の前記複数のボンディングパッドとを複数のワイヤを介してそれぞれ電気的に接続する工程、

(g) 前記(f)工程の後、前記第1半導体チップ、前記第2半導体チップ、前記第3半導体チップ、及び前記複数のワイヤをモールド樹脂で封止する工程、

(h) 前記(g)工程の後、前記配線基板の前記複数の電極パッドに複数の半田バンパをそれぞれ接続する工程。

【発明の実施の形態】

【0018】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の機能を有するものには同一の符号を付し、その繰り返しの説明は省略する。

40

【0019】

(実施の形態1)

図1は、本実施形態の半導体装置の上面を示す平面図、図2は、この半導体装置の断面図、図3は、この半導体装置の下面を示す平面図である。

【0020】

本実施形態の半導体装置は、パッケージ基板1の主面上に3個のチップ2A、2B、2Cを実装し、これらのチップ2A、2B、2Cをモールド樹脂3で封止したマルチチップモ

50

ジュール（ＭＣＭ）である。３個のチップ２Ａ～２Ｃのうち、２個のチップ２Ａ、２Ｂは、パッケージ基板１の主面上に並べて配置され、それらの主面に形成された複数のＡｕバンプ４を介してパッケージ基板１の配線５と電氣的に接続されている。すなわち、チップ２Ａ、２Ｂのそれぞれは、フリップチップ方式によって実装されている。

【００２１】

チップ２Ａ、２Ｂの主面（下面）とパッケージ基板１の主面との隙間には、アンダーフィル樹脂（封止樹脂）６が充填されている。チップ２Ａは、例えば複数の記憶素子を有する記憶回路を含むＤＲＡＭが形成されたシリコンチップであり、チップ２Ｂは、例えばフラッシュメモリが形成されたシリコンチップである。

【００２２】

チップ２Ｃは、２個のチップ２Ａ、２Ｂを跨ぐように配置され、接着剤７によってチップ２Ａ、２Ｂの上面に接着されている。チップ２Ｃの主面に形成されたボンディングパッド１３は複数のＡｕワイヤ８によってパッケージ基板１のボンディングパッド９と電氣的に接続されている。すなわち、チップ２Ｃは、ワイヤボンディング方式によって実装されている。チップ２Ｃは、例えばプログラムで動作するプロセッサ回路を含む高速マイクロプロセッサ（ＭＰＵ：超小型演算処理装置）が形成されたシリコンチップである。

【００２３】

上記３個のチップ２Ａ、２Ｂ、２Ｃを実装するパッケージ基板１は、ガラス繊維を含んだエポキシ樹脂（ガラス・エポキシ樹脂）のような汎用樹脂を主体として構成された多層配線基板であり、その主面（上面）、下面および内部に４～６層程度の配線５が形成されている。

【００２４】

パッケージ基板１の下面には、上記配線５と電氣的に接続された複数の電極パッド１０がアレイ状に配置されており、それぞれの電極パッド１０には、マルチチップモジュール（ＭＣＭ）の外部接続端子を構成する半田バンプ１１が接続されている。マルチチップモジュール（ＭＣＭ）は、これらの半田バンプ１１を介して電子機器の配線基板などに実装される。パッケージ基板１の主面および下面には、配線５とチップ２Ａ、２Ｂとの接続部、ボンディングパッド９、電極パッド１０などの表面を除き、エポキシ系樹脂やアクリル系樹脂などからなるソルダレジスト（絶縁膜）１２がコーティングされている。

【００２５】

上記マルチチップモジュール（ＭＣＭ）の寸法の一例を説明すると、パッケージ基板１の外形寸法は、縦×横＝１３ｍｍ×１３ｍｍ、厚さ０．３ｍｍである。パッケージ基板１に実装されたチップ２Ａ、２Ｂ、２Ｃの厚さは、それぞれ０．１５ｍｍ、並んで配置された２個のチップ２Ａ、２Ｂの間隔は、２０μｍ～１００μｍである。チップ２Ａ、２Ｂ、２Ｃを封止するモールド樹脂３の厚さは、０．６６ｍｍ、モールド樹脂３の上面から半田バンプ１１の下端までの距離、すなわちマルチチップモジュール（ＭＣＭ）の実装高さは、１．４６８ｍｍである。

【００２６】

次に、上記のように構成された本実施形態の半導体装置の製造方法を図４～図２６を用いて工程順に説明する。

【００２７】

図４～図８は、マルチチップモジュール（ＭＣＭ）の製造に使用する長方形の基板（以下、マルチ配線基板またはマルチ配線基板１００という）を示している。図４は、このマルチ配線基板１００の主面（チップ実装面）を示す全体平面図、図５は、裏面を示す全体平面図である。また、図６は、マルチ配線基板１００の一部を示す平面図と側面図、図７は、マルチ配線基板１００の一部を示す断面図、図８は、マルチ配線基板１００の一部（パッケージ基板１個分の領域）を示す拡大平面図である。

【００２８】

マルチ配線基板１００は、前記パッケージ基板１の母体となる基板である。このマルチ配線基板１００を図４、図５に示すダイシングラインＬに沿って格子状に切断（ダイシング

10

20

30

40

50

）、個片化することにより、複数のパッケージ基板 1 が得られる。図に示すマルチ配線基板（マルチ配線基板）100 の場合は、その長辺方向が 6 ブロックのパッケージ基板形成領域に区画され、短辺方向が 3 ブロックのパッケージ基板形成領域に区画されているので、 $3 \times 6 = 18$ 個のパッケージ基板 1 が得られる。

【0029】

上記マルチ配線基板 100 は、ガラス・エポキシ樹脂のような汎用樹脂を主体として構成された多層配線基板である。マルチ配線基板 100 の主面には、配線 5 およびボンディングパッド 9 が形成されており、裏面には、電極パッド 10 が形成されている。また、マルチ配線基板 100 の内層には、複数層の配線 5 が形成されている。パッケージ基板 1 を、安価な汎用樹脂を使って製造することにより、マルチチップモジュール（MCM）の製造原価を低減することができる。

10

【0030】

マルチ配線基板 100 の主面の配線 5 およびボンディングパッド 9 と、裏面の電極パッド 10 は、マルチ配線基板 100 の両面に貼り付けた Cu 箔をエッチングすることによって形成される。マルチ配線基板 100 の主面の配線 5 のうち、ソルダレジスト 12 で覆われていない領域、すなわちチップ 2A、2B の Au パンプ 4 が接続される領域の表面には、Ni および Au のメッキが施されている。また、ボンディングパッド 9 の表面および電極パッド 10 の表面にも、Ni および Au のメッキが施されている。これらのメッキは、無電解メッキ法で形成することもできるが、無電解メッキ法で形成したメッキ層は膜厚が薄く、ボンディングパッド 9 上に Au ワイヤ 4 を接続したときに十分な接着強度が確保し難いので、上記 Ni および Au のメッキは、無電解メッキ法よりも膜厚を厚くすることのできる電解メッキ法で形成される。

20

【0031】

配線 5、ボンディングパッド 9 および電極パッド 10 の表面に電解メッキ法で Ni および Au のメッキを施す場合は、配線 5、ボンディングパッド 9 および電極パッド 10 がマルチ配線基板 100 の全域で導通した状態でメッキ処理を行い、次いで、ダイシングライン上の配線 5 をルータで切断した後、各パッケージ基板形成領域の導通試験を行う。そのため、図 6 および図 7 に示したように、マルチ配線基板 100 の主面のダイシングライン上には、この領域の配線 5 をルータで切断したときの溝 101 が残っている。前記ルータ加工により、導通試験を行うための各パッケージ基板間の連続して形成された配線が切断されるので、導通試験が個別にでき、また、マルチ配線基板 100 を完全に切り離さない

30

ので、一括モールド工程やその後の基板搬送処理が容易にできる。切断された配線の端部が溝 101 の側面から露出している。

【0032】

図 8 に示すように、パッケージ基板形成領域の周辺部には、チップ実装領域を囲むように複数のボンディングパッド 13 が形成されている。ボンディングパッド 13 は、パッケージ基板形成領域の 4 辺に沿って 2 列に配置されている。ボンディングパッド 13 とチップ実装領域との間には、チップ実装領域を囲むようにダム領域 16 が設けられている。このダム領域 16 は、ソルダレジスト 12 が形成されていない領域であり、その内側および外側のソルダレジスト 12 が形成された領域よりも表面の高さが低くなっているため、チップ 2A、2B の下部にアンダーフィル樹脂 6 を充填する際、このアンダーフィル樹脂 6 がパッケージ基板形成領域の周辺部、すなわちボンディングパッド 13 が形成された領域に流れるのを防ぐ機能を持っている。

40

【0033】

上記マルチ配線基板 100 を使ってマルチチップモジュール（MCM）を製造するには、図 9（パッケージ基板 2 個分の領域を示す断面図）および図 10（パッケージ基板 1 個分の領域を示す拡大平面図）に示すように、マルチ配線基板 100 の主面のチップ実装領域に樹脂テープ 6a を貼り付ける。樹脂テープ 6a は、例えば粒径 $3 \mu\text{m}$ 程度のシリカを分散させた熱硬化型エポキシ系樹脂からなるもので、あらかじめ 2 個のチップ（チップ 2A、2B）とほぼ同じ寸法となるように裁断しておく。樹脂テープ 6a は、樹脂中に導電性

50

の微粉末を分散させた異方性導電性樹脂（ＡＣＦ）などで構成することもできる。樹脂テープ６aは、各半導体チップ２A、２Bとほぼ同じ寸法の２枚の分割されたテープを用いてもよい。

【００３４】

なお、大気中に放置したマルチ配線基板１００には大気中の水分が浸入しているため、そのまま樹脂テープ６aを貼り付けると、両者の接着性が低下する虞れがある。従って、マルチ配線基板１００の主面に樹脂テープ６aを貼り付ける際には、その直前にマルチ配線基板１００をベークして水分を除去しておくことが望ましい。ベーク条件は、例えば１２５、２時間程度である。また、上記ベーク処理に続いてマルチ配線基板１００をプラズマ処理し、その表面を活性化することにより、樹脂テープ６aとマルチ配線基板１００との接着性をさらに向上させることができる。

10

【００３５】

次に、図１１および図１２に示すように、マルチ配線基板１００の主面に貼り付けた樹脂テープ６aの上に２個のチップ２A、２Bをフェイスダウン方式で搭載する。このとき、チップ２Aとチップ２Bの隙間を２０μm～１００μm程度に設定する。樹脂テープ６aに含まれるシリカの粒径は３μm程度であるため、チップ２Aとチップ２Bの隙間を２０μmまで狭くしても、この隙間にアンダーフィル樹脂６を充填させることができる。他方、チップ２Aとチップ２Bの隙間が広すぎると、この隙間がアンダーフィル樹脂６で完全に充填されなくなり、後のモールド工程でこの隙間に空気溜まり（ボイド）が生じることがある。また、チップ２Aとチップ２Bの隙間を広くすることは個々の配線基板の面積を大きくすることを意味し、高密度実装を阻害するものである。

20

【００３６】

図１３に示すように、ＤＲＡＭが形成されたチップ２Aの主面には、あらかじめボールボンディング法を用いてＡｕバンプ４を形成しておく。また、図１４に示すように、フラッシュメモリが形成されたチップ２Bの主面にも、同様の方法でＡｕバンプ４を形成しておく。これらのＡｕバンプ４は、ウエハプロセスの最終工程で形成する。すなわち、通常のウエハプロセスが完了した後、ウエハのボンディングパッド上にボールボンディング法を用いてＡｕバンプ４を形成し、その後、ウエハをダイシングすることによって、個片化されたチップ２A、２Bを得る。

【００３７】

通常、ＤＲＡＭのボンディングパッドは、チップの中央に一行に配置されるが、フラッシュメモリのボンディングパッドは、チップの短辺に沿って２列に配置される。そのため、ＤＲＡＭのボンディングパッドは、フラッシュメモリのそれに比べてパッドのピッチが狭くなり、それに伴ってパッドの径も小さくなる（例えばフラッシュメモリの端子ピッチが１５０μmの場合、ＤＲＡＭのそれは８５μm程度である）。従って、ＤＲＡＭのボンディングパッド上にＡｕバンプ４を形成するときは、径の細い（例えば直径２０μm）のＡｕ線を使用し、フラッシュメモリのボンディングパッド上にＡｕバンプ４を形成するときは、径の太い（例えば直径３０μm）のＡｕ線を使用するのが通常である。

30

【００３８】

しかし、本実施形態のマルチチップモジュール（ＭＣＭ）は、２個のチップ２A、２Bの上に第３のチップ２Cを積層するので、チップの厚さおよびＡｕバンプ４の径を２個のチップ２A、２Bで同じにすることによって、両者の実装高さを揃える必要がある。従って、本実施形態では、フラッシュメモリのボンディングパッド上にＡｕバンプ４を形成するときに使用するＡｕ線は、ＤＲＡＭのボンディングパッド上にＡｕバンプ４を形成するときに使用するＡｕ線と同じ径（例えば直径２０μm）のものを使用する。この場合、ソルダレジスト１２の厚さ（例えば２５μm）を考慮すると、細いＡｕ線を使って形成したＡｕバンプ４は、ボンディングパッドとの接触面積が少なり、接触不良を起こす可能性がある。そこで本実施形態では、Ａｕバンプ４とボンディングパッドとの接触面積を確保するために、Ａｕバンプ４の上にＡｕバンプ４を重ねてボンディングする多段バンプ構造を採用する。

40

50

【 0 0 3 9 】

次に、図 1 5 に示すように、2 個のチップ 2 A、2 B の上に底面が平坦なヒートツール（ヒートブロックとも言う）1 0 2 を押し当てる。ヒートツール 1 0 2 の加圧圧力は、例えば 1 5 k g / 1 0 m m 2、温度は例えば 2 3 5 である。これにより、樹脂テープ 6 a が溶融し、チップ 2 A、2 B とマルチ配線基板 1 0 0 の隙間、およびチップ 2 A とチップ 2 B の隙間にアンダーフィル樹脂 6 が充填されると共に、チップ 2 A、2 B の A u バンプ 4 とマルチ配線基板 1 0 0 の配線 5（図 1 5 には示さない）とが電氣的に接続される。アンダーフィル樹脂 6 は、チップ 2 A、2 B の主面（半導体素子および電極（ボンディングパッド）形成面）の保護する、チップ 2 A、2 B をマルチ配線基板 1 0 0 に接着する、バンプ電極 4 とマルチ配線基板 1 0 0 の電極パッドの接続強度を確保する等の目的で形成される。

10

【 0 0 4 0 】

このように、本実施形態では、チップ 2 A、2 B とほぼ同じ寸法に加工した樹脂テープ 6 a を溶融させることによって、チップ 2 A、2 B とマルチ配線基板 1 0 0 の隙間、およびチップ 2 A とチップ 2 B の隙間にアンダーフィル樹脂 6 を充填する。この方法によれば、例えばチップ 2 A、2 B の周辺にディスペンサを使って液状のアンダーフィル樹脂を供給する充填方法に比べた場合、アンダーフィル樹脂 6 がチップ 2 A、2 B の周囲にはみ出す量を少なくすることができるので、チップ 2 A、2 B を囲むように配置されたマルチ配線基板 1 0 0 上のボンディングパッド 9 がアンダーフィル樹脂 6 で覆われることはない。

【 0 0 4 1 】

20

次に、図 1 6 および図 1 7 に示すように、2 個のチップ 2 A、2 B の上にチップ 2 C を搭載する。図 1 8 に示すように、マイクロプロセッサが形成されたチップ 2 C の主面には、その 4 辺に沿ってボンディングパッド 1 3 が形成されている。ボンディングパッド 1 3 の数は、チップ 2 A やチップ 2 B に形成されたボンディングパッドの数よりも多い。このようにボンディングパッド数が比較的少ないチップをバンプ電極によってフェースダウン実装し、ボンディングパッド数が比較的多いチップをワイヤボンディングによりフェースアップ実装することによって、配線基板の配線密度（配線ピッチ）や配線引き回しを低減し、低コストで高密度実装されたパッケージを提供できる。

【 0 0 4 2 】

チップ 2 C は、マルチ配線基板 1 0 0 とチップ 2 C とを接続する A u ワイヤ 8 の長さが出来るだけ均一になるよう、各パッケージ基板形成領域の中央に配置する。また、チップ 2 C の裏面には、あらかじめチップ 2 C と同じ寸法に裁断されたテープ状の接着剤 7 を貼り付けておく。チップ 2 C の裏面にテープ状の接着剤 7 を貼り付けるには、例えば図 1 9 および図 2 0 に示すように、通常のウエハプロセスが完了したウエハ 1 4 の裏面にダイシングテープ 1 5 を貼り付ける際、ウエハ 1 4 とダイシングテープ 1 5 との間にテープ状の接着剤 7 を挟み込み、この状態でウエハ 1 4 をダイシングすることによってチップ 2 C を得る。その後、チップ 2 C の裏面のダイシングテープ 1 5 を除去すると、チップ 2 C の裏面にチップ 2 C と同寸法の接着剤 7 が残る。接着剤 7 は、例えばポリイミド樹脂系の接着剤を使用する。

30

【 0 0 4 3 】

40

次に、マルチ配線基板 1 0 0 を加熱炉内で 1 8 0 、1 時間程度加熱する。この加熱処理により、接着剤 7 が軟化し、チップ 2 A、2 B の上にチップ 2 C が接着される。

【 0 0 4 4 】

次に、図 2 1 および図 2 2 に示すように、マルチ配線基板 1 0 0 のボンディングパッド 9 とチップ 2 C のボンディングパッド 1 3（図 2 1、2 2 には示さない）とを A u ワイヤ 8 で接続する。A u ワイヤ 8 の接続は、例えば超音波振動と熱圧着とを併用したワイヤボンダを使用して行う。

【 0 0 4 5 】

次に、図 2 3 および図 2 4 に示すように、マルチ配線基板 1 0 0 をモールド金型（図示せず）に装着し、マルチ配線基板 1 0 0 の主面全体を一括して樹脂封止する。モールド樹脂

50

3は、例えば粒径 $70\mu\text{m} \sim 100\mu\text{m}$ 程度のシリカを分散させた熱硬化型エポキシ系樹脂からなる。前述したように、チップ2A、2Bとマルチ配線基板100の隙間、およびチップ2Aとチップ2Bの隙間には、あらかじめアンダーフィル樹脂6が充填されているので、マルチ配線基板100の主面を樹脂封止したときに、これらの隙間に空気溜まり(ボイド)が生じることはない。

【0046】

次に、図25に示すように、マルチ配線基板100の裏面の電極パッド9(図25には示さない)に半田バンプ11を接続する。半田バンプ11の接続は、例えば低融点のPb-Sn共晶合金からなる半田ボールを電極パッド9の表面に供給した後、半田ボールをリフローさせることによって行う。

10

【0047】

次に、図26に示すように、マルチ配線基板100を前記図4、図5に示すダイシングラインLに沿って切断、個片化することにより、前記図1～図3に示した本実施形態のマルチチップモジュール(MCM)が完成する。マルチ配線基板100を切断するときには、マルチ配線基板100のダイシングラインLに形成された溝101(図6および図7参照)の幅よりも狭い幅のダイシングブレードを使用する。このようにすると、パッケージ基板1の側面の一部がモールド樹脂3で覆われる(図2参照)ので、パッケージ基板1の側面から内部に浸入する水分の量が低減され、マルチチップモジュール(MCM)の信頼性が向上する。個片化されたマルチチップモジュール(MCM)は、例えば、プリント配線基板(PCB)等の実装用意基板に、半田バンプ11を介して実装される。

20

【0048】

(実施の形態2)

本実施形態の半導体装置の製造方法を図27～図34を用いて工程順に説明する。

【0049】

前記実施の形態1では、DRAMが形成されたチップ2Aの主面およびフラッシュメモリが形成されたチップ2Bの主面にそれぞれAuバンプ4を形成したが、本実施形態では、Auバンプ4に代えて半田バンプ20を使用する。

【0050】

図27は、DRAMが形成されたチップ2Aの主面に半田バンプ20を形成した状態を示す平面図である。図示のように、半田バンプ20は、チップ2Aの主面にアレイ状に配置されている。ボンディングパッド13と半田バンプ20とは、再配線と呼ばれるCu配線21を介して電氣的に接続されている。Cu配線21は、ボンディングパッド13のピッチを半田バンプ20のピッチに変換するインターポーザとして機能し、これによって半田バンプ20のピッチをボンディングパッド13のピッチよりも広くすることができるので、パッケージ基板1として高価なビルドアップ基板を使用しなくともよく、配線5のピッチが広い安価な樹脂基板を使用することができる。

30

【0051】

Cu配線21および半田バンプ20は、ウエハプロセスの最終工程で形成される。すなわち、Cu配線21は、ウエハの表面保護膜上にポリイミド樹脂などの有機絶縁膜を形成した後、この有機絶縁膜上に電解メッキ法などを用いて形成される。Cu配線21とボンディングパッド13は、ボンディングパッド13上の有機絶縁膜に形成したスルーホールを通じて電氣的に接続される。また、半田バンプ20は、Cu配線21の一端にスクリーン印刷法で半田ペーストを印刷し、次に、ウエハを加熱してこの半田ペーストを溶融させることによって形成する。半田バンプ20は、例えば2重量%のSnを含むPb-Sn合金(液相線温度 $320 \sim 325$)などで構成する。なお、図示は省略するが、フラッシュメモリが形成されたチップ2Bの主面にも同様の方法でCu配線21および半田バンプ20を形成する。

40

【0052】

次に、図28に示すように、マルチ配線基板100のそれぞれのパッケージ基板形成領域にチップ2A、2Bを位置決めした後、マルチ配線基板100を電気炉内で 340 程度

50

に加熱して半田バンプ 20 をリフローすることによって、チップ 2 A、2 B の半田バンプ 20 とマルチ配線基板 100 の配線 5 とを電氣的に接続する。

【0053】

次に、図 29 に示すように、2 個のチップ 2 A、2 B の上にチップ 2 C を搭載する。チップ 2 A、2 B とチップ 2 C との接着は、前記実施の形態 1 と同様、チップ 2 C の裏面に貼り付けた接着剤 7 を使用する。

【0054】

次に、図 30 および図 31 に示すように、マルチ配線基板 100 のボンディングパッド 9 とチップ 2 C のボンディングパッド 13 とを Au ワイヤ 8 で接続する。Au ワイヤ 8 の接続は、前記実施の形態 1 と同様、例えば超音波振動と熱圧着とを併用したワイヤボンダを使用して行う。

10

【0055】

次に、図 32 に示すように、チップ 2 A、2 B の周辺部にディスペンサなどを使って液状のアンダーフィル樹脂 6 を供給した後、アンダーフィル樹脂 6 を加熱、硬化させることによって、チップ 2 A、2 B とマルチ配線基板 100 の隙間、およびチップ 2 A とチップ 2 B の隙間にアンダーフィル樹脂 6 を充填する。液状のアンダーフィル樹脂 6 は流動性が高く、また添加されているシリカフィラーの粒径は、チップ 2 A とチップ 2 B の隙間 ($20\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度) よりも小さい ($3\ \mu\text{m}$ 程度) ため、チップ 2 A とチップ 2 B の隙間をアンダーフィル樹脂 6 で完全に充填することができる。

20

【0056】

また、本実施形態では、液状のアンダーフィル樹脂 6 をチップ 2 A、2 B の周辺部に供給する際、パッケージ基板形成領域の周辺部にも供給し、ボンディングパッド 13 の表面がアンダーフィル樹脂 6 で覆われるようにする。アンダーフィル樹脂 6 は、全てのボンディングパッド 13 の表面を完全に覆う必要はない。この状態でアンダーフィル樹脂 6 を硬化すると、ボンディングパッド 13 の表面に接続された Au ワイヤ 8 の一端部がアンダーフィル樹脂 6 によって固定されるため、ボンディングパッド 13 と Au ワイヤ 8 の接続信頼性が向上する。また、アンダーフィル樹脂 6 を充填前にワイヤボンディング工程が完了しているので、アンダーフィル樹脂 6 により基板上の形成された電極パッドの汚染も回避できる。

30

【0057】

次に、図 33 に示すように、マルチ配線基板 100 をモールド金型 (図示せず) に装着し、マルチ配線基板 100 の主面全体を一括して樹脂封止する。モールド樹脂 3 は、例えば粒径 $70\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度のシリカを分散させた熱硬化型エポキシ系樹脂からなる。前述したように、チップ 2 A、2 B とマルチ配線基板 100 の隙間、およびチップ 2 A とチップ 2 B の隙間には、あらかじめアンダーフィル樹脂 6 が充填されているので、マルチ配線基板 100 の主面を樹脂封止したときに、これらの隙間に空気溜まり (ボイド) が生じることはない。また、本実施形態では、Au ワイヤ 8 の一端部がアンダーフィル樹脂 6 によってボンディングパッド 13 の表面に固定されているので、熔融したモールド樹脂 3 をモールド金型内に注入した時の圧力による Au ワイヤ 8 の断線を確実に防止することができる。

40

【0058】

次に、図 34 に示すように、マルチ配線基板 100 の裏面の電極パッド 10 に半田バンプ 11 を接続する。図示は省略するが、その後、前記実施の形態 1 と同様の方法でマルチ配線基板 100 を切断することにより、本実施形態のマルチチップモジュール (MCM) が完成する。

【0059】

(実施の形態 3)

本実施形態の半導体装置の製造方法を図 35 ~ 図 37 を用いて工程順に説明する。

【0060】

まず、図 35 に示すように、チップ 2 A、2 B の半田バンプ 20 とマルチ配線基板 100

50

の配線 5 とを電氣的に接続し、続いて 2 個のチップ 2 A、2 B の上に接着剤 7 を介してチップ 2 C を搭載した後、マルチ配線基板 1 0 0 のボンディングパッド 9 とチップ 2 C のボンディングパッド 1 3 とを Au ワイヤ 8 で接続する。ここまでの工程は、前記実施の形態 2 の図 2 7 ~ 図 3 1 に示した工程と同じである。

【 0 0 6 1 】

次に、図 3 6 に示すように、マルチ配線基板 1 0 0 をモールド金型（図示せず）に装着し、マルチ配線基板 1 0 0 の主面全体を一括して樹脂封止する。このとき、本実施形態では、前記実施の形態 1、2 で用いたアンダーフィル樹脂 6 と同様、添加されているシリカフィラーの粒径が $3\ \mu\text{m}$ 程度のモールド樹脂 3 を使用する。このモールド樹脂 3 に添加されているシリカフィラーの粒径は、チップ 2 A とチップ 2 B の隙間（ $20\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度）よりも小さいため、チップ 2 A、2 B とマルチ配線基板 1 0 0 の隙間、およびチップ 2 A とチップ 2 B の隙間をモールド樹脂 3 で完全に充填することができる。このモールド樹脂 3 は、前記実施の形態 1、2 で用いた粒径 $70\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度のシリカが添加されたモールド樹脂 3 に比べて高価であるが、チップ 2 A、2 B とマルチ配線基板 1 0 0 の隙間、およびチップ 2 A とチップ 2 B の隙間にアンダーフィル樹脂 6 を充填する工程を省略することができる。

10

【 0 0 6 2 】

次に、図 3 7 に示すように、前記実施の形態 1、2 と同様の方法でマルチ配線基板 1 0 0 の裏面の電極パッド 9 に半田バンプ 1 1 を接続する。図示は省略するが、その後、前記実施の形態 1、2 と同様の方法でマルチ配線基板 1 0 0 を切断することにより、本実施形態

20

【 0 0 6 3 】

（実施の形態 4）

図 3 8 は、本実施形態の半導体装置を示す断面図、図 3 9 は、図 3 8 の一部を拡大して示す断面図である。

【 0 0 6 4 】

本実施形態の半導体装置は、DRAM が形成された 1 個のチップ 2 A をパッケージ基板 1 の主面上に実装すると共に、高速マイクロプロセッサ（MPU）が形成された 1 個のチップ 2 C をチップ 2 A の上部に積層し、これら 2 個のチップ 2 A、2 C をモールド樹脂 3 で封止したマルチチップモジュール（MCM）である。

30

【 0 0 6 5 】

下層のチップ 2 A は、パッケージ基板 1 の主面に形成された Au バンプ 4 を介してパッケージ基板 1 の配線 5 と電氣的に接続されている。すなわち、チップ 2 A は、フリップチップ方式によって実装されている。チップ 2 A の主面（下面）とパッケージ基板 1 の主面との隙間には、アンダーフィル樹脂 6 が充填されている。

【 0 0 6 6 】

上層のチップ 2 C は、接着剤 7 によってチップ 2 A の上面に接着されている。チップ 2 C の主面に形成されたボンディングパッド 1 3 は、複数本の Au ワイヤ 8 によってパッケージ基板 1 のボンディングパッド 9 と電氣的に接続されている。すなわち、チップ 2 C は、ワイヤボンディング方式によって実装されている。

40

【 0 0 6 7 】

上記 2 個のチップ 2 A、2 C を実装するパッケージ基板 1 の下面には、上記配線 5 に電氣的に接続された複数の電極パッド 1 0 がアレイ状に配置されており、それぞれの電極パッド 1 0 には、マルチチップモジュール（MCM）の外部接続端子（ピン）を構成する半田バンプ 1 1 が接続されている。パッケージ基板 1 の主面および下面には、配線 5 とチップ 2 A との接続部、ボンディングパッド 9、電極パッド 1 0 などの表面を除き、エポキシ系樹脂やアクリル系樹脂などからなるソルダレジスト 1 2 がコーティングされている。

【 0 0 6 8 】

前記図 1 3 に示すように、DRAM が形成されたチップ 2 A は、長方形の平面形状を有し、その主面の中央には複数の Au バンプ 4 が一列に配置されている。また、前記図 1 8 に

50

示すように、マイクロプロセッサが形成されたチップ 2 C は、略正方形の平面形状を有し、その主面の 4 辺に沿ってボンディングパッド 1 3 が形成されている。チップ 2 C に形成されたボンディングパッド 1 3 の数は、チップ 2 A に形成されたボンディングパッド (A u パンプ 4) の数よりも多い。

【 0 0 6 9 】

前述したように、ボンディングパッド数が少なく、ボンディングパッドの最小ピッチが大きいチップ 2 A と、ボンディングパッド数が多く、ボンディングパッドの最小ピッチが小さいチップ 2 C を積層する場合は、ボンディングパッドの最小ピッチが大きいチップ 2 A を A u パンプ 4 によってフェースダウン実装し、ボンディングパッドの最小ピッチが小さいチップ 2 C をワイヤボンディングによりフェースアップ実装する。これにより、パッケージ基板 1 に対する配線密度の要求を緩くすることができるので、パッケージ基板 1 としてより安価なものを使用することが可能となり、低コストで高密度実装が可能なパッケージを提供することができる。

10

【 0 0 7 0 】

図 3 9 に示すように、上記のような長方形の平面形状を有する 1 個のチップ 2 A の上に略正方形の平面形状を有するチップ 2 C を積層する場合には、上層のチップ 2 C の周辺部が下層のチップ 2 A の周辺部よりも外側に張り出す (オーバーハング) することがある。

【 0 0 7 1 】

このとき、上層のチップ 2 C のオーバーハング量が大きいと、このチップ 2 C の周辺部に形成されたボンディングパッド 1 3 上に A u ワイヤ 1 3 をボンディングする際に、チップ 2 C の周辺部に加わる荷重によってチップ 2 C が割れる虞れがある。その対策として、下層のチップと基板との隙間に充填する樹脂の量を多くすることによって、チップ 2 C の周辺部直下にも充填してやる方法が考えられる (特開 2 0 0 0 - 2 9 9 4 3 1 号公報) 。この方法によれば、ワイヤボンディング時に上層のチップ 2 C の周辺部に荷重が加わっても、チップ 2 C の周辺部は樹脂によって支持されているので、チップ 2 C の割れを防ぐことができる。

20

【 0 0 7 2 】

しかし、上記した対策は、アンダーフィル樹脂 6 の供給量の制御によって、下層チップ 2 A からその外周へのアンダーフィル樹脂 6 のはみ出し量を制御するものであるもので、そのはみ出し量の正確な制御は困難である。特に、下層チップ 2 A の接着工程において、過剰なアンダーフィル樹脂 6 のはみ出しによって、パッケージ基板 1 主面上のボンディングパッド 9 を汚染してしまうと、その後のワイヤボンディング工程においてボンディングワイヤとボンディングパッド 9 との非接続不良を招く虞れがある。また、このような問題を解決するために、たとえ過剰なアンダーフィル樹脂 9 のはみ出しがあってもボンディングパッド 9 が汚染されないように、上層チップ 2 C のボンディングパッド 1 3 が配置される領域からボンディングパッド 9 までの距離を十分に確保しようとする、パッケージ基板 1 の大型化、ひいては M C M の大型化につながり、好ましくない。

30

【 0 0 7 3 】

そこで、本実施形態では、図 3 9 に示すように、アンダーフィル樹脂 6 のはみ出し量のばらつきがあったとしてもボンディングパッド 9 の汚染が発生しないように、上層チップ 2 C が下層チップ 2 A の外側にオーバーハングしている場合において、上層チップ 2 C のボンディングパッド 1 3 をアンダーフィル樹脂 6 のはみ出し部で支えない構成にすると共に、ワイヤボンディング工程時の上層チップ 2 C の割れを防ぐために、上層チップ 2 C が支えられていない部分の長さ (h) を最大でも 1 . 5 m m 以下、好ましくは 1 m m 以下に設定する。

40

【 0 0 7 4 】

図 4 0 は、本実施形態によるマルチチップモジュール (M C M) のピン (端子) 配置図である。

【 0 0 7 5 】

本実施形態のマルチチップモジュール (M C M) に使用されるパッケージ基板 1 は、高速

50

マイクロプロセッサ（MPU）が形成された１個のチップ２Ｃを実装するために設計されたパッケージ基板と共通のピン配置を有している。従って、図４０に示すピンのうち、２個のチップ２Ａ、２Ｃに共通するピンである制御ピン（CASL、RASL、CS3、RDWR、WE1、WE0：以下、全てＣと表記）、アドレスピン（A0～A14：以下、全てＡと表記）およびデータピン（D0～D15：以下、全てＤと表記）のそれぞれは、共通の配線５で接続される。

【００７６】

また、チップ２Ｃの他にチップ２Ａを実装してマルチチップモジュール（MCM）を構成する場合、パッケージ基板１にはチップ２Ｃの電気特性をテストするピンの他にチップ２Ａの特性をテストするピン（DRAMの場合、２個程度）が必要になる。そこで、本実施形態では、図４１に示すように、チップ実装領域の直下にチップ２Ａのテストピン１１ｔを配置する。

10

【００７７】

この場合、パッケージ基板１の中央付近にテストピン１１ｔを配置するとテストピン１１ｔに接続される配線５が長くなるので、パッケージ基板１の配線設計が困難となる。他方、テストピン１１ｔに接続される配線５の長さを最短距離にするために、他のピン（半田バンプ１１）が配置されている領域に隣接してテストピン１１ｔを配置すると、他のピン（半田バンプ１１）とテストピン１１ｔとの距離が狭くなるので、テストピン１１ｔに隣接する他のピンに接続される配線５のレイアウトが困難となり、この場合は、MCMを実装するための実装基板の配線設計が困難となる。

20

【００７８】

上記のような問題を解決するためには、図４１に示すように、他のピン（半田バンプ１１）が配置されている領域に隣接してテストピン１１ｔを配置するのではなく、それよりもさらに１列内側にテストピン１１ｔを配置するのがよい。また、他のピン（半田バンプ１１）の中にノンコネクtpinが２個以上ある場合は、このノンコネクtpinが配置される領域にテストピン１１ｔを配置すればよい。

【００７９】

このように、高速マイクロプロセッサ（MPU）が形成された１個のチップ２Ｃを実装するために設計されたパッケージ基板と共通のピン配置（テストピン１１ｔを除く）を有するパッケージ基板１を使ってマルチチップモジュール（MCM）を構成することにより、パッケージ基板１の設計コストを低減することができる。また、パッケージ基板１の使い勝手も向上する。

30

【００８０】

図４２は、パッケージ基板１のアドレスピン（Ａ）群とデータピン（Ｄ）群の配置を示している。図に示すように、高速マイクロプロセッサ（MPU）のようにピン数の多いチップ２Ｃを実装するパッケージ基板１は、一般に、アドレスピン（Ａ）同士、データピン（Ｄ）同士をそれぞれ特定の領域に集中して配置すると共に、アドレスピン（Ａ）群とデータピン（Ｄ）群を隣接して配置することによって、例えばパッケージ基板１を外付けのメモリチップと接続する際の配線長を短縮できるようにしている。

【００８１】

40

一方、図４３に示すように、DRAMが形成されたチップ２Ａは、一般に、チップ２Ａの長辺方向の一端側にアドレスピン（Ａ）群を配置し、他端側にデータピン（Ｄ）群を配置する。

【００８２】

従って、本実施形態のように、チップ２Ａの上にチップ２Ｃを積層してマルチチップモジュール（MCM）を構成する場合は、図４４に示すように、パッケージ基板１のアドレスピン（Ａ）群とチップ２Ａのアドレスピン（Ａ）群およびパッケージ基板１のデータピン（Ｄ）群とチップ２Ａのデータピン（Ｄ）群がそれぞれ近接して配置されるように、チップ２Ａの向きをレイアウトするのがよい。

【００８３】

50

これにより、パッケージ基板 1 のアドレスピン (A) 群とチップ 2 A のアドレスピン (A) 群とを接続する配線 5 群、およびパッケージ基板 1 のデータピン (D) 群とチップ 2 A のデータピン (D) 群とを接続する配線 5 群をパッケージ基板 1 上で互いに交差しないようにレイアウトすることができるので、パッケージ基板 1 の配線設計が容易になる。

【0084】

図 45 (a) ~ (c) は、パッケージ基板 1 のアドレスピン (A) 群とデータピン (D) 群のレイアウトを例示したものである。ここで、符号 (D > A) を付した領域は、主としてデータピン (D) 群が配置された領域、符号 (A > D) を付した領域は、主としてアドレスピン (A) 群が配置された領域を示している。これらの例では、D R A M が形成されたチップ 2 A を、図に示したような向きにレイアウトすることにより、パッケージ基板 1 のアドレスピン (A) 群とチップ 2 A のアドレスピン (A) 群とを接続する配線 5 群、およびパッケージ基板 1 のデータピン (D) 群とチップ 2 A のデータピン (D) 群とを接続する配線 5 群をパッケージ基板 1 上で互いに交差しないようにレイアウトすることができる。

10

【0085】

本実施形態は、D R A M が形成されたチップ 2 A の上にチップ 2 C を積層したマルチチップモジュール (M C M) であるが、例えば前記図 1 4 に示すようなフラッシュメモリが形成されたチップ 2 B 上にチップ 2 C を積層してマルチチップモジュール (M C M) を構成する場合も、チップ 2 B の向きを上記と同じようにレイアウトするのがよい。

【0086】

すなわち、前記図 1 4 に示すようなフラッシュメモリが形成されたチップ 2 B においては、一般に対向する 2 つの短辺の一方にアドレスピン (A) 群が配置され、他方にデータピン (D) 群が配置される。従って、この場合も、パッケージ基板 1 のアドレスピン (A) 群とチップ 2 B のアドレスピン (A) 群、およびパッケージ基板 1 のデータピン (D) 群とチップ 2 B のデータピン (D) 群がそれぞれ近接して配置されるように、チップ 2 B の向きをレイアウトすることにより、パッケージ基板 1 のアドレスピン (A) 群とチップ 2 B のアドレスピン (A) 群とを接続する配線 5 群、およびパッケージ基板 1 のデータピン (D) 群とチップ 2 B のデータピン (D) 群とを接続する配線 5 群をパッケージ基板 1 上で互いに交差しないようにレイアウトすることができる。

20

【0087】

また、前記実施の形態 1 のマルチチップモジュール (M C M) のように、D R A M が形成されたチップ 2 A およびフラッシュメモリが形成されたチップ 2 B の上に高速マイクロプロセッサ (M P U) が形成されたチップ 2 C を積層する場合に前記 M P U チップ 2 C の土台となるチップ 2 A および 2 B の中心がパッケージ基板 1 の中心と一致しない場合がある。通常、配線基板上にチップを積層する場合、土台となるチップの中心に、積層されるチップの中心を合わせて配置するのが一般的であるが、前記 D R A M チップ 2 A およびフラッシュチップ 2 B に比較してピン数も多く、また最小ボンディングパッドピッチも小さい M P U チップ 2 C の配置を、土台となるチップの中心に合わせるために、モジュール基板 1 の中心からずらしてしまうと、ボンディングワイヤ長さの不均一などの問題を招いてしまうという問題がある。

30

【0088】

すなわち、M P U チップ 2 C との接続に必要なモジュール基板 1 上のボンディングパッド 9 は、その数が非常に多いために、なるべくモジュール基板 1 の外周に沿って配置する事で、そのボンディングパッド 9 の間隔を確保することができる。しかし、M P U チップ 2 C の配置がモジュール基板 1 の中心からずれるほど、M P U チップ 2 C の外周に沿って配置されたボンディングパッド 1 3 と、モジュール基板 1 上のボンディングパッド 9 との距離が不均一になるため、ボンディングワイヤ 8 の長さに偏りが出て、特にボンディングワイヤ 8 が長くなった部分での樹脂封止時のワイヤ流れ、ショートなどの問題が発生するおそれがある。

40

【0089】

50

このような問題を解決するために、M P Uチップ2 Cの中心がモジュール基板1の中心からずれたままで、ボンディングパッド13とボンディングパッド9の距離を均一にするためには、ボンディングパッド9の間隔を狭めて、モジュール基板1の主面上に納まるように配置するか、もしくはボンディングパッド9が全て配置できるようにモジュール基板1を大型化する必要がある。

【0090】

従って、基板の中心からずれた位置に配置されたチップ2 A、チップ2 Bの上にチップ2 Cを積層する場合でも、チップ2 Cのピン数がチップ2 A、チップ2 Bに比較して多く、チップ2 Cに対応するボンディングパッド9のピッチをより緩和する必要がある場合には、チップ2 Cの中心をチップ2 Aの中心よりもパッケージ基板1の中心に近づけるように積層することが望ましい。

10

【0091】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0092】

例えば前記実施の形態4のように、D R A Mが形成された1個のチップ2 AとM P Uが形成された1個のチップ2 Cと組み合わせるマルチチップモジュール(M C M)を構成するような場合は、図46に示すように、パッケージ基板1の主面上にD R A Mが形成された1個のチップ2 Aとダミーのチップ2 Dとを並べて配置し、これら2個のチップ2 A、2 Dの上部にチップ2 Cを積層してもよい。この場合、ダミーのチップ2 Dは、例えば集積回路が形成されていない鏡面ウエハをダイシングして形成し、その厚さを、チップ2 Aの厚さとAuパンプ4の高さを合計した厚さと同じにする。このような実装方法は、例えば上層のチップ2 Cの外径寸法が下層のチップ2 Aの外径寸法よりも相当大きく、前記図39で説明した下層のチップ2 Aに対する上層のチップ2 Cのオーバーハング量(h)が1.5 mm以下に設定できないような場合に有効である。

20

【0093】

パッケージ基板上にフリップチップ方式で実装するチップは、D R A M単独、フラッシュメモリ単独、D R A Mとフラッシュメモリの組み合わせに限定されるものではなく、D R A M同士、フラッシュメモリ同士、D R A MまたはフラッシュメモリとS R A M(Static Random Access Memory)など、各種メモリチップを任意に組み合わせることが可能である。また、メモリチップの上に積層するチップもマイクロプロセッサやA S I Cに限定されるものではなく、メモリチップよりもピッチの狭いL S Iが形成されたチップを使用することが可能である。さらに、パッケージ基板上に実装するチップの数も2個あるいは3個に限定されるものではない。

30

【0094】

パッケージ基板上には、コンデンサや抵抗素子など、チップ以外の小型電子部品を実装することもできる。例えば、メモリチップの外周に沿ってチップコンデンサを搭載することにより、メモリチップの駆動時に生じるノイズを低減して高速動作を実現することができる。

40

【0095】

また、チップを実装するパッケージ基板としてビルドアップ基板を使用したり、パッケージ基板の一部に放熱用のキャップを取り付けたりするなど、本発明の要旨を変更しない範囲で種々の設計変更を行うことができる。

【発明の効果】

【0096】

本発明の好ましい一実施態様によれば、複数個のチップの上に他のチップを積層して樹脂封止したマルチチップモジュールの信頼性を向上させることができる。

【0097】

本発明の好ましい他の実施態様によれば、複数個のチップの上に他のチップを積層して樹

50

脂封止したマルチチップモジュールの製造コストを低減することができる。

【図面の簡単な説明】

【 0 0 9 8 】

【図 1】本発明の一実施形態である半導体装置の平面図である。

【図 2】本発明の一実施形態である半導体装置の断面図である。

【図 3】本発明の一実施形態である半導体装置の平面図である。

【図 4】本発明の一実施形態である半導体装置の製造に用いるマルチ配線基板の平面図である。

【図 5】本発明の一実施形態である半導体装置の製造に用いるマルチ配線基板の平面図である。

10

【図 6】図 5 に示すマルチ配線基板の要部拡大平面図である。

【図 7】図 5 に示すマルチ配線基板の要部拡大断面図である。

【図 8】図 5 に示すマルチ配線基板の要部拡大平面図である。

【図 9】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 10】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大平面図である。

【図 11】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 12】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大平面図である。

20

【図 13】本発明の一実施形態である半導体装置の製造に用いる半導体チップの平面図である。

【図 14】本発明の一実施形態である半導体装置の製造に用いる半導体チップの平面図である。

【図 15】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 16】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 17】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大平面図である。

30

【図 18】本発明の一実施形態である半導体装置の製造に用いる半導体チップの平面図である。

【図 19】本発明の一実施形態である半導体装置の製造方法を示す半導体ウエハの斜視図である。

【図 20】本発明の一実施形態である半導体装置の製造方法を示す半導体ウエハの側面図である。

【図 21】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 22】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大平面図である。

40

【図 23】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の平面図である。

【図 24】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 25】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 26】本発明の一実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 27】本発明の他の実施形態である半導体装置の製造に用いる半導体チップの平面図

50

である。

【図 28】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 29】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 30】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 31】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 32】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

10

【図 33】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 34】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 35】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 36】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

【図 37】本発明の他の実施形態である半導体装置の製造方法を示すマルチ配線基板の要部拡大断面図である。

20

【図 38】本発明の他の実施形態である半導体装置の断面図である。

【図 39】図 38 の一部を拡大して示す断面図である。

【図 40】本発明の他の実施形態である半導体装置のピン（端子）配置図である。

【図 41】本発明の他の実施形態である半導体装置におけるテストピンの配置を示すマルチ配線基板の平面図である。

【図 42】本発明の他の実施形態である半導体装置におけるアドレスピン群とデータピン群の配置を示すマルチ配線基板の平面図である。

【図 43】、メモリチップのアドレスピン群とデータピン群の配置を示す平面図である。

【図 44】本発明の他の実施形態である半導体装置におけるメモリチップの最適実装方向を示す平面図である。

30

【図 45】（a）～（c）は、本発明の他の実施形態である半導体装置におけるメモリチップの最適実装方向を示す概略平面図である。

【図 46】本発明の他の実施形態である半導体装置の断面図である。

【符号の説明】

【0099】

1 パッケージ基板

2 A、2 B、2 C チップ

2 D ダミーのチップ

3 モールド樹脂

40

4 Auバンプ

5 配線

6 アンダーフィル樹脂（封止樹脂）

6 a 樹脂テープ

7 接着剤

8 Auワイヤ

9 ボンディングパッド

10 電極パッド

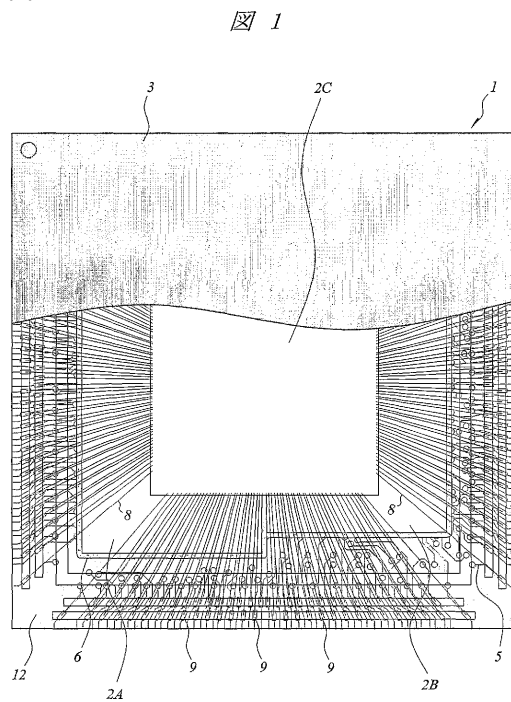
11 半田バンプ

11 t テストピン

50

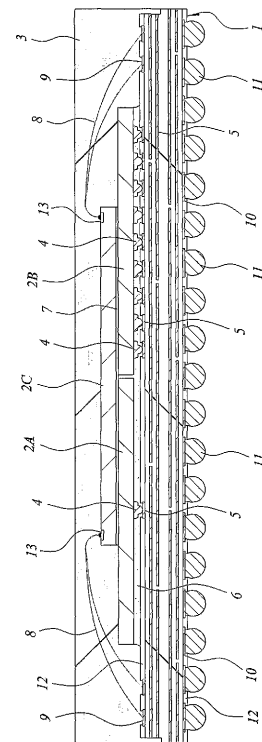
- 1 2 ソルダレジスト
- 1 3 ボンディングパッド
- 1 4 ウエハ
- 1 5 ダイシングテープ
- 2 0 半田バンプ
- 2 1 C u 配線
- 1 0 0 マルチ配線基板
- 1 0 1 溝
- 1 0 2 ヒートツール
- L ダイシングライン

【図 1】

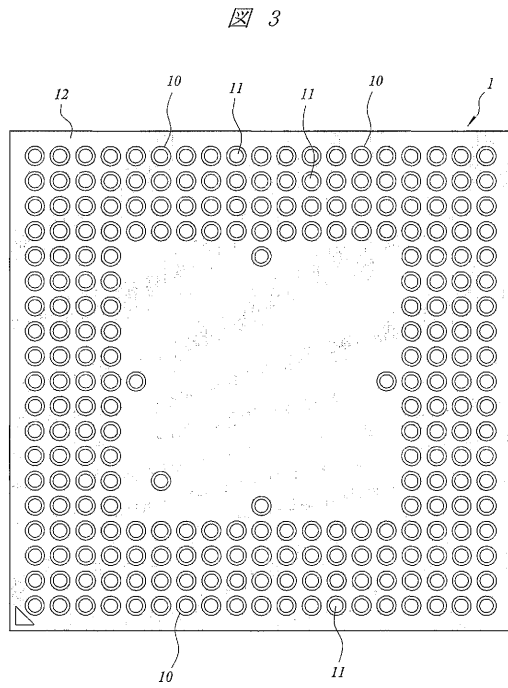


【図 2】

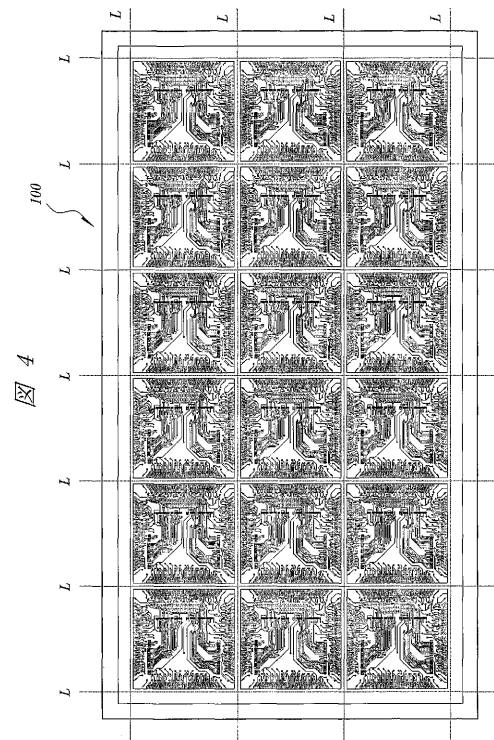
図 2



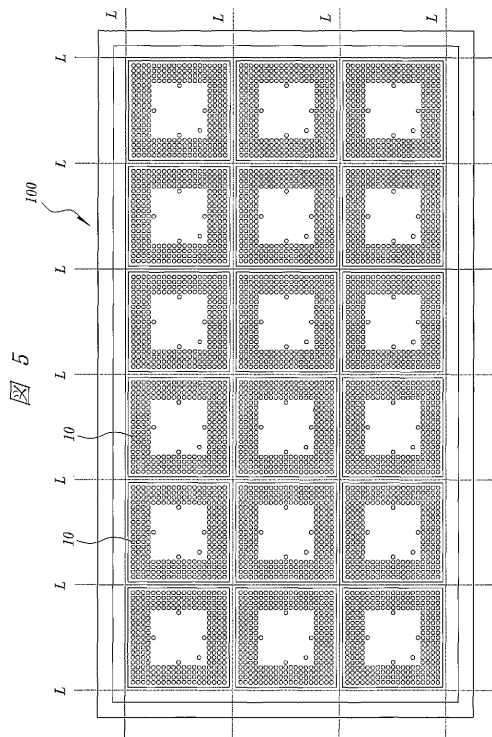
【図 3】



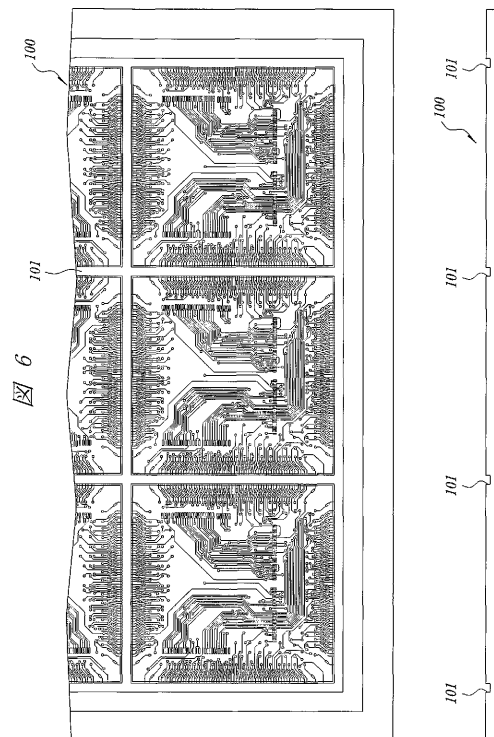
【図 4】



【図 5】

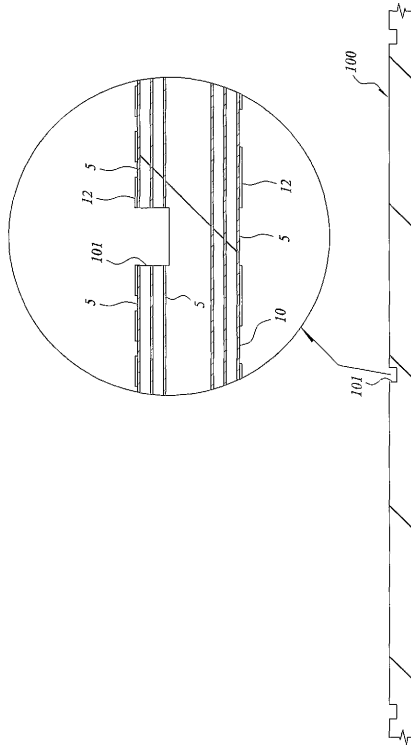


【図 6】



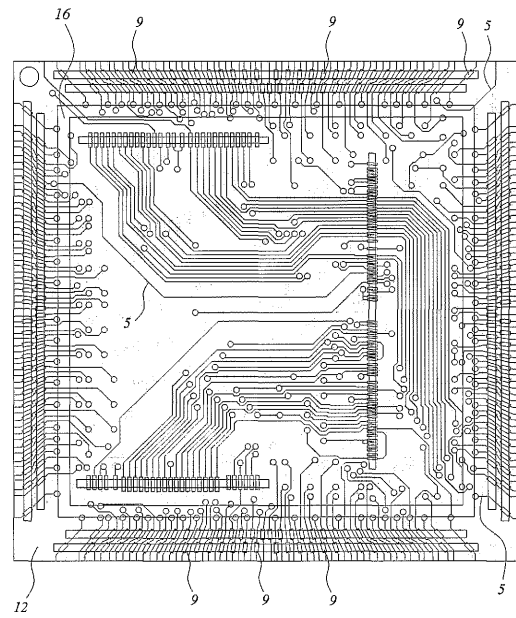
【図 7】

図 7



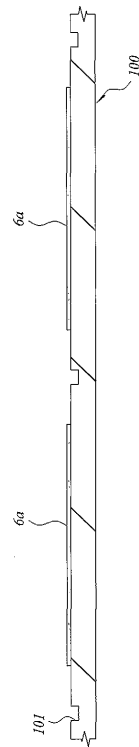
【図 8】

図 8



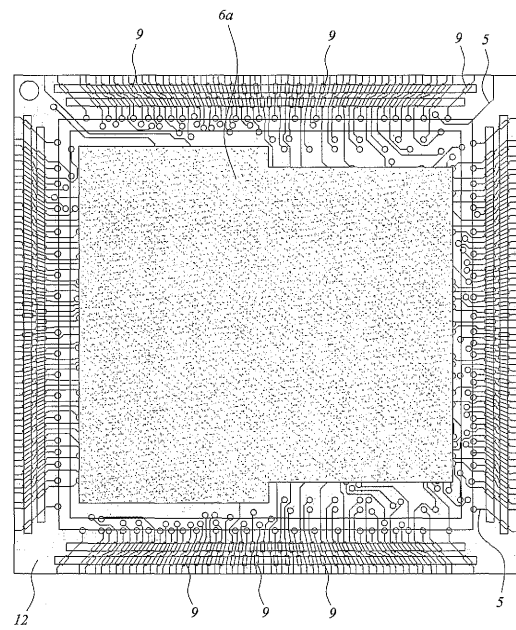
【図 9】

図 9

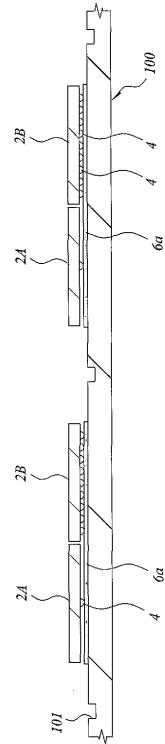


【図 10】

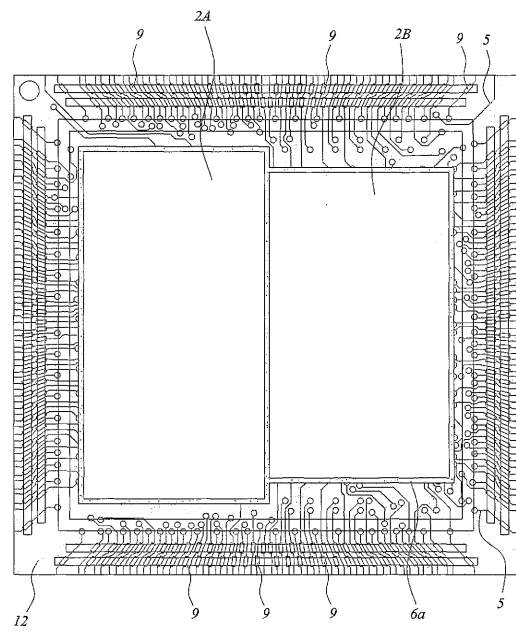
図 10



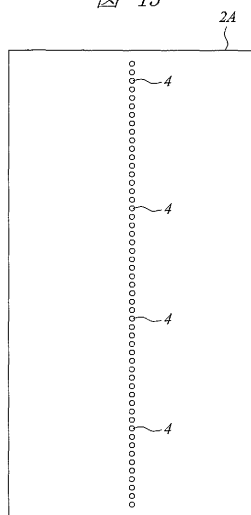
【 図 1 1 】



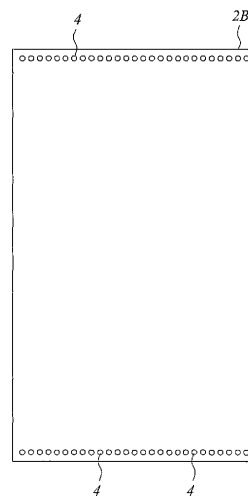
【 図 1 2 】



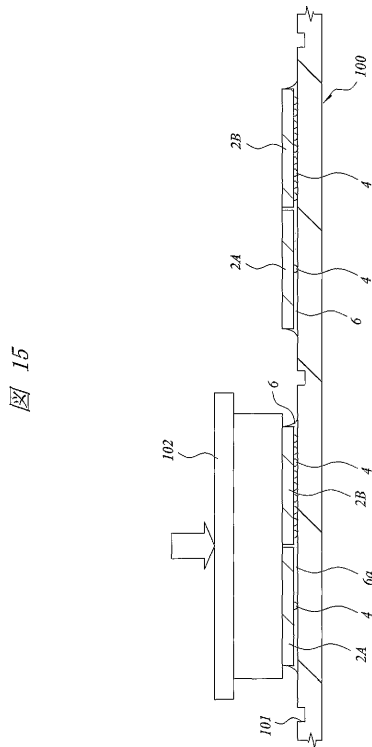
【 図 1 3 】



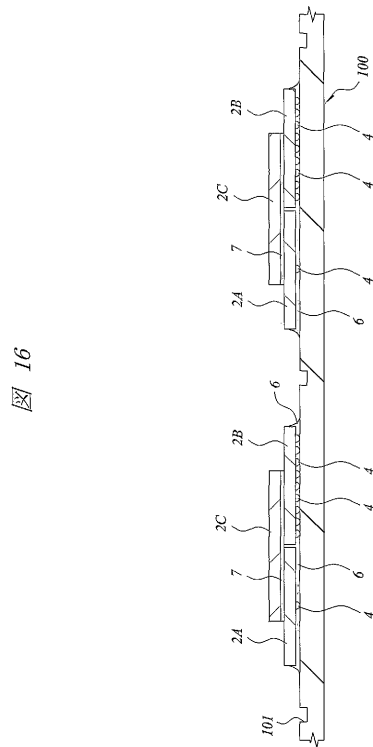
【 図 1 4 】



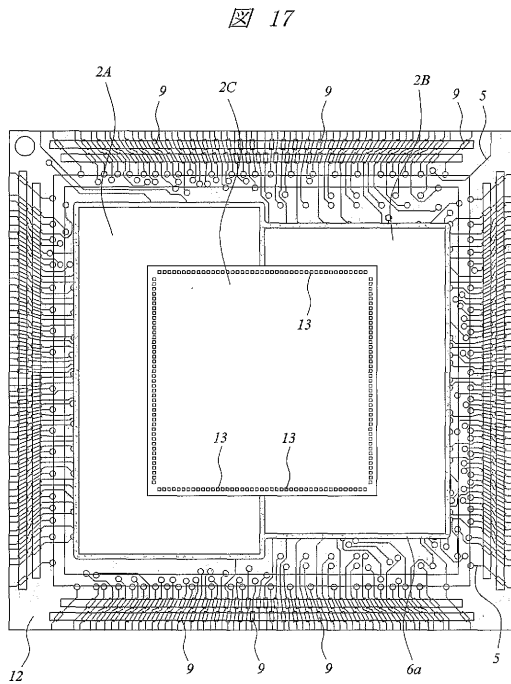
【 図 1 5 】



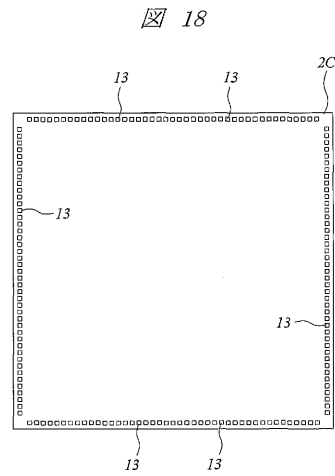
【 図 1 6 】



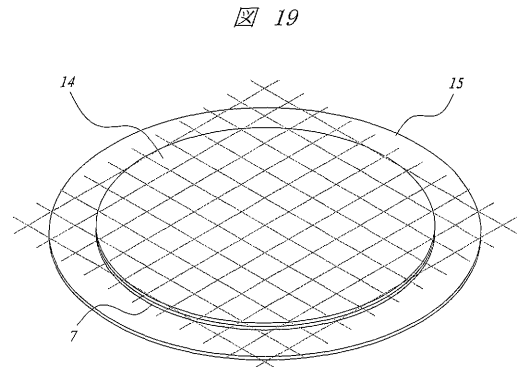
【 図 1 7 】



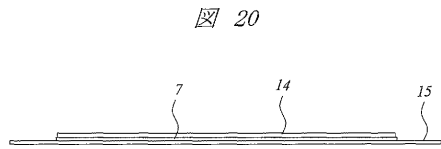
【 図 1 8 】



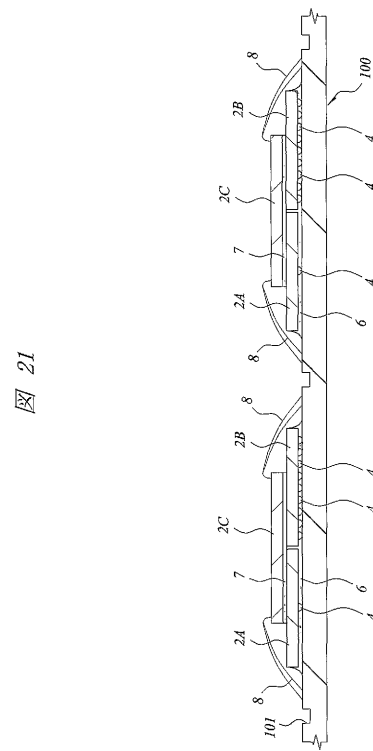
【 図 1 9 】



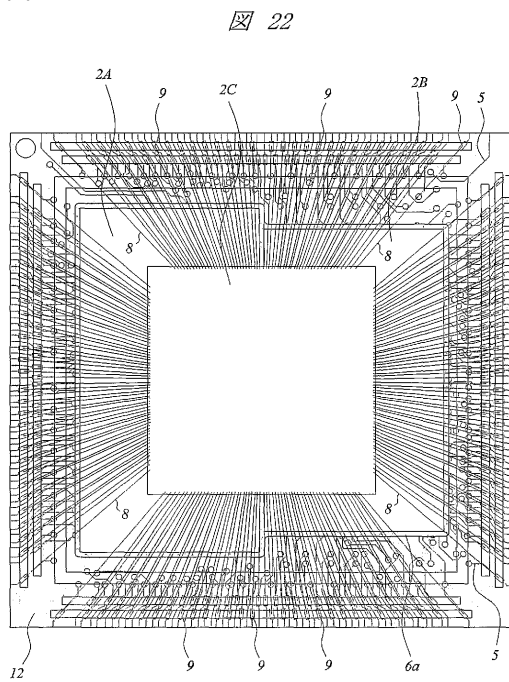
【図 20】



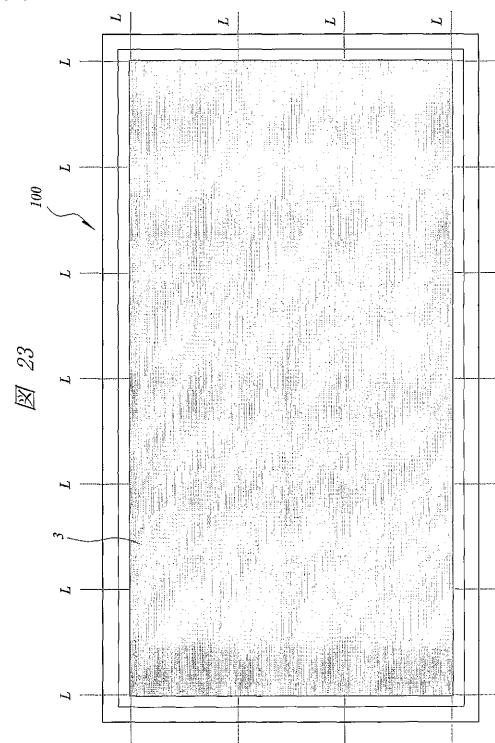
【図 21】



【図 22】

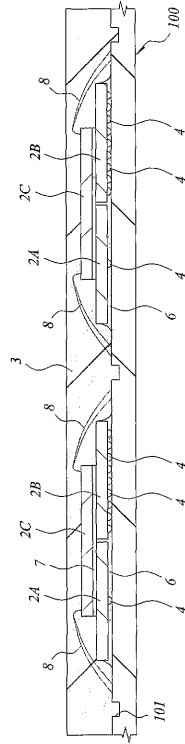


【図 23】



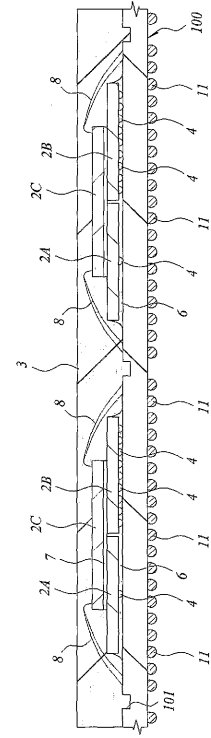
【図 24】

図 24



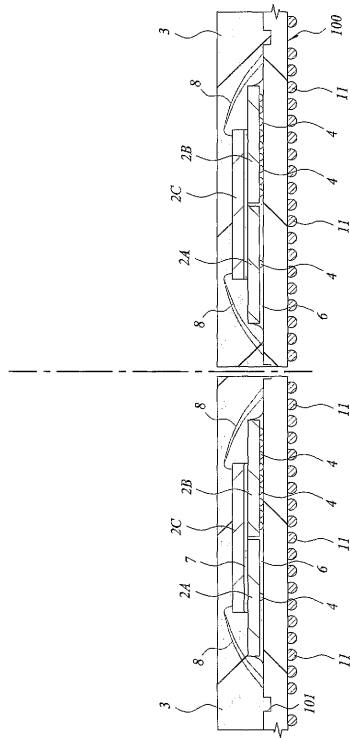
【図 25】

図 25



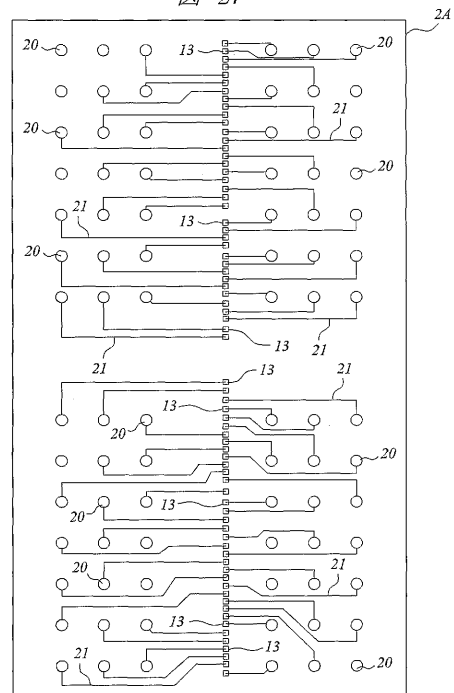
【図 26】

図 26



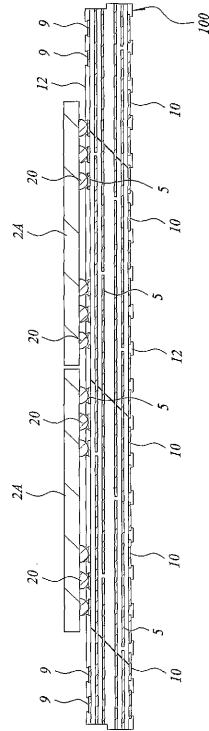
【図 27】

図 27



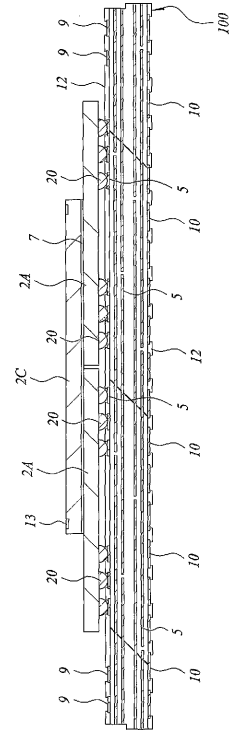
【図 28】

図 28



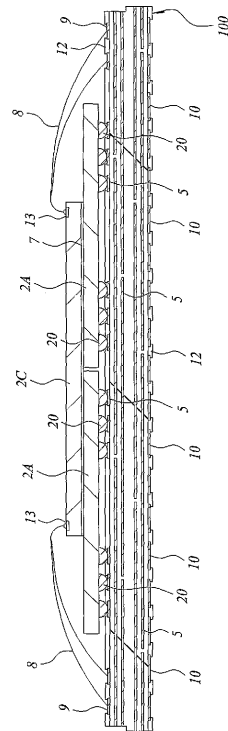
【図 29】

図 29



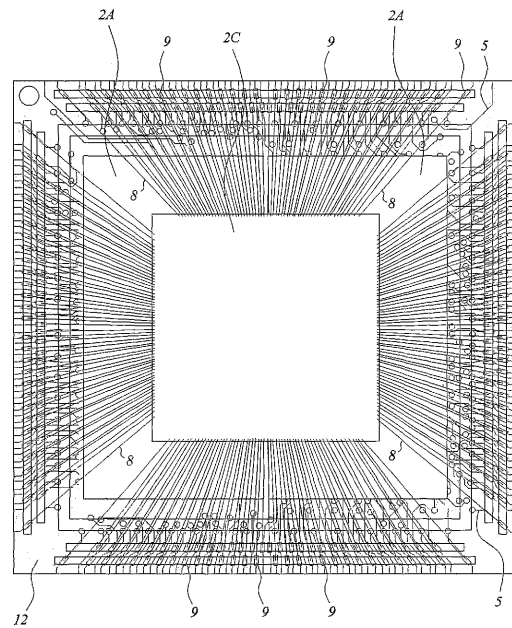
【図 30】

図 30



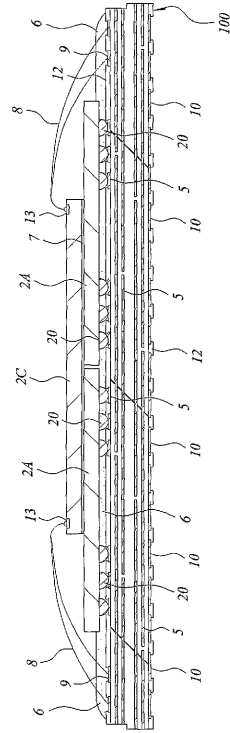
【図 31】

図 31



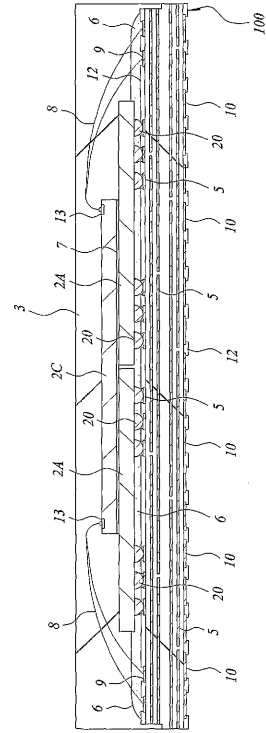
【図 3 2】

図 32



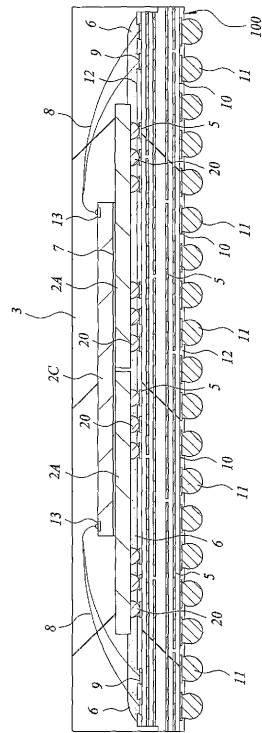
【図 3 3】

図 33



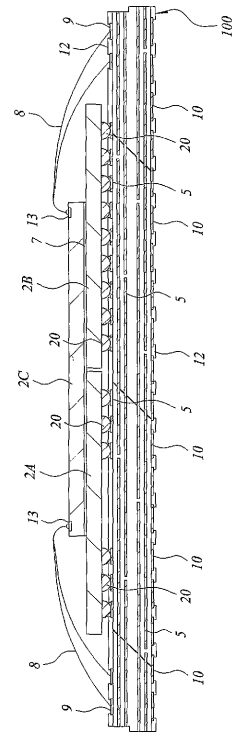
【図 3 4】

図 34



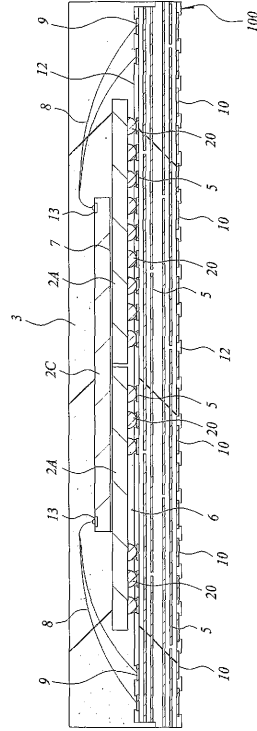
【図 3 5】

図 35



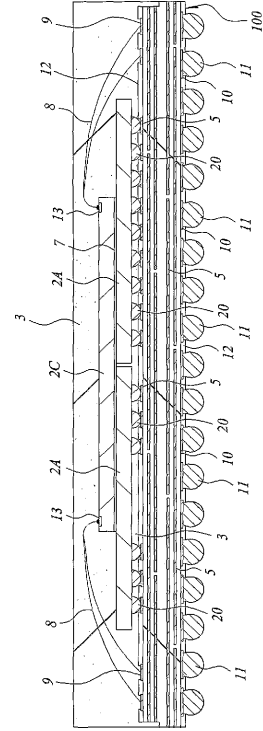
【図 36】

図 36



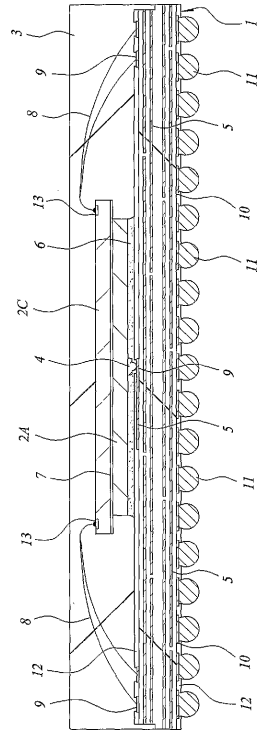
【図 37】

図 37



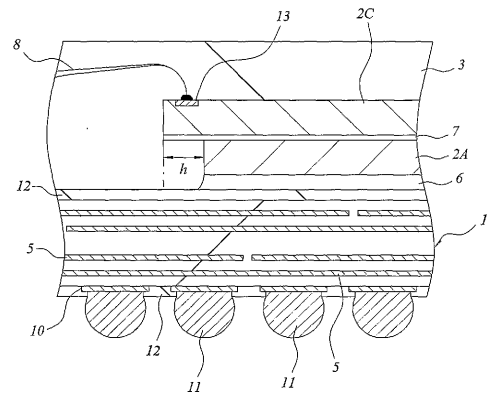
【図 38】

図 38

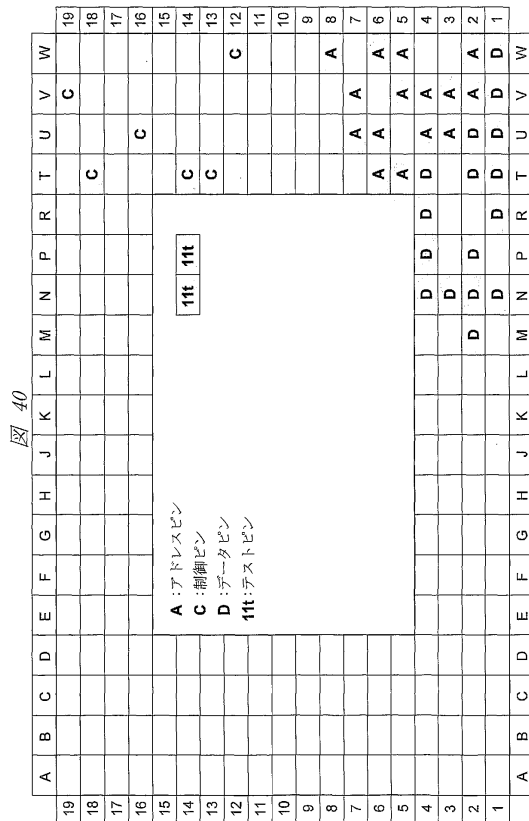


【図 39】

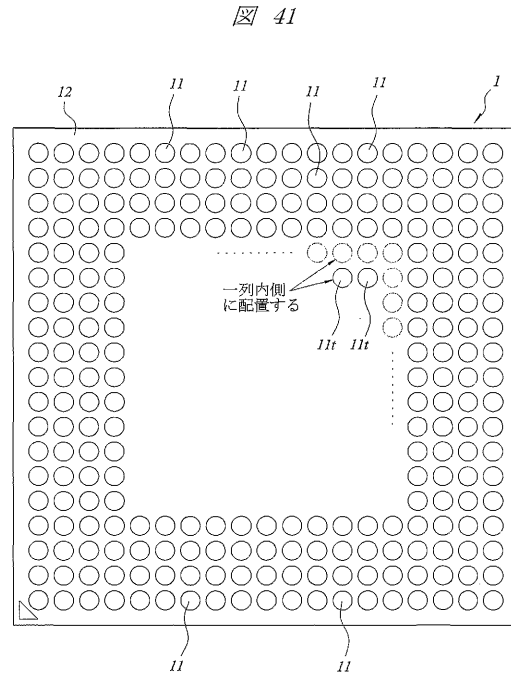
図 39



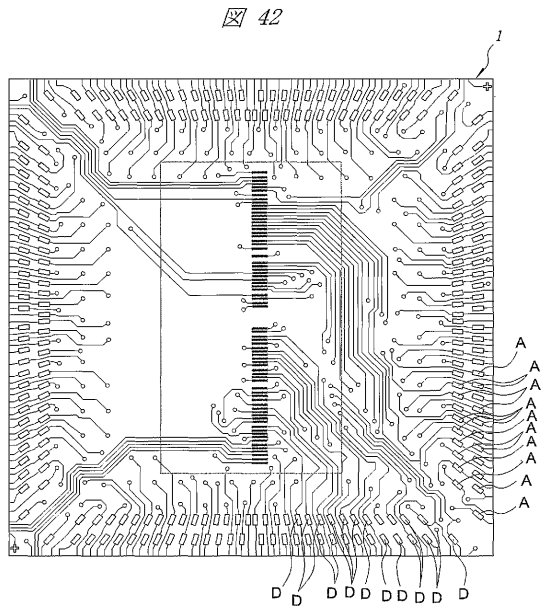
【 図 4 0 】



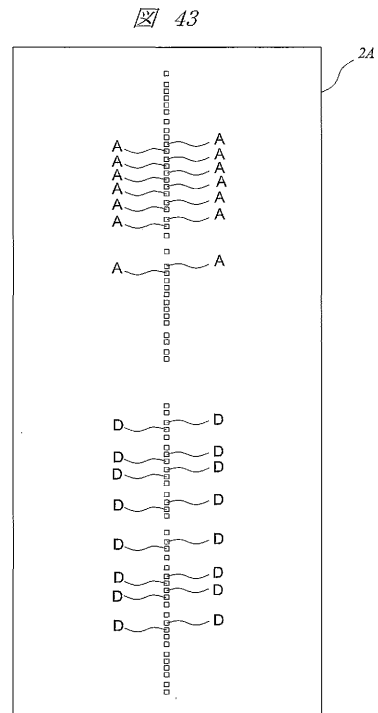
【 図 4 1 】



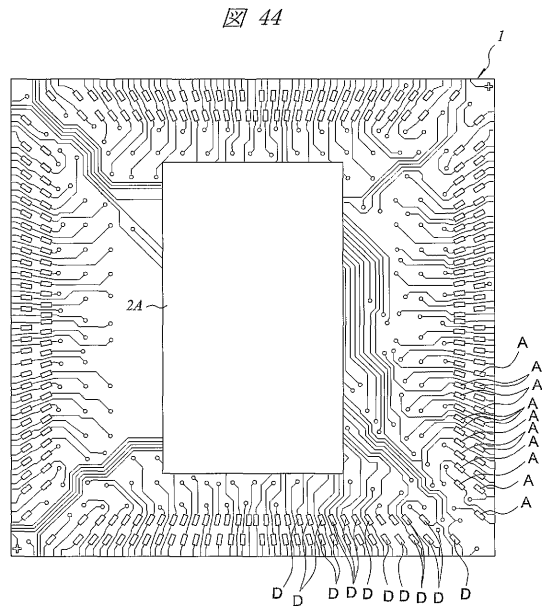
【圖 4 2】



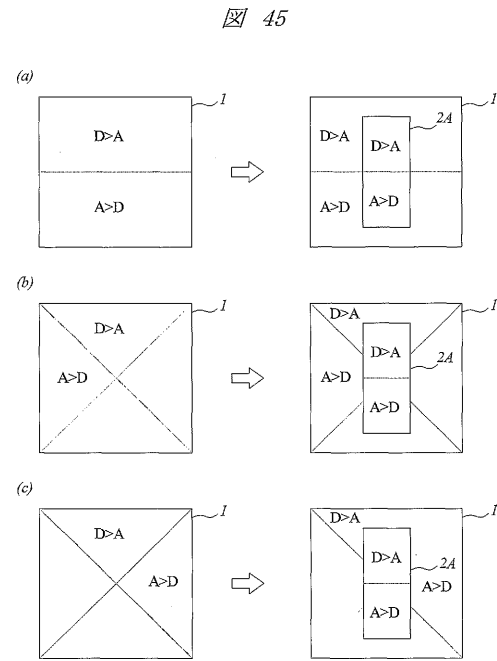
【 図 4 3 】



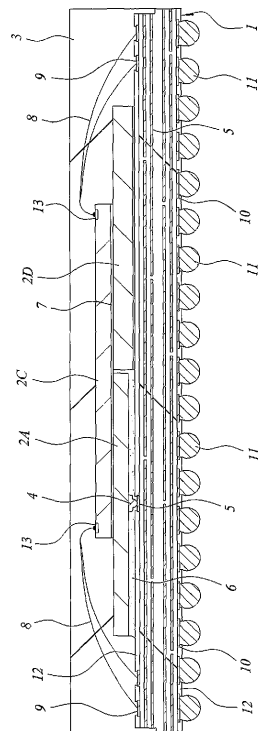
【 図 4 4 】



【 図 4 5 】



【 図 4 6 】



フロントページの続き

(72)発明者 池上 光

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

(72)発明者 菊池 隆文

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

審査官 今井 拓也

(56)参考文献 特開 2 0 0 0 - 2 9 9 4 3 1 (J P , A)

国際公開第 9 9 / 0 2 6 2 8 5 (W O , A 1)

特開 2 0 0 1 - 0 4 4 3 5 8 (J P , A)

特開平 0 7 - 0 8 6 4 9 2 (J P , A)

特開 2 0 0 2 - 0 2 6 2 3 6 (J P , A)

国際公開第 0 1 / 0 1 8 8 6 4 (W O , A 1)

特開 2 0 0 1 - 0 5 6 3 4 6 (J P , A)

特開 2 0 0 0 - 3 3 2 1 9 3 (J P , A)

特開 2 0 0 0 - 2 4 3 9 0 0 (J P , A)

特開 2 0 0 1 - 0 9 4 0 4 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 25/065

H01L 25/07

H01L 25/18