

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年7月25日(2013.7.25)

【公表番号】特表2013-516063(P2013-516063A)

【公表日】平成25年5月9日(2013.5.9)

【年通号数】公開・登録公報2013-022

【出願番号】特願2012-545505(P2012-545505)

【国際特許分類】

H 01 L 21/66 (2006.01)

【F I】

H 01 L 21/66 N

【手続補正書】

【提出日】平成25年6月6日(2013.6.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

任意のプロセスにおいて、金属汚染物混入の量を決定またはモニタリングするための方法であって、当該方法が、

シリコン-オン-インシユレータ構造をプロセシング工程に供する工程であって、前記シリコン-オン-インシユレータ構造が、ハンドルウエハと、シリコン層と、前記ハンドルウエハと前記シリコン層との間の誘電層とを含み、前記シリコン-オン-インシユレータ構造は、前記シリコン層側にフロント表面を有し、前記プロセシング工程によって、前記シリコン層に金属汚染物混入が与えられる、工程と、

前記シリコン-オン-インシユレータ構造を熱アニールに付して、前記シリコン層の金属汚染物質を溶解させる工程と、

前記シリコン-オン-インシユレータ構造を冷却して、前記シリコン層に金属析出物を形成する工程と、

前記シリコン層の前記金属析出物をデリニエーションする工程とを含む、方法。

【請求項2】

前記プロセスが半導体プロセスであり、前記シリコン-オン-インシユレータ構造を半導体プロセシング工程に供する、請求項1に記載の方法。

【請求項3】

前記半導体プロセスが、研磨、洗浄、結合強度を高める熱処理、エピタキシー、酸化物ストリッピング、プラズマ活性化、湿式化学エッティング、気相化学エッティング、高温アニーリング、イオン注入および酸化からなる群から選択される、請求項2に記載の方法。

【請求項4】

前記シリコン層の表面をエッチャントと接触させることによって、前記金属析出物がデリニエーションされる、請求項1に記載の方法。

【請求項5】

前記デリニエーションする工程によって、前記シリコン-オン-インシユレータ構造のフロント表面にピット、ホールおよび/またはキャビティを形成し、さらに、前記シリコン-オン-インシユレータ構造の前記フロント表面においてピット、ホールおよび/またはキャビティの存在を調べる工程を包む、請求項1～4のいずれか1項に記載の方法。

【請求項 6】

前記エッチャントが、H F、K₂Cr₂O₇、Cr₂O₃、H NO₃、CH₃COOH、CrO₃、AgNO₃およびそれらの混合物からなる群から選択される化合物を含む溶液であり、

前記化合物が、H Fである場合、少なくとも約1時間にわたって、前記シリコン層の表面を前記エッチャントと接触させ、そして、

前記化合物が、K₂Cr₂O₇、Cr₂O₃、H NO₃、CH₃COOH、CrO₃、AgNO₃およびそれらの混合物からなる群から選択される場合、少なくとも約1秒間にわたって、前記シリコン層の表面を前記エッチャントと接触させる、

請求項4または5に記載の方法。

【請求項 7】

前記シリコン-オン-インシュレータ構造の前記フロント表面に向けて光を照射する工程および散乱反射光を検出する工程によって、前記シリコン-オン-インシュレータ構造の前記フロント表面において前記ピット、ホールおよび/またはキャビティの存在を調べる工程と、

前記散乱反射光を分析して、前記プロセスの金属汚染物混入の影響を決定する工程とを含む、請求項5に記載の方法。

【請求項 8】

前記シリコン-オン-インシュレータ構造を約600～約1300の温度で熱アニールに付す、請求項1～7のいずれか1項に記載の方法。

【請求項 9】

シリコン中、金属汚染物質が相対的に移動する温度から前記金属汚染物質がもはや相対的に移動しない温度の範囲にわたって、前記シリコン-オン-インシュレータ構造を冷却する、請求項1～8のいずれか1項に記載の方法。

【請求項 10】

前記シリコン層内で金属汚染物質が過飽和である温度が存在し、前記過飽和温度から、前記金属汚染物質がもはや相対的に移動しない温度への冷却速度が、約7/秒未満である、請求項9に記載の方法。

【請求項 11】

前記シリコン層の厚みが、約250nm未満である、請求項1～10のいずれか1項に記載の方法。

【請求項 12】

前記シリコン-オン-インシュレータ構造を前記半導体プロセシング工程に供する、請求項2～11のいずれか1項に記載の方法。

【請求項 13】

前記シリコン-オン-インシュレータ構造を前記半導体プロセシング工程を行う圧力にさらす、請求項2～11のいずれか1項に記載の方法。

【請求項 14】

前記デリニエーション後の金属析出物の空間分布を分析して、前記半導体プロセスの金属汚染物混入の影響を決定する、請求項1～13のいずれか1項に記載の方法。

【請求項 15】

前記ピット、ホールおよび/またはキャビティの空間分布を分析して、前記半導体プロセスの金属汚染物混入の影響を決定する、請求項5～14のいずれか1項に記載の方法。