

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年2月10日(10.02.2022)



(10) 国際公開番号

WO 2022/030596 A1

(51) 国際特許分類:

H01L 21/8238 (2006.01) *H03K 19/003* (2006.01)
H01L 27/092 (2006.01) *H03K 19/0948* (2006.01)

(21) 国際出願番号: PCT/JP2021/029176

(22) 国際出願日: 2021年8月5日(05.08.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-134718 2020年8月7日(07.08.2020) JP

(71) 出願人: 国立研究開発法人宇宙航空研究開発機構 (JAPAN AEROSPACE EXPLORATION

AGENCY) [JP/JP]; 〒1828522 東京都調布市深大寺東町七丁目4 4 番地 1 Tokyo (JP).

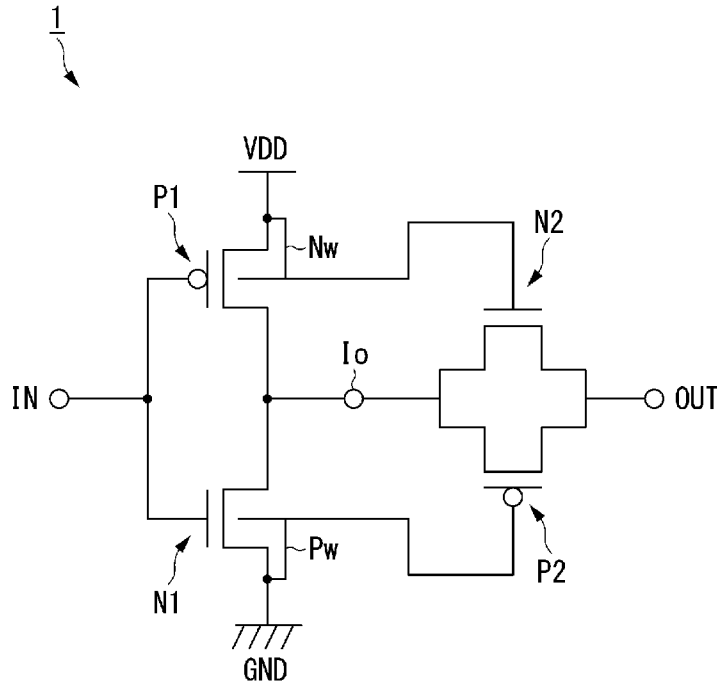
(72) 発明者: 竹内 浩造 (TAKEUCHI Kozo);
〒1828522 東京都調布市深大寺東町七丁目4 4 番地 1 国立研究開発法人宇宙航空研究開発機構内 Tokyo (JP).

(74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.);
〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: CMOS CIRCUIT

(54) 発明の名称: CMOS回路



(57) Abstract: A CMOS circuit, according to the present invention, formed on a substrate of a first conduction type, wherein a first logical computation circuit is provided with a combination of a first transistor of the first conduction type having a first well of a second conduction type which is different from the first conduction type, and a second transistor of the second conduction type having a second well of the first conduction type; a transmission circuit is connected to an output terminal of the first logical computation circuit, and provided with a third transistor of the first conduction type and/or a fourth transistor of the second conduction type; and an output terminal of a second logical computation circuit, in which an input terminal is fixed to a prescribed potential, and which is provided with the well of a transistor having a

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

different conduction type from among the first transistor or the second transistor, or with a combination of a fifth transistor of the first conduction type having a first well and a sixth transistor of the second conduction type having a second well, is connected to gate terminals of the third transistor and the fourth transistor.

(57) 要約: 第一導電型の基板に形成されるCMOS回路であって、第1論理演算回路は、第一導電型と異なる第二導電型の第1ウェルを有する第一導電型の第1トランジスタと、第一導電型の第2ウェルを有する第二導電型の第2トランジスタとの組み合わせを備え、伝送回路は、第1論理演算回路の出力端子に接続され、第一導電型の第3トランジスタと、第二導電型の第4トランジスタとのいずれか一方または両方を備え、第3トランジスタと第4トランジスタとのゲート端子には、第1トランジスタおよび第2トランジスタのうち導電型が異なるトランジスタのウェル、あるいは、第1ウェルを有する第一導電型の第5トランジスタと、第2ウェルを有する第二導電型の第6トランジスタとの組み合わせを備え、入力端子が所定の電位に固定された第2論理演算回路の出力端子が接続される。

明 細 書

発明の名称：CMOS回路

技術分野

[0001] 本発明は、CMOS回路に関する。

本願は、2020年08月07日に出願された日本国特許出願2020-134718号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来から、例えば、CMOS (Complementary Metal Oxide Semiconductor : 相補型金属酸化膜半導体) 型のLSI (Large Scale Integration) やASIC (Application Specific Integrated Circuit)、FPGA (Field-Programmable Gate Array)、GPU (Graphics Processing Unit) などの半導体集積回路が、様々な機器や装置に使用されている。CMOS型半導体集積回路では、半導体基板（例えば、シリコン基板）上に形成されたトランジスタなどの回路素子を複数繋げて回路を形成することにより、必要な動作をする機能が実現される。

[0003] 例えば、地球を周回する人工衛星など、宇宙空間において使用されるCMOS型半導体集積回路は、例えば、高エネルギーの荷電粒子などの放射線が入射してしまう環境で使用される。さらに、地上で使用されるCMOS型半導体集積回路も、例えば、中性子などの放射線の影響を受けることが知られている。CMOS型半導体集積回路に入射した放射線は、半導体基板上に形成された回路素子が誤動作してしまう要因となることが知られている。より具体的には、CMOS型半導体集積回路に高エネルギーの荷電粒子が入射すると、例えば、電位の変動（いわゆる、シングスイベントランジェント : Single Event Transient : SET）や、電位の変動の影響を受けた信号の伝搬による誤ったデータの記憶（いわゆる、シングスイベントアップセット : Single Event Upset : SEU）などが発生することが知られている。

[0004] 従来から、シングスイベントランジェントやシングスイベントアップセッ

トなどのシングリイベントに対する対策をするための種々の技術が開示されている（特許文献1、非特許文献1参照）。例えば、特許文献1には、回路素子を二重化構造（縦積みの構造）にすることにより、高エネルギーの荷電粒子によって発生したシングリイベントによる誤動作を後段に伝搬させないようにすることが開示されている。例えば、非特許文献1には、シングリイベントのエラー（ソフトエラー）に対する耐性（ロバスト性）を高めた組み込み型の回路素子の設計（構造）に関する技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2004-048170号公報

非特許文献

[0006] 非特許文献1：S.Mitra、N.Seifert、M.Zhang、Q.Shi、K.S.Kim、 “Robust system design with built-in soft-error resilience”、IEEE Computer Society、vol. 38、no. 2、pp. 43-52、Feb. 2005、doi：10.1109/MC.2005.70.

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献1に開示された技術は、SOI（Silicon on Insulator）構造の半導体基板に回路素子を形成する場合にのみ有効な技術である。SOI構造の半導体基板は、基板の内部に絶縁体の層を設けている構造となっているため、例えば、シリコンの単結晶の基板（いわゆる、バルク基板）に比べて高価なものである。さらに、近年では、CMOS型半導体集積回路の製造プロセスの微細化が進んできている。このため、従来の技術を適用した回路素子は、製造プロセスの微細化に伴って、シングリイベントへの対策効果を期待することができなくなっている。これは、従来の技術では、回路素子を構成するそれぞれの構成要素の間に空間的な距離を設けることによってシングリイベントへの対策を行っているが、製造プロセスが微細化

すると半導体基板上に形成される回路素子が小さくなり、それぞれの構成要素の間に必要な距離を確保することができなくなってしまう、従来の技術によるシングリイベントへの対策効果が無効化されてしまうからである。

[0008] 本発明は、上記の課題認識に基づいてなされたものであり、シングリイベントに対する耐性が高いCMOS回路を提供することを目的としている。

課題を解決するための手段

[0009] 上記目的を達成するため、本発明の一態様に係るCMOS回路は、第一導電型の基板に形成された第1論理演算回路、および前記第1論理演算回路の出力端子の信号を伝送する伝送回路を備えるCMOS回路であって、前記第1論理演算回路は、前記第一導電型と異なる第二導電型の第1ウェルを有する前記第一導電型の第1トランジスタと、前記第一導電型の第2ウェルを有する前記第二導電型の第2トランジスタと、の組み合わせを備え、前記伝送回路は、前記第1論理演算回路の出力端子に接続され、前記第一導電型の第3トランジスタと、前記第二導電型の第4トランジスタとのいずれか一方または両方を備え、前記第3トランジスタと前記第4トランジスタとのゲート端子には、前記第1トランジスタおよび前記第2トランジスタのうち導電型が異なるトランジスタのウェル、あるいは、前記第1ウェルを有する前記第一導電型の第5トランジスタと、前記第2ウェルを有する前記第二導電型の第6トランジスタと、の組み合わせを備え、入力端子が所定の電位に固定された第2論理演算回路の出力端子が接続される、CMOS回路である。

発明の効果

[0010] 本発明の一態様によれば、CMOS回路におけるシングリイベントへの耐性を高くすることができる。

図面の簡単な説明

[0011] [図1]第1実施形態に係るCMOS回路の構成の一例を示す図である。

[図2]第1実施形態に係るCMOS回路における通常の動作の一例を示すタイミングチャートである。

[図3]第1実施形態に係るCMOS回路に高エネルギーの荷電粒子が入射する

様子の一例を模式的に示す図である。

[図4]第1実施形態に係るCMOS回路に入射した高エネルギーの荷電粒子によりシングスイメントが発生した場合の動作の一例を示すタイミングチャートである。

[図5]第1実施形態に係るCMOS回路に入射した高エネルギーの荷電粒子によりシングスイメントが発生した場合の動作の別の一例を示すタイミングチャートである。

[図6]第1実施形態に係るCMOS回路の構成の別の一例を示す図である。

[図7]第1実施形態に係るCMOS回路の構成の別の一例を示す図である。

[図8]第1実施形態に係るCMOS回路の構成の別の一例を示す図である。

[図9]第2実施形態に係るCMOS回路の構成の一例を示す図である。

[図10]第2実施形態に係るCMOS回路の構成の別の一例を示す図である。

発明を実施するための形態

[0012] 以下、図面を参照し、本発明のCMOS (Complementary Metal Oxide Semiconductor : 相補型金属酸化膜半導体) 回路の実施形態について説明する。本出願が日本語から英語に翻訳された場合、本開示全体を通して使用されるように、単数形「a」、「an」、および「the」は、文脈が明らかにそうでないことを示していない限り、複数形のリファレンスを含むとみなしてよい。実施形態のCMOS回路は、例えば、論理否定回路 (NOT回路あるいはインバータ回路)、論理和回路 (OR回路)、論理積回路 (AND回路)、否定論理和回路 (NOR回路)、否定論理積回路 (NAND回路)、排他的論理和回路 (XOR回路)、否定排他的論理和回路 (XNOR回路) など、論理演算を行う単独の論理演算回路である。実施形態のCMOS回路は、単独の論理演算回路を複数組み合わせることによって、例えば、ラッチ回路やフリップフロップ回路など、データ (信号レベル) を保持する構成にすることもできる。さらに、実施形態のCMOS回路は、単独の論理演算回路や、フリップフロップ回路、伝送ゲート回路などを複数組み合わせることによって、例えば、SRAM (Static Random Access Memory) など、デー

タ（信号レベル）を記憶する（メモリする）構成にすることもできる。

[0013] <第1実施形態>

以下の説明においては、説明を容易にするため、最も簡単な構成の論理演算回路である論理否定回路（以下、「インバータ回路」という）を、第1実施形態のCMOS回路の一例として説明する。

[0014] [インバータ回路の構成]

図1は、第1実施形態に係るCMOS回路（インバータ回路）の構成の一例を示す図である。インバータ回路1は、PチャンネルMOSトランジスタP1と、NチャンネルMOSトランジスタN1と、PチャンネルMOSトランジスタP2と、NチャンネルMOSトランジスタN2と、を備える。図1に示したインバータ回路1は、P型の単結晶の半導体基板（バルク基板）にそれぞれのトランジスタを形成した場合の一例である。

[0015] PチャンネルMOSトランジスタP1は、ゲート端子がインバータ回路1の入力端子INに、ソース端子が電源VDDに、ドレイン端子がNチャンネルMOSトランジスタN1のドレイン端子に、それぞれ接続されている。NチャンネルMOSトランジスタN1は、ゲート端子がインバータ回路1の入力端子INに、ソース端子がグラウンドGNDに、ドレイン端子がPチャンネルMOSトランジスタP1のドレイン端子に、それぞれ接続されている。PチャンネルMOSトランジスタP2は、ゲート端子がNチャンネルMOSトランジスタN1のPウェルPw（図1では、NチャンネルMOSトランジスタN1のボディ）に、ソース端子がPチャンネルMOSトランジスタP1およびNチャンネルMOSトランジスタN1のドレイン端子に、ドレイン端子がインバータ回路1の出力端子OUTに、それぞれ接続されている。NチャンネルMOSトランジスタN2は、ゲート端子がPチャンネルMOSトランジスタP1のNウェルNw（図1では、PチャンネルMOSトランジスタP1のボディ）に、ソース端子がPチャンネルMOSトランジスタP1およびNチャンネルMOSトランジスタN1のドレイン端子に、ドレイン端子がインバータ回路1の出力端子OUTに、それぞれ接続されている。Pチャン

ネルMOSトランジスタP2およびNチャンネルMOSトランジスタN2のゲート端子と、対応するウェルは、例えば、ウェルコンタクトなどによって接続されてもよい。

[0016] インバータ回路1において、PチャンネルMOSトランジスタP1とNチャンネルMOSトランジスタN1との構成は、一般的な論理演算回路における基本的な論理否定回路（インバータ回路）の構成である。以下の説明においては、PチャンネルMOSトランジスタP1とNチャンネルMOSトランジスタN1とによる基本的な構成のインバータ回路を、「NOT回路」といって、第1実施形態のインバータ回路1と区別する。インバータ回路1において、PチャンネルMOSトランジスタP2とNチャンネルMOSトランジスタN2との構成は、一般的な半導体回路における基本的な伝送ゲート回路の構成である。つまり、インバータ回路1は、基本的な構成のNOT回路と伝送ゲート回路とを備える構成であり、NOT回路の出力端子のノード（以下、「内部ノード10」という）が、伝送ゲート回路の入力端子に接続されている。

[0017] P型の単結晶の半導体基板は、特許請求の範囲における「第一導電型の基板」の一例である。PチャンネルMOSトランジスタP1は、特許請求の範囲における「第1トランジスタ」の一例であり、NチャンネルMOSトランジスタN1は、特許請求の範囲における「第2トランジスタ」の一例である。NウェルNwは、特許請求の範囲における「第1ウェル」の一例であり、PウェルPwは、特許請求の範囲における「第2ウェル」の一例である。P型やPチャンネルは、特許請求の範囲における「第一導電型」の一例であり、N型やNチャンネルは、特許請求の範囲における「第二導電型」の一例である。NOT回路は、特許請求の範囲における「第1論理演算回路」の一例である。PチャンネルMOSトランジスタP2は、特許請求の範囲における「第3トランジスタ」の一例であり、NチャンネルMOSトランジスタN2は、特許請求の範囲における「第4トランジスタ」の一例である。伝送ゲート回路は、特許請求の範囲における「伝送回路」の一例である。

[0018] [インバータ回路の動作]

以下、インバータ回路 1 の動作タイミングについて説明する。まず、インバータ回路 1 における通常の動作について説明する。図 2 は、第 1 実施形態に係る CMOS 回路（インバータ回路 1）における通常の動作の一例を示すタイミングチャートである。図 2 は、インバータ回路 1 に放射線の高エネルギーの荷電粒子が入射していない通常の状態のタイミングチャートである。以下の説明においては、インバータ回路 1 におけるそれぞれの信号の“High”レベルを電源 VDD のレベル（以下、「VDD レベル」という）とし、“Low”レベルをグラウンド GND のレベル（以下、「GND レベル」という）とする。

[0019] 図 2 には、所定の時間間隔で VDD レベルと GND レベルとの間で信号レベルが変化させて入力信号がインバータ回路 1 の入力端子 IN に入力された場合において、入力端子 IN、内部ノード io、出力端子 OUT、N ウェル Nw、および P ウェル Pw のそれぞれの信号が変化するタイミングとその信号レベルとを示している。

[0020] インバータ回路 1 の通常の動作では、入力端子 IN に入力された入力信号が、NOT 回路における所定の遅延時間だけ遅延したタイミングで反転されて、内部ノード io に出力される。インバータ回路 1 において、N ウェル Nw は VDD レベルであり、P ウェル Pw は GND レベルである。従って、伝送ゲート回路が備える P チャンネル MOS トランジスタ P2 と N チャンネル MOS トランジスタ N2 とは、常にオン状態である。このため、インバータ回路 1 の通常の動作において NOT 回路により内部ノード io に出力された信号（以下、「内部信号」という）は、伝送ゲート回路における所定の遅延時間だけ遅延したタイミングで伝送されて、出力端子 OUT に出力される。

[0021] このように、インバータ回路 1 の通常の動作では、NOT 回路により出力された内部信号が伝送ゲート回路によって伝送され、出力信号として出力端子 OUT に出力される。つまり、インバータ回路 1 における通常の動作では、一般的な論理否定回路と同様に、インバータ回路 1 の入力端子 IN に入力

された入力信号が反転されて、出力端子OUTに出力される。

[0022] 次に、インバータ回路1に放射線の高エネルギーの荷電粒子が入射した場合の動作について説明する。図3は、第1実施形態に係るCMOS回路（インバータ回路1）に高エネルギーの荷電粒子が入射する様子の一例を模式的に示す図である。図3には、放射線Rの高エネルギーの荷電粒子Eが、インバータ回路1を構成するNOT回路に入射した場合を示している。入射した荷電粒子Eにより、インバータ回路1においても、入射した荷電粒子Eの電荷に応じたシングルイベントトランジェントが発生する。入射した荷電粒子Eは、オン状態のトランジスタよりも、オフ状態のトランジスタに対してより大きな影響を与えることが知られている。

[0023] 図4および図5は、第1実施形態に係るCMOS回路（インバータ回路1）に入射した高エネルギーの荷電粒子によりシングルイベントが発生した場合の動作の一例を示すタイミングチャートである。図4は、インバータ回路1の入力端子INにGNDレベルの信号が入力されているときに荷電粒子Eが入射した場合のタイミングチャートであり、図5は、インバータ回路1の入力端子INにVDDレベルの信号が入力されているときに荷電粒子Eが入射した場合のタイミングチャートである。

[0024] まず、図4に示したタイミングチャートについて説明する。インバータ回路1の入力端子INにGNDレベルの信号が入力されているタイミングt1のときにNOT回路に荷電粒子Eが入射すると、入射した荷電粒子Eの電荷に応じて、NOT回路を構成するオフ状態であるNチャンネルMOSトランジスタN1の電位が過渡的に変動する。これにより、NOT回路の出力信号である内部ノードノにGNDレベルの瞬時的なパルスが表れる。これが、シングルイベントトランジェントである。

[0025] 図4の右側には、シングルイベントトランジェントが発生した期間を拡大して、より詳細なタイミングとその信号レベルとを示している。シングルイベントトランジェントの発生に伴って、例えば、NウェルNwの電位レベルが下がり、PウェルPwの電位レベルが上がる。図4の右側には、Nウェル

Nwの電位レベルがGNDレベルまで下がり、PウェルPwの電位レベルがVDDレベルとGNDレベルとの間のレベルまで上がった場合の一例を示している。図4の右側に示したそれぞれのウェルにおける電位レベルの変動量の違いは、CMOS回路を形成する半導体基板がP型の単結晶の半導体基板であるため、PウェルPwよりもNウェルNwの方がより大きく電位レベルが変動すると考えたことによる一例であり、それぞれのウェルにおける電位レベルの変動量は、例えば、荷電粒子Eの電荷に応じて変わるものと考えられる。

[0026] すると、NウェルNwの電位レベルが下がったことにより、伝送ゲート回路を構成するNチャンネルMOSトランジスタN2がオフ状態になり、PウェルPwの電位レベルが上がったことにより、伝送ゲート回路を構成するPチャンネルMOSトランジスタP2がオフ状態になる。つまり、伝送ゲート回路は、オフ状態になる。図4の右側では、タイミングt1からタイミングt2までの間、伝送ゲート回路がオフ状態である。これにより、伝送ゲート回路は、NOT回路により内部ノードI_oに出力されたシングルイベントトランジェントを含む内部信号を、そのまま出力端子OUTに伝送（出力）しなくなる。言い換えれば、伝送ゲート回路は、NOT回路により内部ノードI_oに出力された内部信号に含まれるシングルイベントトランジェントの出力端子OUTへの伝送（出力）を排除する。あるいは、伝送ゲート回路は、NOT回路により内部ノードI_oに出力された内部信号に含まれるシングルイベントトランジェントを低減させて、出力端子OUTに伝送（出力）する。図4の右側には、内部ノードI_oの内部信号に含まれるシングルイベントトランジェントが低減されて出力端子OUTに伝送（出力）されている場合の一例を示している。

[0027] 次に、図5に示したタイミングチャートについて説明する。インバータ回路1の入力端子INにVDDレベルの信号が入力されているタイミングt3のときにNOT回路に荷電粒子Eが入射すると、入射した荷電粒子Eの電荷に応じて、NOT回路を構成するオフ状態であるPチャンネルMOSトラン

ジスタP1の電位が変動する。これにより、NOT回路の出力信号である内部ノード10にVDDレベルの瞬時的なパルスが表れる。

[0028] 図5の右側には、シングスイベントランジェントが発生した期間を拡大して、より詳細なタイミングとその信号レベルとを示している。シングスイベントランジェントの発生に伴って、図4に示したインバータ回路1の入力端子INにGNDレベルの信号が入力されているときにNOT回路に荷電粒子Eが入射した場合と同様に、伝送ゲート回路は、オフ状態になる。図5の右側では、タイミングt3からタイミングt4までの間、伝送ゲート回路がオフ状態である。これにより、伝送ゲート回路は、NOT回路により内部ノード10に出力されたシングスイベントランジェントを含む内部信号を、そのまま出力端子OUTに伝送（出力）しなくなる。図5の右側には、内部ノード10の内部信号に含まれるシングスイベントランジェントが低減されて出力端子OUTに伝送（出力）されている場合の一例を示している。

[0029] このように、インバータ回路1では、入射した荷電粒子EによってNOT回路で発生したシングスイベントランジェントを含む内部ノード10の内部信号を、伝送ゲート回路がオフ状態になることによって出力端子OUTに出力しないようにする。言い換えれば、インバータ回路1では、入射した荷電粒子Eによってオフ状態にされる伝送ゲート回路によって、出力端子OUTに出力されるシングスイベントランジェントを排除または低減させる。これにより、インバータ回路1では、インバータ回路1の内部で発生したシングスイベントランジェントを、例えば、インバータ回路1の後段に接続されている他のCMOS回路に伝搬させることがなくなる。このことにより、インバータ回路1を備えるCMOS型半導体集積回路では、発生したシングスイベントランジェントを含む信号の伝搬によって誤ったデータが記憶されてしまうシングスイベントアップセットを防止することができる。つまり、CMOS回路に荷電粒子Eが入射したことによって発生するシングスイベントに対する耐性を高くすることができる。

[0030] [他のCMOS回路の構成]

以上の説明では、第1実施形態のCMOS回路の一例として、インバータ回路1について説明した。しかし、第1実施形態のCMOS回路は、インバータ回路1と異なる他の構成も考えられる。以下、第1実施形態のCMOS回路におけるインバータ回路1以外の他のCMOS回路の構成の一例について説明する。図6～図8は、第1実施形態に係るCMOS回路の構成の別の一例を示す図である。

[0031] 図6は、2入力の否定論理積回路（NAND回路）の一例である。NAND回路2は、PチャンネルMOSトランジスタP1Aと、PチャンネルMOSトランジスタP1Bと、NチャンネルMOSトランジスタN1Aと、NチャンネルMOSトランジスタN1Bと、PチャンネルMOSトランジスタP2と、NチャンネルMOSトランジスタN2と、を備える。図6に示したNAND回路2は、P型の単結晶の半導体基板にそれぞれのトランジスタを形成した場合の一例である。

[0032] NAND回路2において、PチャンネルMOSトランジスタP1A、PチャンネルMOSトランジスタP1B、NチャンネルMOSトランジスタN1A、およびNチャンネルMOSトランジスタN1Bの構成は、一般的な論理演算回路における基本的な否定論理積回路（NAND回路）の構成である。NAND回路2において、PチャンネルMOSトランジスタP2とNチャンネルMOSトランジスタN2との構成は、インバータ回路1における伝送ゲート回路と同様である。つまり、NAND回路2は、基本的な構成のNAND回路と伝送ゲート回路とを備え、NAND回路の出力端子の内部ノード10が、伝送ゲート回路の入力端子に接続されている。NAND回路2では、PチャンネルMOSトランジスタP2のゲート端子に、NチャンネルMOSトランジスタN1AとNチャンネルMOSトランジスタN1Bとで共通のPウェルPwが接続され、NチャンネルMOSトランジスタN2のゲート端子に、PチャンネルMOSトランジスタP1AとPチャンネルMOSトランジスタP1Bとで共通のNウェルNwが接続されている。PチャンネルMOSトランジスタP2のゲート端子と、NチャンネルMOSトランジスタN1A

およびNチャンネルMOSトランジスタN1Bで共通のPウェルPwとの接続、NチャンネルMOSトランジスタN2のゲート端子と、PチャンネルMOSトランジスタP1AおよびPチャンネルMOSトランジスタP1Bで共通のNウェルNwとの接続は、例えば、ウェルコンタクトなどによって行われてもよい。

[0033] PチャンネルMOSトランジスタP1AおよびPチャンネルMOSトランジスタP1Bは、特許請求の範囲における「第1トランジスタ」の一例であり、NチャンネルMOSトランジスタN1AおよびNチャンネルMOSトランジスタN1Bは、特許請求の範囲における「第2トランジスタ」の一例である。基本的なNAND回路は、特許請求の範囲における「第1論理演算回路」の一例である。

[0034] NAND回路2においても、通常の動作では、一般的な否定論理積回路と同様に、NAND回路2の入力端子INAおよび入力端子INBに入力された入力信号に応じた出力信号が出力端子OUTに出力される。NAND回路2においても、インバータ回路1と同様に、入射した高エネルギーの荷電粒子Eに応じてオフ状態のいずれかのトランジスタで発生したシングリイベントトランジェントを含む内部信号を、入射した荷電粒子Eによってオフ状態にされる伝送ゲート回路によって、出力端子OUTに伝送（出力）されるのを排除または低減させる。

[0035] 図7は、2入力の否定論理和回路（NOR回路）の一例である。NOR回路3は、PチャンネルMOSトランジスタP1Aと、PチャンネルMOSトランジスタP1Bと、NチャンネルMOSトランジスタN1Aと、NチャンネルMOSトランジスタN1Bと、PチャンネルMOSトランジスタP2と、NチャンネルMOSトランジスタN2と、を備える。図7に示したNOR回路3は、P型の単結晶の半導体基板にそれぞれのトランジスタを形成した場合の一例である。

[0036] NOR回路3において、PチャンネルMOSトランジスタP1A、PチャンネルMOSトランジスタP1B、NチャンネルMOSトランジスタN1A

、およびNチャンネルMOSトランジスタN1Bの構成は、一般的な論理演算回路における基本的な否定論理和回路（NOR回路）の構成である。NOR回路3において、PチャンネルMOSトランジスタP2とNチャンネルMOSトランジスタN2との構成は、インバータ回路1における伝送ゲート回路と同様である。つまり、NOR回路3は、基本的な構成のNOR回路と伝送ゲート回路とを備え、NOR回路の出力端子の内部ノード10が、伝送ゲート回路の入力端子に接続されている。NOR回路3では、PチャンネルMOSトランジスタP2のゲート端子に、NチャンネルMOSトランジスタN1AとNチャンネルMOSトランジスタN1Bとで共通のPウェルPwが接続され、NチャンネルMOSトランジスタN2のゲート端子に、PチャンネルMOSトランジスタP1AとPチャンネルMOSトランジスタP1Bとで共通のNウェルNwが接続されている。

[0037] 基本的なNOR回路は、特許請求の範囲における「第1論理演算回路」の一例である。

[0038] NOR回路3においても、通常の動作では、一般的な否定論理和回路と同様に、NOR回路3の入力端子1NAおよび入力端子1NBに入力された入力信号に応じた出力信号が出力端子OUTに出力される。NOR回路3においても、インバータ回路1と同様に、入射した高エネルギーの荷電粒子Eに応じてオフ状態のいずれかのトランジスタで発生したシングルイベントトランジェントを含む内部信号を、入射した荷電粒子Eによってオフ状態にされる伝送ゲート回路によって、出力端子OUTに伝送（出力）されるのを排除または低減させる。

[0039] 図8は、六つのインバータ回路1（インバータ回路1-1～1-6）と四つのトランSMissionゲートTMG（トランSMissionゲートTMG-1～TMG-4）とで構成したD型フリップフロップ回路（以下、「D-FF回路」という）の一例である。図8に示したD-FF回路4は、六つのインバータ回路（NOT回路）と四つのトランSMissionゲートTMGとで構成した一般的なD型フリップフロップ回路において、それぞれのインバー

タ回路（NOT回路）を第1実施形態のインバータ回路1に置き換えた構成である。図8においては、インバータ回路1-1～1-6が備えるそれぞれの構成要素を論理ゲート記号で示している。図8に示したD-FF回路4は、P型の単結晶の半導体基板にそれぞれのトランジスタを形成した場合の一例である。

[0040] D-FF回路4においても、通常の動作では、一般的なD型フリップフロップ回路と同様に、入力端子Dに入力された入力信号の状態変化をクロック信号CLKに応じて遅延させて出力端子Qに出力するとともに、出力端子Qの状態を保持する。より具体的には、D-FF回路4では、入力端子Dの入力信号をクロック信号CLKの立ち下がりエッジのタイミングで取り込み、クロック信号CLKの立ち上がりエッジのタイミングで出力端子Qに出力するとともに、クロック信号CLKが他の状態のときには、出力信号の出力端子Qへの出力状態を保持する。図8においてクロック信号CLKBは、クロック信号CLKの反転クロック信号である。D-FF回路4では、それぞれのインバータ回路1において、入射した高エネルギーの荷電粒子Eに応じてオフ状態のいずれかのトランジスタで発生したシングスイベントランジェントを含む内部信号を、入射した荷電粒子Eによってオフ状態にされる伝送ゲート回路によって、出力端子Qに伝送（出力）されるのを排除または低減させる。これにより、D-FF回路4において誤ったデータが記憶されてしまうシングスイベントアップセットを防止することができる。図8においては、六つのインバータ回路（NOT回路）をインバータ回路1に置き換えることによってシングスイベントアップセットを防止する構成のD-FF回路4を示したが、D-FF回路4が備える四つのトランスミッションゲートTMGも、入射した荷電粒子Eによってオフ状態にされる伝送ゲート回路を接続した構成にしてもよい。

[0041] 図6～図8に示したそれぞれのCMOS回路においてシングスイベントランジェントを排除または低減させる際の動作は、図3～図5に示したインバータ回路1に高エネルギーの荷電粒子が入射した場合の動作と同様に考え

ることによって、容易に理解することができる。従って、図6～図8に示したそれぞれのCMOS回路においてシングリイベントランジェントを排除または低減させる際の動作に関する詳細な説明は省略する。さらに、上述したように、CMOS回路は、図6～図8に示したそれぞれのCMOS回路の他にも種々の構成が考えられる。これらの構成は、図1に示したインバータ回路1や、図6～図8に示したCMOS回路（NAND回路2、NOR回路3、DFF回路4）の構成と等価なものになるように構成すればよい。さらに、上述したように、CMOS回路は、例えば、SRAMなどのように、単独の論理演算回路や、フリップフロップ回路、伝送ゲート回路などを複数組み合わせることによってデータ（信号レベル）を記憶するメモリの構成も考えられる。このメモリを構成する伝送ゲート回路は、メモリの機能を実現するための構成要素である。このため、メモリを構成する伝送ゲート回路にも、シングリイベントランジェントを排除または低減させるための伝送ゲート回路を接続してもよい。これらの動作は、図3～図5に示したインバータ回路1に高エネルギーの荷電粒子が入射した場合の動作と同様に考えることによって、容易に理解することができる。従って、CMOS回路において考えられる種々の構成や動作に関する詳細な説明は省略する。

[0042] 上述したように、第1実施形態のCMOS回路では、基本的な構成の論理演算回路の出力端子に、入射した荷電粒子Eによってオフ状態にされる伝送ゲート回路を接続し、伝送ゲート回路の出力端子をCMOS回路の出力端子とする。この構成により、第1実施形態のCMOS回路では、入射した荷電粒子Eに応じて論理演算回路で発生したシングリイベントランジェントが出力端子に伝送（出力）されるのを排除または低減させる。これにより、第1実施形態のCMOS回路では、CMOS回路の内部で発生したシングリイベントランジェントが、例えば、CMOS回路の後段に接続されている他のCMOS回路に伝搬されてしまうのを防止することができる。さらに、第1実施形態のCMOS回路では、CMOS回路の内部で発生したシングリイベントランジェントが伝搬して誤ったデータが記憶されてしまうシングイ

ベントアップセットを防止することができる。つまり、荷電粒子Eの入射に対する耐性を高めたCMOS回路を実現することができる。

[0043] このことにより、第1実施形態のCMOS回路で実現された機能を備える半導体集積回路は、例えば、宇宙空間などのように高エネルギーの荷電粒子Eが入射してしまう環境で使用された場合でも、誤動作をしてしまう可能性を低減させることができる。つまり、第1実施形態のCMOS回路で機能を実現することにより、使用環境の影響による誤動作の可能性が少ない、信頼性の高い半導体集積回路を実現することができる。このため、第1実施形態のCMOS回路で実現された機能を備える半導体集積回路は、例えば、産業機器用や、車載用、医療用など、宇宙空間以外の場所でも高い信頼性が求められる環境において使用した場合でも、その効果を得ることができる。

[0044] 第1実施形態のCMOS回路では、伝送ゲート回路が備えるそれぞれのトランジスタのゲート端子に、基本的な構成の論理演算回路が備える導電型が異なるトランジスタのウェルを接続することにより、伝送ゲート回路が、入射した荷電粒子Eによってオフ状態にされる構成を示した。しかし、入射した荷電粒子Eによって伝送ゲート回路をオフ状態にさせる構成は、他の構成であってもよい。

[0045] <第2実施形態>

以下、第2実施形態のCMOS回路について説明する。以下の説明においても、説明を容易にするため、最も簡単な構成の論理演算回路である論理否定回路（インバータ回路）を、第2実施形態のCMOS回路の一例として説明する。

[0046] [インバータ回路の構成]

図9は、第2実施形態に係るCMOS回路（インバータ回路）の構成の一例を示す図である。インバータ回路1Aは、PチャンネルMOSトランジスタP1と、NチャンネルMOSトランジスタN1と、PチャンネルMOSトランジスタP2と、NチャンネルMOSトランジスタN2と、PチャンネルMOSトランジスタP3と、NチャンネルMOSトランジスタN3と、Pチ

チャンネルMOSトランジスタP4と、NチャンネルMOSトランジスタN4と、を備える。図9に示したインバータ回路1Aは、P型の単結晶の半導体基板にそれぞれのトランジスタを形成した場合の一例である。

[0047] インバータ回路1Aにおいて、PチャンネルMOSトランジスタP1とNチャンネルMOSトランジスタN1との構成、PチャンネルMOSトランジスタP3とNチャンネルMOSトランジスタN3との構成、およびPチャンネルMOSトランジスタP4とNチャンネルMOSトランジスタN4との構成は、それぞれ、一般的な論理否定回路（NOT回路）である。PチャンネルMOSトランジスタP1とNチャンネルMOSトランジスタN1とにより構成されるNOT回路の入力端子は、第1実施形態のインバータ回路1が備えるNOT回路と同様に、入力端子INに接続されている。このNOT回路の出力端子の内部ノード1oは、PチャンネルMOSトランジスタP2とNチャンネルMOSトランジスタN2とにより構成される伝送ゲート回路の入力端子に接続されている。PチャンネルMOSトランジスタP3とNチャンネルMOSトランジスタN3とにより構成されるNOT回路（以下、「NOT回路A」という）の入力端子は、グラウンドGNDが接続され、出力端子は、伝送ゲート回路を構成するNチャンネルMOSトランジスタN2のゲート端子に接続されている。PチャンネルMOSトランジスタP4とNチャンネルMOSトランジスタN4とにより構成されるNOT回路（以下、「NOT回路B」という）の入力端子は、電源VDDが接続され、出力端子は、伝送ゲート回路を構成するPチャンネルMOSトランジスタP2のゲート端子に接続されている。PチャンネルMOSトランジスタP1と、PチャンネルMOSトランジスタP3と、PチャンネルMOSトランジスタP4とのウェルは、共通のNウェルNwである。NチャンネルMOSトランジスタN1と、NチャンネルMOSトランジスタN3と、NチャンネルMOSトランジスタN4とのウェルは、共通のPウェルPwである。NチャンネルMOSトランジスタN2のゲート端子とNOT回路Aの出力端子との接続、およびPチャンネルMOSトランジスタP2のゲート端子とNOT回路Bの出力端子と

の接続は、例えば、CMOS型半導体集積回路の製造プロセスにおける配線工程において行われてもよい。PチャンネルMOSトランジスタP2とNチャンネルMOSトランジスタN2とにより構成される伝送ゲート回路の出力端子は、第1実施形態のインバータ回路1が備える伝送ゲート回路と同様に、出力端子OUTに接続されている。

[0048] PチャンネルMOSトランジスタP3は、特許請求の範囲における「第5トランジスタ」の一例であり、NチャンネルMOSトランジスタN3は、特許請求の範囲における「第6トランジスタ」の一例である。NOT回路Aは、特許請求の範囲における「第2論理演算回路」の一例である。PチャンネルMOSトランジスタP4は、特許請求の範囲における「第7トランジスタ」の一例であり、NチャンネルMOSトランジスタN4は、特許請求の範囲における「第8トランジスタ」の一例である。NOT回路Bは、特許請求の範囲における「第2論理演算回路」の一例である。

[0049] インバータ回路1Aの通常の動作では、NOT回路Aの入力端子はグラウンドGNDに固定されているため常に“High”レベル（例えば、VDDレベル）を出力し、NOT回路Bの入力端子は電源VDDに固定されているため常に“Low”レベル（例えば、GNDレベル）を出力する。従って、伝送ゲート回路が備えるPチャンネルMOSトランジスタP2とNチャンネルMOSトランジスタN2とは、常にオン状態である。このため、インバータ回路1Aの通常の動作では、NOT回路により内部ノードI_oに出力された内部信号が、伝送ゲート回路における所定の遅延時間だけ遅延したタイミングで伝送されて、出力端子OUTに出力される。

[0050] 一方、インバータ回路1Aにおいても、高エネルギーの荷電粒子Eが入射すると、インバータ回路1Aが備えるオフ状態のいずれかのトランジスタにおいて、入射した荷電粒子Eの電荷に応じたシングルイベントランジェントが発生する。このため、インバータ回路1Aにおいても、第1実施形態において説明したのと同様の理由によって、PチャンネルMOSトランジスタに共通のNウェルN_wの電位レベルが下がり、NチャンネルMOSトランジ

スタに共通のPウェルP_wの電位レベルが上がる。これにより、インバータ回路1Aでは、NOT回路Aが“Low”レベルを出力し、NOT回路Bが“High”レベルを出力する。このことにより、インバータ回路1Aにおいても、第1実施形態のインバータ回路1と同様に、伝送ゲート回路は、入射した高エネルギーの荷電粒子Eに応じてオフ状態になる。これにより、インバータ回路1Aにおいても、第1実施形態のインバータ回路1と同様に、入射した高エネルギーの荷電粒子Eに応じてオフ状態のいずれかのトランジスタで発生したシングルイベントランジェントを含む内部信号を、入射した荷電粒子Eによってオフ状態にされる伝送ゲート回路によって、出力端子OUTに伝送（出力）されるのを排除または低減させる。

[0051] [インバータ回路の別の構成]

図10は、第2実施形態に係るCMOS回路（インバータ回路）の構成の別の一例を示す図である。インバータ回路1Bは、PチャンネルMOSトランジスタP1と、NチャンネルMOSトランジスタN1と、NチャンネルMOSトランジスタN2と、PチャンネルMOSトランジスタP3と、NチャンネルMOSトランジスタN3と、を備える。図10に示したインバータ回路1Bは、P型の単結晶の半導体基板にそれぞれのトランジスタを形成した場合の一例である。

[0052] インバータ回路1Bは、インバータ回路1Aが備える伝送ゲート回路が、NチャンネルMOSトランジスタN2のみによる構成となり、これに伴ってNOT回路Bが削除されている。このため、インバータ回路1Bは、インバータ回路1Aよりも少ない回路規模で、CMOS回路を構成することができる。

[0053] インバータ回路1Bは、伝送ゲート回路の構成が異なるが、その動作は、インバータ回路1Aと同様である。従って、インバータ回路1Bにおいても、インバータ回路1やインバータ回路1Aと同様に、入射した高エネルギーの荷電粒子Eに応じてオフ状態のいずれかのトランジスタで発生したシングルイベントランジェントを含む内部信号を、入射した荷電粒子Eによって

オフ状態にされる伝送ゲート回路によって、出力端子OUTに伝送（出力）されるのを排除または低減させる。

[0054] 上述したように、第2実施形態のCMOS回路では、基本的な構成の論理演算回路の出力端子に、ウェルが共通のトランジスタにより構成されるNOT回路Aおよび／またはNOT回路Bの出力信号によってオフ状態にされる伝送ゲート回路を接続し、伝送ゲート回路の出力端子をCMOS回路の出力端子とする。この構成により、第2実施形態のCMOS回路では、入射した荷電粒子Eに応じて論理演算回路で発生したシングリイベントランジェントが出力端子に伝送（出力）されるのを排除または低減させる。ここで、第2実施形態のCMOS回路における伝送ゲート回路のオフ状態への動作は、ウェルの電位レベルの変動を間接的に検出したことによる動作であると考えることができる。これは、第1実施形態のインバータ回路1では、伝送ゲート回路が備えるそれぞれのトランジスタのゲート端子にウェルが直接接続されていることにより、ウェルの電位レベルの変動を直接的に検出して伝送ゲート回路がオフ状態になるのに対して、第2実施形態のCMOS回路では、共通のウェルを有するNOT回路Aおよび／またはNOT回路Bの出力信号の電位レベルの変化によって伝送ゲート回路がオフ状態になるからである。このように、直接的であるか間接的であるかの違いはあるものの、第2実施形態のCMOS回路においても、伝送ゲート回路が、入射した高エネルギーの荷電粒子Eによるウェルの電位レベルの変動を検出してオフ状態にされる。これにより、第2実施形態のCMOS回路でも、第1実施形態のCMOS回路と同様に、CMOS回路に入射した荷電粒子Eに応じてオフ状態のいずれかのトランジスタで発生したシングリイベントランジェントを含む内部信号が出力端子OUTに伝送（出力）されるのを排除または低減させる。

[0055] これにより、第2実施形態のCMOS回路でも、第1実施形態のCMOS回路と同様に、CMOS回路の内部で発生したシングリイベントランジェントが、例えば、CMOS回路の後段に接続されている他のCMOS回路に伝搬されてしまうのを防止することができ、発生したシングリイベントラ

ンジェントが伝搬して誤ったデータが記憶されてしまうシングイベントアップセットを防止することができる。つまり、第2実施形態のCMOS回路でも、第1実施形態のCMOS回路と同様に、荷電粒子Eの入射に対する耐性を高めることができる。このことにより、第2実施形態のCMOS回路でも、使用環境の影響による誤動作の可能性が少ない、信頼性の高い半導体集積回路を実現することができる。

[0056] 上記に述べたとおり、各実施形態のCMOS回路によれば、使用環境から放射線の高エネルギーの荷電粒子が入射したことにより論理演算回路にシングイベントトランジェントが発生した場合でも、発生したシングイベントトランジェントが出力端子OUTに伝送（出力）されてしまうのと排除または低減させることができる。これにより、各実施形態のCMOS回路で実現された機能を備える半導体集積回路は、高エネルギーの荷電粒子が入射してしまう環境で使用された場合でも、誤動作をしてしまう可能性を低減させることができ、高い信頼性を得ることができる。

[0057] 上述したそれぞれの実施形態では、CMOS回路が備えるトランジスタをP型の単結晶の半導体基板（バルク基板）に形成した場合の一例を説明した。しかし、半導体基板には、P型の単結晶の基板の他にも、N型の単結晶の基板や、P型あるいはN型のSOI構造の基板など、種々の構造のものがある。この場合におけるCMOS回路の構成や動作などは、上述したP型の単結晶の半導体基板に形成したCMOS回路の構成や動作と等価なものになるようにすればよい。従って、CMOS回路をP型の単結晶の半導体基板と異なる半導体基板に形成する場合の構成や動作に関する詳細な説明は省略する。

[0058] 以上、本発明を実施するための形態について実施形態を用いて説明したが、本発明はこうした実施形態に何ら限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形および置換を加えることができる。

符号の説明

[0059] 1, 1-1, 1-2, 1-3, 1-4, 1-5, 1-6, 1A, 1B...

インバータ回路

2 . . . N A N D 回路

3 . . . N O R 回路

4 . . . D - F F 回路

P 1 , P 1 A , P 1 B , P 2 , P 3 , P 4 . . . P チャンネル M O S トラン
ジスタ

N 1 , N 1 A , N 1 B 、 N 2 , N 3 , N 4 . . . N チャンネル M O S トラン
ジスタ

P w . . . P ウェル

N w . . . N ウェル

I o . . . 内部ノード

請求の範囲

[請求項1] 第一導電型の基板に形成された第1論理演算回路、および前記第1論理演算回路の出力端子の信号を伝送する伝送回路を備えるCMOS回路であって、

前記第1論理演算回路は、前記第一導電型と異なる第二導電型の第1ウェルを有する前記第一導電型の第1トランジスタと、前記第一導電型の第2ウェルを有する前記第二導電型の第2トランジスタと、の組み合わせを備え、

前記伝送回路は、前記第1論理演算回路の出力端子に接続され、前記第一導電型の第3トランジスタと、前記第二導電型の第4トランジスタとのいずれか一方または両方を備え、

前記第3トランジスタと前記第4トランジスタとのゲート端子には、前記第1トランジスタおよび前記第2トランジスタのうち導電型が異なるトランジスタのウェル、あるいは、前記第1ウェルを有する前記第一導電型の第5トランジスタと、前記第2ウェルを有する前記第二導電型の第6トランジスタと、の組み合わせを備え、入力端子が所定の電位に固定された第2論理演算回路の出力端子が接続される、

CMOS回路。

[請求項2] 前記第3トランジスタのゲート端子には、前記第2トランジスタの前記第2ウェルが接続され、

前記第4トランジスタのゲート端子には、前記第1トランジスタの前記第1ウェルが接続される、

請求項1に記載のCMOS回路。

[請求項3] 前記第2論理演算回路は、前記第1ウェルを有する前記第一導電型の第7トランジスタと、前記第2ウェルを有する前記第二導電型の第8トランジスタと、の組み合わせをさらに備え、

前記第3トランジスタのゲート端子には、前記第7トランジスタのドレイン端子と前記第8トランジスタのドレイン端子とが接続された

第1出力端子が接続され、前記第7トランジスタのゲート端子と前記第8トランジスタのゲート端子とが接続された第1入力端子は、電源の電位に固定され、

前記第4トランジスタのゲート端子には、前記第5トランジスタのドレイン端子と前記第6トランジスタのドレイン端子とが接続された第2出力端子が接続され、前記第5トランジスタのゲート端子と前記第6トランジスタのゲート端子とが接続された第2入力端子は、グラウンドの電位に固定される、

請求項1に記載のCMOS回路。

[請求項4]

前記伝送回路は、前記第4トランジスタを備え、

前記第4トランジスタのゲート端子には、前記第5トランジスタのドレイン端子と前記第6トランジスタのドレイン端子とが接続された前記出力端子が接続され、前記第5トランジスタのゲート端子と前記第6トランジスタのゲート端子とが接続された前記入力端子は、グラウンドの電位に固定される、

請求項1に記載のCMOS回路。

[請求項5]

前記第2論理演算回路は、論理否定回路である、

請求項1から請求項4のうちいずれか1項に記載のCMOS回路。

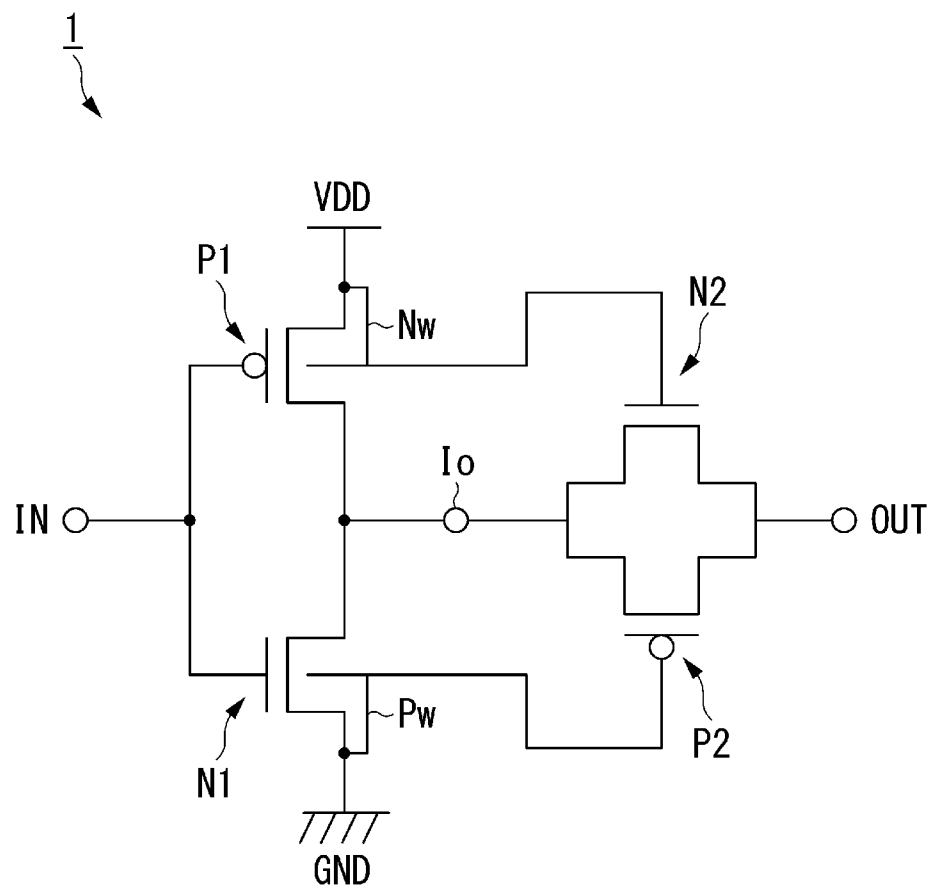
[請求項6]

前記第一導電型のトランジスタは、PチャンネルMOSトランジスタであり、

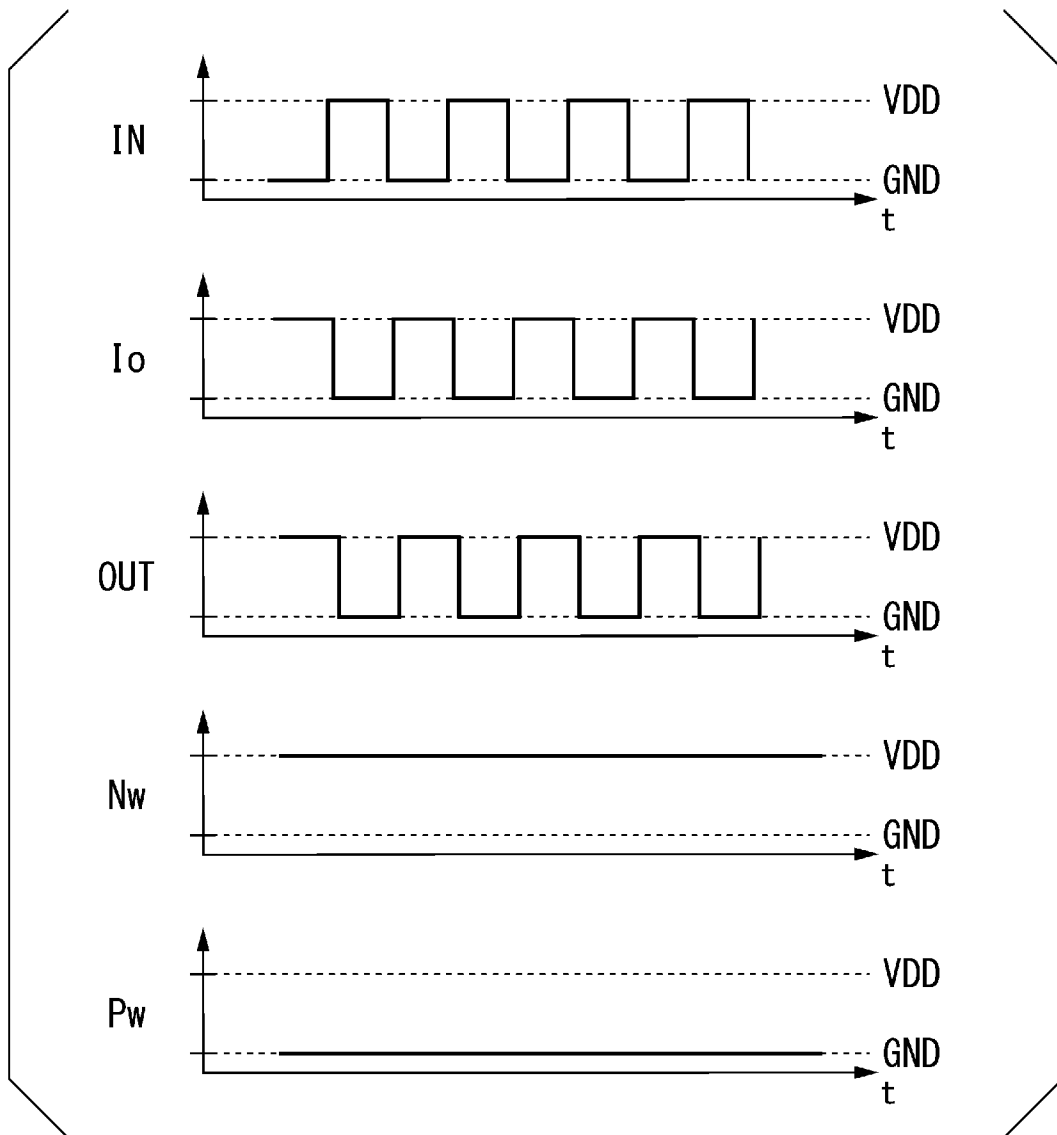
前記第二導電型のトランジスタは、NチャンネルMOSトランジスタである、

請求項1から請求項5のうちいずれか1項に記載のCMOS回路。

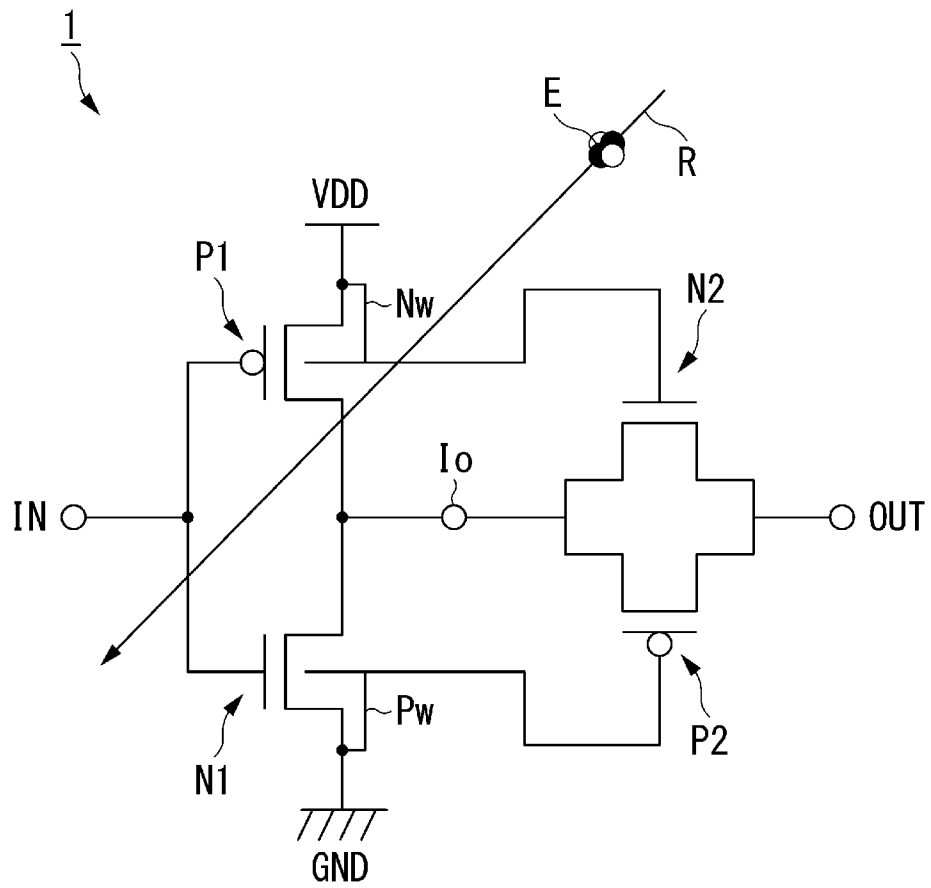
[図1]



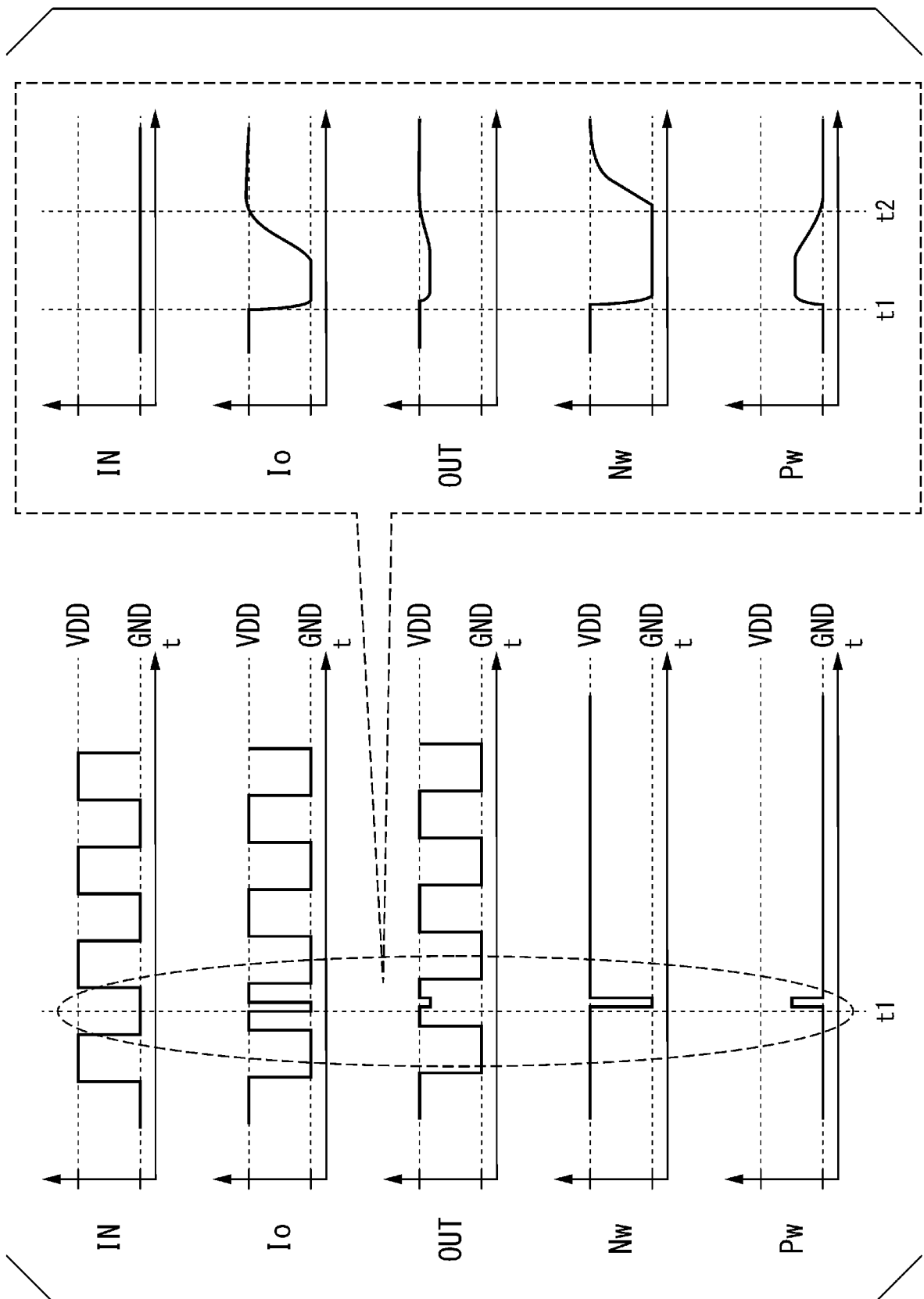
[図2]



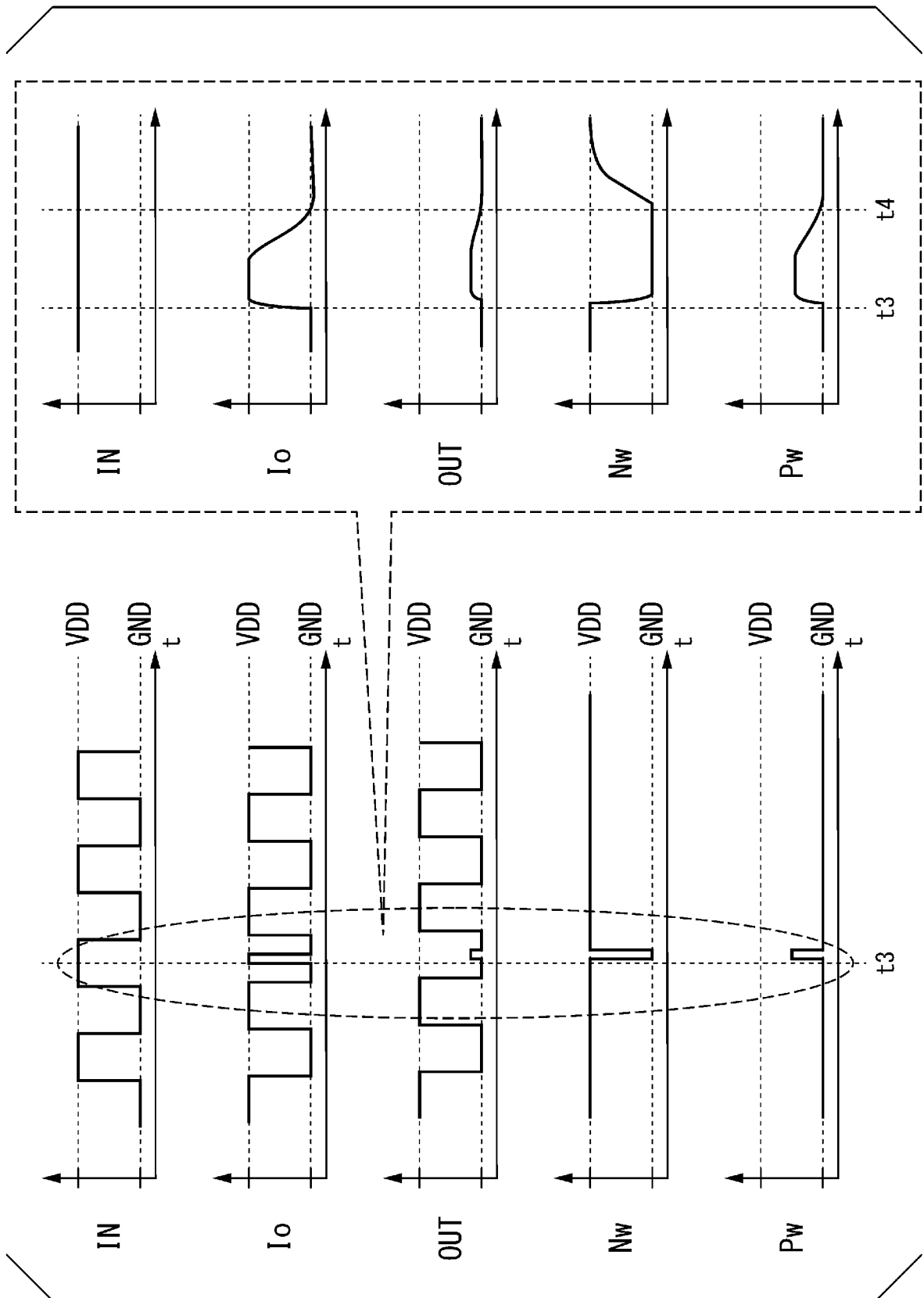
[図3]



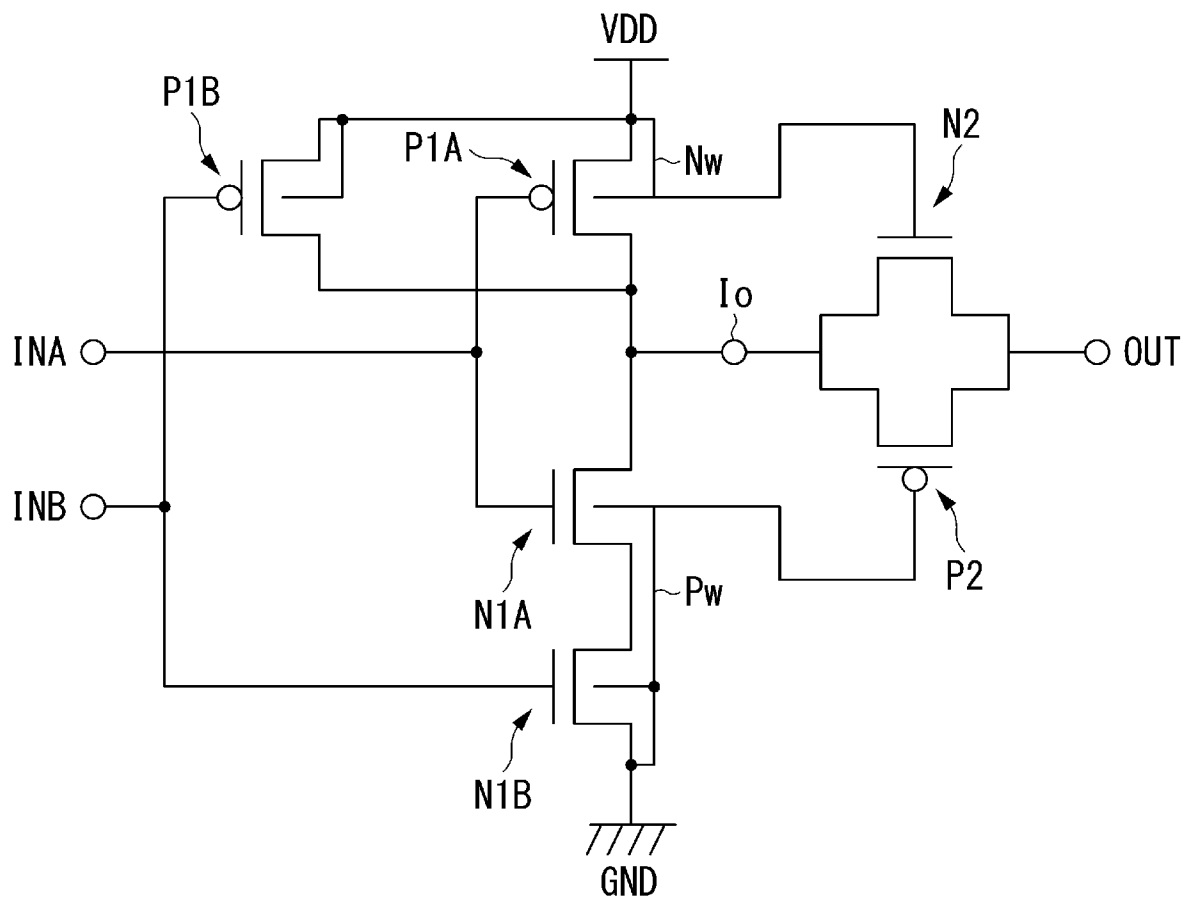
[図4]



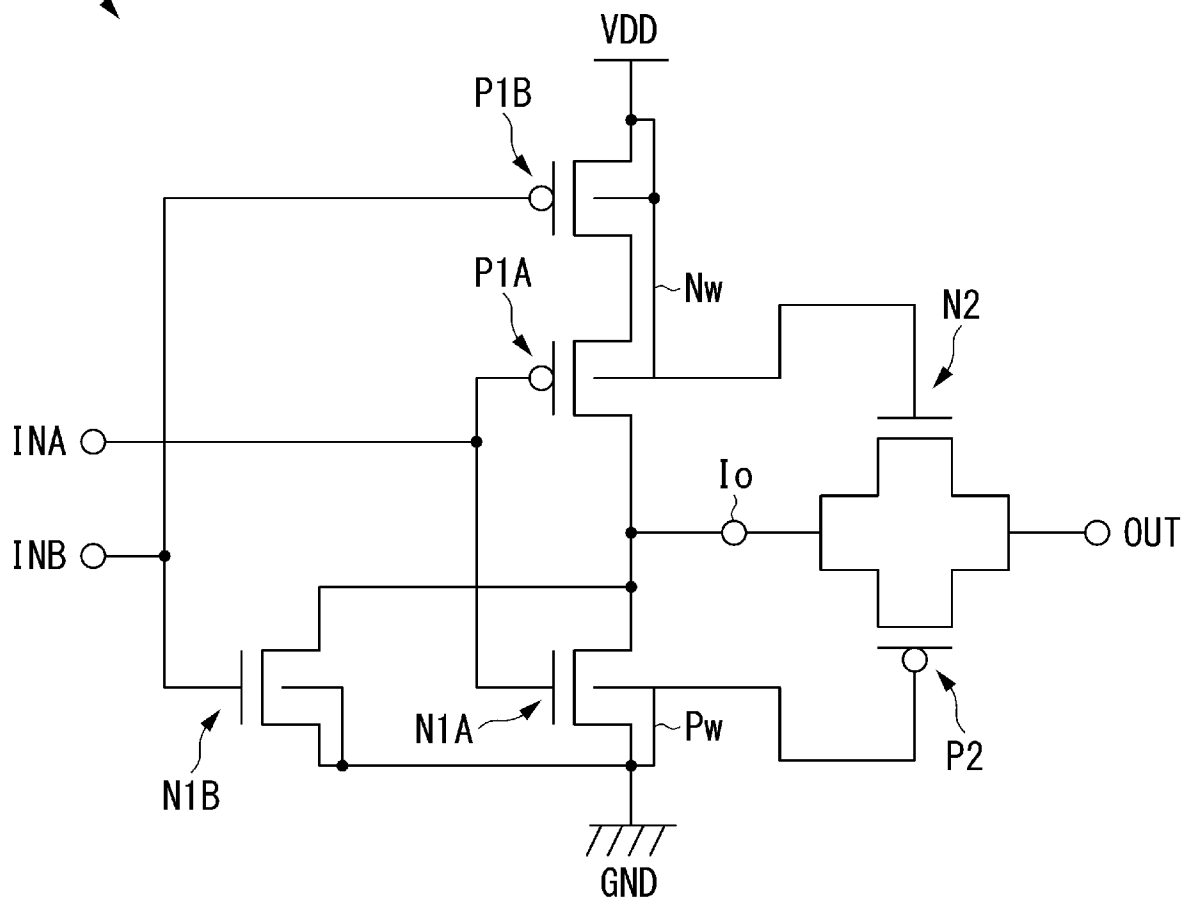
[図5]



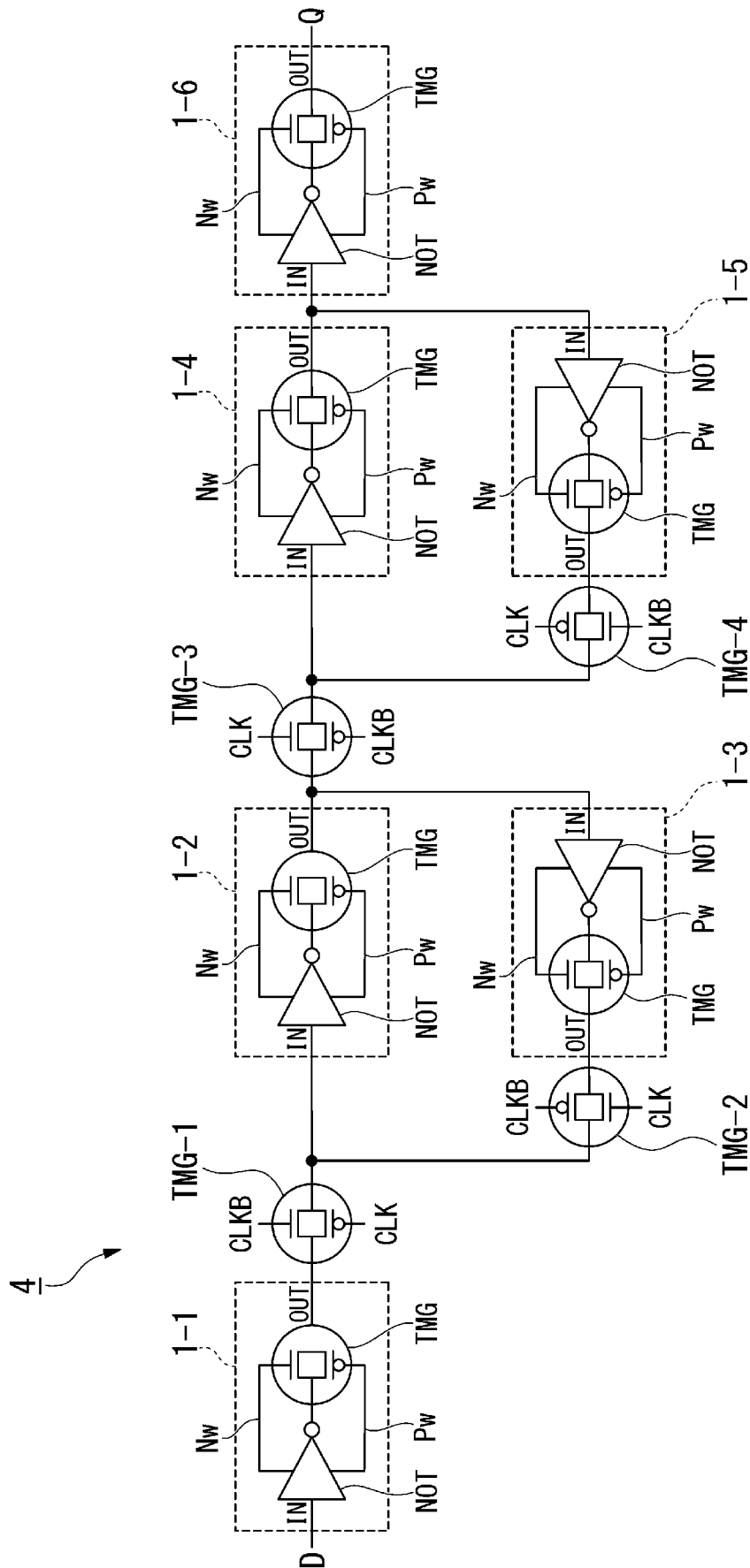
[図6]

2
↘

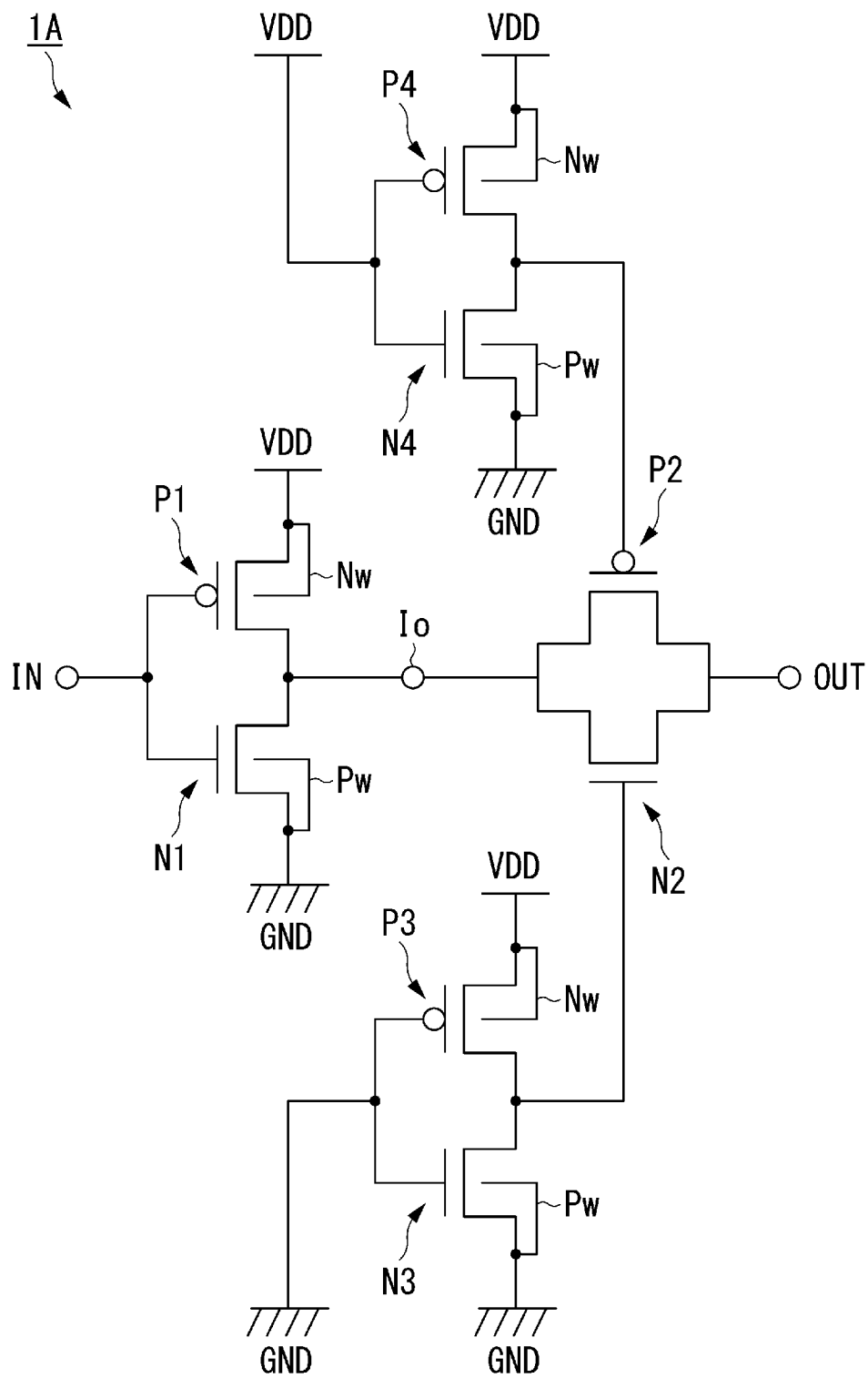
[図7]

3
↘

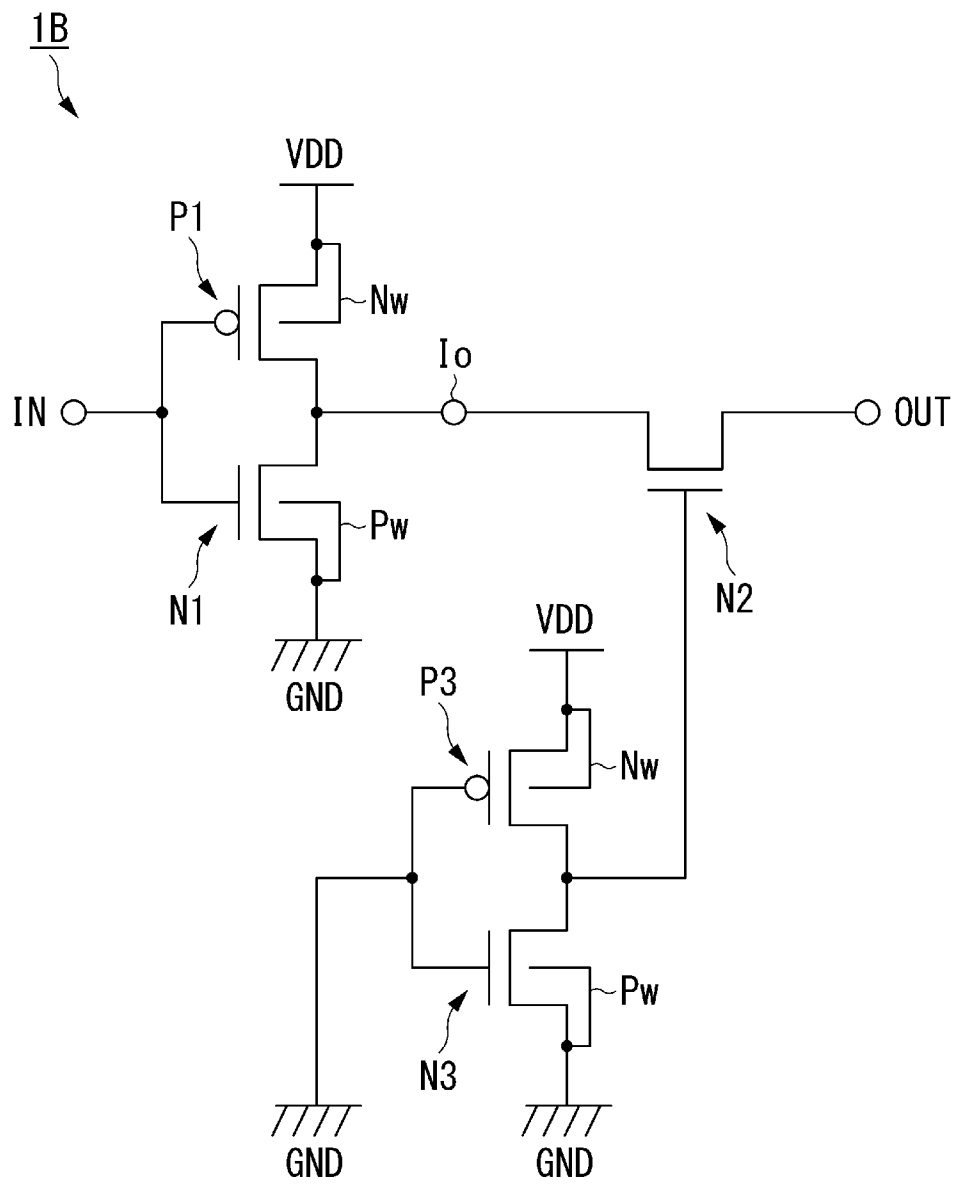
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/029176

A. CLASSIFICATION OF SUBJECT MATTER**H01L 21/8238**(2006.01)i; **H01L 27/092**(2006.01)i; **H03K 19/003**(2006.01)i; **H03K 19/0948**(2006.01)i

FI: H03K19/0948; H03K19/003 130; H01L27/092 L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238; H01L27/092; H03K19/003; H03K19/0948

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-523625 A (XILINX INC.) 04 August 2005 (2005-08-04) paragraphs [0001]-[0007], [0023]-[0025], fig. 4	1-6
Y	JP 2000-196429 A (TOSHIBA CORP.) 14 July 2000 (2000-07-14) paragraphs [0001]-[0005], fig. 7, 8	1-6
Y	JP 63-166259 A (MITSUBISHI ELECTRIC CORP.) 09 July 1988 (1988-07-09) page 1, lower right column, line 15 to page 1, lower right column, line 18, page 3, upper left column, line 7 to page 3, lower left column, line 1, fig. 3, 4	2-6

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

14 September 2021

Date of mailing of the international search report

28 September 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/029176

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2005-523625	A	04 August 2005	US 2004/0165417 A1 paragraphs [0001]-[0007], [0031]-[0033], fig. 4 WO 2003/090229 A2	
JP	2000-196429	A	14 July 2000	(Family: none)	
JP	63-166259	A	09 July 1988	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/8238(2006.01)i; H01L 27/092(2006.01)i; H03K 19/003(2006.01)i; H03K 19/0948(2006.01)i FI: H03K19/0948; H03K19/003 130; H01L27/092 L														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L21/8238; H01L27/092; H03K19/003; H03K19/0948														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2005-523625 A（ザイリンクス インコーポレイテッド）04.08.2005（2005-08-04） 段落[0001]-[0007], [0023]-[0025], 図4	1-6												
Y	JP 2000-196429 A（株式会社東芝）14.07.2000（2000-07-14） 段落[0001]-[0005], 図7-8	1-6												
Y	JP 63-166259 A（三菱電機株式会社）09.07.1988（1988-07-09） 第1頁右下欄第15行-第1頁右下欄第18行, 第3頁左上欄第7行-第3頁左下欄第1行, 第3図-第4図	2-6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 参考文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 14.09.2021	国際調査報告の発送日 28.09.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/029176

引用文献			公表日	パテントファミリー文献	公表日
JP	2005-523625	A	04.08.2005	US 2004/0165417 A1 段落[0001]-[0007], [0031]-[0033], 図4 WO 2003/090229 A2	
JP	2000-196429	A	14.07.2000	(ファミリーなし)	
JP	63-166259	A	09.07.1988	(ファミリーなし)	