

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7089329号
(P7089329)

(45)発行日 令和4年6月22日(2022.6.22)

(24)登録日 令和4年6月14日(2022.6.14)

(51)国際特許分類		F I			
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 8 E	
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 T	
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/78	6 5 2 J	

請求項の数 3 (全9頁)

(21)出願番号	特願2018-212883(P2018-212883)	(73)特許権者	000003609 株式会社豊田中央研究所 愛知県長久手市横道4 1 番地の1
(22)出願日	平成30年11月13日(2018.11.13)	(73)特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1 丁目1 番地
(65)公開番号	特開2020-80369(P2020-80369A)	(74)代理人	110000110弁理士法人 快友国際特許事務所
(43)公開日	令和2年5月28日(2020.5.28)	(72)発明者	森 朋彦 愛知県長久手市横道4 1 番地の1 株式会社豊田中央研究所内
審査請求日	令和3年7月12日(2021.7.12)	(72)発明者	副島 成雅 愛知県長久手市横道4 1 番地の1 株式会社豊田中央研究所内
		(72)発明者	山寺 秀哉

最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【特許請求の範囲】

【請求項1】

第1導電型のドリフト領域上に第2導電型のボディ領域が設けられている窒化物半導体層を準備する工程と、

前記ボディ領域を貫通して前記ドリフト領域に達する深さを有する溝を形成する工程と、結晶成長技術を利用して、前記溝内に第1導電型の窒化物半導体を結晶成長させてJ F E T領域を形成する工程であって、前記J F E T領域の表面に前記ボディ領域の表面よりも深い位置まで侵入するテーパ溝を残存させる、工程と、

結晶成長技術を利用して、前記テーパ溝内に第2導電型の窒化物半導体を結晶成長させて電界緩和領域を形成する工程と、を備える、半導体装置の製造方法。

【請求項2】

前記テーパ溝の側面は、(10-11)、(10-12)、(10-13)、(10-14)、(10-15)、(10-16)、(11-21)、(11-22)、(11-23)、(11-24)、(11-25)、(11-26)からなる群から選択される少なくとも1つの結晶面を有する、請求項1に記載の半導体装置の製造方法。

【請求項3】

窒化物半導体層と、

前記窒化物半導体層の一方の主面上に設けられているドレイン電極と、

前記窒化物半導体層の他方の主面上に設けられているソース電極と、

絶縁ゲート部と、を備えており、

前記窒化物半導体層は、
 第 1 導電型のドリフト領域と、
 前記ドリフト領域上に設けられている第 1 導電型の J F E T 領域と、
 前記ドリフト領域上に設けられており、前記 J F E T 領域に隣接している第 2 導電型のボディ領域と、
 前記 J F E T 領域上に設けられており、前記 J F E T 領域によって前記ボディ領域から隔てられている第 2 導電型の電界緩和領域と、
 前記ボディ領域によって前記 J F E T 領域から隔てられている第 1 導電型のソース領域と、
 を有しており、
 前記絶縁ゲート部は、前記 J F E T 領域と前記ソース領域を隔てている部分の前記ボディ領域に対向しており、
 前記 J F E T 領域と前記電界緩和領域の界面の結晶面が、(1 0 - 1 1)、(1 0 - 1 2)、(1 0 - 1 3)、(1 0 - 1 4)、(1 0 - 1 5)、(1 0 - 1 6)、(1 1 - 2 1)、(1 1 - 2 2)、(1 1 - 2 3)、(1 1 - 2 4)、(1 1 - 2 5)、(1 1 - 2 6) からなる群から選択される少なくとも 1 つの結晶面を有する、半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書が開示する技術は、半導体装置とその製造方法に関する。

【背景技術】

20

【0002】

非特許文献 1 には、窒化物半導体層と、窒化物半導体層の一方の主面上に設けられているドレイン電極と、窒化物半導体層の他方の主面上に設けられているソース電極と、を備えた縦型の半導体装置が開示されている。窒化物半導体層は、n 型のドリフト領域と、そのドリフト領域上に設けられている n 型の J F E T 領域と、そのドリフト領域上に設けられているとともに J F E T 領域に隣接している p 型のボディ領域と、ボディ領域によって J F E T 領域から隔てられているソース領域を有している。J F E T 領域とソース領域を隔てている部分のボディ領域に絶縁ゲートが対向している。

【0003】

このような J F E T 領域を有する縦型の半導体装置では、J F E T 領域の上部の電界が高くなるという問題がある。特許文献 1 は、J F E T 領域上に p 型の電界緩和領域を形成し、J F E T 領域の上部の電界を緩和する技術を開示する。

30

【先行技術文献】

【非特許文献】

【0004】

【文献】「ホモエピ Ga n 上ノーマリオフ型 MOS F E T の開発」応用物理 第 8 6 巻 第 5 号 p. 3 7 6 (2 0 1 7)

【特許文献】

【0005】

【文献】特開 2 0 1 1 - 6 0 9 3 0 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献 1 では、イオン注入技術を利用して、p 型の電界緩和領域を形成している。通常、イオン注入工程は、煩雑な処理を必要とし、製造コストの増加の要因となる。このため、窒化物半導体層を備える半導体装置において、イオン注入技術を利用しないで電界緩和領域を形成する技術が必要とされている。

【課題を解決するための手段】

【0007】

本明細書が開示する半導体装置の製造方法は、第 1 導電型のドリフト領域上に第 2 導電型

50

のボディ領域が設けられている窒化物半導体層を準備する工程と、前記ボディ領域を貫通して前記ドリフト領域に達する深さを有する溝を形成する工程と、結晶成長技術を利用して、前記溝内に第1導電型の窒化物半導体を結晶成長させてJFET領域を形成する工程であって、前記JFET領域の表面に前記ボディ領域の表面よりも深い位置まで侵入するテーパ溝を残存させる、工程と、結晶成長技術を利用して、前記テーパ溝内に第2導電型の窒化物半導体を結晶成長させて電界緩和領域を形成する工程と、を備えることができる。この製造方法によると、結晶成長技術を利用して、前記JFET領域上に前記電界緩和領域を形成することができる。このため、イオン注入技術を利用しないで前記電界緩和領域を形成することができる。前記テーパ溝の側面は、(10-11)、(10-12)、(10-13)、(10-14)、(10-15)、(10-16)、(11-21)、(11-22)、(11-23)、(11-24)、(11-25)、(11-26)からなる群から選択される少なくとも1つの結晶面を有していてもよい。

10

【0008】

本明細書が開示する半導体装置の一実施形態は、窒化物半導体層と、前記窒化物半導体層の一方の主面上に設けられているドレイン電極と、前記窒化物半導体層の他方の主面上に設けられているソース電極と、絶縁ゲート部と、を備えることができる。前記窒化物半導体層は、第1導電型のドリフト領域と、前記ドリフト領域上に設けられている第1導電型のJFET領域と、前記ドリフト領域上に設けられており、前記JFET領域に隣接している第2導電型のボディ領域と、前記JFET領域上に設けられており、前記JFET領域によって前記ボディ領域から隔てられている第2導電型の電界緩和領域と、前記ボディ領域によって前記JFET領域から隔てられている第1導電型のソース領域と、を有することができる。前記絶縁ゲート部は、前記JFET領域と前記ソース領域を隔てている部分の前記ボディ領域に対向している。前記JFET領域と前記電界緩和領域の界面の結晶面が、(10-11)、(10-12)、(10-13)、(10-14)、(10-15)、(10-16)、(11-21)、(11-22)、(11-23)、(11-24)、(11-25)、(11-26)からなる群から選択される少なくとも1つの結晶面を有している。

20

【図面の簡単な説明】

【0009】

【図1】半導体装置の一実施形態の要部断面図を模式的に示す。

【図2】図1の半導体装置の電界緩和領域近傍の要部拡大断面図を模式的に示す。

30

【図3】図1の半導体装置の一製造過程における要部断面図を模式的に示す。

【図4】図1の半導体装置の一製造過程における要部断面図を模式的に示す。

【図5】図1の半導体装置の一製造過程における要部断面図を模式的に示す。

【図6】図1の半導体装置の一製造過程における要部断面図を模式的に示す。

【図7】図1の半導体装置の一製造過程における要部断面図を模式的に示す。

【図8】半導体装置の他の実施形態の電界緩和領域近傍の要部拡大断面図を模式的に示す。

【発明を実施するための形態】

【0010】

図1に、半導体装置1の要部断面図を示す。半導体装置1は、窒化物半導体層20、窒化物半導体層20の裏面を被覆するドレイン電極32、窒化物半導体層20の表面を被覆するソース電極34、及び、窒化物半導体層20の表面上の一部に設けられている絶縁ゲート部36を備えている。窒化物半導体層20は、n+型のドレイン領域21、n型のドリフト領域22、n型のJFET領域23、p型のボディ領域24、n型のソース領域25、及び、p型の電界緩和領域26を有している。

40

【0011】

ドレイン領域21は、窒化物半導体層20の裏面に位置しており、ドレイン電極32にオーミック接触している。ドレイン領域21は、n型不純物を含む窒化ガリウム(GaN)を材料としている。また、ドレイン領域21は、ドリフト領域22とボディ領域24をエピタキシャル成長するための下地基板でもある。

【0012】

50

ドリフト領域 2 2 は、ドレイン領域 2 1 上に設けられており、ドレイン領域 2 1 と J F E T 領域 2 3 の間、且つ、ドレイン領域 2 1 とボディ領域 2 4 の間に配置されている。ドリフト領域 2 2 は、n 型不純物を含む窒化ガリウム (G a N) を材料としている。

【 0 0 1 3 】

J F E T 領域 2 3 は、ドリフト領域 2 2 上に設けられており、ドリフト領域 2 2 の表面から窒化物半導体層 2 0 の表面まで厚み方向に延びており、ドリフト領域 2 2 の表面から突出した形態を有している。換言すると、J F E T 領域 2 3 は、窒化物半導体層 2 0 の表面からボディ領域 2 4 を貫通してドリフト領域 2 2 まで延びている。J F E T 領域 2 3 は、n 型不純物を含む窒化ガリウム (G a N) を材料としている。

【 0 0 1 4 】

ボディ領域 2 4 は、ドリフト領域 2 2 上に設けられており、J F E T 領域 2 3 の側面に隣接している。ボディ領域 2 4 は、J F E T 領域 2 3 を間に置いて対向するように配置されている。ボディ領域 2 4 は、ソース電極 3 4 にオーミック接触している。ボディ領域 2 4 は、p 型不純物を含む窒化ガリウム (G a N) を材料としている。

【 0 0 1 5 】

ソース領域 2 5 は、ボディ領域 2 4 上に設けられており、窒化物半導体層 2 0 の表面に位置しており、ボディ領域 2 4 によって J F E T 領域 2 3 から隔てられている。ソース領域 2 5 は、ソース電極 3 4 にオーミック接触している。ソース領域 2 5 は、n 型不純物を含む窒化ガリウム (G a N) を材料としている。

【 0 0 1 6 】

電界緩和領域 2 6 は、J F E T 領域 2 3 上に設けられており、窒化物半導体層 2 0 の表面に位置しており、J F E T 領域 2 3 によってボディ領域 2 4 から隔てられている。電界緩和領域 2 6 は、絶縁ゲート部 3 6 の底面に接している。電界緩和領域 2 6 は、p 型不純物を含む窒化ガリウム (G a N) を材料としている。

【 0 0 1 7 】

図 2 に、電界緩和領域 2 6 近傍の拡大要部断面図を示す。電界緩和領域 2 6 は、窒化物半導体層 2 0 の表面から深さ方向に沿って先細りのテーパ形状を有しており、この例では断面三角形形状である。このような特徴的な形状は、後述する製造方法によるものである。また、この例では、断面三角形形状であるが、製造条件によっては断面五角形状、あるいは、それ以上の複数の結晶面で構成された先細りのテーパ形状と成り得る。詳細については、後述の製造方法で説明する。この例では、ドリフト領域 2 2 と J F E T 領域 2 3 の界面 S 1 の結晶面は (0 0 0 1) 面である。J F E T 領域 2 3 とボディ領域 2 4 の界面 S 2 の結晶面が (1 0 - 1 0) のとき、J F E T 領域 2 3 と電界緩和領域 2 6 の界面 S 3 の結晶面が (1 0 - 1 1) 又は (1 0 - 1 2) である。あるいは、J F E T 領域 2 3 とボディ領域 2 4 の界面 S 2 の結晶面が (1 1 - 2 0) のとき、J F E T 領域 2 3 と電界緩和領域 2 6 の界面 S 3 の結晶面が (1 1 - 2 2) である。

【 0 0 1 8 】

図 1 に戻る。絶縁ゲート部 3 6 は、窒化物半導体層 2 0 の表面上の一部に設けられており、酸化シリコンのゲート絶縁膜 3 6 a 及びポリシリコンのゲート電極 3 6 b を有している。ゲート電極 3 6 b は、ゲート絶縁膜 3 6 a を介して窒化物半導体層 2 0 の表面に対向しており、特に、電界緩和領域 2 6、J F E T 領域 2 3、及び、J F E T 領域 2 3 とソース領域 2 5 を隔てる部分のボディ領域 2 4 にゲート絶縁膜 3 6 a を介して対向している。

【 0 0 1 9 】

次に、半導体装置 1 の動作を説明する。使用時には、ドレイン電極 3 2 に正電圧が印加され、ソース電極 3 4 が接地される。ゲート電極 3 6 b にゲート閾値電圧よりも高い正電圧が印加されると、J F E T 領域 2 3 とソース領域 2 5 を隔てる部分のボディ領域 2 4 に反転層のチャンネルが形成され、半導体装置 1 がターンオンする。このとき、ソース領域 2 5 からチャンネルを経由して J F E T 領域 2 3 に電子が流入する。J F E T 領域 2 3 に流入した電子は、その J F E T 領域 2 3 を縦方向に流れてドレイン電極 3 2 に向かう。これにより、ドレイン電極 3 2 とソース電極 3 4 が導通する。電界緩和領域 2 6 はボディ領域 2 4

10

20

30

40

50

から離反しており、電界緩和領域 2 6 とボディ領域 2 4 の間に J F E T 領域 2 3 が存在している。このため、電界緩和領域 2 6 は、電流経路を阻害する位置には設けられておらず、オン抵抗の増大が抑えられている。

【 0 0 2 0 】

ゲート電極 3 6 b が接地されると、反転層が消失し、半導体装置 1 がターンオフする。このとき、J F E T 領域 2 3 内にボディ領域 2 4 から空乏層が伸びてくる。さらに、J F E T 領域 2 3 内に電界緩和領域 2 6 から空乏層が伸びてくる。これにより、J F E T 領域 2 3 が良好に空乏化され、J F E T 領域 2 3 の電界が緩和される。特に、J F E T 領域 2 3 の上部に電界緩和領域 2 6 が設けられていることにより、この部分の電界が緩和される。仮に、電界緩和領域 2 6 が設けられていないとすると、J F E T 領域 2 3 の上部の電界が高くなり、ゲート絶縁膜 3 6 a の絶縁破壊が懸念される。半導体装置 1 では、電界緩和領域 2 6 が設けられていることにより、ゲート絶縁膜 3 6 a に加わる電界が緩和され、ゲート絶縁膜 3 6 a の絶縁破壊が抑えられる。

10

【 0 0 2 1 】

(半導体装置の製造方法)

次に、半導体装置 1 の製造方法を説明する。まず、図 3 に示されるように、エピタキシャル成長技術を利用して、n 型 G a N の G a N 基板であるドレイン領域 2 1 の表面から n 型 G a N のドリフト領域 2 2 及び p 型 G a N のボディ領域 2 4 をこの順で積層し、窒化物半導体層 2 0 を準備する。必要に応じて、ドレイン領域 2 1 (G a N 基板) とドリフト領域 2 2 の間に、n 型 G a N のバッファ層を形成してもよい。

20

【 0 0 2 2 】

次に、図 4 に示されるように、ドライエッチング技術を利用して、窒化物半導体層 2 0 の表面からボディ領域 2 4 を貫通してドリフト領域 2 2 に達する深さを有する溝 T R 1 を形成する。溝 T R 1 の底面には、ドリフト領域 2 2 が露出する。なお、この例では、溝 T R 1 がボディ領域 2 4 と同一深さで形成されているが、ドリフト領域 2 2 の一部に侵入する深さで形成されてもよい。溝 T R 1 の底面は、窒化物半導体層 2 0 の表面に対して平行に延びている。溝 T R 1 の底面は、図 2 に示す界面 S 1 に相当しており、その結晶面は (0 0 0 1) である。溝 T R 1 の側面は、窒化物半導体層 2 0 の表面に対して垂直方向に延びている。溝 T R 1 の側面は、図 2 に示す界面 S 2 に相当しており、その結晶面は (1 0 - 1 0) 又は (1 1 - 2 0) である。

30

【 0 0 2 3 】

次に、図 5 に示されるように、エピタキシャル成長技術を利用して、溝 T R 1 内に n 型 G a N を結晶成長させ、J F E T 領域 2 3 を形成する。成長温度は 8 0 0 ~ 1 1 0 0 であり、原料ガスにはトリメチルガリウムとアンモニアが用いられ、キャリアガスには水素又は窒素が用いられる。この結晶成長工程では、n 型 G a N が溝 T R 1 内を完全に充填する前に結晶成長を停止する。これにより、J F E T 領域 2 3 の表面にテーパ溝 T R 2 が形成される。このテーパ溝 T R 2 は、ボディ領域 2 4 の表面よりも深い位置まで侵入しているとともにドリフト領域 2 2 の表面よりも浅い。このテーパ溝 T R 2 の側面は、結晶成長する過程で現れるファセット面である。溝 T R 1 の側面の結晶面が (1 0 - 1 0) のとき、テーパ溝 T R 2 の側面の結晶面は、(1 0 - 1 1) 又は (1 0 - 1 2) である。また、溝 T R 1 の側面の結晶面が (1 1 - 2 0) のとき、テーパ溝 T R 2 の側面の結晶面は、(1 1 - 2 2) である。このようなファセット面が現れると、そのファセット面に垂直方向の結晶成長速度が遅いことから、特徴的な形態を有するテーパ溝 T R 2 が形成される。

40

【 0 0 2 4 】

次に、図 6 に示されるように、エピタキシャル成長技術を利用して、J F E T 領域 2 3 の表面に p 型 G a N を結晶成長させ、電界緩和領域 2 6 を形成する。成長温度は 8 0 0 ~ 1 1 0 0 であり、原料ガスにはトリメチルガリウムとアンモニアが用いられ、キャリアガスには水素又は窒素が用いられる。なお、図 5 の J F E T 領域 2 3 の結晶成長工程と図 6 の電界緩和領域 2 6 の結晶成長工程は、結晶成長途中でドーパントガスを切り換えることで連続して実施してもよい。電界緩和領域 2 6 は、テーパ溝 T R 2 を充填するように形成

50

される。

【 0 0 2 5 】

次に、図 7 に示されるように、CMP (Chemical Mechanical Polishing) 技術を利用して、ボディ領域 2 4 の表面上に成膜された n 型 GaN 及び p 型 GaN を除去し、JFET 領域 2 3、ボディ領域 2 4 及び電界緩和領域 2 6 の表面を平坦化する。これにより、JFET 領域 2 3、ボディ領域 2 4 及び電界緩和領域 2 6 が、窒化物半導体層 2 0 の表面に露出することができる。

【 0 0 2 6 】

最後に、既知の製造技術を利用して、ソース領域 2 5、ゲート絶縁膜 3 6 a、ゲート電極 3 6 b、ドレイン電極 3 2 及びソース電極 3 4 を形成することで、図 1 に示す半導体装置 1 を製造することができる。

10

【 0 0 2 7 】

上記製造方法によると、エピタキシャル成長技術を利用して、電界緩和領域 2 6 を形成することができる。このため、イオン注入技術を利用しないで電界緩和領域 2 6 を形成することができる。また、上記製造方法では、JFET 領域 2 3 を結晶成長して形成されたテーパ溝 TR 2 内に電界緩和領域 2 6 が結晶成長して形成されるので、電界緩和領域 2 6 を JFET 領域 2 3 の上部の中央付近に形成することができる。電流経路を阻害することなく、さらに、ゲート絶縁膜 3 6 a の電界緩和に有効な位置に、電界緩和領域 2 6 を形成することができる。

【 0 0 2 8 】

上記で説明した電界緩和領域 2 6 は、断面三角形の形態を有していた。しかしながら、JFET 領域 2 3 を結晶成長するときの溝 TR 1 の幅、及び、JFET 領域 2 3 を結晶成長するときの製造条件によっては、JFET 領域 2 3 を結晶成長する過程で複数のファセット面が現れることもあり、この場合は、図 8 に示すような電界緩和領域 1 2 6 が形成され得る。電界緩和領域 1 2 6 は、窒化物半導体層 2 0 の表面から深さ方向に沿って先細りのテーパ形状を有しており、断面五角形状である。この例では、JFET 領域 2 3 と電界緩和領域 1 2 6 の界面 S 4、S 5 が 2 種類の結晶面で構成されている。JFET 領域 2 3 とボディ領域 2 4 の界面 S 2 の結晶面が $(10-10)$ のとき、JFET 領域 2 3 と電界緩和領域 1 2 6 の界面 S 4、S 5 の結晶面は、 $(10-11)$ 、 $(10-12)$ 、 $(10-13)$ 、 $(10-14)$ 、 $(10-15)$ 、 $(10-16)$ から選択される 2 種類である。あるいは、JFET 領域 2 3 とボディ領域 2 4 の界面 S 2 の結晶面が $(11-20)$ のとき、JFET 領域 2 3 と電界緩和領域 1 2 6 の界面 S 4、S 5 の結晶面は、 $(11-21)$ 、 $(11-22)$ 、 $(11-23)$ 、 $(11-24)$ 、 $(11-25)$ 、 $(11-26)$ から選択される 2 種類である。このような複数の結晶面で構成される電界緩和領域 1 2 6 も、上記で説明した電界緩和領域 2 6 と同様の作用効果を発揮することができる。

20

30

【 0 0 2 9 】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

40

【 符号の説明 】

【 0 0 3 0 】

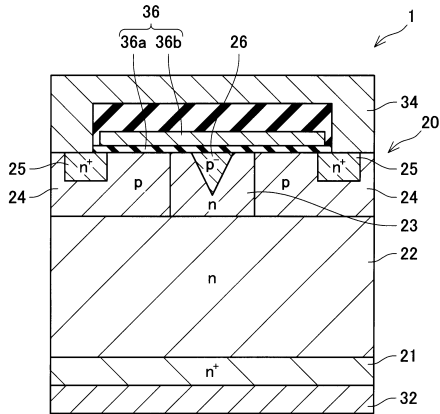
- 1 : 半導体装置
- 2 0 : 窒化物半導体層
- 2 1 : ドレイン領域
- 2 2 : ドリフト領域
- 2 3 : JFET 領域

50

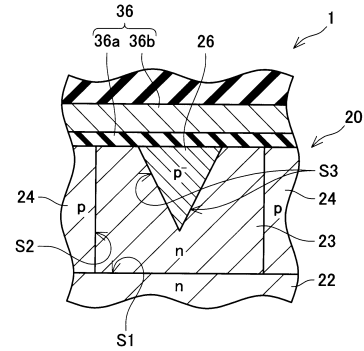
- 24 : ボディ領域
- 25 : ソース領域
- 26, 126 : 電界緩和領域
- 32 : ドレイン電極
- 34 : ソース電極
- 36 : 絶縁ゲート部
- 36a : ゲート絶縁膜
- 36b : ゲート電極

【図面】

【図1】



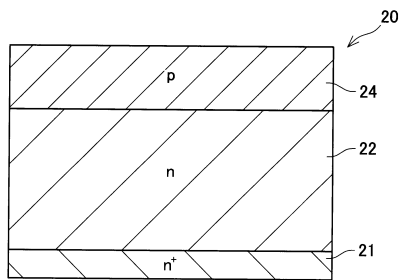
【図2】



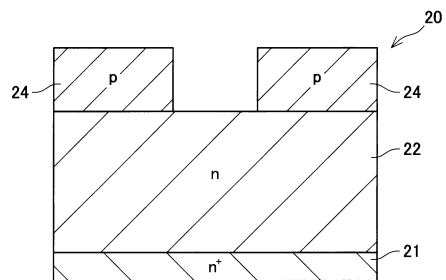
10

20

【図3】



【図4】

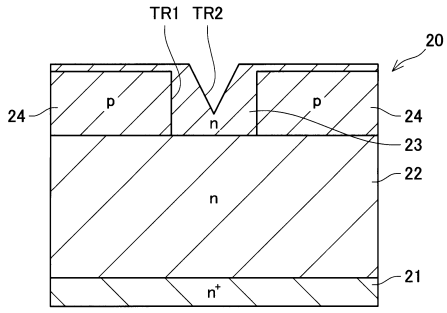


30

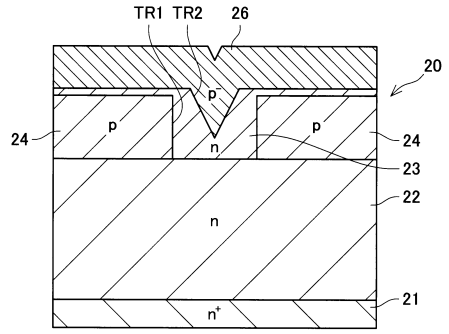
40

50

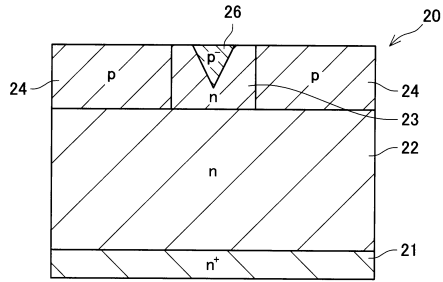
【 5 】



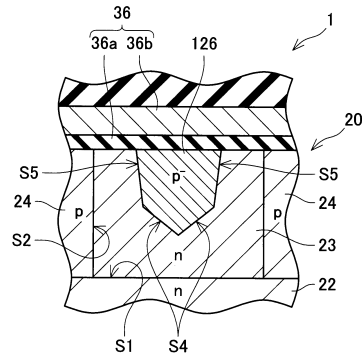
【 6 】



【 7 】



【 8 】



10

20

30

40

50

フロントページの続き

愛知県長久手市横道4番地の1 株式会社豊田中央研究所内

(72)発明者 長里 喜隆

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

審査官 石塚 健太郎

(56)参考文献 特開2010-263087(JP,A)

特開2000-106455(JP,A)

特開2010-251737(JP,A)

国際公開第2014/125586(WO,A1)

特開2007-214303(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/336

H01L 29/12

H01L 29/78