

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7530007号
(P7530007)

(45)発行日 令和6年8月7日(2024.8.7)

(24)登録日 令和6年7月30日(2024.7.30)

(51)国際特許分類 F I
H 0 3 M 1/34 (2006.01) H 0 3 M 1/34
H 0 3 M 1/10 (2006.01) H 0 3 M 1/10 A

請求項の数 3 (全9頁)

(21)出願番号	特願2022-529214(P2022-529214)	(73)特許権者	000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号
(86)(22)出願日	令和2年6月3日(2020.6.3)	(74)代理人	100083806 弁理士 三好 秀和
(86)国際出願番号	PCT/JP2020/021900	(74)代理人	100129230 弁理士 工藤 理恵
(87)国際公開番号	WO2021/245831	(72)発明者	美濃谷 直志 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
(87)国際公開日	令和3年12月9日(2021.12.9)	(72)発明者	松永 賢一 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
審査請求日	令和4年11月8日(2022.11.8)	審査官	工藤 一光

最終頁に続く

(54)【発明の名称】 A Dコンバータ

(57)【特許請求の範囲】

【請求項1】

入力電圧を初期値として該初期値に単位電圧を積算する動作を繰り返すA Dコンバータにおいて、

前記単位電圧を生成させる電流源と、

前記初期値を保持し前記単位電圧を積算する容量と、

前記電流源を前記容量に接続させる第1スイッチと、

前記第1スイッチが切断時に前記電流源と前記容量の間を接続させて、前記電流源と前記第1スイッチの寄生容量に蓄積された電荷の移動を抑制する誤差抑制部とを備えるA Dコンバータ。

10

【請求項2】

前記誤差抑制部は、

前記単位電圧が非反転入力端子に接続される第1演算増幅器と、

前記第1演算増幅器の出力端子が非反転入力端子に接続され反転入力端子が出力端子と前記第1演算増幅器の反転入力端子に接続される第2演算増幅器と、

前記第1演算増幅器の出力端子を前記電流源に接続させる第2スイッチと

を備える請求項1に記載のA Dコンバータ。

【請求項3】

前記誤差抑制部は、

前記寄生容量と同じ容量値の誤差抑制容量と、

20

前記容量が保持する電圧を複製した積算電圧を生成するバッファアンプと、
 前記第 1 スイッチが接続時に前記誤差抑制容量を前記電流源と共通電位の間接続させ、
 前記第 1 スイッチが切断時に前記誤差抑制容量に充電された誤差抑制電圧を前記積算電
 圧から減じる誤差補正スイッチと、
 前記第 1 スイッチが切断時に前記誤差抑制電圧を前記積算電圧から減じた電圧を前記電
 流源の出力に接続させる第 2 スイッチと
 を備える請求項 1 に記載の A D コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A D コンバータに関する。

【背景技術】

【0002】

A D コンバータは、既知の電圧を出力する D A コンバータ部、アナログ入力の電圧値を
 保持するサンプルホールド部と比較器で構成され、D A コンバータ部の出力値を順次変化
 させ比較器の出力が低出力電圧から高出力電圧に変化する最小の D A コンバータ部の出力
 値を設定した時のデジタル値を A D コンバータの変換値として使用する（非特許文献 1）。

【先行技術文献】

【非特許文献】

【0003】

【文献】A/D変換の概要と仕組み - ミームス(MEMEs)のサポートページ〔令和2年5月2
 5日検索〕、インターネット（http://memes.sakura.ne.jp/memes/?page_id=1120）

【発明の概要】

【発明が解決しようとする課題】

【0004】

高い線形性を得るために時間または処理回数で出力電圧を順次増加させる電流源と容量
 で構成される積算回路を D A コンバータ部に用いた場合には、寄生容量により線形性が劣
 化する課題がある。

【0005】

本発明は、この課題を鑑みてなされたものであり、寄生容量による線形性の劣化を防止
 して変換誤差を低減させる A D コンバータを提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様に係る A D コンバータは、入力電圧を初期値として該初期値に単位電圧
 を積算する動作を繰り返す A D コンバータにおいて、前記単位電圧を生成させる電流源と
 、前記初期値を保持し前記単位電圧を積算する容量と、前記電流源を前記容量に接続させ
 る第 1 スイッチと、前記第 1 スイッチが切断時に前記電流源と前記容量の間を接続させて
 、前記電流源と前記第 1 スイッチの寄生容量に蓄積された電荷の移動を抑制する誤差抑制
 部とを備えることを要旨とする。

【発明の効果】

【0007】

本発明によれば、寄生容量による線形性の劣化を防止して変換誤差を低減させる A D コ
 ンバータを提供することができる。

【図面の簡単な説明】

【0008】

【図 1】本発明の第 1 実施形態に係る A D コンバータの機能構成例を示すブロック図であ
 る。

【図 2】寄生容量を考慮した積算部の回路モデルを示す図である。

【図 3】図 2 に示す寄生容量の端子電圧の変化例を模式的に示す図である。

【図 4】図 1 に示す積分部と誤差抑制部の回路モデルを示す図である。

10

20

30

40

50

【図 5】図 4 に示す寄生容量の端子電圧の変化例を模式的に示す図である。

【図 6】本発明の第 2 実施形態に係る A/D コンバータの機能構成例を示すブロック図である。

【図 7】図 6 に示す積分部と誤差抑制部の回路モデルを示す図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態について図面を用いて説明する。複数の図面中同一のものには同じ参照符号を付し、説明は繰り返さない。

【0010】

〔第 1 実施形態〕

図 1 に本発明にかかる第 1 実施形態の A/D コンバータのブロック図を示す。図 1 に示す A/D コンバータ 100 は、入力電圧を容量 C_0 に保持して初期値として単位電圧で積算した積算電圧がしきい値電圧と等しくなる積算回数に基づいて入力電圧をデジタル値に変換する。

【0011】

A/D コンバータ 100 は制御部、積算変換部 20 とで構成され、積算変換部は、第 3 スイッチ SW3、しきい値電圧部 21、比較器 22、積算部 23、誤差抑制部 24 とで構成される。また、積算部 23 は電流源 230、第 1 スイッチ SW1、容量 C_0 で構成される。

【0012】

変換する時では、第 1 スイッチ SW1 を切断状態にして第 3 スイッチ SW3 を一旦接続状態にしたのち切断状態にして、入力端子に入力される入力電圧を容量 C_0 に保持する。この後、第 1 スイッチ SW1 の接続・切断を繰返して単位電圧 V_G を積算した積算電圧 V_0 がしきい値電圧 V_{th} と等しくなる時の積算回数 k_i を計測する。この時の積算電圧 V_0 としきい値電圧 V_{th} が等しい時には以下の式が成立する。

【0013】

【数 1】

$$V_{th} = k_i V_G + V_{in} \quad (1)$$

【0014】

(積算部のスイッチ接続・切断による誤差発生)

図 2 に電流源やスイッチの寄生容量を考慮した積算部の回路モデルを示す。図中 C_p は寄生容量を表す。スイッチ SW1 が接続状態の時、電流源 230 から出力される電荷は C_0 と C_p に蓄積され、1 回の積算時間を t とすると単位電圧 V_G は以下の式で表される。

【0015】

【数 2】

$$V_G = \frac{I_0}{C_0 + C_p} \Delta t \quad (2)$$

【0016】

図 3 に SW1 の接続状態に対する図 2 の回路モデルでの電流源 230 の出力の電圧 V_{io} のふるまいを示す。スイッチ SW1 が切断状態の時では、電流源 230 から出力される電荷は寄生容量 C_p にのみに蓄積される。通常、寄生容量 C_p は容量 C_0 と比較してけた違いに小さいため、電流源 230 からの電流により急激に電圧が上昇する。電流源 230 の出力の電圧が過剰に上昇すると電流源 230 から電流が流れなくなり、電流源 230 の出力の電圧すなわち寄生容量 C_p の電圧は飽和する。容量 C_0 に関しては電荷が保持されるため電圧も保持される。この状態で再びスイッチ SW1 が接続状態になると容量 C_0 には電流源 230 からの電荷だけでなく寄生容量 C_p に蓄積された電荷も流れるため、式 (2) で表される単位電圧に誤差が生じる。また、切断状態から接続状態になった時に寄生容量 C_p から流れる電荷

10

20

30

40

50

は容量 C_0 の電圧で変化するため積算の特性が非線形となる。この寄生容量による線形性の劣化は、A/Dコンバータの変換誤差の原因になる。

【0017】

(誤差抑制部)

図4に第1実施形態に係る積算部23と誤差抑制部24の回路モデルを示す。第1スイッチSW1と第2スイッチSW2の接続状態の関係は、第1スイッチSW1が接続状態の時に第2スイッチSW2は切断状態となり、第1スイッチSW1が切断状態の時に第2スイッチSW2は接続状態となる。第1スイッチSW1が切断状態で第2スイッチSW2が接続状態の時では、誤差抑制部24のOPアンプの利得を A_1 、オフセット電圧を V_{of} とすると電流源230の出力電圧 V_{io} は以下の式で表される。

【0018】

【数3】

$$V_{io} = A \left\{ V_{o,0} + V_{of} - \frac{A}{A+1} (V_{io} + V_{of}) \right\}$$

$$\left(1 + \frac{A^2}{A+1} \right) V_{io} = A \left(V_{o,0} + \frac{1}{A+1} V_{of} \right)$$

$$V_{io} = \frac{A^2+A}{A^2+A+1} V_{o,0} + \frac{A}{A^2+A+1} V_{of} \quad (3)$$

【0019】

式(3)で $V_{o,0}$ は容量 C_0 の電圧を表す。利得が十分大きければ $V_{io} = V_{o,0}$ となる。本実施形態では電流源230からの電荷が寄生容量 C_p に蓄積されずに誤差抑制部24のOPアンプに流れるため電流源230の出力の電圧の上昇はなく V_o と同じになる。図5にSW1aの接続状態に対する本実施形態での V_{io} のふるまいを示す。第1スイッチSW1が切断状態で第2スイッチSW2が接続状態であっても V_{io} は電流源230の出力の飽和電圧にならず V_o に保持されている。次に第1スイッチSW1が接続状態、第2スイッチSW2が切断状態となった時では、寄生容量 C_p の電圧は V_o と同じであるため電荷の移動はない。従って本実施形態では寄生容量 C_p による積算の誤差は発生しない。

【0020】

上述の説明のように、本実施形態により寄生容量 C_p による線形性の劣化を防止して変換誤差を低減させるA/Dコンバータを提供することができる。

【0021】

(第2実施形態)

図6に本発明の第2実施形態に係るA/Dコンバータ200のブロック図を示す。第1実施形態とは誤差抑制部34の構成が異なる。第1スイッチSW1、第2スイッチSW2、誤差補正スイッチSW4の接続状態の関係は、第1スイッチSW1が接続状態の時では第2スイッチSW2が切断状態、誤差補正スイッチSW4のa1とc1が接続され、第1スイッチSW1が切断状態の時では第2スイッチSW2が接続状態となり誤差補正スイッチSW4のa1とb1が接続される。

【0022】

図7に本実施形態の回路モデルを示す。第1スイッチSW1が切断状態、第2スイッチSW2が接続状態、誤差補正スイッチSW4のa1とb1が接続されている状態では、電流源230の出力の電圧 V_{io} は以下の式で表される。

【0023】

【数4】

10

20

30

40

50

$$V_{io} = \frac{A}{A+1} (V_{o,0} + V_{of}) \quad (4)$$

【 0 0 2 4 】

式(4)でAとVofはそれぞれバッファアンプ(OPアンプ)250の利得とオフセット電圧である。また、Vo,0はこのスイッチ状態でのCoの電圧を表す。誤差抑制容量Csおよび寄生容量Cpに蓄積されている電荷Qs,0およびQp,0は以下の式で表される。

【 0 0 2 5 】

【数5】

$$Q_{s,0} = C_s V_{io} = C_s \frac{A}{A+1} (V_{o,0} + V_{of}) \quad (5)$$

$$Q_{p,0} = C_p V_{io} = C_p \frac{A}{A+1} (V_{o,0} + V_{of}) \quad (6)$$

【 0 0 2 6 】

回路モデルではバッファアンプ250の出力に接続されている誤差抑制容量Csの電極を+極としている。次に、第1スイッチSW1が接続状態、第2スイッチSW2が切断状態、誤差補正スイッチSW4のa1とc1が接続されている状態に変化した時の電荷の移動について考察する。このスイッチ状態での容量Coの電圧をVo,1とすると、スイッチ状態の変化の前後で電荷保存則が成立することから以下の式が成立する。

【 0 0 2 7 】

【数6】

$$(C_o + C_p + C_s)V_{o,1} = C_o V_{o,0} + Q_p - Q_s + I_o t$$

$$(C_o + C_p + C_s)V_{o,1} = C_o V_{o,0} + (C_p - C_s) \frac{A}{A+1} (V_{o,0} + V_{of}) + I_o t$$

$$V_{o,1} = \frac{C_o}{C_o + C_p + C_s} V_{o,0} + \frac{(C_p - C_s) A}{C_o + C_p + C_s A + 1} (V_{o,0} + V_{of}) + \frac{I_o}{C_o + C_p + C_s} t \quad (7)$$

【 0 0 2 8 】

式(7)において右辺第2項は寄生容量Cpに蓄積された電荷のVo,1に対する影響を表す。誤差抑制容量Csの大きさを予め寄生容量Cpと同程度とすることにより、式(7)右辺の第2項がゼロとなり、寄生容量Cpに蓄積された電荷の影響を無くすることができる。従って本実施形態では寄生容量Cpによる積算の誤差は発生しない。

【 0 0 2 9 】

以上説明した本実施形態に係るADコンバータ200の誤差抑制部25は、電流源230と第1スイッチSW1の寄生容量Cpと同程度の容量値の誤差抑制容量Csと、容量Coが保持する電圧を複製した積算電圧を生成するバッファアンプ250と、第1スイッチSW1が接続時に誤差抑制容量Csを電流源230と共通電位の間に接続させ、第1スイッチSW1が切断時に誤差抑制容量Csに充電された誤差抑制電圧を積算電圧から減じる誤差補正スイッチSW4と、第1スイッチSW1が切断時に誤差抑制電圧を積算電圧から減じ電圧を電流源の出力に接続させる第2スイッチSW2とを備える。これにより、寄生容量Cpによる線形性の劣化を防止して変換誤差を低減させるADコンバータを提供することができる。

【 0 0 3 0 】

10

20

30

40

50

本発明は、上記の実施形態に限定されるものではなく、その要旨の範囲内で変形が可能である。本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【符号の説明】

【 0 0 3 1 】

1 0 : 制御部

2 0 : 積算変換部

2 1 : しきい値電圧部

2 2 : 比較器

2 3 : 積算部

2 4 : 誤差抑制部

2 4 0 : 第 1 演算増幅器

2 4 1 : 第 2 演算増幅器

SW1 : 第 1 スイッチ

SW2 : 第 2 スイッチ

SW3 : 第 3 スイッチ

SW4 : 誤差補正スイッチ

10

20

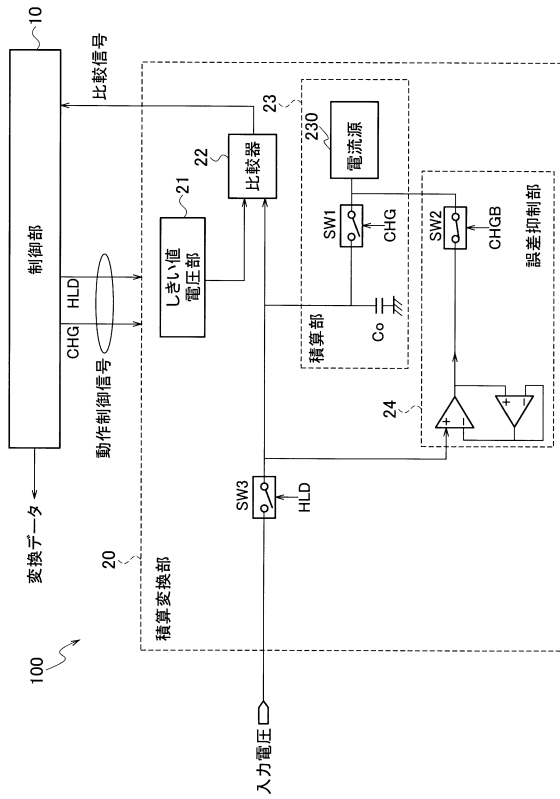
30

40

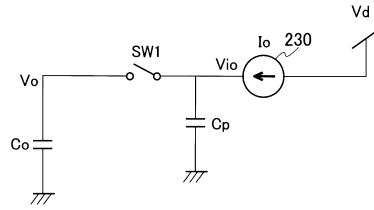
50

【図面】

【図 1】



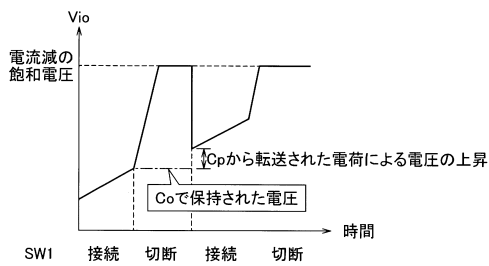
【図 2】



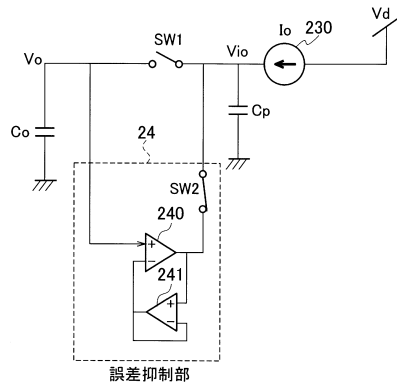
10

20

【図 3】



【図 4】

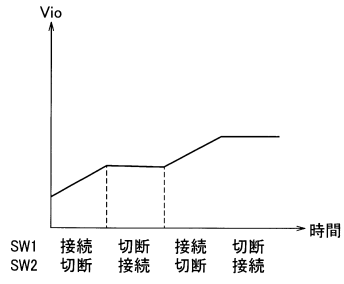


30

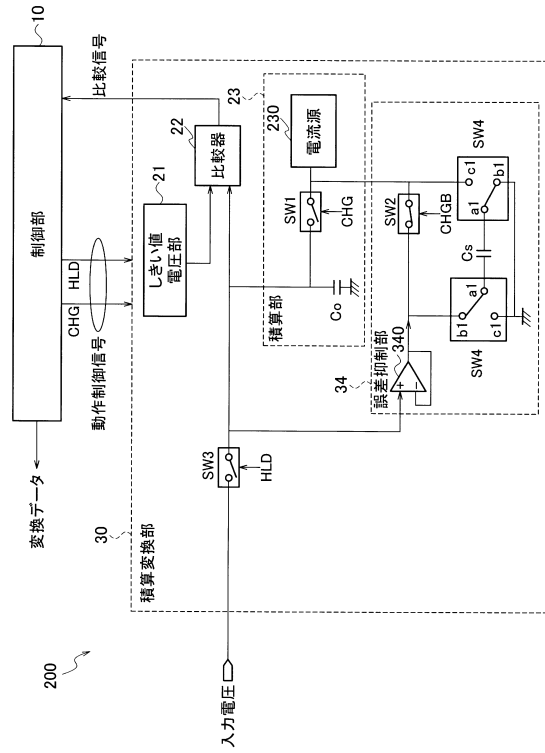
40

50

【図5】



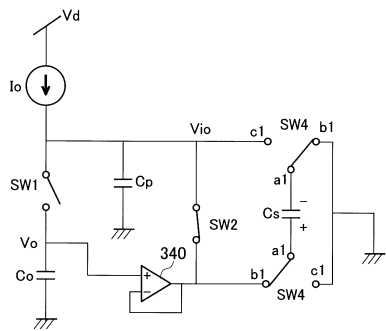
【図6】



10

20

【図7】



30

40

50

フロントページの続き

- (56)参考文献 特開2003-158446(JP,A)
米国特許出願公開第2014/0085117(US,A1)
特開2020-80456(JP,A)
国際公開第2020/234995(WO,A1)
国際公開第2021/117133(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)
H03M1/12-1/64
H03K5/08