(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 1 月 13 日 (13.01.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/007147 A1

(51) 国际专利分类号:
G09G 3/32 (2016.01) *G09G 3/36* (2006.01)
G09G 3/3266 (2016.01)

(21) 国际申请号: PCT/CN2020/112065

(22) 国际申请日: 2020 年 8 月 28 日 (28.08.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010664959.0 2020年7月10日 (10.07.2020) CN

(71) 申请人: 武 汉 华 星 光 电 技 术 有 限 公司(**WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(72) 发明人: 陶 健 (**TAO, Jian**); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** GOA CIRCUIT AND DISPLAY PANEL

(54) 发明名称: GOA电路以及显示面板

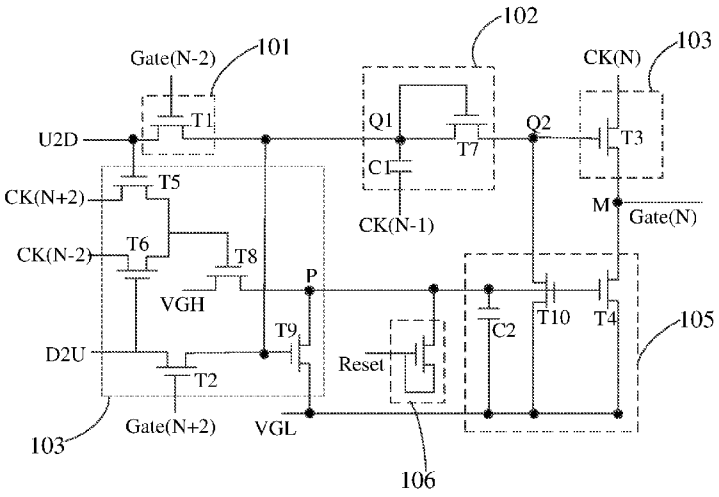


图 2

(57) **Abstract:** The present application provides a GOA circuit and a display panel. The GOA circuit comprises a plurality of cascaded GOA units. Each GOA unit comprises a bootstrap module. Using the bootstrap effect of the bootstrap module to increase the gate voltage of an output transistor can effectively reduce the rise time and fall time of the scan signal outputted by each GOA unit, thereby improving the charging capability of the display panel.

(57) 摘要: 本申请提供一种GOA电路以及显示面板，该GOA电路包括多级级联设置的GOA单元，每一GOA单元包括一自举模块，利用自举模块的自举效应，提高输出晶体管的栅极电压，能够有效降低每一GOA单元输出的扫描信号的上升时间和下降时间，从而提高显示面板的充电能力。

WO 2022/007147 A1

[见续页]

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

GOA电路以及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种GOA电路以及显示面板。

背景技术

[0002] 阵列基板栅极驱动技术(Gate Driveron Array，简称GOA)，是将栅极驱动电路集成在显示面板的阵列基板上，以实现逐行扫描的驱动方式，从而可以省掉栅极驱动电路部分，具有降低生产成本和实现面板窄边框设计的优点，为多种显示器所使用。

发明概述

技术问题

[0003] 对于高解析度以及高频率的显示面板，由于充电时间较短，扫描线的电容负荷较重，扫描信号的失真较严重，错充风险高，导致充电能力不足，进而引起显示面板显示异常。

问题的解决方案

技术解决方案

[0004] 本申请提供一种GOA电路以及显示面板，以解决现有高解析度以及高频率显示面板咋在工作时充电能力不足的技术问题。

[0005] 本申请提供一种GOA单元，其包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、自举模块、上拉模块、下拉模块、下拉维持模块以及重置模块；

[0006] 所述上拉控制模块接入第N-2级扫描信号和正向扫描信号，并电性连接于第一节点，用于在所述正向扫描信号的控制下将所述第N-2级扫描信号输出至所述第一节点；

[0007] 所述自举模块接入第N-1级时钟信号，并电性连接于所述第一节点以及第二节点，用于在所述第一节点的电位以及所述第N-1级时钟信号的控制下，拉高所述第二节点的电位；

[0008] 所述上拉模块接入第N级时钟信号，并电性连接于所述第二节点以及第N级扫描信号输出端，用于在所述第N级时钟信号以及所述第二节点的电位的控制下输出第N级扫描信号；

[0009] 所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+2级时钟信号、第N-2级时钟信号、第N+2级扫描信号、高电平信号以及低电平信号，并电性连接于所述第一节点及第三节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+2级时钟信号、所述第N-2级时钟信号、所述第N+2级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

[0010] 所述下拉维持模块接入所述低电平信号，并电性连接于所述第二节点、所述第三节点以及所述第N级扫描信号输出端，用于在所述第三节点的电位以及所述低电平信号的控制下维持所述第二节点以及所述第N级扫描信号的低电位；

[0011] 所述重置模块接入重置信号，并电性连接于所述第三节点，用于在所述重置信号的控制下，重置所述第二节点的电位以及所述第N级扫描信号的电位。

[0012] 在本申请提供的GOA电路中，所述上拉模块包括第一晶体管；

[0013] 所述第一晶体管的栅极接入所述第N-2级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第一节点。

[0014] 在本申请提供的GOA电路中，所述自举模块包括第七晶体管和第一电容；

[0015] 所述第七晶体管的栅极、所述第七晶体管的源极以及所述第一电容的第一端均电性连接于所述第一节点，所述第七晶体管的漏极电性连接于所述第二节点；所述第一电容的第二端接入所述第N-1级时钟信号。

[0016] 在本申请提供的GOA电路中，所述上拉模块包括第三晶体管，所述第三晶体管的栅极电性连接于所述第二节点，所述第三晶体管的源极接入所述第N级时钟信号，所述第三晶体管的漏极电性连接于所述第N级扫描信号输出端。

[0017] 在本申请提供的GOA电路中，所述下拉模块包括第二晶体管、第五晶体管、第六晶体管、第八晶体管以及第九晶体管；

[0018] 所述第五晶体管的栅极接入所述正向扫描信号，所述第五晶体管的源极接入所述第N+2级时钟信号，所述第五晶体管的漏极与所述第六晶体管的漏极以及所述第八晶体管的栅极电性连接，所述第六晶体管的源极接入所述第N-2级时钟信号

，所述第六晶体管的栅极与所述第二晶体管的源极均接入所述反向扫描信号，所述第二晶体管的栅极接入所述第N+2级扫描信号，所述第二晶体管的漏极与所述第九晶体管的栅极均电性连接于所述第一节点，所述第九晶体管的源极接入所述低电平信号，所述第九晶体管的漏极以及所述第八晶体管的漏极均电性连接于所述第三节点，所述第八晶体管的源极接入所述高电平信号。

[0019] 在本申请提供的GOA电路中，所述下拉维持模块包括第二电容、第四晶体管以及第十晶体管；

[0020] 所述第二电容的第一端、所述第四晶体管的栅极以及所述第十晶体管的栅极均电性连接于所述第三节点，所述第二电容的第二端、所述第四晶体管的源极以及所述第十晶体管的源极均接入所述低电平信号，所述第四晶体管的漏极电性连接于所述第N级扫描信号输出端，所述第十晶体管的漏极电性连接于所述第二节点。

[0021] 在本申请提供的GOA电路中，所述重置模块包括第十一晶体管；

[0022] 所述第十一晶体管的栅极以及所述第十一晶体管的源极均接入所述重置信号，所述第十一晶体管的漏极电性连接于所述第三节点。

[0023] 在本申请提供的GOA电路中，所述正向扫描信号与所述反向扫描信号反相。

[0024] 在本申请提供的GOA电路中，所述GOA电路中的晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[0025] 在本申请提供的GOA电路中，所述GOA电路中的晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[0026] 相应的，本申请还提供一种显示面板，其包括GOA电路，所述GOA电路包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、自举模块、上拉模块、下拉模块、下拉维持模块以及重置模块；

[0027] 所述上拉控制模块接入第N-2级扫描信号和正向扫描信号，并电性连接于第一节点，用于在所述正向扫描信号的控制下将所述第N-2级扫描信号输出至所述第一节点；

[0028] 所述自举模块接入第N-1级时钟信号，并电性连接于所述第一节点以及第二节点，用于在所述第一节点的电位以及所述第N-1级时钟信号的控制下，拉高所述

第二节点的电位；

[0029] 所述上拉模块接入第N级时钟信号，并电性连接于所述第二节点以及第N级扫描信号输出端，用于在所述第N级时钟信号以及所述第二节点的电位的控制下输出第N级扫描信号；

[0030] 所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+2级时钟信号、第N-2级时钟信号、第N+2级扫描信号、高电平信号以及低电平信号，并电性连接于所述第一节点及第三节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+2级时钟信号、所述第N-2级时钟信号、所述第N+2级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

[0031] 所述下拉维持模块接入所述低电平信号，并电性连接于所述第二节点、所述第三节点以及所述第N级扫描信号输出端，用于在所述第三节点的电位以及所述低电平信号的控制下维持所述第二节点以及所述第N级扫描信号的低电位；

[0032] 所述重置模块接入重置信号，并电性连接于所述第三节点，用于在所述重置信号的控制下，重置所述第二节点的电位以及所述第N级扫描信号的电位。

[0033] 在本申请提供的显示面板中，所述上拉模块包括第一晶体管；

[0034] 所述第一晶体管的栅极接入所述第N-2级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第一节点。

[0035] 在本申请提供的显示面板中，所述自举模块包括第七晶体管和第一电容；

[0036] 所述第七晶体管的栅极、所述第七晶体管的源极以及所述第一电容的第一端均电性连接于所述第一节点，所述第七晶体管的漏极电性连接于所述第二节点；所述第一电容的第二端接入所述第N-1级时钟信号。

[0037] 在本申请提供的显示面板中，所述上拉模块包括第三晶体管；

[0038] 所述第三晶体管的栅极电性连接于所述第二节点，所述第三晶体管的源极接入所述第N级时钟信号，所述第三晶体管的漏极电性连接于所述第N级扫描信号输出端。

[0039] 在本申请提供的显示面板中，所述下拉模块包括第二晶体管、第五晶体管、第六晶体管、第八晶体管以及第九晶体管；

[0040] 所述第五晶体管的栅极接入所述正向扫描信号，所述第五晶体管的源极接入所

述第N+2级时钟信号，所述第五晶体管的漏极与所述第六晶体管的漏极以及所述第八晶体管的栅极电性连接，所述第六晶体管的源极接入所述第N-2级时钟信号，所述第六晶体管的栅极与所述第二晶体管的源极均接入所述反向扫描信号，所述第二晶体管的栅极接入所述第N+2级扫描信号，所述第二晶体管的漏极与所述第九晶体管的栅极均电性连接于所述第一节点，所述第九晶体管的源极接入所述低电平信号，所述第九晶体管的漏极以及所述第八晶体管的漏极均电性连接于所述第三节点，所述第八晶体管的源极接入所述高电平信号。

[0041] 在本申请提供的显示面板中，所述下拉维持模块包括第二电容、第四晶体管以及第十晶体管；

[0042] 所述第二电容的第一端、所述第四晶体管的栅极以及所述第十晶体管的栅极均电性连接于所述第三节点，所述第二电容的第二端、所述第四晶体管的源极以及所述第十晶体管的源极均接入所述低电平信号，所述第四晶体管的漏极电性连接于所述第N级扫描信号输出端，所述第十晶体管的漏极电性连接于所述第二节点。

[0043] 在本申请提供的显示面板中，所述重置模块包括第十一晶体管；

[0044] 所述第十一晶体管的栅极以及所述第十一晶体管的源极均接入所述重置信号，所述第十一晶体管的漏极电性连接于所述第三节点。

[0045] 在本申请提供的显示面板中，所述正向扫描信号与所述反向扫描信号反相。

[0046] 在本申请提供的显示面板中，所述GOA电路中的晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[0047] 在本申请提供的显示面板中，所述GOA电路中的晶体管均为同种类型的晶体管。

发明的有益效果

有益效果

[0048] 本申请提供一种GOA电路以及显示面板，该GOA电路包括多级级联设置的GOA单元，每一GOA单元设置有一自举模块，利用自举模块的自举效应，提高输出晶体管的栅极电压，能够有效降低每一级GOA单元输出的扫描信号的上升时间和下降时间，从而提高显示面板的充电能力。

对附图的简要说明

附图说明

[0049] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0050] 图1为本申请实施例提供的GOA电路中一GOA单元的结构示意图；

[0051] 图2为本申请实施例提供的GOA电路中一GOA单元的电路示意图；

[0052] 图3为本申请实施例提供的GOA电路中一GOA单元的信号时序图；

[0053] 图4为本申请实施例提供的显示面板的结构示意图。

发明实施例

本发明的实施方式

[0054] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0055] 在本申请的描述中，需要理解的是，术语“第一”和“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”和“第二”等的特征可以明示或者隐含地包括一个或者更多个所述特征，因此不能理解为对本申请的限制。

[0056] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管可以包括P型晶体管和/或N型晶体管两种，其中，P型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0057] 需要说明的是，本申请以下实施例中的晶体管均以N型晶体管为例进行说明，但不能理解为对本申请的限制。

[0058] 请参阅图1，图1是本申请提供的GOA电路中一GOA单元的结构示意图。如图1所示，GOA电路包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块101、自举模块102、上拉模块103、下拉模块104、下拉维持模块105以及重置模块106。

[0059] 其中，上拉控制模块101接入第N-2级扫描信号Gate(N-2)和正向扫描信号U2D，并电性连接于第一节点Q1，用于在正向扫描信号U2D的控制下将第N-2级扫描信号Gate(N-2)输出至第一节点Q1。

[0060] 其中，自举模块102接入第N-1级时钟信号CK(N-1)，并电性连接于第一节点Q1以及第二节点Q2，用于在第一节点Q1的电位以及第N-1级时钟信号CK(N-1)的控制下，拉高第二节点Q2的电位。

[0061] 其中，上拉模块103接入第N级时钟信号CK(N)，并电性连接于第二节点Q2以及第N级扫描信号输出端M，用于在第N级时钟信号CK(N)以及第二节点Q2的电位的控制下输出第N级扫描信号Gate(N)。

[0062] 其中，下拉模块104接入正向扫描信号U2D、反向扫描信号D2U、第N+2级时钟信号CK(N+2)、第N-2级时钟信号CK(N-2)、第N+2级扫描信号Gate(N+2)、高电平信号VGH以及低电平信号VGL，并电性连接于第一节点Q1及第三节点P，用于在正向扫描信号U2D、反向扫描信号D2U、第N+2级时钟信号CK(N+2)、第N-2级时钟信号CK(N-2)、第N+2级扫描信号Gate(N+2)、高电平信号VGH以及低电平信号VGL的控制下下拉第一节点Q1的电位。

[0063] 其中，下拉维持模块105接入低电平信号VGL，并电性连接于第二节点Q2、第三节点P以及第N级扫描信号输出端M，用于在第三节点P的电位以及低电平信号VGL的控制下维持第二节点Q2以及第N级扫描信号Gate(N)的低电位；

[0064] 其中，重置模块106接入重置信号Reset，并电性连接于第三节点P，用于在重置信号Reset的控制下，重置第二节点Q2的电位以及第N级扫描信号Gate(N)的电位。

[0065] 本申请实施例提供的GOA电路包括多级级联设置的GOA单元，每一GOA单元均设

置有一自举模块102，利用自举模块102的自举效应，提高第二节点Q2的电位，从而降低GOA单元输出的扫描信号的上升时间和下降时间，提高显示面板的充电能力。

[0066] 进一步的，请参阅图2，图2是本申请提供的GOA电路中的一GOA单元的电路示意图。如图2所示，上拉模块101包括第一晶体管T1。第一晶体管T1的栅极接入第N-2级扫描信号Gate(N-2)。第一晶体管T1的源极接入正向扫描信号U2D。第一晶体管T1的漏极电性连接于第一节点Q1。

[0067] 自举模块102包括第七晶体管T7和第一电容C1。第七晶体管T7的栅极、第七晶体管T7的源极以及第一电容C1的第一端均电性连接于第一节点Q1。第七晶体管T7的漏极电性连接于第二节点Q2。第一电容C1的第二端接入第N-1级时钟信号CK(N-1)。

[0068] 上拉模块103包括第三晶体管T3。第三晶体管T3的栅极电性连接于第二节点Q2。第三晶体管T3的源极接入第N级时钟信号CK(N)。第三晶体管T3的漏极电性连接于第N级扫描信号输出端Gate(N)。

[0069] 下拉模块104包括第二晶体管T2、第五晶体管T5、第六晶体管T6、第八晶体管T8以及第九晶体管T9。

[0070] 第五晶体管T5的栅极接入正向扫描信号U2D。第五晶体管T5的源极接入第N+2级时钟信号CK(N+2)。第五晶体管T5的漏极与第六晶体管T6的漏极以及第八晶体管T8的栅极电性连接。第六晶体管T6的源极接入第N-2级时钟信号CK(N-2)。第六晶体管T6的栅极与第二晶体管T2的源极均接入反向扫描信号D2U。第二晶体管T2的栅极接入第N+2级扫描信号Gate(N+2)。第二晶体管T2的漏极与第九晶体管T9的栅极均电性连接于第一节点Q1。第九晶体管T9的源极接入低电平信号VGL。第九晶体管T9的漏极以及第八晶体管T8的漏极均电性连接于第三节点P。第八晶体管T8的源极接入高电平信号VGH。

[0071] 下拉维持模块105包括第二电容C2、第四晶体管T4以及第十晶体管T10。

[0072] 第二电容C2的第一端、第四晶体管T4的栅极以及第十晶体管T10的栅极均电性连接于第三节点P。第二电容C2的第二端、第四晶体管T4的源极以及第十晶体管T10的源极均接入低电平信号VGL。第四晶体管T4的漏极电性连接于第N级扫描信

号输出端Gate(N)。第十晶体管T10的漏极电性连接于第二节点Q2。

[0073] 重置模块106包括第十一晶体管T11。

[0074] 第十一晶体管T11的栅极以及第十一晶体管T11的源极均接入重置信号Reset。第十一晶体管T11的漏极电性连接于第三节点P。

[0075] 需要说明的是，在本申请实施例中，正向扫描信号U2D与反向扫描信号D2U反相。当GOA电路在打开功能阶段时，能通过第N-2级扫描信号G(N-2)和第N+2级扫描信号G(N+2)隔绝正向扫描信号U2D或者反向扫描信号D2U与第一节点Q1的通路，采用高电平的正向扫描信号U2D或者反向扫描信号D2U进行驱动，避免了GOA电路中出现竞争通路。本申请各实施例中均以正向扫描信号U2D为高电平，反向扫描信号D2U为低电平为例进行说明，但不能理解为对本申请的限定。

[0076] 本申请实施例提供的GOA电路包括多级级联设置的GOA单元，每一GOA单元均采用11T2C的电路架构，结构简单。每一GOA单元包括一自举模块102，该自举模块102包括一第一电容C1和第七晶体管T7，每一GOA单元在运行时利用自举模块102的自举效应，提高第三晶体管T3的栅极电压，使得第三晶体管T3充分打开，从而降低其输出的扫描信号的上升时间和下降时间，提高显示面板的充电能力。

[0077] 请参阅图3，图3是本申请提供的GOA电路中一GOA单元的信号时序图。如图3所示，在本申请一实施例中，图2中的GOA单元的工作时序可以分为以下几个阶段。

[0078] t1阶段前：在一帧开始之前，复位信号Reset将会置高，第十一晶体管T11打开，第三节点P的电位被拉升至高电平，使得第十晶体管T10和第四晶体管T4打开，进而使得第二节点Q2的电位拉低至低电平，第N级扫描信号Gate(N)的初始电位与低电平信号VGL的电位相同。之后，复位信号Reset由高电平转换为低电平，使得第十一晶体管T11关闭，GOA单元等待t1时刻到来。

[0079] t1阶段：第N-2级扫描信号Gate(N-2）和第N-2级时钟信号CK(N-2）均升为高电位。第一晶体管T1打开，第一节点Q1的电位被拉高至VGH，第一电容C1被充上电，第七晶体管T7打开，第二节点Q2的电位也被拉高至VGH，第三晶体管T3打开，此时，由于第N级时钟信号CK(N）为低电平信号，第N级扫描信号Gate(N）输出低电位。同时，由于第一节点Q1的电位被拉高至VGH，第九晶体管T9打开，第三

节点P的电位被拉低至低电位，第四晶体管T4和第十晶体管T10关闭。

[0080] 需要说明的是，在此阶段，虽然第N-2级时钟信号升为高电平，但是由于反向扫描信号D2U与正向扫描信号反相，保持为低电平信号，使得第六晶体管T6关闭。

[0081] t2阶段：第N-2级扫描信号Gate(N-2)由高电平转化为低电平，第一晶体管T1关断，第一节点Q1处于悬置状态；第N-1级时钟信号CK(N-1)升为高电平，此时第一节点Q1的电位受到自举效应变为2VGH，第七晶体管T7保持打开状态，使得第二节点Q2的电位被充电至2VGH；由于没有泄电路径，第一节点Q1的电位和第二节点Q2的电位均保持高电平；电容C1的存在使得第一节点Q1的电位和第二节点Q2的电位更加稳定。

[0082] t3阶段：第N-1级时钟信号CK(N-1)变为低电平，第七晶体管T7相当一个反向二极管，第二节点Q2的电位保持在2VGH；同时，由于第N级时钟信号CK(N) 变为高电平，第二节点Q2受到第三晶体管T3自举效应的作用，其电位会拉升至3VGH，使得第三晶体管T3充分打开，第N级扫描信号Gate(N)得以全摆幅输出。

[0083] 需要说明的是，在该阶段，第二节点Q2的电位由于自举效应被拉升至3VGH，使得第三晶体管T3的栅极电压被快速拉高至完全打开状态，有效减小了第N级扫描信号Gate(N)的上升时间，进而使得第N级GOA单元对应的扫描线被有效充电，提高了显示面板的充电能力。

[0084] t4阶段：第N级时钟信号CK(N) 由高电平变为低电平，第二节点Q2的电位变成2VGH，第三晶体管T3管仍然处于充分打开状态，此时第N级扫描信号Gate(N)被迅速拉低至VGL。

[0085] 需要说明的是，在该阶段，由于自举模块102的存在，第二节点Q2的电位保持在2VGH，使得第三晶体管T3充分打开，由于此时第N级时钟信号CK(N)已经是低电平了，可以瞬间将第N级扫描信号Gate(N)拉低至低电平，有效减少了第N级扫描信号Gate(N)的下降时间，进而使得第N级GOA单元对应的扫描线被有效充电，避免像素区充电时间短，数据信号已经改变，而扫描信号没有关断所造成的信号互相干扰。

[0086] t5阶段：第N+2级时钟信号CK(N+2)和第N+2级扫描信号Gate(N+2)升为高电平，

第五晶体管T5、第八晶体管T8以及第二晶体管T2打开；第一节点Q1的电位被拉低，第三节点P的电位被拉高，第十晶体管T10打开；第二节点Q2的电位被拉低，第三晶体管T3关闭；第四晶体管T4打开，第N级扫描信号Gate(N)被拉低至VGL。在此过程中，第二电容C2被充上电，维持着第三节点P的高电位，使得第十晶体管T10和第四晶体管T4处于稳定的打开状态，从而维持着第二节点Q2以及第N级扫描信号Gate(N)的低电位。

[0087] 本申请提供的GOA电路中的晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。此外，本申请实施例提供的GOA电路中的晶体管为同一种类型的晶体管，从而避免不同类型的晶体管之间的差异性对像素驱动电路造成的影响，且简化了工艺制程。

[0088] 请参阅图4，图4为本申请提供的显示面板的结构示意图。如图4所示，该显示面板包括显示区域100以及集成设置在显示区域100边缘上的GOA电路200；其中，该GOA电路200与上述的GOA电路的结构和原理类似，这里不再赘述。该显示面板包括但不限于液晶显示面板、OLED（Organic Light-Emitting Diode）显示面板、LED（Light-Emitting Diode）显示面板以及QLED（Quantum Dot Light Emitting Diodes）显示面板。

[0089] 需要说明的是，本申请实施例提供的显示面板以GOA电路200设置在显示区域100一侧的单侧驱动方式为例进行介绍，但不能理解为对本申请的限制。在一些实施例中，也可根据显示面板的实际需求采用双侧驱动等其他驱动方式，本申请对此作具体限定。

[0090] 本申请提供的显示面板设置有GOA电路，该GOA电路包括多级级联设置的GOA单元，每一GOA单元包括一自举模块，利用自举模块的自举效应，提高输出晶体管的栅极电压，能够有效降低每一级GOA单元输出的扫描信号的上升时间和下降时间，从而提高显示面板的充电能力。

[0091] 以上对本申请提供的GOA电路以及显示装置进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的一般技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本

说明书内容不应理解为对本申请的限制。

权利要求书

[权利要求 1] 一种GOA电路，其中，包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、自举模块、上拉模块、下拉模块、下拉维持模块以及重置模块；

所述上拉控制模块接入第N-2级扫描信号和正向扫描信号，并电性连接于第一节点，用于在所述正向扫描信号的控制下将所述第N-2级扫描信号输出至所述第一节点；

所述自举模块接入第N-1级时钟信号，并电性连接于所述第一节点以及第二节点，用于在所述第一节点的电位以及所述第N-1级时钟信号的控制下，拉高所述第二节点的电位；

所述上拉模块接入第N级时钟信号，并电性连接于所述第二节点以及第N级扫描信号输出端，用于在所述第N级时钟信号以及所述第二节点的电位的控制下输出第N级扫描信号；

所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+2级时钟信号、第N-2级时钟信号、第N+2级扫描信号、高电平信号以及低电平信号，并电性连接于所述第一节点及第三节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+2级时钟信号、所述第N-2级时钟信号、所述第N+2级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

所述下拉维持模块接入所述低电平信号，并电性连接于所述第二节点、所述第三节点以及所述第N级扫描信号输出端，用于在所述第三节点的电位以及所述低电平信号的控制下维持所述第二节点以及所述第N级扫描信号的低电位；

所述重置模块接入重置信号，并电性连接于所述第三节点，用于在所述重置信号的控制下，重置所述第二节点的电位以及所述第N级扫描信号的电位。

[权利要求 2] 根据权利要求1所述的GOA电路，其中，所述上拉模块包括第一晶体管；

所述第一晶体管的栅极接入所述第N-2级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第一节点。

[权利要求 3] 根据权利要求1所述的GOA电路，其中，所述自举模块包括第七晶体管和第一电容；

所述第七晶体管的栅极、所述第七晶体管的源极以及所述第一电容的第一端均电性连接于所述第一节点，所述第七晶体管的漏极电性连接于所述第二节点；所述第一电容的第二端接入所述第N-1级时钟信号。

[权利要求 4] 根据权利要求1所述的GOA电路，其中，所述上拉模块包括第三晶体管；

所述第三晶体管的栅极电性连接于所述第二节点，所述第三晶体管的源极接入所述第N级时钟信号，所述第三晶体管的漏极电性连接于所述第N级扫描信号输出端。

[权利要求 5] 根据权利要求1所述的GOA电路，其中，所述下拉模块包括第二晶体管、第五晶体管、第六晶体管、第八晶体管以及第九晶体管；

所述第五晶体管的栅极接入所述正向扫描信号，所述第五晶体管的源极接入所述第N+2级时钟信号，所述第五晶体管的漏极与所述第六晶体管的漏极以及所述第八晶体管的栅极电性连接，所述第六晶体管的源极接入所述第N-2级时钟信号，所述第六晶体管的栅极与所述第二晶体管的源极均接入所述反向扫描信号，所述第二晶体管的栅极接入所述第N+2级扫描信号，所述第二晶体管的漏极与所述第九晶体管的栅极均电性连接于所述第一节点，所述第九晶体管的源极接入所述低电平信号，所述第九晶体管的漏极以及所述第八晶体管的漏极均电性连接于所述第三节点，所述第八晶体管的源极接入所述高电平信号。

[权利要求 6] 根据权利要求1所述的GOA电路，其中，所述下拉维持模块包括第二电容、第四晶体管以及第十晶体管；

所述第二电容的第一端、所述第四晶体管的栅极以及所述第十晶体管

的栅极均电性连接于所述第三节点，所述第二电容的第二端、所述第四晶体管的源极以及所述第十晶体管的源极均接入所述低电平信号，所述第四晶体管的漏极电性连接于所述第N级扫描信号输出端，所述第十晶体管的漏极电性连接于所述第二节点。

[权利要求 7] 根据权利要求1所述的GOA电路，其中，所述重置模块包括第十一晶体管；

所述第十一晶体管的栅极以及所述第十一晶体管的源极均接入所述重置信号，所述第十一晶体管的漏极电性连接于所述第三节点。

[权利要求 8] 根据权利要求1所述的GOA电路，其中，所述正向扫描信号与所述反向扫描信号反相。

[权利要求 9] 根据权利要求1所述的GOA电路，其中，所述GOA电路中的晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[权利要求 10] 根据权利要求1所述的GOA电路，其中，所述GOA电路中的晶体管均为同种类型的晶体管。

[权利要求 11] 一种显示面板，其包括GOA电路，所述GOA电路包括多级级联设置的GOA单元，每一级GOA单元均包括：上拉控制模块、自举模块、上拉模块、下拉模块、下拉维持模块以及重置模块；

所述上拉控制模块接入第N-2级扫描信号和正向扫描信号，并电性连接于第一节点，用于在所述正向扫描信号的控制下将所述第N-2级扫描信号输出至所述第一节点；

所述自举模块接入第N-1级时钟信号，并电性连接于所述第一节点以及第二节点，用于在所述第一节点的电位以及所述第N-1级时钟信号的控制下，拉高所述第二节点的电位；

所述上拉模块接入第N级时钟信号，并电性连接于所述第二节点以及第N级扫描信号输出端，用于在所述第N级时钟信号以及所述第二节点的电位的控制下输出第N级扫描信号；

所述下拉模块接入所述正向扫描信号、反向扫描信号、第N+2级时钟

信号、第N-2级时钟信号、第N+2级扫描信号、高电平信号以及低电平信号，并电性连接于所述第一节点及第三节点，用于在所述正向扫描信号、所述反向扫描信号、所述第N+2级时钟信号、所述第N-2级时钟信号、所述第N+2级扫描信号、所述高电平信号以及所述低电平信号的控制下下拉所述第一节点的电位；

所述下拉维持模块接入所述低电平信号，并电性连接于所述第二节点、所述第三节点以及所述第N级扫描信号输出端，用于在所述第三节点的电位以及所述低电平信号的控制下维持所述第二节点以及所述第N级扫描信号的低电位；

所述重置模块接入重置信号，并电性连接于所述第三节点，用于在所述重置信号的控制下，重置所述第二节点的电位以及所述第N级扫描信号的电位。

[权利要求 12] 根据权利要求11所述的显示面板，其中，所述上拉模块包括第一晶体管；

所述第一晶体管的栅极接入所述第N-2级扫描信号，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第一节点。

[权利要求 13] 根据权利要求11所述的显示面板，其中，所述自举模块包括第七晶体管和第一电容；

所述第七晶体管的栅极、所述第七晶体管的源极以及所述第一电容的第一端均电性连接于所述第一节点，所述第七晶体管的漏极电性连接于所述第二节点；所述第一电容的第二端接入所述第N-1级时钟信号。

[权利要求 14] 根据权利要求11所述的显示面板，其中，所述上拉模块包括第三晶体管；

所述第三晶体管的栅极电性连接于所述第二节点，所述第三晶体管的源极接入所述第N级时钟信号，所述第三晶体管的漏极电性连接于所述第N级扫描信号输出端。

[权利要求 15] 根据权利要求11所述的显示面板，其中，所述下拉模块包括第二晶体管、第五晶体管、第六晶体管、第八晶体管以及第九晶体管；

所述第五晶体管的栅极接入所述正向扫描信号，所述第五晶体管的源极接入所述第N+2级时钟信号，所述第五晶体管的漏极与所述第六晶体管的漏极以及所述第八晶体管的栅极电性连接，所述第六晶体管的源极接入所述第N-2级时钟信号，所述第六晶体管的栅极与所述第二晶体管的源极均接入所述反向扫描信号，所述第二晶体管的栅极接入所述第N+2级扫描信号，所述第二晶体管的漏极与所述第九晶体管的栅极均电性连接于所述第一节点，所述第九晶体管的源极接入所述低电平信号，所述第九晶体管的漏极以及所述第八晶体管的漏极均电性连接于所述第三节点，所述第八晶体管的源极接入所述高电平信号。

[权利要求 16] 根据权利要求11所述的显示面板，其中，所述下拉维持模块包括第二电容、第四晶体管以及第十晶体管；

所述第二电容的第一端、所述第四晶体管的栅极以及所述第十晶体管的栅极均电性连接于所述第三节点，所述第二电容的第二端、所述第四晶体管的源极以及所述第十晶体管的源极均接入所述低电平信号，所述第四晶体管的漏极电性连接于所述第N级扫描信号输出端，所述第十晶体管的漏极电性连接于所述第二节点。

[权利要求 17] 根据权利要求11所述的显示面板，其中，所述重置模块包括第十一晶体管；

所述第十一晶体管的栅极以及所述第十一晶体管的源极均接入所述重置信号，所述第十一晶体管的漏极电性连接于所述第三节点。

[权利要求 18] 根据权利要求11所述的显示面板，其中，所述正向扫描信号与所述反向扫描信号反相。

[权利要求 19] 根据权利要求11所述的显示面板，其中，所述GOA电路中的晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[权利要求 20] 根据权利要求11所述的显示面板，其中，所述GOA电路中的晶体管均

为同种类型的晶体管。

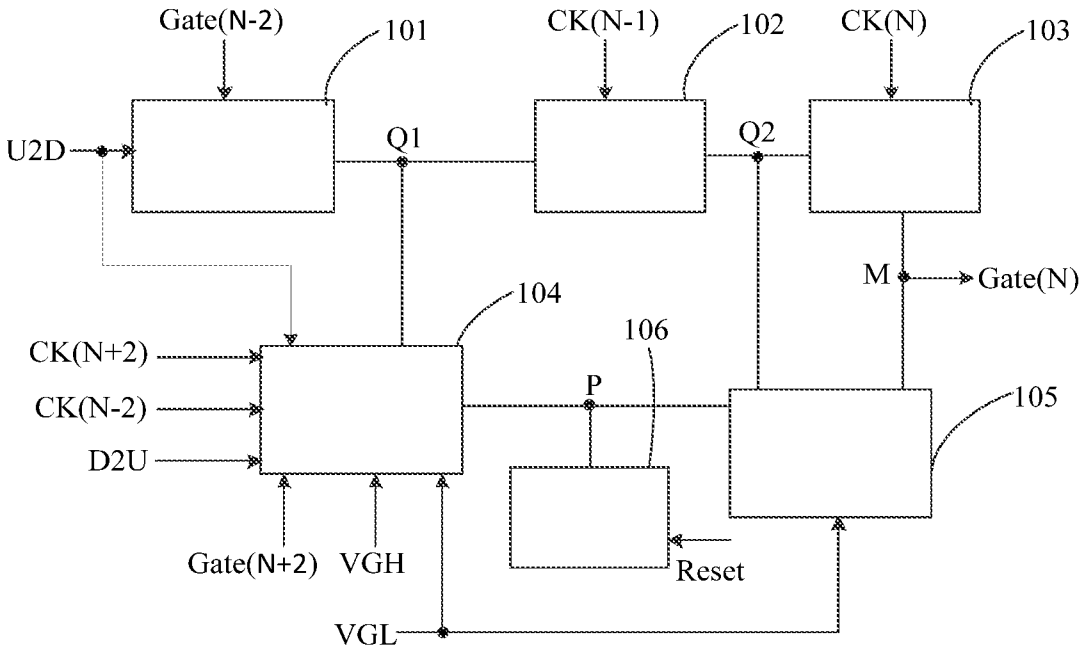

Gate(N-2)
101
CK(N-1)
102
CK(N)
103
U2D
Q1
Q2
M
Gate(N)
104
106
CK(N+2)
CK(N-2)
D2U
P
105
Gate(N+2)
VGH
Reset
VGL

图 1

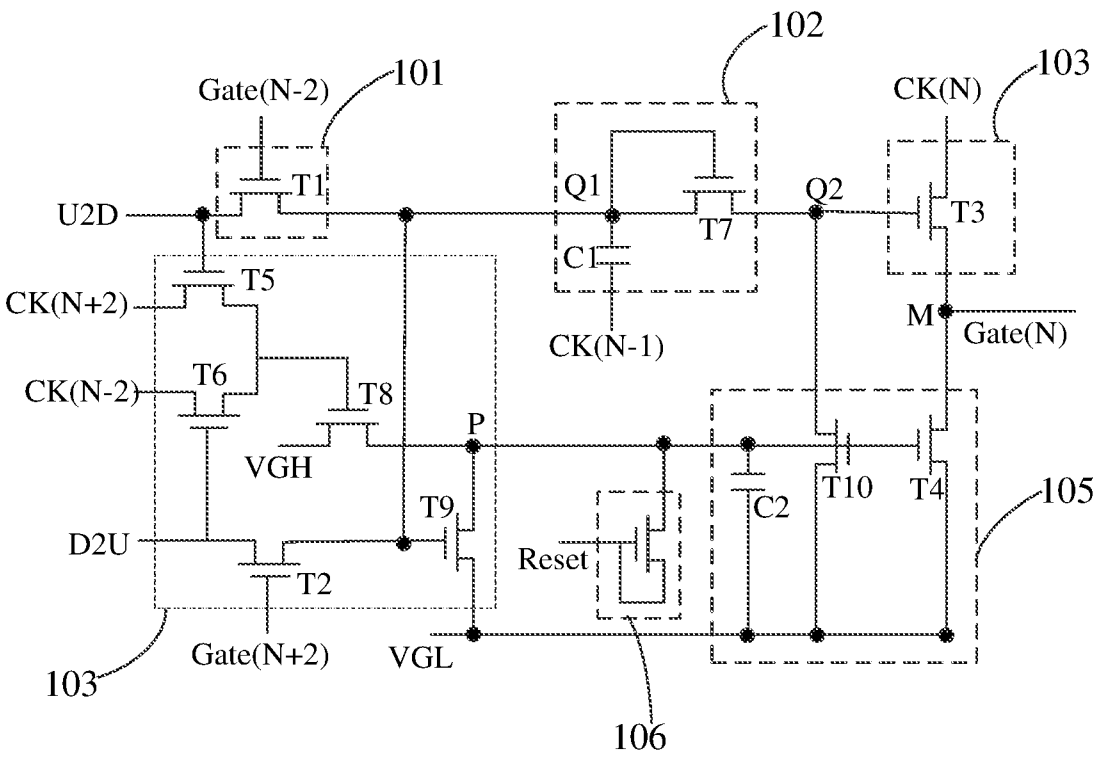

102
Gate(N-2)
101
CK(N)
103
T1
Q1
Q2
T3
U2D
T7
C1
T5
CK(N+2)
M
Gate(N)
CK(N-1)
T6
CK(N-2)
T8
P
VGH
T9
C2
T10
T4
105
D2U
Reset
T2
Gate(N+2)
VGL
103
106

图 2

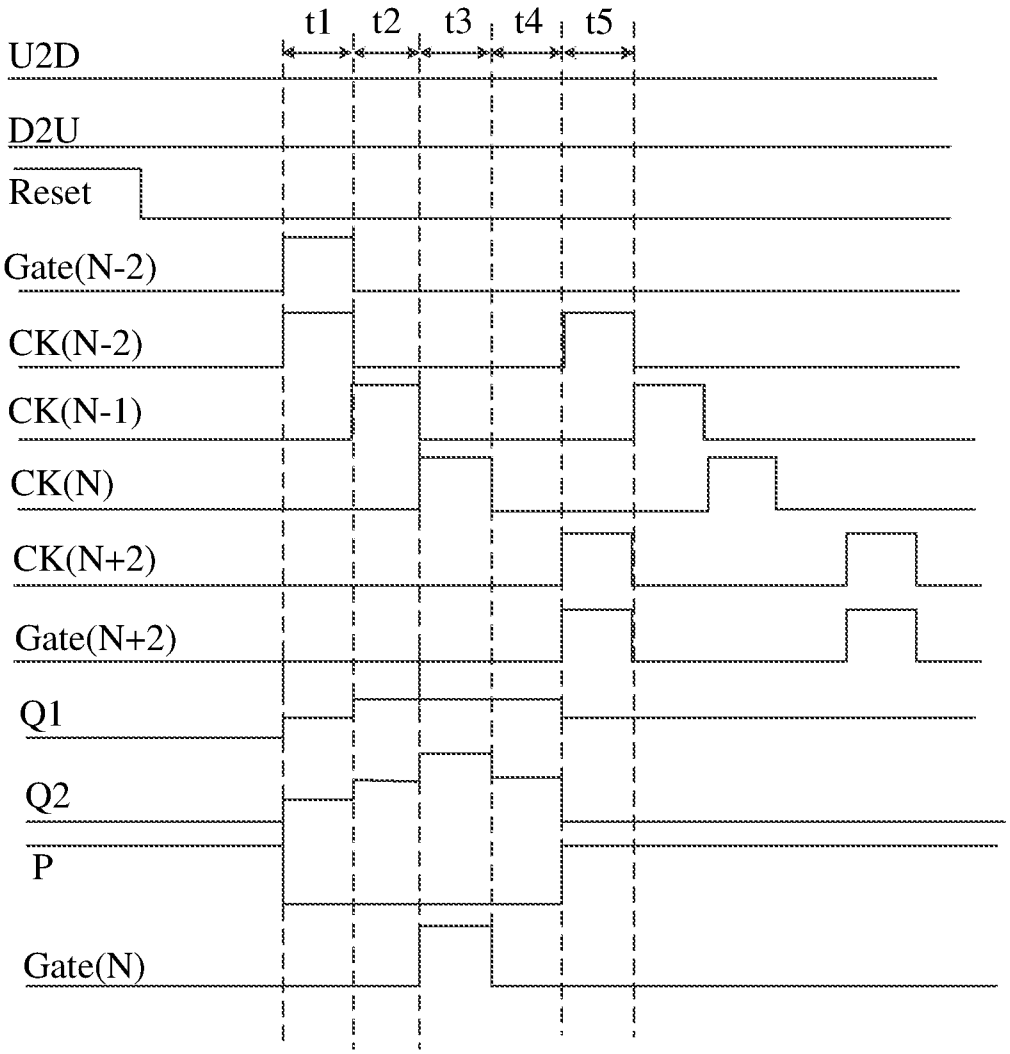

t1
t2
t3
t4
t5
U2D
D2U
Reset
Gate(N-2)
CK(N-2)
CK(N-1)
CK(N)
CK(N+2)
Gate(N+2)
Q1
Q2
P
Gate(N)

图 3

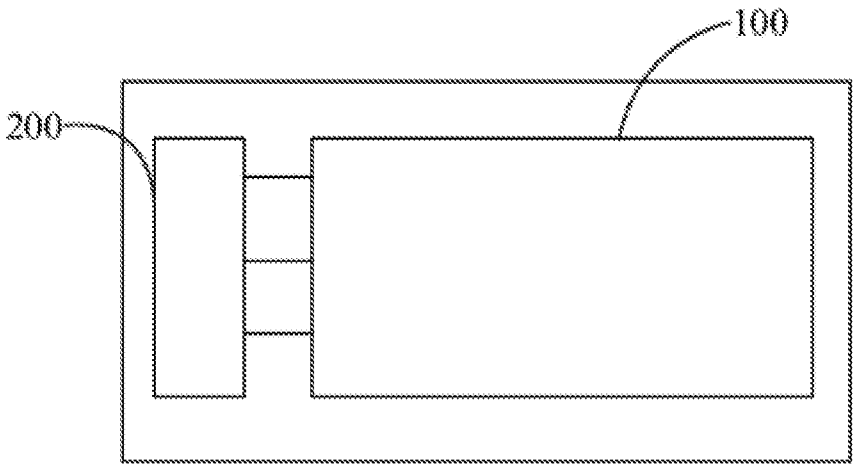

100
200

图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/112065

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2016.01)i; G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 充电, 充电能力, 自举, 电容, 上升时间, 下降时间, 降低, 栅极驱动, 移位寄存, GOA, grid drive, grid driving, grid driver, gate drive, gate driving, gate driver, shift register?, charge, charging, boost, boost strap, bootstrap, capacitor, module, unit, reduc+, rising time, falling time, ability, efficiency, rate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108630167 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 09 October 2018 (2018-10-09) description, paragraphs [0039]-[0075], and figures 1-7	1-20
A	CN 107799083 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 13 March 2018 (2018-03-13) entire document	1-20
A	CN 111028798 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 17 April 2020 (2020-04-17) entire document	1-20
A	CN 108470535 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 31 August 2018 (2018-08-31) entire document	1-20
A	KR 20190045661 A (LG DISPLAY CO., LTD.) 03 May 2019 (2019-05-03) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 March 2021	**30 March 2021**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2020/112065

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 108630167 A	09 October 2018	WO 2020019381 A1	30 January 2020
CN 107799083 A	13 March 2018	US 10515602 B1	24 December 2019
		WO 2019095435 A1	23 May 2019
		US 2019385556 A1	19 December 2019
		CN 107799083 B	07 February 2020
CN 111028798 A	17 April 2020	None	
CN 108470535 A	31 August 2018	US 2020234623 A1	23 July 2020
		WO 2019237956 A1	19 December 2019
		IN 202047027162 A	04 December 2020
KR 20190045661 A	03 May 2019	None	

国际检索报告

国际申请号
PCT/CN2020/112065

A. 主题的分类

G09G 3/32(2016.01)i; G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;CNKI;VEN;USTXT;EPTXT;WOTXT:充电，充电能力，自举，电容，上升时间，下降时间，降低，栅极驱动，移位寄存，GOA，grid drive，grid driving，grid driver，gate drive，gate driving，gate driver，shift register?，charge，charging，boost，boost strap，bootstrap，capacitor，module，unit，reduc+，rising time，falling time，ability，efficiency，rate

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 108630167 A (武汉华星光电技术有限公司) 2018年 10月 9日 (2018-10-09) 说明书第[0039]-[0075]段，图1-7	1-20
A	CN 107799083 A (武汉华星光电技术有限公司) 2018年 3月 13日 (2018-03-13) 全文	1-20
A	CN 111028798 A (深圳市华星光电半导体显示技术有限公司) 2020年 4月 17日 (2020-04-17) 全文	1-20
A	CN 108470535 A (京东方科技集团股份有限公司 等) 2018年 8月 31日 (2018-08-31) 全文	1-20
A	KR 20190045661 A (LG DISPLAY CO LTD) 2019年 5月 3日 (2019-05-03) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2021年 3月 1日	2021年 3月 30日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 冯莹 电话号码 （86-512）88997417

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2020/112065

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108630167	A	2018年 10月 9日	WO	2020019381	A1	2020年 1月 30日
CN	107799083	A	2018年 3月 13日	US	10515602	B1	2019年 12月 24日
				WO	2019095435	A1	2019年 5月 23日
				US	2019385556	A1	2019年 12月 19日
				CN	107799083	B	2020年 2月 7日
CN	111028798	A	2020年 4月 17日		无		
CN	108470535	A	2018年 8月 31日	US	2020234623	A1	2020年 7月 23日
				WO	2019237956	A1	2019年 12月 19日
				IN	202047027162	A	2020年 12月 4日
KR	20190045661	A	2019年 5月 3日		无		