

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4848375号  
(P4848375)

(45) 発行日 平成23年12月28日(2011.12.28)

(24) 登録日 平成23年10月21日(2011.10.21)

(51) Int.Cl.	F I
<b>G06F 13/36 (2006.01)</b>	G06F 13/36 520Z
<b>G06F 13/18 (2006.01)</b>	G06F 13/18 510B

請求項の数 5 (全 22 頁)

(21) 出願番号	特願2007-534609 (P2007-534609)	(73) 特許権者	504199127
(86) (22) 出願日	平成17年9月1日(2005.9.1)		フリースケール セミコンダクター イン
(65) 公表番号	特表2008-515090 (P2008-515090A)		コーポレイテッド
(43) 公表日	平成20年5月8日(2008.5.8)		アメリカ合衆国 78729 テキサス州
(86) 国際出願番号	PCT/US2005/031114		オースティン ダブリュー パーマー
(87) 国際公開番号	W02006/039039		レーン 7700
(87) 国際公開日	平成18年4月13日(2006.4.13)	(74) 代理人	100116322
審査請求日	平成20年6月24日(2008.6.24)		弁理士 桑垣 衛
(31) 優先権主張番号	10/955,558	(72) 発明者	モイヤー、ウィリアム シー、
(32) 優先日	平成16年9月30日(2004.9.30)		アメリカ合衆国 78620 テキサス州
(33) 優先権主張国	米国 (US)		ドリッピング スプリングス ピアー
			ブランチ ロード 1005

最終頁に続く

(54) 【発明の名称】 バス・アクセス取り消しを伴うデータ処理システム

(57) 【特許請求の範囲】

【請求項 1】

複数のマスタ・ポート(202~204)と少なくとも1つのスレーブ・ポート(205)の間にバス調停を有するデータ処理システムにおけるアクセス取り消しの方法であって、

取り消しが許可されるまたは許可されない少なくとも1つの条件を示すアクセス取り消し制御情報を記憶すること、

第1のスレーブ・ポートへの第1のアクセス・アドレスに対応する第1のアクセス要求を、該第1のスレーブ・ポートへの第2のアクセス・アドレスに対応する第2のアクセス要求が進行中に、調停論理(216)の制御の下で許可することであって、許可された前記第1のアクセス要求は待ち状態となる、前記許可すること、

該第1のアクセス要求を許可した後、該第1のスレーブ・ポートへの第3のアクセス・アドレスに対応する第3のアクセス要求を受け取ること、

待ち状態にある前記第1のアクセス要求が必要か不要かを前記調停論理により判定すること、

待ち状態にある前記第1のアクセス要求がもはや不要であると判定されたときに、前記調停論理が待ち状態にある前記第1のアクセス要求の取り消しを要求すること、

前記調停論理に接続された取り消し制御論理が、該アクセス取り消し制御情報を使用して、該第1のアクセス要求または該第3のアクセス要求の少なくともいずれかの要求の少なくとも1つの特性に基づいて、もはや不要であると判定された待ち状態にある前記第1

10

20

のアクセス要求を選択的に取り消すこと  
からなる方法。

【請求項 2】

前記少なくとも 1 つの特性は読み取りアクセスまたは書き込みアクセスを含む、請求項 1 に記載の方法。

【請求項 3】

前記アクセスはバースト・アクセスまたは非バースト・アクセスのいずれかである、請求項 2 に記載の方法。

【請求項 4】

相互接続回路であって、  
第 1 のマスタ・ポートと、  
第 2 のマスタ・ポートと、  
スレーブ・ポートと、

該第 1 のマスタ・ポート、該第 2 のマスタ・ポート、および該スレーブ・ポートに結合された調停論理であって、該第 1 のマスタ・ポートおよび該第 2 のマスタ・ポートから該スレーブ・ポートへのアクセス要求を調停し、待ち状態にあるアクセス要求が必要か不要かを判定し、待ち状態にあるアクセス要求がもはや不要であると判定されたときに取り消し要求を生成する、前記調停論理と、

アクセス要求の取り消しが許される少なくとも 1 つの条件を示す取り消し制御情報を記憶するための取り消し制御記憶回路と、

該調停論理および該取り消し制御記憶回路に結合された取り消し制御論理であって、該調停論理から前記取り消し要求を受け取ったことに応答して、該取り消し制御情報を使用して待ち状態にあるアクセス要求または後に受け取られたアクセス要求の少なくともいずれかの要求の少なくとも 1 つの特性に基づいて、該調停論理によって前に許可されている、待ち状態にあるアクセス要求であって、もはや不要であると判定された前記待ち状態にあるアクセス要求の取り消しを選択的に許可する取り消し制御論理と  
を備える相互接続回路。

【請求項 5】

前記調停論理および前記取り消し制御論理に結合されたパーキング制御レジスタ回路であって、前記第 1 のマスタ・ポートまたは前記第 2 のマスタ・ポートに結合されたいずれのマスタがパーキング・マスタであるかを示す、パーキング制御レジスタ回路、  
をさらに含み、

前記アクセス取り消し制御レジスタは該パーキング・マスタによるアクセス要求の取り消しがいつ許可されるかを示し、前記少なくとも 1 つの特性は前記待ち状態にあるアクセス要求または前記後に受け取られたアクセス要求の前記少なくともいずれかの要求の要求側マスタが、前記パーキング・マスタであるかどうかを含む、  
請求項 4 に記載の相互接続回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデータ処理システムに関し、より詳細には、バス・アクセス取り消しを伴うデータ処理システムに関する。

【背景技術】

【0002】

異なるデータ処理システムが様々なバス・プロトコルの下で動作し、それらのバス・プロトコルは、例えば、バス・マスタによって行われたアクセス要求がどのように扱われるかを定義する。また、異なるデータ処理システムは、異なるバス・マスタからの要求がどのように扱われるかも定義する、異なるバス調停方式を使用して動作する。それらのバス・プロトコルおよびバス調停は、アクセス取り消しに関してなどの多くの態様で柔軟性がなく、これによりしばしば、望ましくない待ち時間が生じる。それらの待ち時間はデータ

10

20

30

40

50

処理システム内の高い優先順位のバス・マスタに関して特に問題となるかもしれない。さらに、例えば、アクセス取り消しを異なる形で扱う、異なるバス・プロトコル、および異なるバス調停方式に従って動作するシステムを動作しようと試みる場合、誤りが生じるかもしれない。

【発明の開示】

【発明が解決しようとする課題】

【0003】

したがって、例えば、待ち時間を減らしたより効率的なバス・プロトコルまたはバス調停方式を可能にする、アクセス取り消し方式を改良したデータ処理システムの必要性が存在する。

【発明を実施するための最良の形態】

【0004】

本発明を、同じ符号が同じ要素を指す添付の図により例として示すが、添付の図によって限定されない。

図における要素は簡潔明瞭にするために示され、必ずしも一定の縮尺で描かれていないことが当業者には理解されよう。例えば、図における要素のいくつかの要素の大きさは、本発明の実施形態の理解を向上させるのに役立つように、他の要素と比べて誇張される。

【0005】

本発明の1実施形態は、例えば、現在待ち状態にあるバス・アクセス要求の特性に基づいてバス・プロトコルを選択的に優先させる(overriding)。1実施形態は、例えば、現在待ち状態であるアクセス要求の特性に基づいて現在待ち状態であるアクセス要求を選択的に取り消す。代替の実施形態は、例えば、現在待ち状態にあるアクセス要求の後に新たに要求されたアクセスの特性に基づいて現在待ち状態であるアクセス要求の選択的取り消しを可能にする。(代替的に、選択的取り消しは、現在待ち状態にあるアクセス要求の特性と、後続のアクセス要求の特性の両方に基づくこと。)1実施形態では、バス・プロトコルの優先化、または現在待ち状態にあるアクセス要求の取り消しを選択的に可能にするために使用される、現在待ち状態にあるアクセス要求の特性は、要求されたバス・アクセスに対応するアドレス範囲、要求されたバス・アクセスのアクセス・タイプ(例えば、読み取り/書き込み、命令/データ)、要求されたバス・アクセスに対応するアクセス・シーケンス、要求されたバス・アクセスのバス・マスタ、またはこれらの組合せを含む。

【0006】

図1~図6の例示および説明は、要求側バス・マスタによる現在待ち状態にあるバス・アクセス要求の選択的取り消しを可能にするデータ処理システムの実施例である。アクセスがシステム・バス20上の現在のアクセスの完了を待っていて、システム・バス20上で現在待ち状態である。いくつかの実施形態では、現在待ち状態であるアクセス要求は、システム・バス20上で進行中の現在のアクセスが完了するまで実際に活性化されない。システム・バス20は、アドレス・バスは、進行中の現在のアクセスに関するデータの戻りを待つ間、後続のアクセス要求(「現在待ち状態にある」アクセス要求)を駆動されるようにバス動作のアドレス段階とデータ段階とが重なり合うバス・プロトコルを実施する。複数のクロック・サイクルを要する進行中の現在のアクセスが完了するとそのアクセスのデータ段階は終了し、そのデータ段階の終了時に駆動されていたアドレス(現在待ち状態にあるアクセス要求と呼ばれる)が新たな現在のアクセスとなり、すると、アドレス・バスが新たなアクセス要求で駆動される。このように、アドレス段階とデータ段階は重なり合い、現在待ち状態にあるアクセス要求がデータ段階終了境界で新たな「現在の」アクセス要求となる。いくつかのケースでは、システム・バス20上の、現在待ち状態にあるアクセス要求の取り消しは現在待ち状態にあるアクセス要求が使用されない、もしくは、もはや必要とされないことをバス・マスタが認識している場合、バス・マスタによって所望される。このようにして、不必要になる、または破棄されることになるバス・アクセス要求に起因するストール(stall)が減らされる。したがって、1実施形態では、バ

10

20

30

40

50

ス・マスタは、図１～図６に関連して説明されるとおり、現在待ち状態にあるアクセス要求の特性に基づいて現在待ち状態にあるアクセス要求を選択的に取り消す。

【０００７】

例えば、図１は、バス・マスタがバス・マスタのパイプラインへの命令の逐次先行取得を実行する、データ処理システムを示す。ただし、この逐次アクセス・パターンは、例えば分岐命令などのフロー命令の変更によって乱される。フローの変更が検出されると、バス・マスタは、命令先行取得ストリームをフローの変更の目標（例えば、分岐命令の目標）に切り替える。したがってこのケースでは、システム・バス上のバス・マスタの現在待ち状態にあるアクセス要求はフロー命令の変更が続く逐次アドレスに対応し、目標命令へのフローの変更のため、この要求はバス・マスタによって必要とされていない。したがって、バス・マスタはその現時点で不必要な現在待ち状態にあるアクセス要求を取り消すことを望む。その現在待ち状態にあるアクセス要求の特性（例えば、アクセス取り消し制御レジスタ内に記憶された制御情報と比較されること）に基づいて現在待ち状態にあるアクセス要求の取り消しが許されるかどうか判定される。許される場合、バス・マスタは現在待ち状態にあるアクセス要求を取り消して待ち時間を減らす。

10

【０００８】

図１は、データ処理システム１０の１実施形態を示す。データ処理システム１０は、システム・バス２０、バス・マスタ１２、メモリ・システム１４、バス・スレーブ１６、バス・スレーブ１８、バス・ブリッジ２２、バス・マスタ２４、メモリ・システム２６、他のスレーブ２８、およびシステム・バス３０を含む。バス・マスタ１２、バス・スレーブ１６、バス・スレーブ１８、メモリ・システム１４、およびバス・ブリッジ２２はすべて、システム・バス２０に双方向で結合される。バス・ブリッジ２２、バス・マスタ２４、メモリ・システム２６、および他のスレーブ２８はすべて、システム・バス３０に双方向で結合される。２つのスレーブ１６および１８だけが図１に示されているが、データ処理システム１０はシステム・バス２０に結合された任意の数のスレーブを含んでよい。同様に、任意の数のバス・マスタおよびメモリ・システムが、システム・バス２０に結合されてよい。また、任意の数のバス・マスタ、スレーブ、およびメモリ・システムが、システム・バス３０に結合されてもよく、図１に示されるものに限定されない。

20

【０００９】

１実施形態では、バス・マスタ１２はマイクロプロセッサ、デジタル・シグナル・プロセッサなどのプロセッサであり、あるいはダイレクト・メモリ・アクセス（ＤＭＡ）ユニットなどの任意のタイプのマスタ・デバイスである。スレーブ１６および１８は例えば、バス・マスタ１２がアクセスすることができるメモリなどの、任意のタイプのスレーブ・デバイス、または、例えば、汎用非同期送受信器（ＵＡＲＴ）、リアルタイム・クロック（ＲＴＣ）、キーボード・コントローラなどの周辺機器である。メモリ・システム１４は例えば、ランダム・アクセス・メモリ（ＲＡＭ）などの任意のタイプのメモリ・システムであり、データおよび命令を記憶するための記憶回路に結合されたメモリ・コントローラを含む。

30

【００１０】

動作の際、バス・マスタ１２は例えば、メモリ・システム１４、スレーブ１６、またはスレーブ１８などの、システム・バス２０に結合された他のデバイスへのアクセス、あるいはバス・ブリッジ２２を介したバス・マスタ２４、メモリ・システム２６、または他のスレーブ２８へのアクセスを要求するアクセス要求をシステム・バス２０に対して行う。バス・ブリッジ２２は、システム・バス２０とシステム・バス３０とを連結することを可能にして、バス・マスタ１２がシステム・バス３０上に存在するデバイス群にもアクセスすることができるようにする。１実施形態では、システム・バス２０はシステム・バス３０とは異なるバス・プロトコルに従って動作する。バス・ブリッジ２２は当技術分野で公知のとおり動作し、したがって本明細書でより詳細には説明しない。同様に、バス・マスタ１２、メモリ・システム１４、ならびにスレーブ１６および１８に関して上に提供したのと同じ例が、バス・マスタ２４、メモリ・システム２６、および他のスレーブ２８

40

50

にもそれぞれ当てはまる。

【 0 0 1 1 】

図 2 は、本発明の 1 実施形態によるバス・マスタ 1 2 の 1 部分を示す。バス・マスタ 1 2 は、命令シーケンサ 4 0、命令バッファ・ストレージ 6 6、バス・インターフェース・ユニット ( B I U ) 7 0、および実行ユニット 8 0 を含む。 B I U 7 0 はシステム・バス 2 0 と情報を交換し、命令バッファ・ストレージ 6 6 および命令シーケンサ 4 0 に双方向で結合される。命令バッファ・ストレージ 6 6 は命令シーケンサ 4 0 に双方向で結合される。命令シーケンサ 4 0 は、命令レジスタ ( I R ) 4 6、命令復号器 4 4、シーケンサ制御論理 4 2、アクセス取り消し制御レジスタ 4 8、取り消し制御論理 5 0、およびアドレス生成論理 5 2 を含む。 I R 4 6 はアドレス生成論理 5 2 および命令復号器 4 4 に結合され、復号器 4 4 はシーケンサ制御論理 4 2 に結合される。シーケンサ制御論理 4 2 は取り消し制御論理 5 0 およびアドレス生成論理 5 2 に結合され、取り消し制御論理 5 0 はアドレス生成論理 5 2 およびアクセス取り消し制御レジスタ 4 8 に結合される。実行ユニット 8 0 は命令復号器 4 4 および B I U 7 0 に結合され、読み込み / 記憶ユニット 8 2 を含む。

10

【 0 0 1 2 】

動作の際、命令シーケンサ 4 0 は B I U 7 0 を介して、例えば、メモリ・システム 1 4 ( または他のスレーブ ) からの命令およびデータの先行取得および取得を制御する。例えば、命令が命令バッファ・ストレージ 6 6 に先行取得されるが、データが取得または先行取得されて、 B I U 7 0 を介して実行ユニット ( 例えば、読み込み / 記憶ユニット 8 2 ) に供給される。 I R 4 6 は復号化されるべき次の命令を命令バッファ・ストレージ 6 6 から受け取り、その命令を命令復号器 4 4 に供給し、復号器 4 4 がその命令を復号化する。次に、命令は実行のために実行ユニット 8 0 に供給されて命令がさらに処理される。復号化後の命令の処理は当技術分野で周知であり、したがって本明細書でより詳細には説明されない。つまり、読み込み / 記憶ユニット 8 2 を含む実行ユニット 8 0 は当技術分野で知られているとおりに動作する。

20

【 0 0 1 3 】

シーケンサ制御論理 4 2 は命令バッファ・ストレージ 6 6 への命令の先行取得および取得を制御する。例えば、シーケンサ制御論理 4 2 は、どのアドレス ( および対応する属性 ) をアドレス / 属性 7 4 を介して B I U 7 0 に生成すべきかをアドレス生成論理 5 2 に示す。例えば、 1 実施形態では、シーケンサ制御論理 4 2 は特定のロケーションから開始する命令を逐次先行取得するようにアドレス生成論理 5 2 に示す。したがって、 B I U 7 0 は先行取得されるべきアドレスをアドレス / 属性 7 4 を介して、アドレス生成論理 5 2 から受け取る。アドレス生成論理 5 2 は要求 7 2 をアサートして、アドレス、および対応する属性がアドレス / 属性 7 4 上に存在することを B I U 7 0 に示し、 B I U 7 0 は、要求 7 2 を介して命令シーケンサ 4 0 にハンドシェーク・シグナルを戻す。 1 実施形態では、 B I U 7 0 は、システム・バス 2 0 がアドレス・キューの中の次のアドレスに対応するアクセス要求を受け取ることができるまで、アドレス / 属性 7 4 を介して受け取られたアドレスおよび属性が入れられるアドレス・キュー ( 図示せず ) を含む。 B I U 7 0 は待ち状態にあるアドレス 5 8 を命令シーケンサ 4 0 に与えて、システム・バス 2 0 上で現在待ち状態にある ( バスの現在のデータ段階が完了した際の活性化を待っている ) アクセス要求に対応するアドレスを命令シーケンサ 4 0 ( および取り消し制御論理 5 0 ) に示す。したがって、待ち状態のアドレス 5 8 は、アドレス / 属性 7 4 を介して B I U 7 0 に供給される最新のアドレスよりも早期のアドレスである。ハンドシェーク制御、およびその他の制御情報またはステータス情報は、 C T L / S T A T U S 7 6 および / または要求 7 2 を介して B I U 7 0 と命令シーケンサ 4 0 との間で通信されることに留意されたい。

30

40

【 0 0 1 4 】

1 実施形態では、シーケンサ制御論理は、 B I U 7 0 によって実行ユニット 8 0 に供給されるデータの先行取得および取得の制御にも使用されることに留意されたい。例えば、読み込み命令または記憶命令が命令復号器 4 4 によって復号化された場合、アドレス生成

50

論理 5 2 はデータの読み取り / 書き込みが行われるべき適切なアドレスを生成する、あるいは読み込み / 記憶ユニット 8 2 から対応するアドレスを受け取る。そのアドレスも、アドレス / 属性 7 4 を介して B I U 7 0 に供給される。また、シーケンサ制御論理 4 2 は、一続きのロケーションからデータを先行取得するようにアドレス生成論理 5 2 に示す。

【 0 0 1 5 】

例えば、分岐命令を検出することなどにより、シーケンサ制御論理 4 2 がフローの変更を検出した場合、シーケンサ制御論理 4 2 は命令先行取得スチームをフローの変更の目標に切り替える。つまり、シーケンサ制御論理 4 2 は、アドレス生成論理 5 2 が I R 4 6 から供給された情報に基づいて計算する目標アドレスから始まるアドレスを先行取得するようにアドレス生成論理 5 2 に示す。生成されたアドレスは B I U 7 0 に供給され、B I U 7 0 は、新たな命令先行取得ストリームから命令バッファ・ストレージ 6 6 に命令を供給する。1 実施形態では、新たな命令先行取得ストリームからの命令により、前に存在していた命令が上書きされて、I R 4 6 および命令復号器 4 4 が正しい命令で動作するようになる。また、1 実施形態では、命令バッファ 6 6 が空である場合、( 取得された命令、または先行取得された命令を含む ) データは I R 4 6 に直接に供給されて、命令バッファ 6 6 を経由しないことに留意されたい。また、ハンドシェーク、およびその他のステータス情報および / または制御情報も、制御 / ステータス 6 4 を介して命令シーケンサ 4 0 と命令バッファ・ストレージ 6 6 との間で通信される。

【 0 0 1 6 】

命令復号器 4 4 によって復号化された現在の命令に基づいて、シーケンサ制御論理 4 2 は、システム・バス 2 0 上の ( 待ち状態のアドレス 5 8 に対応する ) 現在待ち状態にあるアクセス要求が取り消されるべきであると判定する。例えば、フロー変更のケースでは、命令が現時点では、新たな目標アドレスから開始して取得されるため、現在待ち状態にある先行取得アクセス要求は必要とされないことが分かっている。その現在待ち状態にあるアクセス要求が先に完了することを許される場合、現在待ち状態にある先行取得要求 ( 破棄されない ) が完了するまで、フロー変更命令の目標が受け入れられ得ず、活性化され得ないので、マスタ 1 2 はストールする。別の実施例では、シーケンサ制御論理 4 2 は、データ・アクセスが、命令先行取得に優先されることを許すことを望む。その実施例では、現在待ち状態にあるアクセス要求が命令先行取得要求である場合、命令復号器 4 4 によって復号化されているデータ・アクセスを要求する命令を検出すると、シーケンサ制御論理 4 2 は、データ・アクセスがより早く実行されることが可能であるように、現在待ち状態であるアクセス要求 ( すなわち、命令先行取得要求 ) を取り消すことを望む。

【 0 0 1 7 】

シーケンサ論理 4 2 が、システム・バス 2 0 上の現在待ち状態にあるアクセス要求 ( 待ち状態のアドレス 5 8 に対応する ) を取り消すことを望む場合、シーケンサ制御論理 4 2 は、現在待ち状態にあるアクセス要求が取り消されるべきことを取り消し制御論理 5 0 に示す取り消し要求 5 4 をアサートする。1 実施形態では、バス・マスタ 1 2 内部に記憶された ( 例えば、アクセス取り消し制御レジスタ 4 8 内部に記憶された ) アクセス取り消し制御情報を使用する取り消し制御論理 5 0 は、現在待ち状態にあるアクセス要求の特性に基づいて現在待ち状態にあるアクセス要求の取り消しが許されるかどうかを判定する。それらの特性は、例えば、現在待ち状態にあるアクセス要求に対応するアドレス ( 例えば、待ち状態のアドレス 5 8 )、アクセス・タイプ ( 例えば、読み取り / 書き込み、命令 / データ、バースト / 非バーストなど )、アクセスのシーケンスまたは順序、アクセスされるアドレス ( 例えば、いずれのアドレス範囲がアクセスされるか、またはいずれのデバイスがアクセスされるか )、取り消しを要求しているバス・マスタ ( 例えば、マルチマスタ・システムにおける )、又はこれらの任意の組合せを含む。例えば、1 実施形態では、アクセス取り消し制御レジスタ 4 8 内部に記憶された情報は特定のアドレス範囲に対応する。つまり、取り消し制御論理 5 0 に供給される情報は、現在待ち状態にあるアクセス要求のアドレスに依存する。その実施形態では、アドレス比較論理 6 0 を使用して、待ち状態のアドレス 5 8 ( 現在待ち状態にあるアクセス要求に対応する ) を様々なアドレス範囲と比

10

20

30

40

50

較する。取り消し要求を許可する、または許可しないために使用される、アクセス取り消し制御レジスタ48、アドレス比較論理60、およびアドレス範囲、ならびに現在待ち状態にあるアドレス要求の特性は、図3～図5を参照して、以下により詳細に説明する。

#### 【0018】

別の実施形態では、バス・マスタ12内部に記憶された（例えば、アクセス取り消し制御レジスタ48内部に記憶された）アクセス取り消し制御情報を使用する取り消し制御論理50は、現在待ち状態にあるアクセス要求に続く新たなアクセス要求の特性に基づいて現在待ち状態にあるアクセス要求の取り消しが許されるかどうかを判定する。それらの特性は、例えば、新たなアクセス要求に対応するアドレス、アクセス・タイプ（例えば、読み取り/書き込み、命令/データ、バースト/非バーストなど）、アクセスのシーケンスまたは順序、アクセスされるアドレス（いずれのアドレス範囲がアクセスされるか、またはいずれのデバイスがアクセスされるか）、取り消しを要求しているバス・マスタ（例えば、マルチマスタ・システムにおける）、またはこれらの任意の組合せを含む。例えば、1実施形態では、アクセス取り消し制御レジスタ48内部に記憶された情報は特定のアドレス範囲に対応する。つまり、取り消し制御論理50に供給される情報は新たなアクセス要求のアドレスに依存すること。その実施形態では、アドレス比較論理60を使用して、新たに要求されるアドレスを様々なアドレス範囲と比較する。前述したとおり、取り消し要求を許可する、または許可しないために使用される、アクセス取り消し制御レジスタ48、アドレス比較論理60、およびアドレス範囲、ならびに現在待ち状態にあるアドレス要求の特性は、図3～図5を参照して以下により詳細に説明する。しかし、現在待ち状態にあるアクセス要求を参照して図3～図5を参照して提供する説明は、後続のアクセス要求にも同様に当てはまることに留意されたい。

#### 【0019】

図2を参照すると、取り消し制御論理50が取り消しは許されると判定した場合、取り消し制御論理50は、取り消し識別子62をアサートして、システム・バス20上の現在待ち状態にあるアクセス要求が取り消されるべきことをBIU70に通知する。1実施形態では、現在待ち状態にあるアクセス要求は、システム・バス20に対する新たなアクセス要求が現在待ち状態にあるアクセス要求に取って代わる、または置き換わることにより取り消される。この新たなアクセス要求は、例えば、前述した、BIU70のアドレス・キュー内で待っている次のアクセス要求であっても、BIU70に供給される新たに生成された要求であってもよい。代替の実施形態では、BIU70は、所定の値を命令バッファ・ストレージ66に即時に戻すことにより、現在待ち状態にあるアクセス要求を取り消す。この所定の値は破棄されることになるので、任意のダミー値である。このようにして、マスタ12をストールさせることなしに、現在待ち状態にあるアクセス要求は迅速に完了させられ、次のアクセス要求が開始される。他の代替の実施形態は他の方法を使用して、現在待ち状態にあるアクセス要求を取り消す。いくつかの実施形態では、命令バッファ・ストレージ66にはまったく値が戻されない。

#### 【0020】

しかし、取り消し制御論理50が現在待ち状態にあるアクセス要求の取り消しを許さない場合、取り消し制御論理50は取り消し識別子62をアサートしない（すなわち、取り消し制御論理は50ネゲートする、または引き続きネゲートする）。そのケースでは、マスタ12は、現在待ち状態にあるアクセス要求が完了するまで待ってから、フローの変更に起因する新たな命令先行取得ストリームに取りかかる。また、取り消し制御論理50は、取り消しが許されなかったことをアドレス制御論理52にも示す。

#### 【0021】

したがって、1実施形態では、アクセス取り消し制御レジスタ48および取り消し制御論理50を使用して、例えば、ストールを減らす、または防止するために、バス・プロトコルを選択的に優先する。1実施形態では、システム・バス20のバス・プロトコルは、初期化されてシステム・バス20上で現在待ち状態である既存の先行取得アクセス要求が完了後に破棄されても、完了することを許されなければならないことを要求する。例えば

、フローの変更のケースでは、命令が、この場合、新たな目標アドレスから開始してフェッチ取得されるため、現在待ち状態にある先行取得アクセス要求は必要とされないことが認識される。しかし、システム・バス20のバス・プロトコルは、システム・バス20上の現在待ち状態にある先行取得が完了されることをそれでも要求して、マスタ12がストールすることを生じさせる可能性がある。しかし、前述したとおり、現在待ち状態にあるアクセス要求が取り消されてそのストールを防止することを、シーケンサ制御論理42が要求する。そのケースでは、アクセス取り消し制御レジスタ内部に記憶された情報、および現在待ち状態にあるアクセス要求の特性に基づいて取り消し制御論理50は、現在待ち状態にあるアクセス要求を取り消して、その要求に、通常どおりに完了させないことにより、バス・プロトコルを選択的に優先することができる。したがって、取り消しが許されるケースでは、バス・プロトコルはストールを防止するために優先される。他の実施形態では、バス・プロトコルの他の態様が、異なるタイプの優先制御レジスタを使用して優先されることが可能である。

10

#### 【0022】

本発明の1実施形態による現在待ち状態にあるアクセス要求の取り消しが図6のフロー140に示されている。フロー140はブロック144で開始し、システム・バス20上でアクセス要求が現在待ち状態にあると最初に判定される（さもなければ、取り消されるべき現在待ち状態にあるアクセス要求はまったく存在しない）。次に、フローは判定ダイヤモンド146に進み、現在待ち状態にあるアクセス要求が取り消されるべきかどうか判定される。したがって、前記のとおり、シーケンサ制御論理42が現在待ち状態にあるアクセス要求が取り消されるべきであると判定する。取り消されるべきであると判定されなかった場合、フローは、ブロック148に進み、システム（例えば、データ処理システム10）が現在待ち状態にあるアクセス要求が完了するのを待つ。しかし、現在待ち状態にあるアクセス要求が取り消されるべき場合、フローは判定ダイヤモンド146からブロック150に進み、現在待ち状態にあるアクセス要求に対応する取り消し要求（例えば、取り消し要求54）が生成される。ブロック150の後、フローは判定ダイヤモンド152に進み、現在待ち状態にあるアクセス要求の特性に基づいて現在待ち状態にあるアクセス要求の取り消しが許されるかどうか判定される（例えば、取り消し制御論理50によって）。判定ダイヤモンド152で取り消しが許される場合、フローはブロック156に進み、取り消し要求が許され（例えば、取り消し識別子62がアサートされ）、現在待ち状態にあるアクセス要求が取り消される。しかし、取り消しが許されない場合、フローはブロック154に進み、取り消し要求が拒否され、システムは現在待ち状態にあるアクセス要求が完了するのを待つ。したがって、現在待ち状態にあるアクセス要求が選択的に取り消されることが可能である場合に、現在待ち状態にあるアクセス要求がシステム・バス20上に存在する場合にはいつでもフロー140は使用される。

20

30

#### 【0023】

図2を再び参照すると、1実施形態では、取り消し制御論理50はアクセス取り消し制御レジスタ48内部に記憶されたアクセス取り消し制御情報を使用して、現在待ち状態にあるアクセス要求の特性に基づいて現在待ち状態にあるアクセス要求の取り消しが許されるか否かを判定する。図3～図5は取り消しが許される条件（または、代替的に、取り消しが許されない条件）を示す、アクセス取り消し制御レジスタ48の様々な実施形態を示す。図3の実施形態を参照すると、アクセス取り消し制御レジスタ48が、待ち状態のアクセスのタイプに対応する制御情報、例えば、命令対データ、読み取り対書き込みなどを提供する。例えば、図3のアクセス取り消し制御レジスタ48は以下の3つのフィールドを含む。すなわち、命令読み取り取り消し制御フィールド100、データ読み取り取り消し制御フィールド102、およびデータ書き込み取り消し制御フィールド104である。1実施形態では、各フィールドは、アサートされると、そのタイプのアクセスの取り消しが許されることを示すビットである。例えば、命令読み取り取り消し制御フィールド100がアサートされ、且つ現在待ち状態にあるアクセス要求が命令読み取りタイプのアクセスである（例えば、1実施形態では、待ち状態のアドレス58も属性に加えられる、現

40

50



在待ち状態にあるアクセス要求に対応する属性によって示される) 場合、現在待ち状態にあるアクセス要求の取り消しは許される。しかし、命令読み取り取り消し制御フィールド 100 がネゲートされた場合、取り消しは拒否される。したがって、現在待ち状態にあるアクセス要求の特性(例えば、アクセス要求のタイプが、読み取りであるか、または書き込みであるか、あるいはデータであるか、または命令であるか)に依存して、取り消し制御論理 50 は、アクセス取り消し制御レジスタ 488 内部に記憶されたアクセス取り消し制御情報を使用して、シーケンサ制御論理 42 からの取り消し要求を許す、または拒否する。

#### 【0024】

図3の実施形態では、アクセス・タイプが、アクセスされるデバイスにかかわらず、取り消しを許すか否かを示すのに使用されることに留意されたい。例えば、命令読み取り取り消し制御フィールドがアサートされた場合、アクセスが、メモリ・システム 14 に対してであるか、スレーブ 16 に対してであるか、またはスレーブ 18 に対してであるかにかかわらず、命令読み取りタイプのアクセスの取り消しは許される。しかし、以下に説明する代替の実施形態では、取り消しは、アクセス・タイプに加え、アクセスされるデバイス(例えば、アクセスされる特定のアドレス範囲)に基づいて許可または拒否される。

#### 【0025】

別の代替の実施形態では、図3のフィールドは、取り消し制御論理 50 が、後続の新たな要求に対応するアクセス取り消し制御情報を使用して、シーケンサ制御論理 42 からの取り消し要求を(現在待ち状態にあるアクセス要求を取り消すように)許す、または拒否することができる現在待ち状態にある要求に続く、新たな要求の特性に対応する。例えば、その実施形態では、命令読み取り取り消し制御フィールド 100 がアサートされ、且つ現在待ち状態にあるアクセス要求に続く新たなアクセス要求が命令読み取りタイプ・アクセスである場合、現在待ち状態にあるアクセス要求の取り消しは、許される。

#### 【0026】

図4は、アクセス取り消し制御レジスタ 48 の別の実施形態を示し、レジスタ 48 は、以下のいくつか(例えば、4つ)のアドレス範囲取り消し制御フィールド、すなわち、アドレス範囲1取り消し制御フィールド 106、アドレス範囲2取り消し制御フィールド 108、アドレス範囲3取り消し制御フィールド 110、およびアドレス範囲4取り消し制御フィールド 112 を含む。したがって、図4の各取り消し制御フィールドは特定のアドレス範囲に対応する(代替の実施形態では、アクセス取り消し制御レジスタ 48 は、任意の数のアドレス範囲取り消し制御フィールドを含む)。例えば、アドレス範囲は、メモリ(図1のシステム・メモリ 14 などの)の中のすべてのロケーション、または特定のロケーション範囲を識別し、あるいは、スレーブ 16 内部、またはスレーブ 18 内部などの、システム・バス 20 に結合された任意のデバイス内部のすべてのロケーション、または特定のロケーション範囲を識別する。例えば、1実施形態では、アドレス範囲の1つがシステム・バス 20 に結合されたバス・ブリッジ 22 のアドレス範囲に対応し、そのアドレス範囲は、システム・バス 30 に結合された任意のデバイスの取り消しが許されるか、または拒否されるかを示す。代替的に、アドレス範囲の1つは、システム・バス 30 (バス・ブリッジ 22 を介してシステム・バス 20 に結合された)に結合されたデバイス群の任意のデバイス内部のロケーション範囲に特に対応する。

#### 【0027】

1実施形態では、各アドレス範囲取り消し制御フィールドのアドレス範囲は、図2のアドレス比較論理 60 などの、アドレス比較論理内部で定義される。アドレス範囲は、例えば、上限と下限を使用することにより、または開始ロケーションおよびマスクを使用することにより定義される。図2の実施形態を参照すると、アドレス比較論理 60 は、したがって、待ち状態にあるアドレス 58 (シーケンサ制御論理 42 が取り消すことを望む現在待ち状態にあるアドレスに対応する)を定義されたアドレス範囲の各範囲と比較して、待ち状態のアドレス 58 が入る範囲が存在する場合、いずれの範囲に入るかを判定することができる。例えば、待ち状態にあるアドレス 58 がアドレス範囲 2 に入る場合、アクセス

10

20

30

40

50

取り消し制御レジスタ48(図4の)のアドレス範囲2取り消し制御フィールド108を使用して、待ち状態のアドレス58の取り消しが許されるかどうかを示される。例えば、フィールド108がアサートされた場合、取り消しは許されるが、フィールド108がネゲートされた場合、取り消しは拒否される。しかし、待ち状態にあるアドレス58が図4の実施形態に対応する範囲1~4のいずれにも入らない場合、待ち状態にあるアドレス58の取り消しは許されない。代替の実施形態では、アドレス範囲取り消し制御フィールドによって定義される範囲は、取り消しが許されない範囲を定義し、他のすべてのアドレス・ロケーションは、取り消し可能である。

#### 【0028】

図3および図4の実施形態は、取り消しが許されるか、または拒否されるかの判定が、アクセス・タイプとアドレス範囲の両方に基づくように組み合わせられることに留意されたい。例えば、1実施形態では、各アドレス範囲に対して、対応する命令読み取り制御フィールド、データ読み取り制御フィールド、およびデータ書き込み制御フィールド(または以上のサブセット)を使用して、取り消しがいつ許されるかをさらに定義する。例えば、図1を参照すると、アドレス範囲取り消し制御フィールドがスレーブ16に対応してアクセス要求がスレーブ16に対して行われた場合、そのアクセス要求に対応する待ち状態のアドレスはその範囲に入る。さらに、スレーブ16に対応する特定のアドレス範囲に対して、ユーザが、命令読み取りではなく、データ読み取りおよびデータ書き込みだけの取り消しを許すことを所望するかもしれない。そのケースでは、その特定のアドレス範囲に固有のデータ読み取り制御フィールド、データ書き込み制御フィールド、および命令読み取り取り消し制御フィールドがアクセスが許されるかどうかを判定するのに使用される。したがって、現在待ち状態にあるアドレスの特性の任意の組合せを使用して、取り消しが許されるかどうか判定される。

#### 【0029】

図5は、取り消しが、前のアクセス・タイプに基づいて、またはアクセス・タイプの順序もしくはシーケンスに基づいて許される、または拒否される、アクセス制御レジスタ48のさらに別の実施形態を示す。例えば、図5の実施形態では、アクセス取り消し制御レジスタ48は、命令に続く命令(IFI)取り消し制御フィールド114、命令に続くデータ読み取り(DRFI)取り消し制御フィールド116、命令に続くデータ書き込み(DWFI)取り消し制御フィールド118、データ読み取りに続く命令(IFDR)取り消し制御フィールド120、データ読み取りに続くデータ読み取り(DRFD R)取り消し制御フィールド122、データ読み取りに続くデータ書き込み(DWFD R)取り消し制御フィールド124、データ書き込みに続く命令(IFDW)取り消し制御フィールド126、データ書き込みに続くデータ読み取り(DRFDW)取り消し制御フィールド128、およびデータ書き込みに続くデータ書き込み(DWFDW)取り消し制御フィールド129を含む。したがって、図5の実施形態では、取り消しは、現在待ち状態にあるアクセスおよび前のアクセス・タイプに基づいて許されるか、または拒否される。例えば、現在待ち状態にあるアクセス要求(待ち状態のアドレス58に対応する)の取り消しが所望されると、取り消しは、前のアクセスに基づいて許される、または拒否されるように、シーケンサ制御論理42が前のアクセス・タイプを常に把握する。例えば、前のアクセスがデータ書き込みであり、取り消されるべき現在待ち状態にあるアクセスが命令アクセス(すなわち、命令読み取り)である場合、IFDW取り消し制御フィールド126が取り消し制御論理50によって使用されて、取り消しが許されるかどうか判定される。したがって、フィールド126がアサートされた場合、現在待ち状態にあるアクセスの取り消しが許されるが、ネゲートされた場合、取り消しは拒否される。別の実施形態では、新たに要求されるアクセスの特性が現在待ち状態にあるアクセスの特性に関連するので、図5に示されたフィールドは新たに要求されるアクセスの特性に基づいて適用される。例えば、現在待ち状態にあるアクセスが命令読み取りであり、新たに要求されるアクセスがデータ書き込みである場合、DWFI取り消し制御フィールド118が調べられて、現在待ち状態にある命令アクセスの取り消しが許されるかどうか判定される。

10

20

30

40

50

## 【 0 0 3 0 】

図 3 および図 4 の実施形態の場合と同様に、図 5 のフィールド 1 1 4 ~ 1 2 8 によって定義される特性は、例えば、図 3 のフィールド 1 0 0 ~ 1 0 4、および / または図 4 のフィールド 1 0 6 ~ 1 1 2 によって定義される特性などの、他の特性と組合せて使用される。さらに、アクセス取り消し制御レジスタ 4 8 は、必要に応じて任意の数のフィールドを有する任意の数のレジスタ ( 1 つまたは複数の ) を含む。また、必要に応じて、任意の数のアドレス範囲が定義され、それら範囲の境界は取り消し制御論理 5 0 内部に記憶されるか、またはマスタ 1 2 内部の別の場所に記憶される。また、図 3 ~ 図 5 の取り消し制御フィールドは、アサートも、ネゲートもされて取り消しが許される、または拒否されることを示す、一ビット・フィールドとして説明されていたことにも留意されたい。しかし、代替の実施形態では、各フィールドは所望に応じて任意の数のビットを含み、取り消しの許可、または取り消しのレベルを示す。また、任意のタイプの記憶回路が、アクセス取り消し制御レジスタ 4 8 内部に記憶されるアクセス取り消し制御情報を記憶するために使用される。

10

## 【 0 0 3 1 】

また、代替の実施形態では、図 3 ~ 図 5 で説明した現在待ち状態にあるアクセスの特性を使用するのではなく、現在待ち状態にあるアクセス要求に続く新たなアクセスの特性が代わって同様の形で使用されて、現在待ち状態にあるアクセス要求のアクセス取り消しが許されるかどうかを判定することにも留意されたい。したがって、それらの代替の実施形態では、図 3 ~ 図 5 のフィールド内の情報は、現在待ち状態にあるアクセス要求のアクセス取り消しが許されるかどうかを判定するために、現在待ち状態にあるアクセス要求ではなく、新たなアクセス要求に対応する。さらに別の実施形態では、任意の数のアクセス取り消し制御レジスタ、またはアクセス取り消し制御レジスタ内部の任意の数のフィールドが、使用され、現在待ち状態にあるアクセス要求の選択的取り消しは、現在待ち状態にあるアクセス要求と新たなアクセス要求との両方の特性に基づく。例えば、アクセス取り消し制御レジスタ 4 8 は、現在待ち状態にあるアクセス・アドレスの特性に対応する 1 つのレジスタ、または 1 つのレジスタ・セットを含み、新たな ( すなわち、後続の ) アクセス要求の特性に対応する別のレジスタ、別のレジスタ、または別のレジスタ・セットを含む。

20

## 【 0 0 3 2 】

上に提供した説明は、単一のマスタ・システム ( 例えば、図 1 のデータ処理システム 1 0 ) を参照して説明されていたことに留意されたい。しかし、代替の実施形態では、データ処理システム 1 0 は、複数のバス・マスタを含んでもよい。その実施形態では、取り消しが許されるか、または拒否されるかを判定するのに使用される現在待ち状態にあるアクセスの特性は、どのバス・マスタがアクセス要求を行ったかを含んでもよい。例えば、図 3 ~ 図 4 を参照して説明したレジスタのような別個のアドレス取り消し制御レジスタ ( またはアドレス取り消し制御レジスタ・セット ) が、各レジスタ ( またはレジスタ・セット ) が異なるバス・マスタに対応する場合に使用される。その実施形態では、いずれのバス・マスタが現在待ち状態にあるアクセス ( 待ち状態のアドレス 5 8 に対応する ) を行ったかを、B I U 7 0 が取り消し制御論理 5 0 に示す。例えば、各バス・マスタは、各アクセス要求にしたがってシステム・バス 2 0 を介して供給される、対応する唯一のバス・マスタ識別子を有する。また、各バス・マスタは、必要に応じて、異なって対応するアクセス取り消し制御レジスタおよび / またはアクセス取り消し制御フィールドを有することにも留意されたい。

30

40

## 【 0 0 3 3 】

したがって、図 1 ~ 図 6 に示される実施形態は、現在待ち状態にあるアクセスの 1 つまたは複数の特性、または現在待ち状態にあるアクセス要求に続く新たなアクセス要求の 1 つまたは複数の特性、あるいは現在待ち状態にあるアクセス要求と新たなアクセス要求との各要求の 1 つまたは複数の特性に基づいて現在待ち状態にあるアクセスの選択的取り消しを可能にすることを理解することができよう。このようにして、バス・マスタ 1 2 は、

50

アクセス要求をよりよく制御して、ストールを減らし、性能を向上させる。1つまたは複数の特性は、例えば、アクセス・タイプ（例えば、読み取り／書き込み、命令／データ、バースト／非バーストなど）、アクセスのシーケンスまたは順序、アクセスされるアドレス（例えば、いずれのアドレス範囲が、アクセスされるか、またはいずれのデバイスが、アクセスされるか）、取り消しを要求しているバス・マスタ（例えば、マルチマスタ・システムにおける）、またはこれらの任意の組合せを含む。また、図1～図6を参照して前述した選択的取り消しはアクセスごとに動的に実行されることにも留意されたい。さらに、アクセスの特性は、前述した選択的取り消しと同様に、バス・プロトコルの他の態様を選択的に優先するために使用される。例えば、バースト・アクセスが要求されると、完全に完了されなければならないか否か、またはバースト・アクセスが完了に先立って中断されるか否かである。

10

#### 【0034】

また、図1～図6を参照して前に記したアクセス取り消しの概念は、現在待ち状態にあるアクセス要求の（および／または現在待ち状態にあるアクセス要求に続く、新たなアクセスの）1つまたは複数の特性に基づいて現在待ち状態にあるアクセスも取り消すバス調停にも適用されてよい。例えば、図7は、本発明の1実施形態による、M個のマスタをN個のスレーブに結合することができるシステム相互接続200を示す。例えば、1実施形態では、システム相互接続200はクロスバー・スイッチとして実施される。図示される実施形態では、マスタ・ポート0～2のそれぞれが、スレーブ・ポート0および1のそれぞれと通信する。各マスタ・ポートには1つまたは複数のマスタが結合されており、スレーブ・ポートのそれぞれには1つまたは複数のスレーブが結合される。複数のマスタ、または複数のスレーブがある特定のポートに結合されている場合、同一のマスタ・ポートに結合された複数のマスタ間、または同一のスレーブ・ポートに結合された複数のスレーブ間で調停を行うのに、さらなる調停論理（図示せず）が必要とされることに留意されたい。また、マスタ・ポートに結合されたマスタのタイプ、およびスレーブ・ポートに結合されたスレーブのタイプは、バス・マスタ12、ならびにスレーブ16および18を参照して前に記したものと同一のタイプであってもよいことにも留意されたい。本明細書で説明される実施形態では、各マスタ・ポートには対応するマスタが結合されているものと想定する。例えば、図示していないが、マスタ・ポート0にはマスタ0が結合され、マスタ・ポート1にはマスタ1が結合され、マスタ・ポート2にはマスタ2が結合されている。同様に、各スレーブ・ポートには対応するスレーブが結合されており、例えば、スレーブ・ポート0はスレーブ0に結合され、スレーブ・ポート1はスレーブ1に結合されているものと想定する。

20

30

#### 【0035】

また、データ処理システム10のような任意のデータ処理システムが、システム・バスの代わりにシステム相互接続200のようなシステム相互接続を利用してもよいことにも留意されたい。例えば、図1を再び参照すると、システム相互接続200がシステム・バス20の代わりに使用されてもよく、バス・マスタ12が、マスタ・ポート0～2のいずれかに結合され、スレーブ16がスレーブ・ポート0または1のいずれかに結合され、スレーブ18がスレーブ・ポート0または1の他方に結合される。また、バス・マスタ12のようなさらなるマスタがマスタ・ポート0～2の残りの2つに結合されてもよい。また、図7は3つのマスタ・ポートおよび2つのスレーブ・ポートを示すが、システム相互接続200は必要に応じて、任意の数のマスタ・ポートおよび任意の数のスレーブ・ポートを含んでいると理解されるべきであることにも留意されたい。

40

#### 【0036】

図7のシステム相互接続200では、後続の要求を優先して、マスタからスレーブ・ポートへのアクセス要求を取り消すことが望ましい。例えば、マスタのアクセス要求が進行中である（例えば、現在のアクセス要求のアドレスがスレーブ・ポート上に駆動され、スレーブによって取り込まれ、または受け入れられ、スレーブから対応するデータが戻されるのを待つ）。しかし、データの戻りが遅延して、進行中のアクセス要求の完了に要求さ

50

れる待機状態の数が増える。このアクセス要求が進行中であり、戻りデータを待っている間に、同一のマスタまたは異なるマスタが、別のアクセス要求を同一のスレーブ・ポートに与えてもよい。このアクセス要求はシステム相互接続内部の調停論理によって許可されて、スレーブ・ポート上で駆動される現在待ち状態にあるアクセス要求になる。しかし、許可されて、スレーブ・ポート上に駆動されるものの、この現在待ち状態にあるアクセス要求は、現在進行中のアクセス要求が完了する（すなわち、データが戻される）まで、スレーブによって実行されない。したがって、現在待ち状態にあるアクセス要求の特性（および/または現在待ち状態にあるアクセス要求に続く、新たなアクセス要求の特性）に基づいて、例えば、同一のポートに対する後続のアクセス要求がより高い優先順位を有する場合、その後続のアクセス要求を優遇して現在待ち状態にあるアクセス要求を取り消すことが望ましい。次いで、取り消された現在待ち状態にあるアクセス要求は、後続のアクセス要求がスレーブ・ポート上に駆動されるまで、スレーブ・ポートに対応するスレーブ・ポート論理内部に記憶される。代替的に、取り消された現在待ち状態にあるアクセス要求は、その要求がスレーブ・ポート上に再駆動される後の時点まで記憶される。このようにして効率が改善される。バス調停に関するアクセス取り消しのさらなる詳細を、図7～図12を参照して説明する。

10

#### 【0037】

図7のシステム相互接続200は、マスタ・ポート0～2、スレーブ・ポート0および1、ならびにスレーブ・ポート0論理、およびスレーブ・ポート1論理を含み、マスタ・ポート0～2のそれぞれはスレーブ・ポート0論理を介してスレーブ・ポート0に結合され、マスタ・ポート0～2のそれぞれはスレーブ・ポート1論理を介してスレーブ・ポート1に結合される。スレーブ・ポート0論理は、調停論理216、取り消し制御論理218、マスタ優先順位レジスタ210、パーキング制御レジスタ212、アクセス取り消し制御レジスタ214、およびアクセス・セクタ208を含む。マスタ・ポート0～2のそれぞれは、導体202～204を介して、アクセス・セクタ208、調停論理216、ならびにスレーブ・ポート0論理の取り消し制御論理218、およびスレーブ・ポート1論理にそれぞれ結合される。アクセス・セクタ208は、導体202～204（マスタ・ポート0～2にそれぞれ対応する）のいずれかからの情報をスレーブ・ポート0における導体205に供給する。つまり、導体205は、対応するスレーブ、スレーブ0に結合されたスレーブ・バスと呼ぶこともできる。調停論理216が現在の許可220をアクセス・セクタ208および取り消し制御論理218に供給する。また、調停論理216は待ち状態の許可222、および取り消し要求224を取り消し制御論理218に供給し、取り消し識別子226を取り消し制御論理218から受け取る。調停論理216は、マスタ優先順位レジスタ210およびパーキング制御レジスタ212に結合される。取り消し制御論理218は、マスタ優先順位レジスタ210、パーキング制御レジスタ212、およびアクセス取り消し制御レジスタ214に結合される。

20

30

#### 【0038】

スレーブ・ポート1論理内部の回路は図示していないが、以下により詳細に説明するスレーブ・ポート0論理内部の回路と同様であることに留意されたい。つまり、スレーブ・ポート1論理の動作は、スレーブ・ポート0論理の動作と同様である。

40

#### 【0039】

動作の際、スレーブ・ポート0論理はマスタ・ポート0～2に結合されたマスタからのスレーブ・ポート0へのアクセスを制御する。調停論理216が、導体202～204を介してスレーブ・ポート0へのアクセス要求を受け取り、いずれの要求を許可すべきか、いつ許可すべきかを判定する。次に、調停論理216は、いずれのアクセス要求が許可されたかを示す制御信号である現在の許可220をアクセス・セクタ208に供給する。現在の許可220に基づいてアクセス・セクタ208は、マスタ・ポート0～2のいずれかからの許可されたアクセス要求からの情報をスレーブ・ポート0に供給して、アクセス要求が現在許可されているマスタからのアドレス、データ、および制御信号を、スレーブ0に結合された導体205に駆動する。いずれのアクセス要求を許可するかの判定を行

50

う際に、調停論理 2 1 6 はマスタ優先順位レジスタ 2 1 0 およびパーキング制御レジスタ 2 1 2 を使用する。アクセス要求が現在許可されているマスタから導体 2 0 5 に情報が駆動された後、スレーブ 0 はアクセス要求を取り込む、または受け入れる。アクセス要求を取り込むと、スレーブ 0 はそのアクセス要求に対応する要求されたデータを提供するため、または受け取るために、現在許可されているアクセス要求に対応するアドレスを受け取り、記憶する。アクセス要求は取り込まれると、現在進行中のアクセス要求になる。

#### 【 0 0 4 0 】

その後、調停論理 2 1 6 は新たなアクセス要求を、その新たなアクセス要求に対応する現在の許可 2 2 0 をアクセス・セクタ 2 0 8 に供給することにより、許可する。次に、その新たなアクセス要求（マスタ 0 ~ 2 のいずれかからの）に対応する情報がアクセス・セクタ 2 0 8 によってスレーブ 0 に結合された導体 2 0 5 に駆動される。しかし、その新たなアクセス要求は、前に許可されたアクセス要求が依然として進行中である間、現在待ち状態にあるアクセス要求のままである。つまり、例示する実施形態では、新たなアクセス要求は依然として進行中である前に許可されたアクセス要求が完了するまで、スレーブ 0 によって取り込まれない、または実行されない。1 実施形態では、前に許可されたアクセス要求は、アクセス要求のアドレスに対応するデータがスレーブ 0 によって受け取られた後、またはマスタ 0 ~ 2（マスタ 0 ~ 2 の要求側マスタが、データを受け入れる）に供給された後、完了する。

#### 【 0 0 4 1 】

前に許可されたアクセス要求が進行中である期間は不明であるので、調停論理 2 1 6 は後続のアクセス要求を優遇して、現在待ち状態にあるアクセス要求（前に許可されたアクセス要求の完了を待っている要求）が取り消されるべきであると判定してもよい。そのケースでは、調停論理 2 1 6 は取り消し要求 2 2 4 をアサートすることにより、現在待ち状態にあるアクセス要求の取り消しを要求する。アクセス取り消し制御レジスタ 2 1 4 からの情報を使用して取り消し制御論理 2 1 8 が、現在待ち状態にあるアクセス要求および / または後続のアクセス要求の少なくとも 1 つ以上の特性に基づいて現在待ち状態にあるアクセス要求の取り消しが許されるかどうかを判定する（1 つ以上の特性は、要求側マスタから導体 2 0 2 ~ 2 0 4 を介して供給される情報、待ち状態の許可 2 2 2 を介して供給される現在待ち状態にあるアクセス要求のアドレス、および / またはマスタ優先順位レジスタ 2 1 0 およびパーキング制御レジスタ 2 1 2 の中の情報から決定されることが可能である）。取り消し制御論理 2 1 8 が現在待ち状態にあるアクセスの取り消しが許されると判定した場合、取り消し識別子 2 2 6 をアサートし、取り消しが許されない場合、取り消し識別子 2 2 6 がネゲートされる（またはネゲートされたままである）。取り消しが許される場合、アービタ論理は、現在の許可 2 2 0、およびアクセス・セクタ 2 0 8 を介してスレーブ・ポート 0 における導体 2 0 5 上の現在待ち状態にあるアクセス要求を後続の新たなアクセス要求で置き換える。次に、調停論理 2 1 6 は取り消された現在待ち状態にあるアクセス要求を記憶して、後続の新たなアクセス要求が導体線 2 0 5 上に駆動された後、取り消された要求が再駆動されてよい。代替的に、取り消された要求は後の時点で再駆動されてもよい。

#### 【 0 0 4 2 】

図 7 の例示される実施形態では、スレーブ・ポート 0 論理がマスタ優先順位レジスタ 2 1 0 およびパーキング制御論理 2 1 2 を含む。それらのレジスタの実施例が図 8 および図 9 にそれぞれ示されている。例えば、図 8 は各マスタ・ポートに対応するマスタ優先順位フィールド、すなわち、マスタ 0 優先順位フィールド 2 3 0、マスタ 1 優先順位フィールド 2 3 2、およびマスタ 2 優先順位フィールド 2 3 4 を含むマスタ優先順位レジスタ 2 1 0 の 1 実施形態を示す。したがって、各フィールドは対応するマスタ・ポートの優先順位を含む。例えば、3 つのマスタ・ポートを含む、例示された実施形態では、2 ビット値（例えば、1 1, 1 0, 0 1, 0 0）を使用して優先順位を示し、最高優先順位のマスタ・ポートに 1 1 という優先順位が割り当てられ、次に高い優先順位のマスタ・ポートに 1 0 という優先順位が割り当てられ、3 番目に高い（すなわち、3 つのうち最低の）優先順位



。したがって、図 12 を再び参照するとフローはブロック 266 に進み、スレーブ・ポート 0 に対する現在待ち状態にあるマスタ 0 アクセス要求 (addr<sub>y</sub>) に対応する取り消し要求が生成される。例えば、図 7 を参照して説明したとおり、調停論理 216 が取り消し要求 224 をアサートすることに対応する。

#### 【0045】

図 12 を再び参照すると、取り消し要求が生成された後、フローはブロック 266 から判定ダイヤモンド 268 に進み、現在待ち状態にあるアクセス要求の 1 つまたは複数の特性 (および / または後続のアクセス要求 (addr<sub>z</sub>) の 1 つまたは複数の特性) に基づいて、現在待ち状態にあるマスタ 0 アクセス要求 (addr<sub>y</sub>) の取り消しが許されるかどうか判定される。例えば、その判定は、マスタ優先順位レジスタ 210、パーキング制御レジスタ 212、待ち状態の許可 222 からの情報、導体 202 ~ 204 からの情報、またはこれらの任意の組合せ、およびアクセス取り消し制御レジスタ 214 を使用して、取り消し制御論理 218 によって行われる。取り消しが許されない場合、フローは判定ダイヤモンド 268 からブロック 270 に進み、取り消し要求が拒否され (例えば、取り消し識別子 226 をネゲートすることにより)、スレーブ・ポート 0 論理が進行中のアクセス要求 (addr<sub>x</sub>) が完了するのを待ち、現在待ち状態にあるアクセス要求 (addr<sub>y</sub>) が取り込まれる (そのため、進行中の新たなアクセス要求になる) のを待ってから、後に受け取られたアクセス要求 (addr<sub>z</sub>) をスレーブ・ポート 0 の導体 205 上に駆動する。取り消しが許された場合、フローは判定ダイヤモンド 268 からブロック 272 に進み、現在待ち状態にあるアクセス要求 (addr<sub>y</sub>) が取り消される (例えば、取り消し識別子 226 をアサートすることにより)。そのケースでは、現在待ち状態にあるアクセス要求 (addr<sub>y</sub>) は、新たなアクセス要求 (addr<sub>z</sub>) が現在待ち状態にあるアクセス要求になるように、新たなアクセス要求 (addr<sub>z</sub>) で置き換えられる。このようにして、許可されたアクセス要求の順序は、前の待ち状態のアクセス要求 (addr<sub>y</sub>) を新たなアクセス要求 (addr<sub>z</sub>) で置き換えることにより、調停論理から見て並べ替えられ、置き換えられたアクセス要求 (addr<sub>y</sub>) は、addr<sub>z</sub> の後、または後の何らかの時点で、スレーブ・ポート 0 上に再駆動されるように、スレーブ・ポート 0 論理内部に記憶され。スレーブ・ポート 0 に結合されたスレーブ 0 から見て、現在待ち状態にあるアクセス要求 (addr<sub>y</sub>) は取り消され、新たな現在待ち状態にあるアクセス要求 (addr<sub>z</sub>) が代わりに駆動されて、現在進行中のアクセス要求 (addr<sub>x</sub>) の完了の後、スレーブによって取り込まれるようになっている。

#### 【0046】

前述したとおり、アクセス取り消し制御レジスタ 214 内部の情報は取り消しが許された条件を示す。(代替的に、アクセス取り消し制御レジスタ 214 は取り消しが許されなかった条件を示す。)したがって、アクセス取り消し制御レジスタ 214 の中の情報は、現在待ち状態にあるアクセス要求の (または、後続のアクセス要求の) 1 つまたは複数の特性に基づいて、現在待ち状態にあるアクセス要求を選択的に取り消すために使用される。それらの特性は、図 3 ~ 図 5 を参照して前述した特性のいずれか、または図 10 および図 11 を参照して説明される特性のいずれか、またはこれらの任意の組合せを含む。例えば、前に記したとおり、判定を行うために使用される現在待ち状態にあるアクセス要求の特性は、アクセス・タイプ、アドレス範囲、データ・タイプの順序付け、およびこれらの組合せを含む。例えば、アドレス範囲では、1 つまたは複数のアドレス範囲が特定のスレーブ・ポート (スレーブ・ポート 0 などの) を識別するのに使用されるか、特定のスレーブ・ポートを介してアクセスされるロケーションの範囲を識別するために使用される。そのケースでは、図 4 を参照してやはり前に記したとおり、取り消しは単に、現在待ち状態にあるアクセス要求、または後に受け取られたアクセス要求によってアクセスされる特定のアドレス範囲 (例えば、スレーブ・ポート) に基づいて許されるか、または拒否され、あるいは取り消しはアクセスされる特定のアドレス範囲 (例えば、スレーブ・ポート) だけでなく、現在待ち状態にあるアクセス要求、または後に受け取られたアクセス要求のさらなる特性に基づいて許される、または拒否される。1 実施形態では、アドレス範囲は特

10

20

30

40

50



定のスレーブ・ポートとして代わりに直接に識別されてもよいことに留意されたい。

【0047】

図10は、取り消しが許されるか、または拒否されるかの判定が要求側マスタの優先順位（例えば、優先順位デルタ）に基づく、図7のアクセス取り消し制御レジスタ214の1実施形態を示す。例えば、後続のアクセス要求（ $addr_z$ ）を行ったマスタ（例えば、図12の実施例におけるマスタ0）が現在待ち状態にあるアクセス要求（ $addr_y$ ）を行ったマスタ（例えば、図12の実施例におけるマスタ1）より高い優先順位を有する場合、取り消し制御論理218は（図10のアクセス取り消し制御レジスタ214によって供給される情報を使用して）アクセス取り消しを許す。例えば、図10のアクセス取り消し制御レジスタ214はマスタ・ポートごとに1つの優先順位デルタ取り消し制御フィールド、すなわち、マスタ0優先順位デルタ取り消し制御フィールド240、マスタ1優先順位デルタ取り消し制御フィールド242、およびマスタ2優先順位デルタ取り消し制御フィールド244を含む。この実施例では、各フィールドは、取り消しが許されるために後続のアクセス要求の要求側マスタと現在待ち状態にあるアクセス要求の要求側マスタとの間の優先順位デルタ（すなわち、優先順位の差）がどのようなものでなければならぬを示す。つまり、マスタ0優先順位デルタ取り消し制御フィールド240は、現在待ち状態にあるアクセス要求の取り消しが許されるために、マスタ0が、現在待ち状態にあるアクセス要求の要求側マスタに対して、どのような優先順位デルタを有さなければならぬを示す。

【0048】

1実施形態では、各フィールドは2ビット値であり、「00」という値は0以上の優先順位デルタが必要とされることを示し、「10」という値は2以上の優先順位デルタが必要とされることを示し、「11」という値は優先順位デルタにかかわらず、そのケースでは取り消しが許されないことを示す。他の $n$ ビット値を使用して（ $n$ は0より大きい任意の整数である）、取り消しが許されるのに要求される優先順位デルタが示されてもよいことに留意されたい。例えば、図12の実施例を参照すると、マスタ0が現在待ち状態にあるアクセス要求（ $addr_y$ ）を行い、マスタ1が後続のアクセス要求（ $addr_z$ ）を行う。したがって、取り消しが要求された場合、マスタ0優先順位デルタ取り消し制御フィールド240の中で与えられる情報がマスタ0優先順位フィールド230およびマスタ1優先順位フィールド232（図8に関連して説明した）とともに使用されて、取り消しが許されるかどうか判定される。マスタ1とマスタ0の間の優先順位デルタ（優先順位デルタ＝マスタ1優先順位－マスタ0優先順位）が、マスタ0優先順位デルタ取り消し制御フィールド240によって示されるとおり十分である場合、取り消しは許される。優先順位デルタが1であるが、マスタ0優先順位デルタ取り消し制御フィールド240が2以上のデルタが必要とされることを示す場合、取り消しは許されない。しかし、優先順位デルタが2であった場合、取り消しは許される。マスタ0優先順位デルタ取り消し制御フィールド240が0以上のデルタを示す場合、マスタ1がマスタ0と少なくとも同一の優先順位を有する限り、取り消しは許される。

【0049】

図11は、最高優先順位のマスタ取り消し制御フィールド246、遅延取り消し制御フィールド248、パーキング・マスタ取り消し制御フィールド250、および非パーキング・マスタ取り消し制御フィールド252を含む様々な異なるフィールドを有する、図7のアクセス取り消し制御レジスタ214の別の実施形態を示す。1実施形態では、フィールド246、250、および252のそれぞれは、アサートまたはネゲートされる1ビット・フィールドである。例えば、最高優先順位のマスタ取り消し制御フィールド246がアサートされた場合、現在待ち状態にあるアクセス要求の取り消しは、後続の要求が最高優先順位を有するマスタからである場合に許される。パーキング・マスタ取り消し制御フィールド250がアサートされた場合、現在待ち状態にあるアクセス要求の取り消しは、後続の要求がパーキング・マスタからである（例えば、パーキング制御レジスタ212の中のパーキング・マスタ・フィールド238によって示される）場合に許される。非パー

キング・マスタ取り消し制御フィールド 2 5 2 がアサートされた場合、現在待ち状態にあるアクセス要求の取り消しは、後続の要求がいずれかの非パーキング・マスタ（パーキング・マスタ・フィールド 2 3 8 によって示されるマスタ以外の任意のマスタ）からである場合に許される。遅延取り消し制御フィールド 2 4 8 が、取り消しが許される場合に、d クロック数の待機状態の後に実行されるように、遅延（d）をもたらすために使用され、d は 0 以上の任意の整数である。例えば、1 実施形態では、d が 0 である場合、遅延取り消しはイネーブルにされない。しかし、d が 1 以上である場合、現在待ち状態にあるアクセス要求の取り消しは（許される場合）d クロックだけ遅延させられる。代替の実施形態では、遅延値は、取り消しが許される場合、現在進行中の（例えば、a d d r<sub>x</sub> に対応する）アクセスが完了するためにかかる時間が、遅延以上である場合に限り、取り消しが実際に実行されるように遅延（d）をもたらす。つまり、この代替の実施形態では、現在進行中のアクセス要求が、遅延（d）未満で完了する場合、取り消しは、それ以外で許されている場合でも、行われぬ。代替の実施形態では、遅延値は取り消しが行われるかどうかを判定するために、代替の形で、現在進行中のアクセスを完了させるのに要求される時間の長さと比較される。つまり、1 実施形態では、現在待ち状態にあるアクセスの取り消しは（許される場合）、遅延値と現在進行中のアクセス要求が完了するのにかかる時間との比較が、所定の結果をもたらす場合にだけ行われる。

#### 【 0 0 5 0 】

図 1 0 および図 1 1 のフィールド 2 4 0 ~ 2 5 2 によって定義される特性のそれぞれは、単独で使用されても任意の組合せで使用されてもよく、例えば、図 3 のフィールド 1 0 0 ~ 1 0 4、および / または図 4 のフィールド 1 0 6 ~ 1 1 2、および / または図 5 のフィールド 1 1 4 ~ 1 2 8 によって定義される特性などの、他の特性と組合せてさらに使用されてもよいことに留意されたい。さらに、アクセス取り消し制御レジスタ 2 1 4 は、必要に応じて、任意の数のフィールドを有する任意の数のレジスタ（1 つまたは複数）を含んでもよい。また、図 1 0 および図 1 1 の取り消し制御フィールドは、所望に応じて、取り消しの許可、または取り消しのレベルを示す、任意の数のビットを含んでもよいことに留意されたい。また、任意のタイプの記憶回路が、アクセス取り消し制御レジスタ 2 1 4 内部に記憶されるアクセス取り消し制御情報を記憶するために使用されてもよい。

#### 【 0 0 5 1 】

したがって、調停が、現在待ち状態にあるアクセス要求の特性、または後続のアクセス要求の特性、あるいは現在待ち状態にあるアクセス要求と後続のアクセス要求の両方の特性を使用して、現在待ち状態にあるアクセス要求をどのように選択的に取り消すことができるかを理解することができよう。このようにして待ち時間を減らし、より高い優先順位または重要度のアクセスがより早期に取り込まれることを可能にすることにより、効率向上させられる。

#### 【 0 0 5 2 】

図 1、図 2、および図 7 は、双方向の導体、および単方向の導体の使用を示すが、単方向の導体と双方向の導体の異なる組合せが代わりに使用されてもよいことを理解すべきであることに留意されたい。例えば、複数の単方向の導体が双方向の導体の代わりに使用されてもよい。また、信号は、単一の導体を介して直列に転送されても複数の導体を介して並列に転送されてもよい。代替的に、信号は単一の導体線上または複数の導体上で時間多重化されてもよい。

#### 【 0 0 5 3 】

上記の明細では、本発明を特定の実施形態を参照して説明した。しかし、添付の特許請求の範囲に記載する本発明の範囲を逸脱することなく、様々な変形および変更が行われ得ることが当業者には理解されよう。例えば、データ処理システム 1 0 は、単一のチップ上、または集積回路（IC）上、または複数のチップもしくは IC の組合せの上に配置されることが可能な、任意のタイプのデータ処理システムであることが可能であることを理解されたい。また、システム相互接続 2 0 0 がマスタおよびスレーブと同一のチップ上または（IC）上に配置されることも可能であり、あるいはマスタおよびスレーブとは別個の

ＩＣ上に配置されてもよい。したがって、本明細書および図は限定的ではなく例示的であると見なされるべきであり、すべてのそのような変形は本発明の範囲に含まれるべきものとする。

【 0 0 5 4 】

利益、その他の利点、および問題の解決法を、特定の実施形態に関連して以上に説明した。しかし、それらの利益、利点、問題の解決法、ならびに、思い浮かべられる、またはより明白となる利益、利点、または解決法を生じさせる可能性があるあらゆる要素は、請求項のいずれか、またはすべてにとって不可欠な、必須の、または基本的な特徴もしくは要素であると解釈されるべきではない。本明細書で使用する「含む」、「～からなる」という言葉、またはそれらの言葉の他のあらゆる活用形は、排他的でない包含を扱うものとされ、したがって、諸要素のリストを含む工程、方法、物品、または装置は、それらの要素だけを含むのではなく、明示的にリストアップされていない、またはそのような工程、方法、物品、または装置に本来備わっている他の諸要素も含むことが可能である。

10

【図面の簡単な説明】

【 0 0 5 5 】

【図 1】本発明の 1 実施形態によるデータ処理システムを示すブロック図。

【図 2】本発明の 1 実施形態による図 1 のバス・マスタの 1 部分を示すブロック図。

【図 3】図 2 のアクセス取り消し制御レジスタの様々な実施形態を示すブロック図。

【図 4】図 2 のアクセス取り消し制御レジスタの様々な実施形態を示すブロック図。

【図 5】図 2 のアクセス取り消し制御レジスタの様々な実施形態を示すブロック図。

20

【図 6】本発明の 1 実施形態による選択的アクセス取り消しを実行するための方法を示す流れ図。

【図 7】本発明の 1 実施形態によるシステム相互接続を示すブロック図。

【図 8】図 7 のマスタ優先順位レジスタの 1 実施形態を示すブロック図。

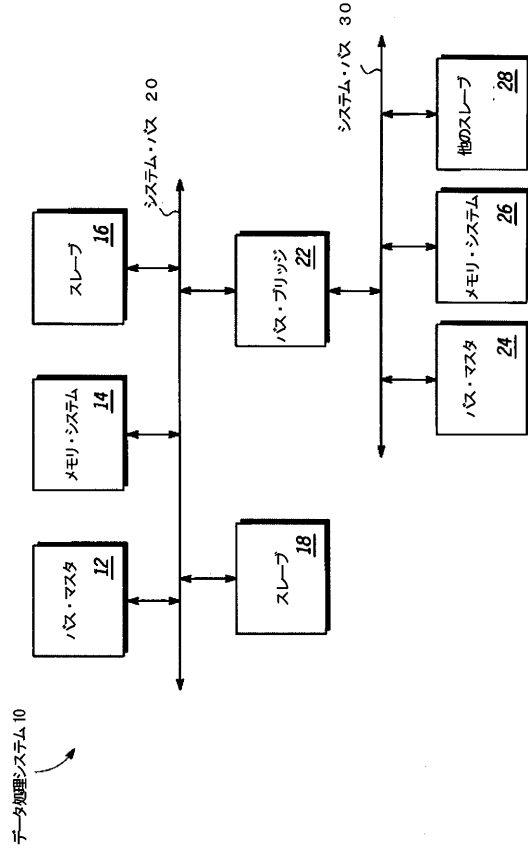
【図 9】図 7 のパーキング制御レジスタを示すブロック図。

【図 10】図 7 のアクセス取り消し制御レジスタの様々な実施形態を示すブロック図。

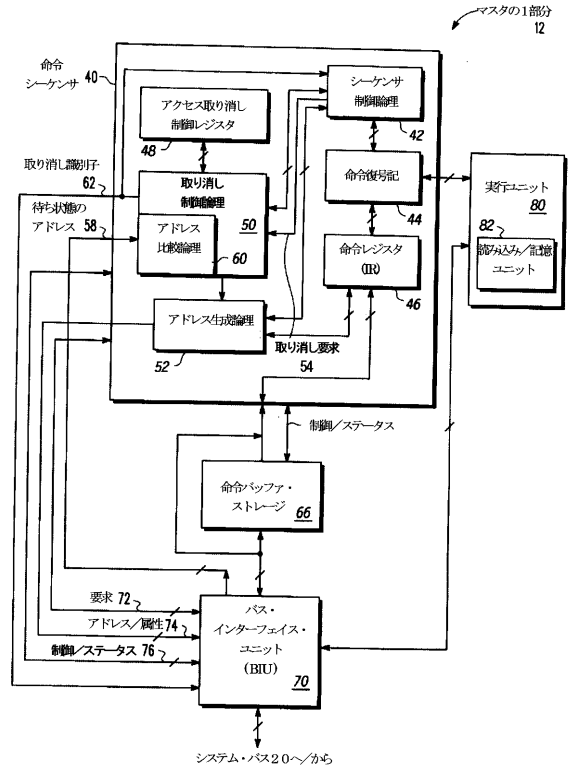
【図 11】図 7 のアクセス取り消し制御レジスタの様々な実施形態を示すブロック図。

【図 12】本発明の代替の実施形態による選択的アクセス取り消しを実行する実施例を示す流れ図。

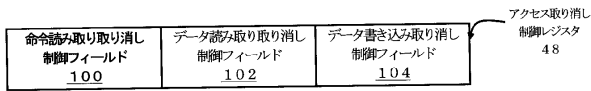
【図 1】



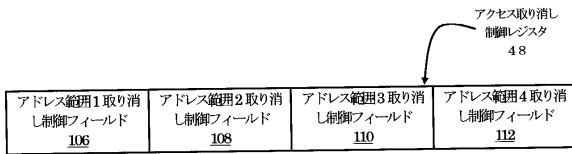
【図 2】



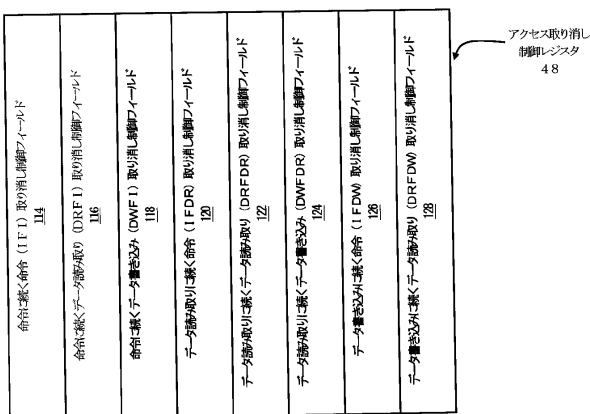
【図 3】



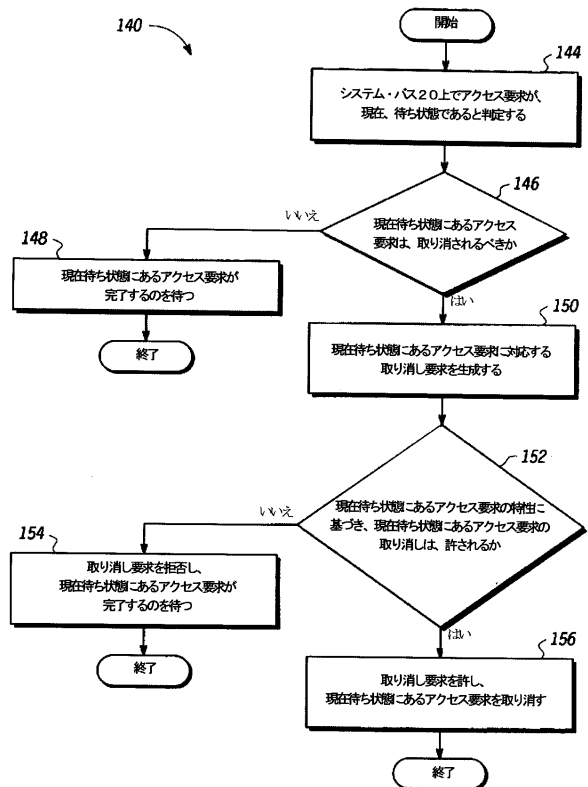
【図 4】



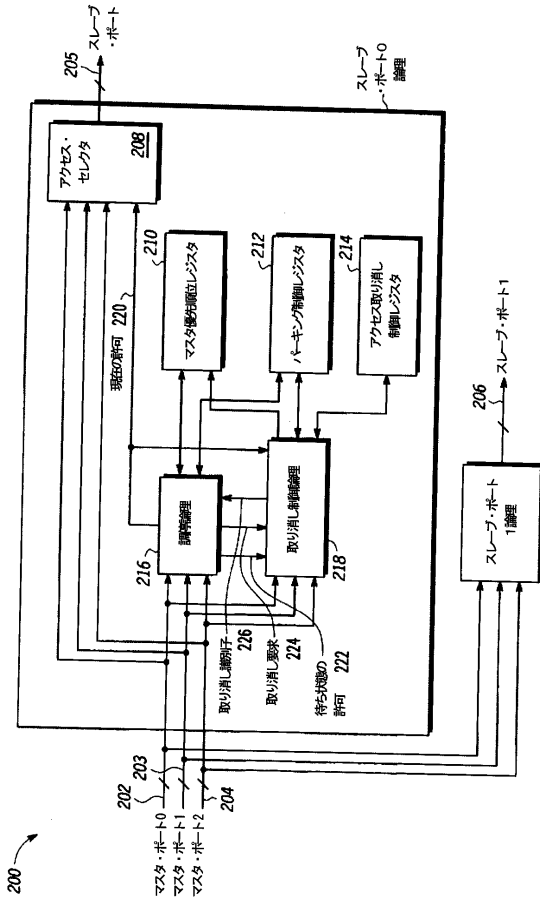
【図 5】



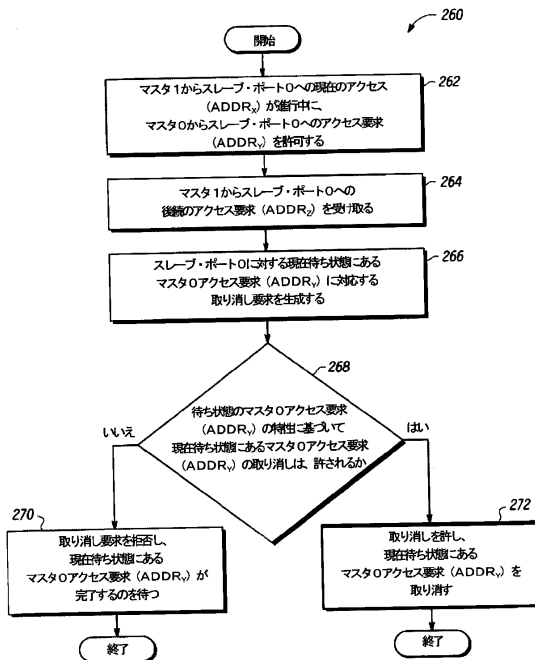
【図 6】



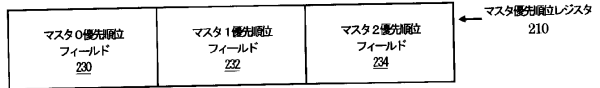
【図 7】



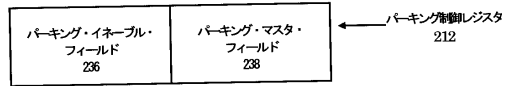
【図 12】



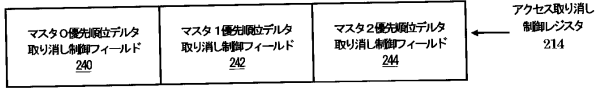
【図 8】



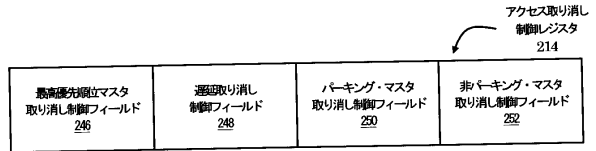
【図 9】



【図 10】



【図 11】



---

フロントページの続き

(72)発明者 マードック、ブレット ダブリュ.

アメリカ合衆国 78681 テキサス州 ラウンド ロック バーロウ ドライブ 5009

審査官 木村 貴俊

(56)参考文献 特開2002-063130(JP,A)

特開平06-139188(JP,A)

特開2002-041445(JP,A)

特開2005-158035(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/10-13/378