

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 1 部門第 2 区分
【発行日】令和 7 年 3 月 7 日(2025.3.7)

【公開番号】特開 2024-67128(P2024-67128A)
【公開日】令和 6 年 5 月 17 日(2024.5.17)
【年通号数】公開公報(特許)2024-090
【出願番号】特願 2022-176960(P2022-176960)
【国際特許分類】
A 6 3 F 7/02(2006.01)
【F I】
A 6 3 F 7/02 3 2 6 Z

10

【手続補正書】
【提出日】令和 7 年 2 月 27 日(2025.2.27)
【手続補正 1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】

20

【特許請求の範囲】
【請求項 1】

中央処理装置、リードメモリ、リードライトメモリ、及び C R C 回路を含んだマイクロプロセッサを実装して遊技の進行を制御する遊技制御手段を備え、
前記中央処理装置は、メインレジスタ、及びサブレジスタを含むバンク 0、及びバンク 1 を有し、
前記リードメモリは、遊技の進行に直接関与するプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第 1 記憶手段と、遊技の進行に直接関与しないプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第 2 記憶手段で構成され、
前記リードライトメモリは、前記第 1 記憶手段のプログラムが読み書きする作業領域、及び前記第 1 記憶手段のプログラムが使用するスタックエリアで構成された第 3 記憶手段と、前記第 2 記憶手段のプログラムが読み書きする作業領域、及び前記第 2 記憶手段のプログラムが使用するスタックエリアで構成された第 4 記憶手段で構成され、
前記第 1 記憶手段と前記第 2 記憶手段、及び前記第 3 記憶手段と前記第 4 記憶手段との間に未使用領域が存在し、
前記第 1 記憶手段と前記第 2 記憶手段との間の未使用領域は、前記第 1 記憶手段のデータ領域の終端と前記第 2 記憶手段のプログラム領域の先端の間であり、
前記第 3 記憶手段と前記第 4 記憶手段との間の未使用領域は、前記第 3 記憶手段のスタックエリアの終端と前記第 4 記憶手段の作業領域の先端の間であり、
前記中央処理装置は、前記第 1 記憶手段に記憶されたプログラムから前記第 2 記憶手段に記憶されたプログラムを呼び出す場合に特定コール命令で呼び出し、
前記特定コール命令で呼び出されたプログラムから前記第 1 記憶手段に記憶されたプログラムに戻る場合、特定リターン命令で戻り、
前記バンク 0 のメインレジスタ、及び前記バンク 1 のメインレジスタには、それぞれ、各種レジスタとスタックポインタとが含まれ、
第 2 記憶手段に記憶されたプログラムが前記特定コール命令により呼び出された場合に、前記バンク 1 のメインレジスタに含まれるスタックポインタに、前記第 4 記憶手段の所定のアドレスをセットし、前記所定のアドレスで指定された前記第 4 記憶手段の領域に、当該特定サブルーチンを呼び出した前記第 1 記憶手段のプログラムのプログラムカウンタの

30

40

50

値を格納することが可能であることを特徴とする遊技機。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００９

【補正方法】変更

【補正の内容】

【０００９】

本発明の第１の実施態様に係る発明は、下記の構成を有する。

中央処理装置（例えば、メインＣＰＵ２１０１）、リードメモリ（例えば、メインＲＯＭ
２１０２）、リードライトメモリ（例えば、メインＲＡＭ２１０３）、及びＣＲＣ回路（
例えば、ＣＲＣ回路２０１７ｃ）を含んだマイクロプロセッサ（例えば、マイクロプロセ
ッサ２１００）を実装して遊技の進行を制御する遊技制御手段を備え、

10

前記中央処理装置は、メインレジスタ、及びサブレジスタを含むバンク０、及びバンク１
を有し、

前記リードメモリは、遊技の進行に直接関与するプログラムが記憶されたプログラム領域
、及びデータが記憶されたデータ領域とで構成された第１記憶手段（例えば、使用領域内
ＲＯＭエリア２２０２ａ）と、遊技の進行に直接関与しないプログラムが記憶されたプロ
グラム領域、及びデータが記憶されたデータ領域とで構成された第２記憶手段（例えば、
使用領域外ＲＯＭエリア２２０２ｂ）で構成され、

前記リードライトメモリは、前記第１記憶手段のプログラムが読み書きする作業領域、及
び前記第１記憶手段のプログラムが使用するスタックエリアで構成された第３記憶手段（
例えば、使用領域内ＲＡＭエリア２２０３ａ）と、前記第２記憶手段のプログラムが読み
書きする作業領域、及び前記第２記憶手段のプログラムが使用するスタックエリアで構成
された第４記憶手段（例えば、使用領域外ＲＡＭエリア２２０３ｂ）で構成され、

20

前記第１記憶手段と前記第２記憶手段、及び前記第３記憶手段と前記第４記憶手段との間
に未使用領域が存在し（例えば、図１６８（Ｂ）、図１６８（Ｃ）に示す未使用領域）、
前記第１記憶手段と前記第２記憶手段との間の未使用領域は、前記第１記憶手段のデー
タ領域の終端と前記第２記憶手段のプログラム領域の先端の間であり、

前記第３記憶手段と前記第４記憶手段との間の未使用領域は、前記第３記憶手段のスタ
ックエリアの終端と前記第４記憶手段の作業領域の先端の間であり、

30

前記中央処理装置は、前記第１記憶手段に記憶されたプログラムから前記第２記憶手段に
記憶されたプログラムを呼び出す場合に特定コール命令（例えば、「ＣＡＬＬＥＸ」）で
呼び出し、

前記特定コール命令で呼び出されたプログラムから前記第１記憶手段に記憶されたプログ
ラムに戻る場合、特定リターン命令（例えば、「ＲＥＴＥＸ」）で戻り、

前記バンク０のメインレジスタ、及び前記バンク１のメインレジスタには、それぞれ、各
種レジスタとスタックポインタとが含まれ、

第２記憶手段に記憶されたプログラムが前記特定コール命令により呼び出された場合に、
前記バンク１のメインレジスタに含まれるスタックポインタに、前記第４記憶手段の所定
のアドレスをセットし、前記所定のアドレスで指定された前記第４記憶手段の領域に、当
該特定サブルーチンを呼び出した前記第１記憶手段のプログラムのプログラムカウンタの
値を格納することが可能であることを特徴とする遊技機（例えば、パチスロ機２００１）

40