(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月20日(20.07.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/136078 A1

(51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 23/48* (2006.01)

(21) 国際出願番号： PCT/JP2022/047329

(22) 国際出願日： 2022年12月22日(22.12.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-004243 2022年1月14日(14.01.2022) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 二井 瑛典 (**NII Akinori**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 臼井 尚, 外 (**USUI Takashi** et al.); 〒5430014 大阪府大阪市天王寺区玉造元町２番３２－１３０１ Osaka (JP).

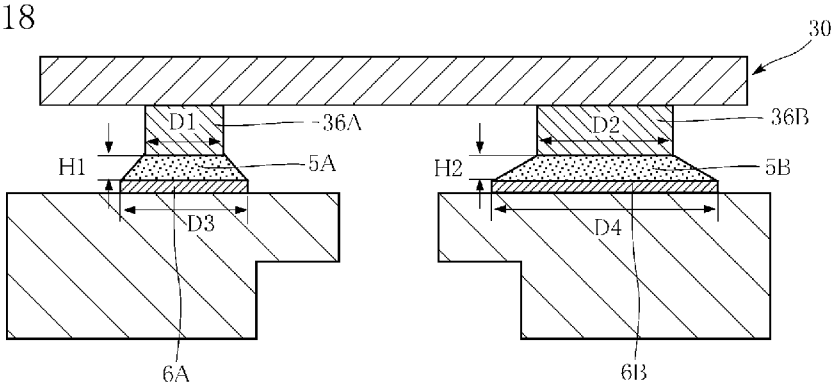
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

WO 2023/136078 A1

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

[図18]
FIG.18



(57) **Abstract:** This semiconductor device comprises a semiconductor element, a conductive member electrically connected with the semiconductor element, a first metal layer, and a second metal layer. The semiconductor element has an element main surface and an element rear surface facing opposite sides of each other in the thickness direction, and a first electrode terminal and a second electrode terminal disposed on the element main surface. The first metal layer is formed on the conductive member, and the first electrode terminal is joined to the first metal layer. The second metal layer is formed on the conductive member, and the second electrode terminal is joined to the second metal layer. The first electrode terminal includes a first joining surface facing the first metal layer, and the second electrode terminal includes a second joining surface facing the second metal layer. The first area of the first joining surface is smaller than the second area of the second joining surface. The difference between a representative length of the first metal layer and a corresponding representative length of the first joining layer is less than the difference between a representative length of the second metal layer and a corresponding representative length of the second joining layer.

［続葉有］

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:半導体装置は、半導体素子と、この半導体素子に導通する導電部材と、第１金属層と、第２金属層とを備える。前記半導体素子は、厚さ方向において互いに反対側を向く素子主面および素子裏面と、前記素子主面に配置された第１電極端子および第２電極端子とを有する。前記第１金属層は、前記導電部材に形成され、かつ、前記第１電極端子が接合されている。前記第２金属層は、前記導電部材に形成され、かつ、前記第２電極端子が接合されている。前記第１電極端子は、前記第１金属層に対向する第１接合面を備え、前記第２電極端子は、前記第２金属層に対向する第２接合面を備える。前記第１接合面の第１面積は、前記第２接合面の第２面積より小さい。前記第１金属層の代表長さと前記第１接合面の対応する代表長さとの差は、前記第２金属層の代表長さと前記第２接合面の対応する代表長さとの差より小さい。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　本開示は、半導体装置に関する。

背景技術

[0002]　複数のリードと半導体素子とが、いわゆるフリップチップの形態で接合された半導体装置が提案されている。このような半導体装置は、たとえば特許文献１に開示されている。当該半導体装置は、複数のリード、半導体素子、接合層、および封止樹脂を備えている。半導体素子は、複数の第１電極をリードに対向させて、リードに搭載されている。各第１電極は、リードに向けて突出する円柱状の柱状部を備えている。柱状部は、接合層を介して、リードに接合されている。接合層は、電解めっきにより柱状部と一体となって形成され、溶融状態を経て固化されることで、柱状部とリードとを接合させる。

[0003]　柱状部の径が異なると、各柱状部に形成される接合層の体積は異なる。したがって、接合時の各接合層の広がり方によっては、各接合層の厚さに違いが生じる。たとえば、径の小さい柱状部に形成された第１の接合層と、径の大きい柱状部に形成された第２の接合層とが、接合時に同程度広がった場合、体積が大きい第２の接合層の厚さが、第１の接合層の厚さより大きくなる。接合層の厚さに違いが生じると、リードに接合された半導体素子に傾きが発生する場合がある。半導体素子がリードに対して傾いて配置されると、接続不良などの不具合が発生するおそれがある。

先行技術文献

特許文献

[0004] 特許文献1：特開２０２０－７７６９４号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は、従来よりも改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、半導体素子の傾きの発生を抑制できる半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の一の側面によって提供される半導体装置は、半導体素子と、導電部材と、第１金属層と、第２金属層とを備える。前記半導体素子は、厚さ方向において互いに反対側を向く素子主面および素子裏面と、前記素子主面に配置された第１電極端子および第２電極端子と、を有する。前記導電部材は、前記半導体素子に導通する。前記第１金属層は、前記導電部材に形成され、かつ、前記第１電極端子が接合されている。前記第２金属層は、前記導電部材に形成され、かつ、前記第２電極端子が接合されている。前記第１電極端子は、前記第１金属層に対向する第１接合面を備え、前記第２電極端子は、前記第２金属層に対向する第２接合面を備える。前記第１接合面の第１面積は、前記第２接合面の第２面積より小さい。前記第１金属層の代表長さと前記第１接合面の対応する代表長さとの差は、前記第２金属層の代表長さと前記第２接合面の対応する代表長さとの差より小さい。

[0007] 「代表長さ」は、各金属層および各接合面の形状における代表的な部分の長さを示す。たとえば、円形状の場合には直径であり、楕円形状の場合には長径または短径であり、矩形状または多角形状の場合には各辺または対角線の長さである。なお、代表長さの差は、相似形状の対応する部分の代表長さの差であり、たとえば、楕円形状の場合は長径同士の差、または、短径同士の差である。

発明の効果

[0008] 上記構成によれば、半導体装置における半導体素子の傾きの発生を抑制できる。

[0009] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0010] [図1]図１は、本開示の第１実施形態に係る半導体装置を示す斜視図である。

[図2]図２は、図１の半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図3]図３は、図１の半導体装置を示す平面図であり、さらに半導体素子を透過した図である。

[図4]図４は、図１の半導体装置を示す底面図である。

[図5]図５は、半導体素子を示す平面図である。

[図6]図６は、図１の半導体装置を示す正面図である。

[図7]図７は、図１の半導体装置を示す背面図である。

[図8]図８は、図１の半導体装置を示す右側面図である。

[図9]図９は、図１の半導体装置を示す左側面図である。

[図10]図１０は、図３のＸ－Ｘ線に沿う断面図である。

[図11]図１１は、図３のＸＩ－ＸＩ線に沿う断面図である。

[図12]図１２は、図３のＸＩＩ－ＸＩＩ線に沿う断面図である。

[図13]図１３は、図３のＸＩＩＩ－ＸＩＩＩ線に沿う断面図である。

[図14]図１４は、図１０の部分拡大図である。

[図15]図１５は、図１０の部分拡大図である。

[図16]図１６は、半導体素子を導電部材にフリップチップ接合する方法を説明するための簡略図である。

[図17]図１７は、半導体素子を導電部材にフリップチップ接合する方法を説明するための簡略図である。

[図18]図１８は、半導体素子を導電部材にフリップチップ接合する方法を説明するための簡略図である。

[図19]図１９は、図１８との比較のための図である。

[図20]図２０は、図１８との比較のための図である。

[図21]図２１は、本開示の第２実施形態に係る半導体装置を示す平面図であり、封止樹脂および半導体素子を透過した図である。

[図22]図２２は、図２１の半導体装置を示す部分拡大断面図である。

[図23]図２３は、図２２のＸＸＩＩＩ－ＸＸＩＩＩ線に沿う部分拡大断面図である。

[図24]図２４は、本開示の第３実施形態に係る半導体装置を示す部分平面図であり、封止樹脂および半導体素子を透過した図である。

発明を実施するための形態

[0011] 以下、本開示の好ましい実施の形態を、添付図面を参照して具体的に説明する。

[0012] 第１実施形態：

図１～図１５は、本開示に係る半導体装置の一例を示している。本実施形態の半導体装置Ａ１０は、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、一対の第３リード２２、複数の接合材５、複数の金属層６、半導体素子３０、および封止樹脂４０を備えている。半導体装置Ａ１０のパッケージ形式は、特に限定されず、本実施形態においては、図１に示すように、ＱＦＮ（Quad Flat Non-leaded package）タイプである。また、半導体装置Ａ１０の用途や機能は、何ら限定されない。半導体装置Ａ１０の用途としては、電子機器用途、一般産業機器用途、車載用途、等が挙げられる。また、半導体装置Ａ１０の機能としては、たとえば、ＤＣ／ＤＣコンバータやＡＣ／ＤＣコンバータ等が適宜挙げられる。本実施形態においては、車載用途のＤＣ／ＤＣコンバータとして構成された半導体装置Ａ１０を例に説明する。

[0013] 図１は、半導体装置Ａ１０を示す斜視図である。図２は、半導体装置Ａ１０を示す平面図である。図２においては、理解の便宜上、封止樹脂４０を透過して、封止樹脂４０の外形を想像線（二点鎖線）で示している。図３は、半導体装置Ａ１０を示す平面図である。図３においては、理解の便宜上、封止樹脂４０および半導体素子３０を透過して、封止樹脂４０および半導体素子３０の外形を想像線（二点鎖線）で示している。図４は、半導体装置Ａ１０を示す底面図である。図５は、半導体素子３０を示す平面図である。図５においては、後述する絶縁層３５および複数の電極端子３６を透過して、複

数の電極端子３６の外形を想像線（二点鎖線）で示している。図６は、半導体装置Ａ１０を示す正面図である。図７は、半導体装置Ａ１０を示す背面図である。図８は、半導体装置Ａ１０を示す右側面図である。図９は、半導体装置Ａ１０を示す左側面図である。図１０は、図３のＸ－Ｘ線に沿う断面図である。図１１は、図３のＸＩ－ＸＩ線に沿う断面図である。図１２は、図３のＸＩＩ－ＸＩＩ線に沿う断面図である。図１３は、図３のＸＩＩＩ－ＸＩＩＩ線に沿う断面図である。図１４は、図１０の部分拡大図（後述する電極端子３６Ａ付近）である。図１５は、図１０の部分拡大図（後述する電極端子３６Ｂ付近）である。

[0014] 半導体装置Ａ１０は、板状であり、厚さ方向視(平面視)の形状が矩形状である。説明の便宜上、半導体装置Ａ１０の厚さ方向をｚ方向とし、ｚ方向に直交する半導体装置Ａ１０の一方の辺に沿う方向（図２～図４における上下方向）をｘ方向、ｚ方向およびｘ方向に直交する方向（図２～図４における左右方向）をｙ方向とする。ｚ方向が「厚さ方向」の一例であり、ｙ方向が「第１方向」の一例である。なお、半導体装置Ａ１０の形状および各寸法は限定されない。

[0015] 第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２は、図２に示すように、半導体素子３０を支持するとともに、半導体装置Ａ１０を配線基板に実装するための端子をなしている。図１０～図１３に示すように、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２の各々は、その一部が封止樹脂４０に覆われている。図１、図４、および図６～図９においては、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２のうち封止樹脂４０から露出する部分に、複数の離散点からなるハッチングを付している。以下では、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２をまとめて示す場合、「導電部材１」と記載する場合がある。

[0016] 導電部材１は、たとえば、金属板にエッチング加工を施すことで形成され

ている。なお、導電部材１は、金属板に打ち抜き加工や折り曲げ加工等を施すことにより形成されてもよい。第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２は、互いに離間して配置されている。導電部材１の構成材料は、たとえば、ＣｕまたはＣｕ合金であるが、これに限定されない。

[0017] 第１リード１０Ａ，１０Ｂ，１０Ｃの各々は、図３および図４に示すように、ｚ方向視においてｘ方向に延びる帯状である。第１リード１０Ａ，１０Ｂ，１０Ｃの各々は、ｚ方向において互いに反対側を向く第１主面１０１および第１裏面１０２を有する。第１主面１０１は、ｚ方向ｚ２側を向き、かつ半導体素子３０に対向している。第１主面１０１は、封止樹脂４０に覆われている。第１裏面１０２は、ｚ方向ｚ１側を向く。第１裏面１０２は、封止樹脂４０から露出している。第１リード１０Ａ，１０Ｂ，１０Ｃにおいて、半導体素子３０は、第１主面１０１に支持されている。また、図３および図４に示すように、図示された例においては、第１リード１０Ａ、第１リード１０Ｂ、および第１リード１０Ｃの各々において、第１主面１０１の面積は、第１裏面１０２の面積よりも大である。各第１リード１０Ａ，１０Ｂ，１０Ｃのうちｚ方向視において第１主面１０１が第１裏面１０２に重ならない部分は、たとえば第１裏面１０２側からのハーフエッチング処理によって形成される。当該部分は、各第１リード１０Ａ，１０Ｂ，１０Ｃが封止樹脂４０の底面４２から抜け落ちることを投錨効果（anchoring effect）によって防止する。

[0018] 第１リード１０Ａおよび第１リード１０Ｂは、半導体装置Ａ１０において電力変換対象となる直流電力（電圧）が入力される。本実施形態においては、第１リード１０Ａは、正極（Ｐ端子）である。第１リード１０Ｂは、負極（Ｎ端子）である。第１リード１０Ｃは、後述の半導体素子３０のスイッチング回路３２１により電力変換された交流電力（電圧）が出力される。図３に示すように、第１リード１０Ａ，１０Ｂ，１０Ｃは、ｙ方向ｙ１側からｙ２側に向けて、第１リード１０Ａ、第１リード１０Ｃ、第１リード１０Ｂの

順にｙ方向に沿って配列されている。第１リード１０Ａは、ｙ方向において複数の第２リード２１と第１リード１０Ｃとの間に位置する。第１リード１０Ｃは、ｙ方向において第１リード１０Ａと第１リード１０Ｂとの間に位置する。

[0019] 図３および図４に示すように、第１リード１０Ａおよび第１リード１０Ｃの各々は、主部１１および一対の側部１２を含む。主部１１は、ｘ方向に延びている。一対の側部１２は、主部１１のｘ方向の両端につながっており、主部１１よりもｙ方向寸法が小さい。一対の側部１２の各々は、第１端面１２１を有する。図１１に示すように、第１端面１２１は、第１主面１０１および第１裏面１０２の双方につながり、かつｘ方向を向く。第１端面１２１は、封止樹脂４０から露出している。

[0020] 図３および図４に示すように、第１リード１０Ｂは、主部１１、４個の側部１２、および複数の突出部１３を含む。主部１１は、ｘ方向に延びている。２個の側部１２は、主部１１のｘ方向ｘ１側端につながっている。他の２個の側部１２は、主部１１のｘ方向ｘ２側端につながっている。４個の側部１２の各々は、第１端面１２１を有する。図１２に示すように、第１端面１２１は、第１主面１０１および第１裏面１０２の双方につながり、かつｘ方向を向く。第１端面１２１は、封止樹脂４０から露出している。複数の突出部１３は、主部１１のｙ方向ｙ２側から突出している。隣り合う２個の突出部１３の間には、封止樹脂４０が充填されている。複数の突出部１３の各々は、副端面１３１を有する。図１０に示すように、副端面１３１は、第１主面１０１および第１裏面１０２の双方につながり、かつｙ方向ｙ２側を向く。副端面１３１は、封止樹脂４０から露出している。図８に示すように、複数の副端面１３１は、ｘ方向に沿って所定の間隔で配列されている。なお、第１リード１０Ａ，１０Ｂ，１０Ｃは、主部１１および側部１２を有する形状に何ら限定されない。

[0021] 第１リード１０Ａ、第１リード１０Ｂ、および第１リード１０Ｃの各々において、封止樹脂４０から露出する第１裏面１０２、一対の第１端面１２１

、および複数の副端面１３１には、たとえばＳｎめっきを施してもよい。なお、Ｓｎめっきに替えて、たとえばＮｉ、Ｐｄ、Ａｕの順に積層された複数の金属めっきを採用してもよい。

[0022] 複数の第２リード２１は、図３に示すように、第１リード１０Ａよりもｙ方向ｙ１側に位置する。複数の第２リード２１のいずれか一つは、後述の半導体素子３０の制御回路３２２の接地端子である。その他の複数の第２リード２１の各々には、制御回路３２２を駆動させるための電力（電圧）、または制御回路３２２に伝達するための電気信号が入力される。図３および図４に示すように、複数の第２リード２１の各々は、第２主面２１１、第２裏面２１２、および第２端面２１３を有する。なお、第２リード２１の形状は、何ら限定されない。

[0023] 第２主面２１１は、ｚ方向において第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１と同じ側を向き、かつ半導体素子３０に対向している。第２主面２１１は、封止樹脂４０に覆われている。半導体素子３０は、第２主面２１１に支持されている。第２裏面２１２は、第２主面２１１とは反対側を向く。第２裏面２１２は、封止樹脂４０から露出している。第２端面２１３は、第２主面２１１および第２裏面２１２の双方につながり、かつｙ方向ｙ１側を向く。第２端面２１３は、封止樹脂４０から露出している。図９に示すように、複数の第２端面２１３は、ｘ方向に沿って所定の間隔で配列されている。また、ｘ方向両端に配置された２個の第２リード２１は、第４端面２１４をさらに有する。第４端面２１４は、ｘ方向を向く面であり、封止樹脂４０から露出している。また、図示された例においては、図３および図４に示すように、複数の第２リード２１の各々において、第２主面２１１の面積は、第２裏面２１２の面積よりも大である。各第２リード２１のうちｚ方向視において第２主面２１１が第２裏面２１２に重ならない部分は、たとえば第２裏面２１２側からのハーフエッチング処理によって形成される。当該部分は、各第２リード２１が封止樹脂４０の底面４２から抜け落ちることを投錨効果によって防止する。

[0024] 封止樹脂４０から露出する複数の第２リード２１の第２裏面２１２、第２端面２１３および第４端面２１４には、たとえばＳｎめっきを施してもよい。なお、Ｓｎめっきに替えて、たとえばＮｉ、Ｐｄ、Ａｕの順に積層された複数の金属めっきを採用してもよい。

[0025] 一対の第３リード２２は、図３に示すように、ｙ方向において第１リード１０Ａと、複数の第２リード２１との間に位置する。一対の第３リード２２は、ｘ方向において互いに離間している。一対の第３リード２２の各々には、半導体素子３０に構成された制御回路３２２に伝達するための電気信号などが入力される。図３および図４に示すように、一対の第３リード２２の各々は、第３主面２２１、第３裏面２２２、および第３端面２２３を有する。なお、第３リード２２の形状は、何ら限定されない。

[0026] 第３主面２２１は、ｚ方向において第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１と同じ側を向き、かつ半導体素子３０に対向している。第３主面２２１は、封止樹脂４０に覆われている。半導体素子３０は、第３主面２２１に支持されている。第３裏面２２２は、第３主面２２１とは反対側を向く。第３裏面２２２は、封止樹脂４０から露出している。第３端面２２３は、第３主面２２１および第３裏面２２２の双方につながり、かつｘ方向を向く。第３端面２２３は、封止樹脂４０から露出している。第３端面２２３は、第１リード１０Ａ，１０Ｂ，１０Ｃの各第１端面１２１とともに、ｙ方向に沿って配列されている。図示された例においては、一対の第３リード２２の各々において、第３主面２２１の面積は、第３裏面２２２の面積よりも大である。各第３リード２２のうちｚ方向視において第３主面２２１が第３裏面２２２に重ならない部分は、たとえば第３裏面２２２側からのハーフエッチング処理によって形成される。当該部分は、各第３リード２２が封止樹脂４０の底面４２から抜け落ちることを投錨効果によって防止する。

[0027] 封止樹脂４０から露出する一対の第３リード２２の第３裏面２２２および第３端面２２３には、たとえばＳｎめっきを施してもよい。なお、Ｓｎめっきに替えて、たとえばＮｉ、Ｐｄ、Ａｕの順に積層された複数の金属めっき

を採用してもよい。

[0028] なお、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２は、各主面１０１，２１１，２２１からｚ方向に凹む凹部が複数配置されてもよい。当該凹部は、たとえば各主面１０１，２１１，２２１側からのハーフエッチング処理によって形成できる。当該凹部は、内側面が封止樹脂４０に密着することで、各リードと封止樹脂４０との密着性を向上させる。また、当該凹部は、半導体素子３０のｚ方向視における位置決め（ｘｙ平面における位置決め）にも利用できる。また、第１リード１０Ａ，１０Ｂ，１０Ｃ、第２リード２１、および第３リード２２の数、形状、および配置は限定されない。

[0029] 半導体素子３０は、図２に示すように、ｚ方向視において、半導体装置Ａ１０の中央に配置されている。半導体素子３０は、図１０～図１５に示すように、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２に支持されている。半導体素子３０は、封止樹脂４０に覆われている。半導体素子３０は、半導体基板３１、半導体層３２、パッシベーション膜３３、電極３４、絶縁層３５、および複数の電極端子３６を有する。半導体素子３０は、その内部に回路が構成されたフリップチップ型のＬＳＩである。

[0030] 半導体素子３０は、図２に示すようにｚ方向視矩形状であり、図１０～図１３に示すように板状である。半導体素子３０は、素子主面３０ａおよび素子裏面３０ｂを有する。素子主面３０ａは、ｚ方向において第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１、複数の第２リード２１の第２主面２１１、および一対の第３リード２２の第３主面２２１と対向している。素子裏面３０ｂは、ｚ方向において素子主面３０ａとは反対側を向いている。図２において破線で示すように、素子主面３０ａは、第１領域３０１および第２領域３０２を含んでいる。第１領域３０１は、素子主面３０ａのうち、第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１に対向する部分を含む領域であり、ｙ方向ｙ２側に配置されている。第２領域３０２は、素子主面３

０ａのうち、複数の第２リード２１の第２主面２１１および一対の第３リード２２の第３主面２２１に対向する部分を含む領域であり、ｙ方向ｙ１側に配置されている。

[0031] 図１４および図１５に示すように、半導体基板３１は、そのｚ方向ｚ１側に半導体層３２、パッシベーション膜３３、電極３４、絶縁層３５、および複数の電極端子３６が設けられている。半導体基板３１の構成材料は、たとえば、Ｓｉ（シリコン）または炭化ケイ素（ＳｉＣ）である。本実施形態においては、半導体基板３１のｚ方向ｚ２側の面が、素子裏面３０ｂを構成している。

[0032] 図１０～図１３に示すように、半導体層３２は、半導体基板３１のｚ方向ｚ１側に積層されている。半導体層３２は、ドープされる元素量の相違に基づく複数種類のｐ型半導体およびｎ型半導体を含む。半導体層３２には、スイッチング回路３２１と、スイッチング回路３２１に導通する制御回路３２２とが構成されている。スイッチング回路３２１は、ＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）やＩＧＢＴ（Insulated Gate Bipolar Transistor）などである。半導体装置Ａ１０が示す例においては、スイッチング回路３２１は、高電圧領域（上アーム回路）と低電圧領域（下アーム回路）との２個の領域に区分されている。各々の領域は、１個のｎチャンネル型のＭＯＳＦＥＴにより構成されている。制御回路３２２は、スイッチング回路３２１を駆動させるためのゲートドライバや、スイッチング回路３２１の高電圧領域に対応するブートストラップ回路などが構成されるとともに、スイッチング回路３２１を正常に駆動させるための制御を行う。なお、半導体層３２には、配線層（図示略）がさらに構成されている。当該配線層により、スイッチング回路３２１と制御回路３２２とは、相互に導通している。

[0033] 図１４および図１５に示すように、パッシベーション膜３３は、半導体層３２のｚ方向ｚ１側の面を覆っている。パッシベーション膜３３は、電気絶縁性を有する。パッシベーション膜３３は、たとえば、半導体層３２に接し

て積層された酸化ケイ素膜（SiO_2）と、当該酸化ケイ素膜に積層された窒化ケイ素膜（Si_3N_4）とにより構成される。本実施形態においては、パッシベーション膜３３のｚ方向ｚ１側の面が、素子主面３０ａを構成している。

[0034] 図５に示すように、素子主面３０ａには、複数の電極３４が形成されている。第１領域３０１に形成された複数の電極３４のｚ方向視形状は、たとえば三角形状またはひし形形状などであり、ｙ方向に長い形状である。本実施形態では、頂角をｙ方向ｙ１側に向けた二等辺三角形状の複数の電極３４が、第１領域３０１のｙ方向ｙ２側の端部寄りに、ｘ方向に等間隔で並んで配置されている。また、他の二等辺三角形状の複数の電極３４が、頂角をｙ方向ｙ２側に向けて、第１領域３０１のｙ方向ｙ１側の端部寄りに、ｘ方向に並んで配置されている。ｙ方向ｙ２側に配置された電極３４とｙ方向ｙ１側に配置された電極３４とは、頂角を対向させて配置されている。また、ｙ方向ｙ２側に配置された複数の電極３４とｙ方向ｙ１側に配置された複数の電極３４との各隙間には、ひし形形状の電極３４が配置されている。ｙ方向ｙ２側に配置された電極３４は、それぞれ電極端子３６Ｂを介して、第１リード１０Ｂに導通している。ｙ方向ｙ１側に配置された電極３４は、それぞれ電極端子３６Ｂを介して、第１リード１０Ａに導通している。各隙間に配置された電極３４は、それぞれ電極端子３６Ｂを介して、第１リード１０Ｃに導通している。第２領域３０２に形成された複数の電極３４のｚ方向視形状は、たとえば矩形状である。第２領域３０２では、複数の電極３４がそれぞれ孤立して配置されている。第２領域３０２に配置された電極３４の一部は、それぞれ電極端子３６Ａを介して、第２リード２１または第３リード２２に導通している。なお、複数の電極３４のそれぞれの、ｚ方向視における形状および配置は限定されない。隣り合う電極３４の間にはスリット（隙間）が設けられる。図５に示すスリットの平面形状は線分状である。なお、スリットの平面形状は線分状に限定されない。スリットの平面形状は、波線状、ジグザグ状などであってもよい。

[0035] 各電極３４は、パッシベーション膜３３に設けられた開口（図示略）を介

して、半導体層３２に構成された配線層に接続している。これにより、電極３４は、半導体層３２のスイッチング回路３２１および制御回路３２２のいずれかに導通している。電極３４は、本実施形態では、パッシベーション膜３３からｚ方向ｚ１側に向けて積層された複数の金属層によって構成されており、第１層３４ａ、第２層３４ｂ、および第３層３４ｃを備えている。第１層３４ａは、パッシベーション膜３３に接し、Ｃｕからなる。第２層３４ｂは、第１層３４ａに接し、Ｎｉからなる。第３層３４ｃは、第２層３４ｂに接し、Ｐｄからなる。なお、電極３４の構成は限定されない。

[0036] 図１４および図１５に示すように、絶縁層３５は、素子主面３０ａに形成され、パッシベーション膜３３および電極３４の一部を覆っている。絶縁層３５は、電気絶縁性を有する。絶縁層３５の構成材料は、本実施形態では、フェノール樹脂である。なお、絶縁層３５の構成材料は限定されず、たとえばポリイミド樹脂などの他の絶縁材料でもよい。絶縁層３５は、複数の開口３５ａを備えている。複数の開口３５ａからは、それぞれ、いずれかの電極３４が露出している。絶縁層３５は、例えば、スピンコーターによって塗布された感光性樹脂材料に対してフォトリソグラフィ技術を適用することによって、形成される。

[0037] 図１０～図１３に示すように、複数の電極端子３６は、素子主面３０ａに配置されており、第１主面１０１、第２主面２１１および第３主面２２１に向けて突出している。また、図１４および図１５に示すように、各電極端子３６は、それぞれ、絶縁層３５の開口３５ａを通じていずれかの電極３４に接している。各電極端子３６は、ｚ方向視における中央部分で電極３４に接し、周縁部分で絶縁層３５に重なっている。複数の電極端子３６は、導電性を有する。

[0038] 図１４および図１５に示すように、各電極端子３６は、シード層３６１、第１めっき層３６２、および第２めっき層３６３を備えている。シード層３６１は、電極３４および絶縁層３５に接しており、Ｃｕを含んでいる。シード層３６１は、たとえば無電解めっきによって形成される。なお、シード層

３６１の構成材料および形成方法は限定されない。たとえば、シード層３６１は、スパッタリング法によって形成されてもよい。第１めっき層３６２は、シード層３６１に積層されており、たとえばＣｕまたはＣｕ合金等からなる。第１めっき層３６２は、電解めっきによって形成される。なお、第１めっき層３６２の構成材料は限定されない。第２めっき層３６３は、第１めっき層３６２に積層されている。第２めっき層３６３は、第１めっき層３６２と接合材５との間に介在し、第１めっき層３６２と接合材５との化合反応を抑制する機能を果たす。第２めっき層３６３の構成材料は特に限定されず、化合反応を抑制しうる金属が適宜選択され、たとえばＮｉやＦｅ等が挙げられる。本実施形態では、第１めっき層３６２がＣｕを含み、接合材５がＳｎを含むので、第２めっき層３６３は、たとえばＮｉからなる。本実施形態では、第２めっき層３６３は、電解めっきによって形成される。なお、第２めっき層３６３の構成材料および形成方法は限定されない。また、第２めっき層３６３は、必ずしも必要ではない。各電極端子３６は、接合面３６５を備えている。接合面３６５は、電極３４とは反対側を向く面（第１主面１０１、第２主面２１１および第３主面２２１に対向する面）であり、接合材５を介して、第１主面１０１、第２主面２１１または第３主面２２１に形成された金属層６に接合されている。

[0039] 複数の電極端子３６は、複数の電極端子３６Ａおよび複数の電極端子３６Ｂを含んでいる。図２および図５に示すように、複数の電極端子３６Ａは、素子主面３０ａの第２領域３０２に配置されている。また、複数の電極端子３６Ｂは、素子主面３０ａの第１領域３０１に配置されている。

[0040] 複数の電極端子３６Ａは、半導体層３２の制御回路３２２に導通している。また、図３に示すように、１個の電極端子３６Ａは、第１リード１０Ａの第１主面１０１に導通接続されている。他の２個の電極端子３６Ａは、一対の第３リード２２の第３主面２２１にそれぞれ導通接続されている。残りの電極端子３６Ａは、複数の第２リード２１の第２主面２１１にそれぞれ導通接続されている。これにより、第１リード１０Ａ、一対の第３リード２２、

および複数の第２リード２１は、制御回路３２２に導通している。電極端子３６Ａのｚ方向視形状（平面形状）は円形状であり、電極端子３６Ａの接合面３６５（３６５Ａ）も、円形状である。接合面３６５Ａの直径Ｄ１（図１４参照）は、特に限定されないが、その一例を挙げると、たとえば１００μｍである。

[0041] 複数の電極端子３６Ｂは、半導体層３２のスイッチング回路３２１に導通している。また、複数の電極端子３６Ｂは、第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１に導通接続されている。これにより、第１リード１０Ａ，１０Ｂ，１０Ｃは、スイッチング回路３２１に導通している。電極端子３６Ｂのｚ方向視形状（平面形状）は、円形状であり、電極端子３６Ｂの接合面３６５（３６５Ｂ）も、円形状である。接合面３６５Ｂの直径Ｄ２（図１５参照）は、特に限定されないが、直径Ｄ１より大きく、その一例を挙げると、たとえば１５０μｍである。接合面３６５Ｂの面積Ｓ２は、接合面３６５Ａの面積Ｓ１より大きい。面積Ｓ２は、好ましくは、面積Ｓ１の２倍以上４倍以下である。電極端子３６Ｂは、電極端子３６Ａより大きな電流が流れるので、面積Ｓ２が面積Ｓ１より大きくされている。

[0042] 図３に示すように、第１リード１０Ａ，１０Ｂ，１０Ｃの各第１主面１０１、複数の第２リード２１の各第２主面２１１、および一対の第３リード２２の各第３主面２２１には、それぞれ１個または複数の金属層６が形成されている。各金属層６は、半導体素子３０の電極端子３６の位置に合わせて配置されている。各金属層６は、図１４および図１５に示すように、第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１、複数の第２リード２１の第２主面２１１、および第３リード２２の第３主面２２１のいずれかと電極端子３６との間に介在しており、接合材５によって電極端子３６が接合されている。金属層６は、第１リード１０Ａ，１０Ｂ，１０Ｃ、第２リード２１、および第３リード２２と接合材５との化合反応を抑制し、かつ、半導体素子３０を接合する際に、接合材５が広がる範囲を規制する。

[0043] 本実施形態においては、金属層６は、図１４および図１５に示すように、

第１層６１、第２層６２、および第３層６３を有する。第１層６１は、第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１、複数の第２リード２１の第２主面２１１、および第３リード２２の第３主面２２１のいずれかに接して積層されている。本実施形態では、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および第３リード２２がＣｕを含み、接合材５がＳｎを含むので、第１層６１は、たとえばＮｉからなる。第２層６２は、第１層６１に接して積層されている。第２層６２の構成材料は特に限定されず、たとえばＰｄを含む。第３層６３は、第２層６２に接して積層されている。第３層６３は、接合材５（はんだ）の濡れ性が比較的良好な構成材料からなる。第３層６３の構成材料は特に限定されず、たとえばＡｕを含む。なお、金属層６の形成方法は限定されない。

[0044] 複数の金属層６は、複数の金属層６Ａおよび複数の金属層６Ｂを含んでいる。

[0045] 各金属層６Ａは、図３に示すように、各第２主面２１１、各第３主面２２１、および第１リード１０Ａの第１主面１０１に配置されている。各金属層６Ａには、半導体素子３０の電極端子３６Ａが接合されている。各金属層６Ａのｚ方向視における形状は、電極端子３６Ａの接合面３６５Ａの形状に合わせて、円形状である。図１４に示すように、金属層６Ａの直径Ｄ３は、接合面３６５Ａの直径Ｄ１より大きい。また、図３に示すように、ｚ方向視において、電極端子３６Ａ（接合面３６５Ａ）は、金属層６Ａに内包されている。

[0046] 各金属層６Ｂは、図３に示すように、第１リード１０Ａ，１０Ｂ，１０Ｃの各第１主面１０１に配置されている。各金属層６Ｂには、半導体素子３０の電極端子３６Ｂが接合されている。各金属層６Ｂのｚ方向視における形状は、電極端子３６Ｂの接合面３６５Ｂの形状に合わせて、円形状である。図１５に示すように、金属層６Ｂの直径Ｄ４は、接合面３６５Ｂの直径Ｄ２より大きい。また、図３に示すように、ｚ方向視において、電極端子３６Ｂ（接合面３６５Ｂ）は、金属層６Ｂに内包されている。

[0047] 本実施形態では、接合面３６５Ｂの直径Ｄ２が、接合面３６５Ａの直径Ｄ１のｎ（＞１）倍である場合、金属層６Ｂの直径Ｄ４は、金属層６Ａの直径Ｄ３のｎ倍である。つまり、接合面３６５Ａの直径Ｄ１と接合面３６５Ｂの直径Ｄ２との比率と、金属層６Ａの直径Ｄ３と金属層６Ｂの直径Ｄ４との比率とは同じである。また、接合面３６５Ｂの面積Ｓ２は接合面３６５Ａの面積Ｓ１のｎ^{2}倍であり、金属層６Ｂの面積Ｓ４は金属層６Ａの面積Ｓ２のｎ^{2}倍になる。したがって、接合面３６５Ａの面積Ｓ１と接合面３６５Ｂの面積Ｓ２との比率と、金属層６Ａの面積Ｓ３と金属層６Ｂの面積Ｓ４との比率とは同じである。ただし、電極端子３６および金属層６の形成において、製造上の誤差が含まれる。面積Ｓ３と面積Ｓ４との比率は、面積Ｓ１と面積Ｓ２との比率に等しいのが望ましいが、これらの誤差を考慮すると、面積Ｓ１と面積Ｓ２との比率の±１０％以内である。

[0048] また、金属層６Ｂの直径Ｄ４と接合面３６５Ｂの直径Ｄ２との差は、金属層６Ａの直径Ｄ３と接合面３６５Ａの直径Ｄ１との差のｎ倍になる。したがって、金属層６Ａの直径Ｄ３と接合面３６５Ａの直径Ｄ１との差は、金属層６Ｂの直径Ｄ４と接合面３６５Ｂの直径Ｄ２との差より小さい。本実施形態では、金属層６Ａ，６Ｂおよび接合面３６５Ａ，３６５Ｂがいずれも円形状であり、それぞれの直径が「代表長さ」の一例である。

[0049] 接合材５は、導電性を有し、電極端子３６と金属層６との間に介在しており、これらを互いに導通させている。本実施形態では、接合材５は、たとえばＳｎを含むはんだ（ＳｎＡｇなど）からなる。なお、接合材５の構成材料は限定されない。

[0050] 複数の接合材５は、複数の接合材５Ａおよび複数の接合材５Ｂを含んでいる。接合材５Ａは、電極端子３６Ａの接合面３６５Ａと金属層６Ａとの間に介在し、これらを接合している。接合材５Ａの形状は、上面が接合面３６５Ａに接し、下面が金属層６Ａに接する円錐台形状である。接合材５Ｂは、電極端子３６Ｂの接合面３６５Ｂと金属層６Ｂとの間に介在し、これらを接合している。接合材５Ｂの形状は、上面が接合面３６５Ｂに接し、下面が金属

層６Ｂに接する円錐台形状である。

[0051] 図１６～図１８は、半導体素子３０を導電部材１にフリップチップ接合する方法を説明するための簡略図である。

[0052] 図１６に示すように、半導体素子３０の電極端子３６Ａには、接合面３６５Ａに接する接合材５Ａが、電解めっきによってあらかじめ形成されている。また、電極端子３６Ｂには、接合面３６５Ｂに接する接合材５Ｂが、電解めっきによってあらかじめ形成されている。接合面３６５Ａ，３６５Ｂは円形状なので、接合材５Ａ，５Ｂは、厚さｔの円柱形状である。

[0053] 図１７は、リフローにより、接合材５Ａ，５Ｂが溶融された状態を示している。溶融状態の接合材５Ａ，５Ｂは、表面張力により半球状になっている。この状態で、半導体素子３０を導電部材１に近づけて、接合材５Ａを金属層６Ａに接触させ、接合材５Ｂを金属層６Ｂに接触させる。

[0054] 金属層６Ａ，６Ｂの第３層６３は、はんだ濡れ性が比較的良好である。したがって、図１８に示すように、接合材５Ａは、ｚ方向視において金属層６Ａからはみ出さないように、金属層６Ａの全面に広がる。また、接合材５Ｂは、ｚ方向視において金属層６Ｂからはみ出さないように、金属層６Ｂの全面に広がる。接合材５Ａは、ｚ方向において電極端子３６Ａから金属層６Ａに向かうほど、ｚ方向に直交する断面の面積が大きくなる円錐台形状になる。接合材５Ｂは、ｚ方向において電極端子３６Ｂから金属層６Ｂに向かうほど、ｚ方向に直交する断面の面積が大きくなる円錐台形状になる。そして、冷却されることで、接合材５Ａが固化して電極端子３６Ａと金属層６Ａとが接合され、接合材５Ｂが固化して電極端子３６Ｂと金属層６Ｂとが接合される。

[0055] 図１６における接合材５Ａの体積は、$\pi \cdot (D1/2)^2 \cdot t$である。一方、図１８における接合材５Ａの体積は、接合材５Ａの高さをＨ１とすると、$(1/3) \cdot \pi \cdot \{(D1/2)^2 + (D1/2) \cdot (D3/2) + (D3/2)^2\} \cdot H1$である。接合材５Ａの体積は変化しないので、

$$H1 = 3 \cdot D1^2 \cdot t / (D1^2 + D1 \cdot D3 + D3^2)$$

となる。同様に、図１８における接合材５Ｂの高さをＨ２とすると、

$$H2 = 3 \cdot D2^2 \cdot t / (D2^2 + D2 \cdot D4 + D4^2)$$

となる。また、本実施形態では、Ｄ２＝ｎ・Ｄ１、Ｄ４＝ｎ・Ｄ３なので、

$$H2 = 3 \cdot (n \cdot D1)^2 \cdot t / \{(n \cdot D1)^2 + (n \cdot D1) \cdot (n \cdot D3) + (n \cdot D3)^2\}$$

$$= 3 \cdot D1^2 \cdot t / (D1^2 + D1 \cdot D3 + D3^2)$$

$$= H1$$

となり、接合材５Ａの高さＨ１と、接合材５Ｂの高さＨ２とが等しくなる。

[0056] 図１９～図２０は、図１８との比較のための図であり、金属層６Ｂの直径Ｄ４が、半導体装置Ａ１０とは異なる場合のものである。

[0057] 図１９は、金属層６Ｂの直径Ｄ４がｎ・Ｄ３より小さい場合であり、直径Ｄ４と直径Ｄ２との差が直径Ｄ３と直径Ｄ１との差に等しい場合を示している。この場合、金属層６Ｂによって接合材５Ｂの濡れ広がりが制限されて、接合材５Ｂの高さＨ２が、半導体装置Ａ１０の場合より大きくなる。したがって、接合材５Ｂの高さＨ２が接合材５Ａの高さＨ１より大きくなって、半導体素子３０が傾いている。このように、金属層６の直径を対応する接合面３６５の直径に対して一定値だけ大きくしても、半導体素子３０の傾きを防ぐことはできない。

[0058] 図２０は、金属層６Ｂの直径Ｄ４がｎ・Ｄ３より大きい場合を示している。この場合、金属層６Ｂの全面に接合材５Ｂが濡れ広がることで、接合材５Ｂの高さＨ２が、半導体装置Ａ１０の場合より小さくなる。したがって、接合材５Ｂの高さＨ２が接合材５Ａの高さＨ１より小さくなって、半導体素子３０が傾いている。

[0059] 図１８～図２０に示すように、半導体素子３０の傾きを防ぐためには、各金属層６の直径を適切に設計する必要がある。具体的には、接合面３６５Ｂの直径Ｄ２が接合面３６５Ａの直径Ｄ１のｎ倍であるならば、金属層６Ｂの直径Ｄ４は、金属層６Ａの直径Ｄ３のｎ倍にする必要がある。つまり、直径Ｄ３と直径Ｄ４との比率を、直径Ｄ１と直径Ｄ２との比率に合わせる必要が

ある。また、接合面３６５Ａ，３６５Ｂおよび金属層６Ａ，６Ｂがいずれも円形状なので、金属層６Ａの面積Ｓ３と金属層６Ｂの面積Ｓ４との比率を、接合面３６５Ａの面積Ｓ１と接合面３６５Ｂの面積Ｓ２との比率に合わせることでもある。

[0060] 封止樹脂４０は、半導体素子３０の全体と、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、および一対の第３リード２２の各々の一部とを覆っている。封止樹脂４０は、たとえば黒色のエポキシ樹脂を含む材料からなる。なお、封止樹脂４０の材料は限定されない。封止樹脂４０は、ｚ方向視矩形状であり、図６～図９に示すように、頂面４１、底面４２、一対の第１側面４３１、および一対の第２側面４３２を有する。

[0061] 図１０～図１３に示すように、頂面４１は、ｚ方向において第１リード１０Ａ，１０Ｂ，１０Ｃの第１主面１０１と同じ側を向く。図６～図９に示すように、底面４２は、頂面４１とは反対側を向く。図４に示すように、底面４２から、第１リード１０Ａ，１０Ｂ，１０Ｃの第１裏面１０２、複数の第２リード２１の第２裏面２１２、および一対の第３リード２２の第３裏面２２２が露出している。

[0062] 図８および図９に示すように、一対の第１側面４３１は、頂面４１および底面４２の双方につながり、かつｘ方向を向く。一対の第１側面４３１は、ｘ方向において互いに離間している。図６、図７、図１１～図１３に示すように、一対の第１側面４３１の各々から、第１リード１０Ａ，１０Ｂ，１０Ｃの第１端面１２１と、第２リード２１の第４端面２１４と、第３リード２２の第３端面２２３とが、第１側面４３１と面一となるように露出している。

[0063] 図６および図７に示すように、一対の第２側面４３２は、頂面４１、底面４２および一対の第１側面４３１のいずれにもつながり、かつｙ方向を向く。一対の第２側面４３２は、ｙ方向において互いに離間している。図１０に示すように、ｙ方向ｙ１側に位置する第２側面４３２から、複数の第２リード２１の第２端面２１３が、第２側面４３２と面一となるように露出してい

る。ｙ方向ｙ２側に位置する第２側面４３２から、第１リード１０Ｂの複数の副端面１３１が、第２側面４３２と面一となるように露出している。

[0064] 次に、半導体装置Ａ１０の作用効果について説明する。

[0065] 本実施形態によると、導電部材１には、半導体素子３０の電極端子３６の位置に合わせて、金属層６が形成されている。各電極端子３６は、それぞれ接合材５および金属層６を介して、導電部材１に接合されている。半導体素子３０の接合時に、各電極端子３６の接合面３６５に形成され溶融された接合材５は、ｚ方向視において金属層６からはみ出さないように、金属層６の全面に広がる。各金属層６によって、溶融した接合材５が広がる範囲を調整して各接合材５の厚さを調整できるので、半導体装置Ａ１０は、導電部材１に対する半導体素子３０の傾きの発生を抑制できる。金属層６Ａの直径Ｄ３と接合面３６５Ａの直径Ｄ１との差と、金属層６Ｂの直径Ｄ４と接合面３６５Ｂの直径Ｄ２との差とが等しい場合、図１９に示すように、接合材５Ｂの高さＨ２が接合材５Ａの高さＨ１より大きくなる。本実施形態では、直径Ｄ３と直径Ｄ１との差は、直径Ｄ４と直径Ｄ２との差より小さい。したがって、半導体装置Ａ１０は、高さＨ２が高さＨ１より大きくなることを抑制できる。

[0066] また、本実施形態によると、接合面３６５Ａの面積Ｓ１と接合面３６５Ｂの面積Ｓ２との比率と、金属層６Ａの面積Ｓ３と金属層６Ｂの面積Ｓ４との比率とが同じである。したがって、図１６～図１８に示すように、接合材５Ａの高さＨ１と、接合材５Ｂの高さＨ２とが等しくなる。これにより、半導体装置Ａ１０は、導電部材１に対する半導体素子３０の傾きの発生を抑制できる。なお、製造時の誤差により、面積Ｓ１と面積Ｓ２との比率と、面積Ｓ３と面積Ｓ４との比率とが完全に一致しない場合でも、面積Ｓ３と面積Ｓ４との比率が面積Ｓ１と面積Ｓ２との比率±１０％以内であれば、導電部材１に対する半導体素子３０の傾きの発生を十分抑制できる。

[0067] また、本実施形態によると、複数の電極端子３６Ａは、素子主面３０ａのｙ方向ｙ１側に位置する第２領域３０２に配置され、複数の電極端子３６Ｂ

は、素子主面３０ａのｙ方向ｙ２側に位置する第１領域３０１に配置されている。したがって、電極端子３６Ａを接合する接合材５Ａの高さＨ１と、電極端子３６Ｂを接合する接合材５Ｂの高さＨ２とに違いが発生すると、半導体素子３０の傾きが発生しやすい。本実施形態では、金属層６Ａ，６Ｂの面積を適切に調整することで、高さＨ１と高さＨ２とを等しくできるので、半導体装置Ａ１０は、半導体素子３０の傾きの発生を抑制できる。

[0068] また、本実施形態によると、半導体素子３０は、いわゆるフリップチップ接合によって、導電部材１に搭載されている。したがって、半導体装置Ａ１０は、各電極３４と各リードとをワイヤで導通させる半導体装置と比較して、導通経路の抵抗を抑制でき、また、低背化が可能である。さらに、平面視において、封止樹脂４０の外形の大きさが同じ場合、半導体装置Ａ１０は、ワイヤで導通させる半導体装置と比較して、より大きい半導体素子３０を搭載することができる。また、同じ半導体素子３０を搭載する場合、半導体装置Ａ１０は、ワイヤで導通させる半導体装置と比較して、封止樹脂４０の外形を小さくすることが可能である。

[0069] なお、本実施形態においては、金属層６が第１層６１、第２層６２、および第３層６３を有する場合について説明したが、これに限られない。金属層６の積層数は限定されないし、各層の構成材料も限定されない。また、本実施形態においては、半導体素子３０がＬＳＩである場合について説明したが、これに限られない。半導体素子３０の種類は限定されない。

[0070] 図２１～図２４は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0071] 第２実施形態：

図２１は、本開示の第２実施形態に係る半導体装置Ａ２０を説明するための図である。図２１は、半導体装置Ａ２０を示す平面図であり、図３に対応する図である。図２１においては、理解の便宜上、封止樹脂４０および半導体素子３０を透過して、封止樹脂４０および半導体素子３０の外形を想像線

（二点鎖線）で示している。図２２は、半導体装置Ａ２０を示す部分拡大断面図であり、図１５に対応する図である。図２３は、図２２のＸＸＩＩＩ－ＸＸＩＩＩ線に沿う部分拡大断面図である。本実施形態の半導体装置Ａ２０は、電極端子３６Ｂおよび金属層６Ｂの形状が、第１実施形態と異なっている。本実施形態の他の部分の構成および動作は、第１実施形態と同様である。

[0072] 本実施形態では、各電極端子３６Ｂのｚ方向視形状（平面形状）は、同一の楕円形状である。したがって、各電極端子３６Ｂの接合面３６５Ｂも、同一の楕円形状である。図２１に示すように、電極端子３６Ｂの接合面３６５Ｂの長手方向（長径の方向）は、第１リード１０Ａ，１０Ｃ，１０Ｂが延びる方向に直交している。なお、接合面３６５Ｂの長手方向と、第１リード１０Ａ，１０Ｃ，１０Ｂが延びる方向との関係は、この関係に限定されない。接合面３６５Ｂの寸法等は、特に限定されないが、その一例を挙げると、長径（ｙ方向の寸法）Ｌ１（図２２参照）がたとえば３００μｍであり、短径（ｘ方向の寸法）Ｌ２（図２３参照）がたとえば１００μｍである。接合面３６５Ｂの面積Ｓ２は、接合面３６５Ａの面積Ｓ１より大きい。面積Ｓ２は、好ましくは、面積Ｓ１の２倍以上４倍以下である。

[0073] また、本実施形態では、各金属層６Ｂのｚ方向視における形状も、各接合面３６５Ｂの形状に合わせて、楕円形状である。図２２に示すように、金属層６Ｂの長径（ｙ方向の寸法）Ｌ３は接合面３６５Ｂの長径Ｌ１より大きく、図２３に示すように、金属層６Ｂの短径（ｘ方向の寸法）Ｌ４は、接合面３６５Ｂの短径Ｌ２より大きい。また、図２１に示すように、ｚ方向視において、電極端子３６Ｂ（接合面３６５Ｂ）は、金属層６Ｂに内包されている。

[0074] 本実施形態でも、接合面３６５Ａの面積Ｓ１と接合面３６５Ｂの面積Ｓ２との比率と、金属層６Ａの面積Ｓ３と金属層６Ｂの面積Ｓ４との比率とが同じである。ただし、電極端子３６および金属層６の形成において、製造上の誤差が含まれる。面積Ｓ３と面積Ｓ４との比率は、面積Ｓ１と面積Ｓ２との

比率に等しいのが望ましいが、これらの誤差を考慮すると、面積Ｓ１と面積Ｓ２との比率の±１０％以内である。

[0075] 接合材５Ａの体積は、上面の面積がＳ１、下面の面積がＳ３、高さがＨ１の錐台（円錐台、楕円錐台、角錐台を含む）の体積なので、（１／３）・｛Ｓ１＋√（Ｓ１＋Ｓ３）＋Ｓ３｝・Ｈ１である。接合前の接合材５Ａの体積は、Ｓ１・ｔなので、

Ｈ１＝３・Ｓ１・ｔ／｛Ｓ１＋√（Ｓ１＋Ｓ３）＋Ｓ３｝

となる。同様に、接合材５Ｂの高さをＨ２とすると、

Ｈ２＝３・Ｓ２・ｔ／｛Ｓ２＋√（Ｓ２＋Ｓ４）＋Ｓ４｝となる。また、本実施形態では、面積Ｓ１と面積Ｓ２との比率と面積Ｓ３と面積Ｓ４との比率とが同じなので、Ｓ２＝ｎ’・Ｓ１、Ｓ４＝ｎ’・Ｓ３とすると、

Ｈ２＝３・ｎ’・Ｓ１・ｔ／｛ｎ’・Ｓ１＋√（ｎ’・Ｓ１＋ｎ’・Ｓ３）＋ｎ’・Ｓ３｝

＝３・Ｓ１・ｔ／｛Ｓ１＋√（Ｓ１＋Ｓ３）＋Ｓ３｝

＝Ｈ１

となり、接合材５Ａの高さＨ１と、接合材５Ｂの高さＨ２とが等しくなる。このように、接合面３６５および金属層６の形状に関係なく、接合面３６５Ａの面積Ｓ１と接合面３６５Ｂの面積Ｓ２との比率と、金属層６Ａの面積Ｓ３と金属層６Ｂの面積Ｓ４との比率とが同じであれば、接合材５Ａの高さＨ１と、接合材５Ｂの高さＨ２とを等しくできる。

[0076] 金属層６Ａの直径Ｄ３と接合面３６５Ａの直径Ｄ１との差は、金属層６Ｂの長径Ｌ３と接合面３６５Ｂの長径Ｌ１との差より小さい。また、金属層６Ａの直径Ｄ３と接合面３６５Ａの直径Ｄ１との差は、金属層６Ｂの短径Ｌ４と接合面３６５Ｂの短径Ｌ２との差より小さい。本実施形態では、金属層６Ａおよび接合面３６５Ａが円形状なので、それぞれの直径が「代表長さ」の一例である。また、金属層６Ｂおよび接合面３６５Ｂが楕円形状なので、それぞれの長径または短径が「代表長さ」の一例である。

[0077] 本実施形態においても、導電部材１には、半導体素子３０の電極端子３６

の位置に合わせて、金属層６が形成されている。各金属層６によって、溶融した接合材５が広がる範囲を調整して各接合材５の厚さを調整できるので、半導体装置Ａ２０は、導電部材１に対する半導体素子３０の傾きの発生を抑制できる。また、本実施形態では、直径Ｄ３と直径Ｄ１との差は、長径Ｌ３と長径Ｌ１との差より小さく、短径Ｌ４と短径Ｌ２との差より小さい。したがって、半導体装置Ａ２０は、高さＨ２が高さＨ１より大きくなることを抑制できる。また、本実施形態によると、面積Ｓ１と面積Ｓ２との比率と、面積Ｓ３と面積Ｓ４との比率とが同じである。したがって、高さＨ１と高さＨ２とが等しくなる。これにより、半導体装置Ａ２０は、導電部材１に対する半導体素子３０の傾きの発生を抑制できる。また、半導体装置Ａ２０は、半導体装置Ａ１０と共通する構成により、半導体装置Ａ１０と同等の効果を奏する。

[0078] 上記第１～２実施形態においては、各電極端子３６の接合面３６５が円形状または楕円形状である場合について説明したが、これに限られない。各電極端子３６の接合面３６５の形状は限定されず、矩形状または多角形状であってもよい。金属層６の形状は、接合される電極端子３６の接合面３６５の形状に合わせて形成される。また、金属層６の面積は、接合面３６５の面積に応じて設定される。上記したように、接合面３６５および金属層６の形状に関係なく、接合面３６５Ａの面積Ｓ１と接合面３６５Ｂの面積Ｓ２との比率と、金属層６Ａの面積Ｓ３と金属層６Ｂの面積Ｓ４との比率とが同じであれば、接合材５Ａの高さＨ１と、接合材５Ｂの高さＨ２とを等しくできる。接合面３６５および金属層６が矩形状または多角形状の場合、各辺または対角線の長さが、「代表長さ」の一例である。なお、代表長さの差は、相似形状の対応する部分の代表長さの差であり、たとえば、接合面３６５および金属層６の相似形状の対応する辺または対角線の長さの差である。

[0079] 第３実施形態：

図２４は、本開示の第３実施形態に係る半導体装置Ａ３０を説明するための図である。図２４は、半導体装置Ａ３０を示す部分平面図であり、図３に

対応する図である。図２４においては、理解の便宜上、封止樹脂４０および半導体素子３０を透過して、半導体素子３０の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置Ａ３０は、半導体素子３０がリードではなく、配線基板に搭載されている点で、第１実施形態と異なっている。本実施形態の他の部分の構成および動作は、第１実施形態と同様である。なお、上記の第１～２実施形態の各部が任意に組み合わせられてもよい。

[0080] 上記第１～２実施形態においては、半導体素子３０が、第１リード１０Ａ，１０Ｂ，１０Ｃ、複数の第２リード２１、一対の第３リード２２に搭載され、電極端子３６がこれらのリードに接合されている場合について説明した。しかし、半導体素子３０は、リード以外の導電部材に接合されてもよい。第３実施形態では、半導体素子３０が配線基板に搭載され、電極端子３６が配線基板の配線に接合されている半導体装置Ａ３０について説明する。

[0081] 半導体装置Ａ３０は、第１リード１０Ａ，１０Ｂ，１０Ｃ、第２リード２１、および第３リード２２を備えておらず、代わりに配線基板８０を備えている。配線基板８０は、絶縁基板８１および複数の配線８２を備えている。絶縁基板８１は、たとえばガラスエポキシ樹脂やセラミックなどの電気絶縁性を有する材料からなる矩形状の板材である。なお、絶縁基板８１の材料および形状は限定されない。配線８２は、たとえばＣｕからなり、絶縁基板８１に形成されている。なお、配線８２の材料および形状は限定されない。

[0082] 半導体素子３０は、素子主面３０ａを配線基板８０に向けて、フリップチップ実装されている。各電極端子３６Ａ，３６Ｂは、配線基板８０の複数の配線８２のいずれかに接合されている。各配線８２には、それぞれ１個または複数の金属層６が形成されている。各金属層６は、半導体素子３０の電極端子３６の位置に合わせて配置されている。各金属層６は、配線８２のいずれかと電極端子３６との間に介在しており、接合材５によって電極端子３６が接合されている。金属層６は、配線８２と接合材５との化合反応を抑制し、かつ、半導体素子３０を接合する際に、接合材５が広がる範囲を規制する。第１実施形態と同様、複数の金属層６は、複数の金属層６Ａおよび複数の金

属層６Ｂを含んでいる。各金属層６Ａには、半導体素子３０の電極端子３６Ａが接合されている。各金属層６Ｂには、半導体素子３０の電極端子３６Ｂが接合されている。半導体素子３０の全体および配線基板８０の少なくとも一部は、封止樹脂４０（図２４においては省略）によって覆われている。なお、配線基板８０には、他の電子部品が搭載されてもよいし、半導体装置Ａ３０を配線基板に実装するためのリードが接合されてもよい。

[0083] 本実施形態によると、各配線８２には、半導体素子３０の電極端子３６の位置に合わせて、金属層６が形成されている。各金属層６によって、溶融した接合材５が広がる範囲を調整して各接合材５の厚さを調整できるので、半導体装置Ａ３０は、配線基板８０に対する半導体素子３０の傾きの発生を抑制できる。また、本実施形態では、直径Ｄ３と直径Ｄ１との差は、直径Ｄ４と直径Ｄ２との差より小さい。したがって、半導体装置Ａ３０は、高さＨ２が高さＨ１より大きくなることを抑制できる。また、本実施形態によると、面積Ｓ１と面積Ｓ２との比率と、面積Ｓ３と面積Ｓ４との比率とが同じである。したがって、高さＨ１と高さＨ２とが等しくなる。これにより、半導体装置Ａ３０は、導電部材１に対する半導体素子３０の傾きの発生を抑制できる。また、半導体装置Ａ３０は、半導体装置Ａ１０と共通する構成により、半導体装置Ａ１０と同等の効果を奏する。

[0084] 本開示に係る半導体装置は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0085] 付記１．

厚さ方向において互いに反対側を向く素子主面（３０ａ）および素子裏面（３０ｂ）と、前記素子主面に配置された第１電極端子（３６Ａ）および第２電極端子（３６Ｂ）と、を有する半導体素子（３０）と、

前記半導体素子に導通する導電部材（１）と、

前記導電部材に形成され、かつ、前記第１電極端子が接合された第１金属層（６Ａ）と、

前記導電部材に形成され、かつ、前記第２電極端子が接合された第２金属層（６Ｂ）と、

を備え、

前記第１電極端子は、前記第１金属層に対向する第１接合面（３６５Ａ）を備え、

前記第２電極端子は、前記第２金属層に対向する第２接合面（３６５Ｂ）を備え、

前記第１接合面の第１面積（Ｓ１）は、前記第２接合面の第２面積（Ｓ２）より小さく、

前記第１金属層の代表長さと前記第１接合面の対応する代表長さとの差は、前記第２金属層の代表長さと前記第２接合面の対応する代表長さとの差より小さい、半導体装置。

付記２．

前記第１金属層の第３面積（Ｓ３）と前記第２金属層の第４面積（Ｓ４）との比率は、前記第１面積と前記第２面積との比率の±１０％以内である、付記１に記載の半導体装置。

付記３．

前記第３面積と前記第４面積との比率は、前記第１面積と前記第２面積との比率に等しい、付記２に記載の半導体装置。

付記４．

前記第２面積は、前記第１面積の２倍以上４倍以下である、付記２または３に記載の半導体装置。

付記５．（第２実施形態、図２１～図２３）

前記第１接合面および前記第１金属層は円形状であり、前記第２接合面および前記第２金属層は楕円形状である、付記１ないし４のいずれかに記載の半導体装置。

付記６．（第１実施形態）

前記第１接合面および前記第１金属層は円形状であり、前記第２接合面お

よび前記第２金属層は円形状である、付記１ないし４のいずれかに記載の半導体装置。

付記７．（図１４、図１５）

前記第１金属層および前記第２金属層は、

前記導電部材に接し、かつ、Ｎｉを含む第１層（６１）と、

前記第１層に接し、かつ、Ｐｄを含む第２層（６２）と、

前記第２層に接し、かつ、Ａｕを含む第３層（６３）と、

を含んでいる、付記１ないし６のいずれかに記載の半導体装置。

付記８．

前記第１電極端子および前記第２電極端子は、Ｃｕを含んでいる、付記１ないし７のいずれかに記載の半導体装置。

付記９．

前記第１接合面と前記第１金属層との間に介在する第１接合材（５Ａ）と、

前記第２接合面と前記第２金属層との間に介在する第２接合材（５Ｂ）と、

をさらに備えている、付記１ないし８のいずれかに記載の半導体装置。

付記１０．

前記第１接合材および前記第２接合材は、はんだを含んでいる、付記９に記載の半導体装置。

付記１１．（図２、図３、図５）

前記半導体素子は、前記第１電極端子と同じ形状の複数の第３電極端子と、前記第２電極端子と同じ形状の複数の第４電極端子と、を有し、

前記素子主面において、前記第１電極端子および前記複数の第３電極端子は、前記厚さ方向に直交する第１方向の一方側に配置され、前記第２電極端子および前記複数の第４電極端子は、前記第１方向の他方側に配置されている、付記１ないし１０のいずれかに記載の半導体装置。

付記１２．

前記導電部材は、第１リード（１０Ａ）を含み、

前記第１金属層および前記第２金属層は、前記第１リードに形成されている、付記１ないし１１のいずれかに記載の半導体装置。

付記１３．

前記導電部材は、第１リード（１０Ａ，１０Ｂ，１０Ｃ）および第２リード（２１）を含み、

前記第１金属層は、前記第２リードに形成され、

前記第２金属層は、前記第１リードに形成されている、付記１ないし１１のいずれかに記載の半導体装置。

付記１４．（第３実施形態、図２４）

絶縁基板（８１）をさらに備え、

前記導電部材は、前記絶縁基板に形成された配線（８２）である、付記１ないし１１のいずれかに記載の半導体装置。

符号の説明

[0086] Ａ１０，Ａ２０，Ａ３０：半導体装置　　１：導電部材

１０Ａ，１０Ｂ，１０Ｃ：第１リード　　１１：主部

１２：側部　　１３：突出部

１０１：第１主面　　１０２：第１裏面

１２１：第１端面　　１３１：副端面

２１：第２リード　　２１１：第２主面

２１２：第２裏面　　２１３：第２端面

２１４：第４端面　　２２：第３リード

２２１：第３主面　　２２２：第３裏面

２２３：第３端面　　３０：半導体素子

３０ａ：素子主面　　３０１：第１領域

３０２：第２領域　　３０ｂ：素子裏面

３１：半導体基板　　３２：半導体層

３２１：スイッチング回路　　３２２：制御回路

３３：パッシベーション膜　　３４：電極

３４ａ：第１層　　３４ｂ：第２層

３４ｃ：第３層　　３５：絶縁層

３５ａ：開口　　３６，３６Ａ，３６Ｂ：電極端子

３６１：シード層　　３６２：第１めっき層

３６３：第２めっき層　　３６５，３６５Ａ，３６５Ｂ：接合面

５，５Ａ，５Ｂ:接合材　　４０：封止樹脂

４１：頂面　　４２：底面

４３１：第１側面　　４３２：第２側面

６，６Ａ，６Ｂ：金属層　　６１：第１層

６２：第２層　　６３：第３層

８０：配線基板　　８１：絶縁基板

８２：配線

請求の範囲

[請求項1] 厚さ方向において互いに反対側を向く素子主面および素子裏面と、前記素子主面に配置された第１電極端子および第２電極端子と、を有する半導体素子と、

前記半導体素子に導通する導電部材と、

前記導電部材に形成され、かつ、前記第１電極端子が接合された第１金属層と、

前記導電部材に形成され、かつ、前記第２電極端子が接合された第２金属層と、

を備え、

前記第１電極端子は、前記第１金属層に対向する第１接合面を備え、

前記第２電極端子は、前記第２金属層に対向する第２接合面を備え、

前記第１接合面の第１面積は、前記第２接合面の第２面積より小さく、

前記第１金属層の代表長さと前記第１接合面の対応する代表長さとの差は、前記第２金属層の代表長さと前記第２接合面の対応する代表長さとの差より小さい、半導体装置。

[請求項2] 前記第１金属層の第３面積と前記第２金属層の第４面積との比率は、前記第１面積と前記第２面積との比率の±１０％以内である、請求項１に記載の半導体装置。

[請求項3] 前記第３面積と前記第４面積との比率は、前記第１面積と前記第２面積との比率に等しい、請求項２に記載の半導体装置。

[請求項4] 前記第２面積は、前記第１面積の２倍以上４倍以下である、請求項２または３に記載の半導体装置。

[請求項5] 前記第１接合面および前記第１金属層は円形状であり、前記第２接合面および前記第２金属層は楕円形状である、請求項１ないし４のい

ずれかに記載の半導体装置。

[請求項6] 前記第１接合面および前記第１金属層は円形状であり、前記第２接合面および前記第２金属層は円形状である、請求項１ないし４のいずれかに記載の半導体装置。

[請求項7] 前記第１金属層および前記第２金属層は、

前記導電部材に接し、かつ、Ｎｉを含む第１層と、

前記第１層に接し、かつ、Ｐｄを含む第２層と、

前記第２層に接し、かつ、Ａｕを含む第３層と、

を含んでいる、請求項１ないし６のいずれかに記載の半導体装置。

[請求項8] 前記第１電極端子および前記第２電極端子は、Ｃｕを含んでいる、請求項１ないし７のいずれかに記載の半導体装置。

[請求項9] 前記第１接合面と前記第１金属層との間に介在する第１接合材と、

前記第２接合面と前記第２金属層との間に介在する第２接合材と、

をさらに備えている、請求項１ないし８のいずれかに記載の半導体装置。

[請求項10] 前記第１接合材および前記第２接合材は、はんだを含んでいる、請求項９に記載の半導体装置。

[請求項11] 前記半導体素子は、前記第１電極端子と同じ形状の複数の第３電極端子と、前記第２電極端子と同じ形状の複数の第４電極端子と、を有し、

前記素子主面において、前記第１電極端子および前記複数の第３電極端子は、前記厚さ方向に直交する第１方向の一方側に配置され、前記第２電極端子および前記複数の第４電極端子は、前記第１方向の他方側に配置されている、請求項１ないし１０のいずれかに記載の半導体装置。

[請求項12] 前記導電部材は、第１リードを含み、

前記第１金属層および前記第２金属層は、前記第１リードに形成されている、請求項１ないし１１のいずれかに記載の半導体装置。

[請求項13] 前記導電部材は、第１リードおよび第２リードを含み、

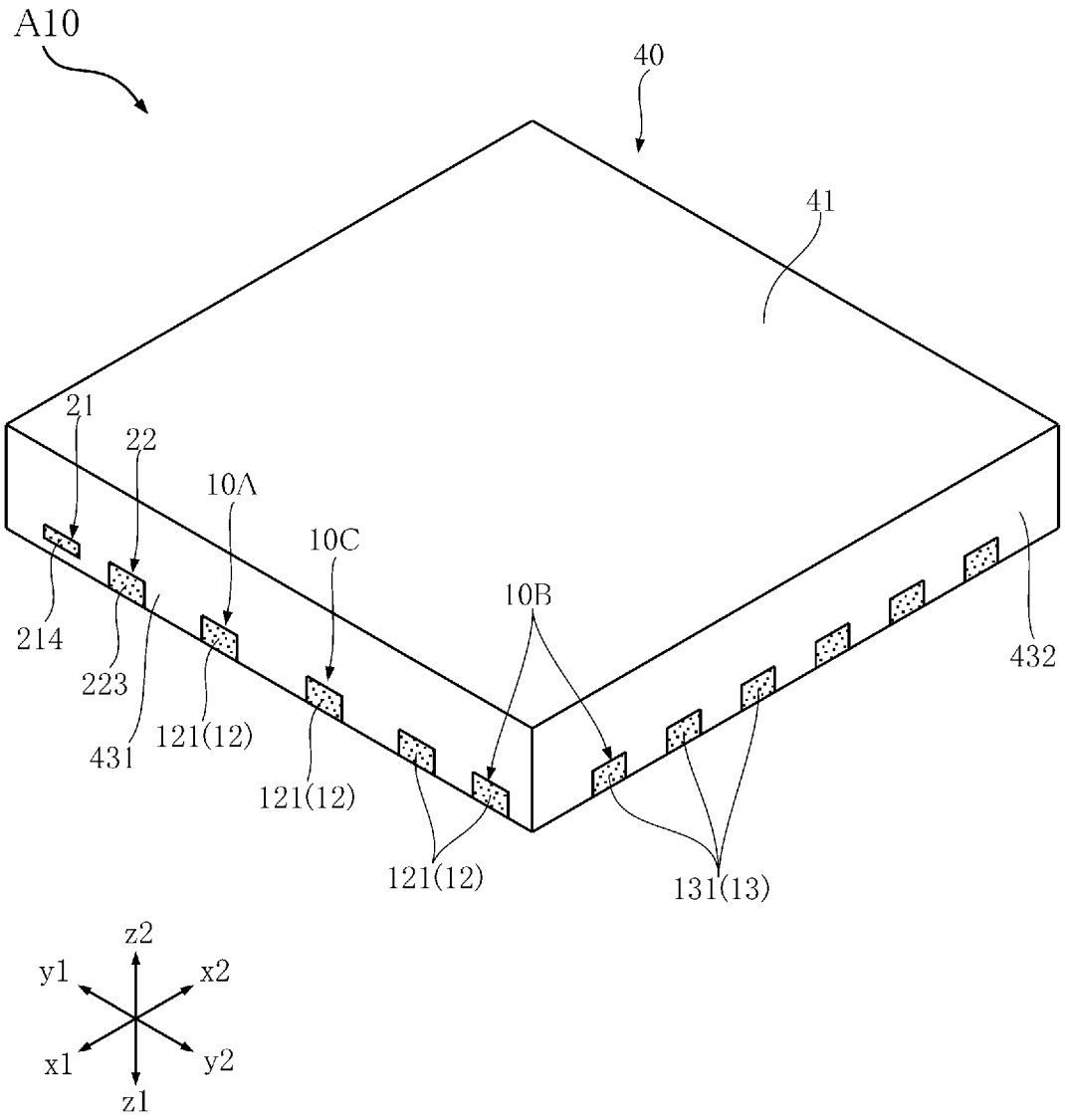
前記第１金属層は、前記第２リードに形成され、

前記第２金属層は、前記第１リードに形成されている、請求項１ないし１１のいずれかに記載の半導体装置。

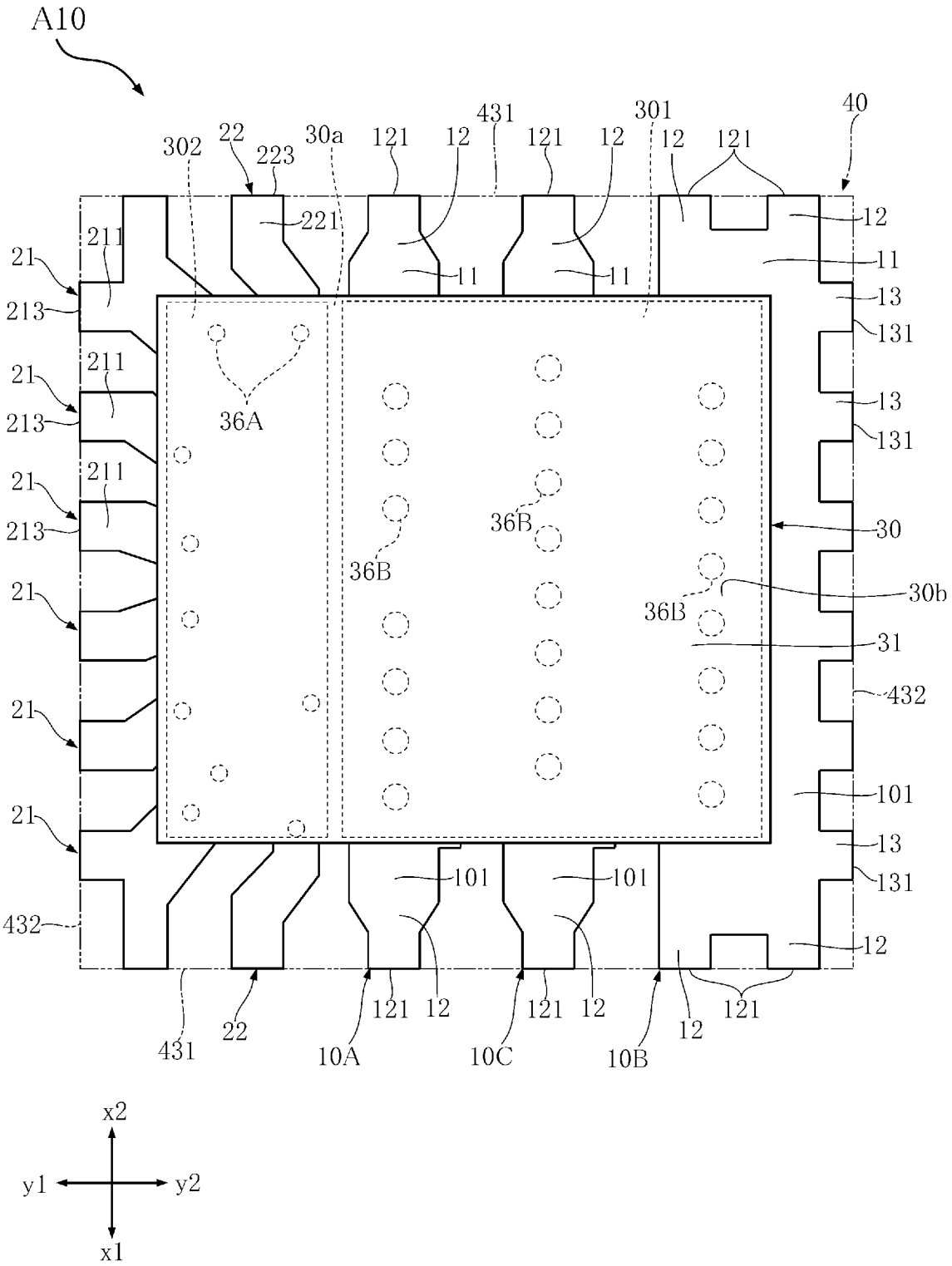
[請求項14] 絶縁基板をさらに備え、

前記導電部材は、前記絶縁基板に形成された配線である、請求項１ないし１１のいずれかに記載の半導体装置。

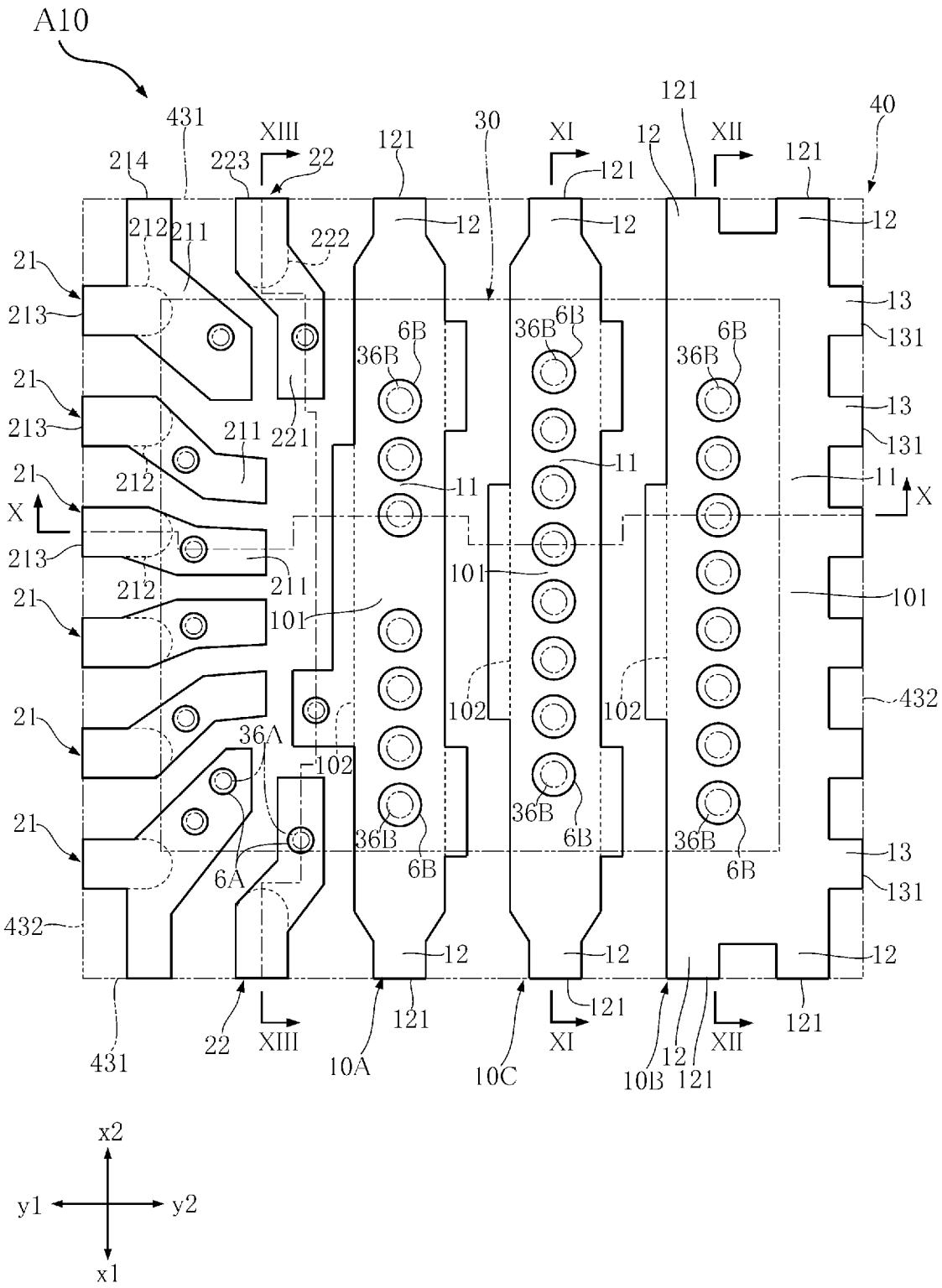
[図1]
FIG.1


A10
40
41
21
22
10A
10C
10B
214
223
431
121(12)
121(12)
121(12)
131(13)
432
z2
y1
x2
x1
y2
z1

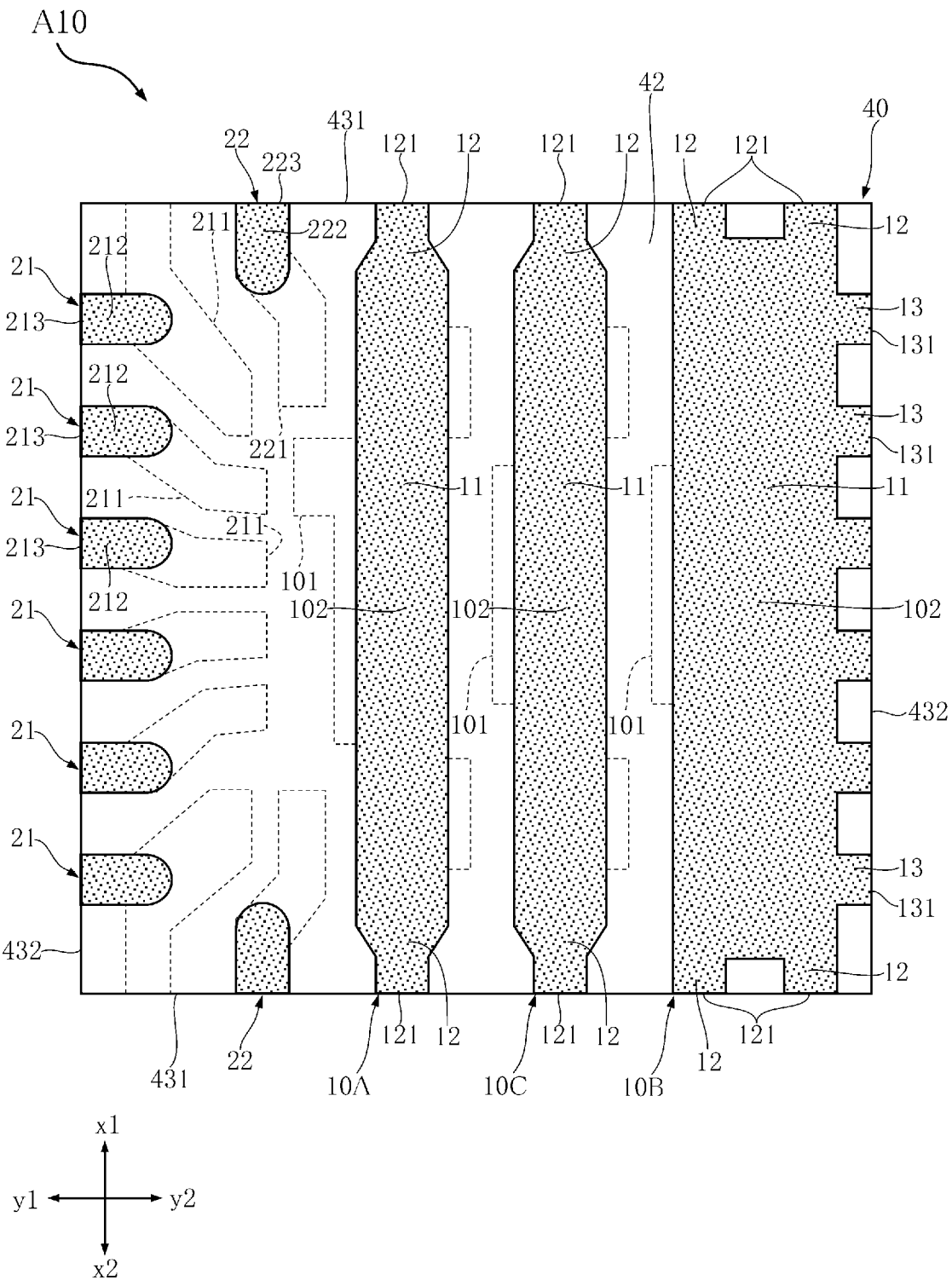
[図2]
FIG.2


A10
40
431
301
302
22
223
30a
121
12
11
221
211
21
213
36A
36B
30
30b
31
432
101
13
131
10A
10C
10B
x2
y1
y2
x1

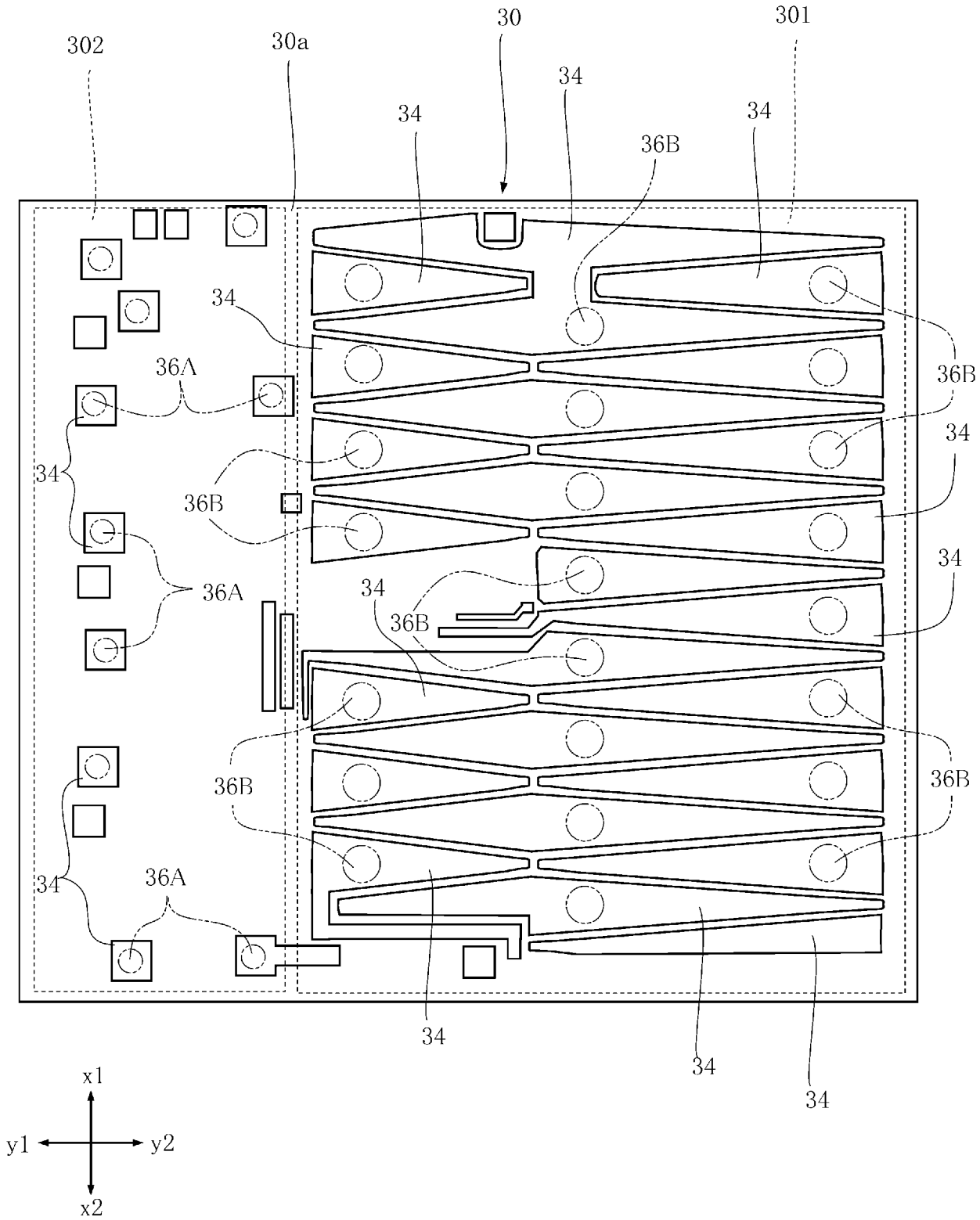
[図3]
FIG.3


A10
431
XIII
214
223
22
121
30
XI
12
121
XII
121
40
212
211
222
12
12
12
21
213
6B
36B
6B
36B
6B
36B
13
131
21
213
211
221
11
11
13
131
21
212
X
X
213
211
101
101
21
212
101
102
102
21
36A
102
21
36B
6B
36B
6B
36B
6B
6A
13
131
432
12
12
12
431
22
XIII
10A
121
10C
121
XI
10B
12
121
XII
121
x2
y1
y2
x1

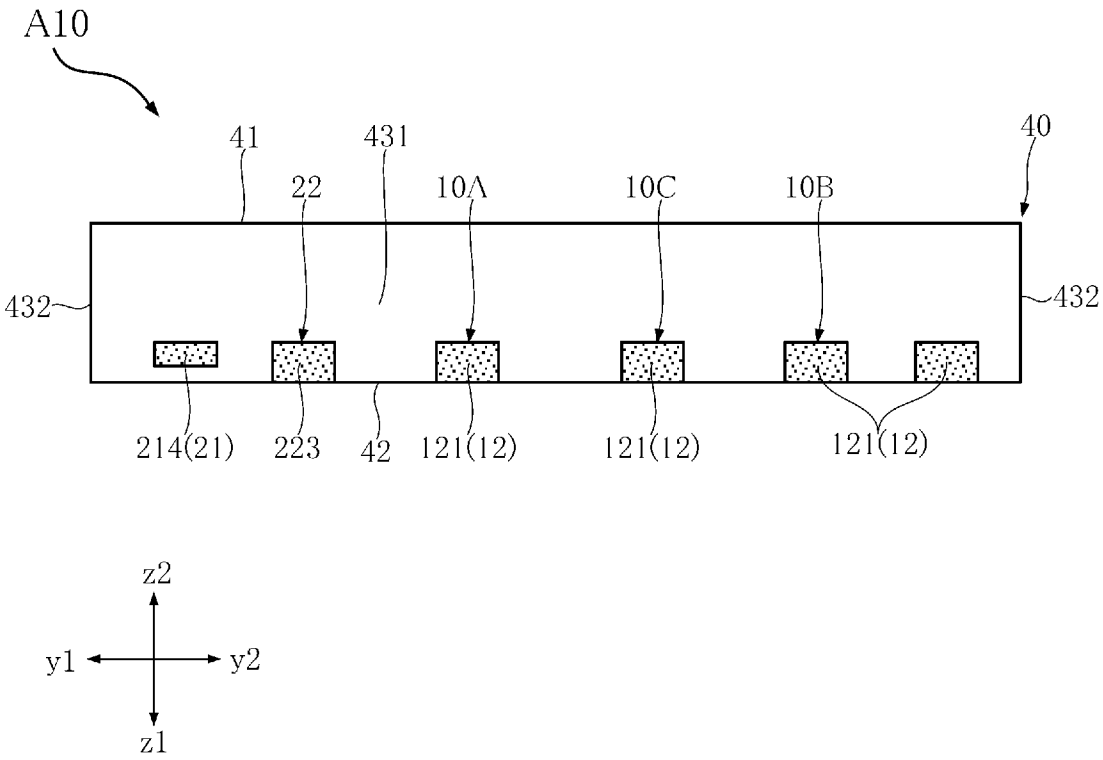
[図4]
FIG.4


A10
42
40
431
22
223
121
12
211
222
212
21
213
221
11
101
102
432
13
131
10A
10C
10B
x1
y1
y2
x2

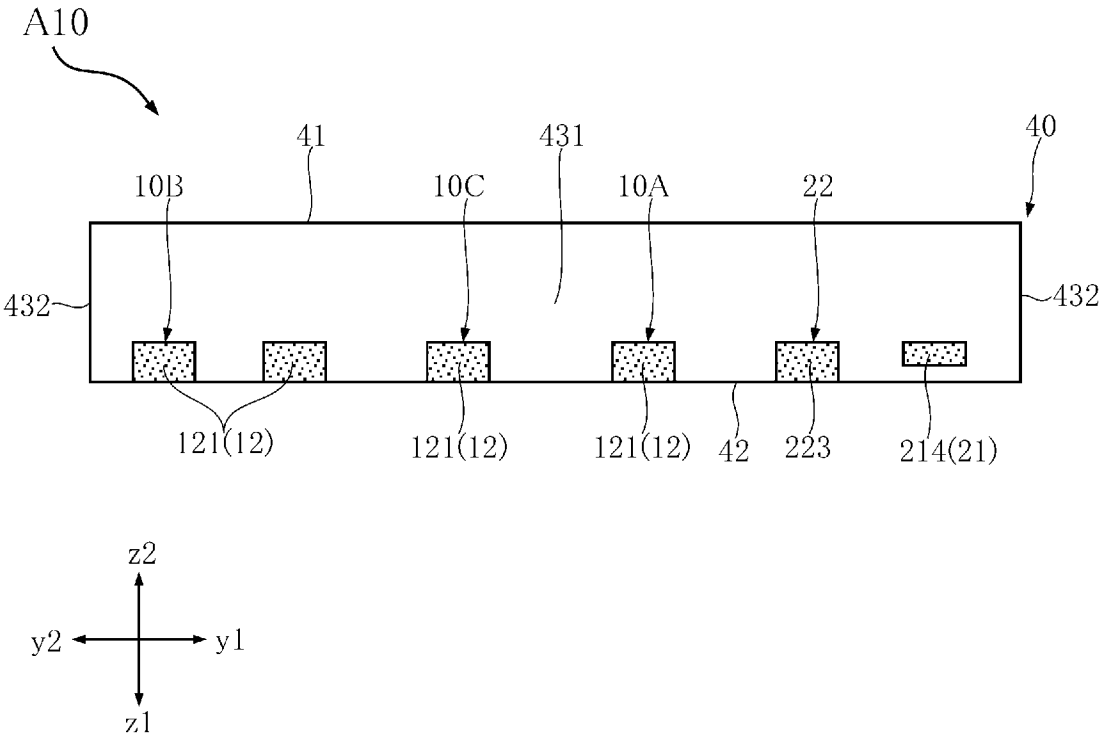
[図5]
FIG.5


30
301
302
30a
34
34
34
36B
34
36A
36B
34
34
36B
34
36A
34
36B
34
36B
36B
34
36A
34
34
34
x1
y1
y2
x2

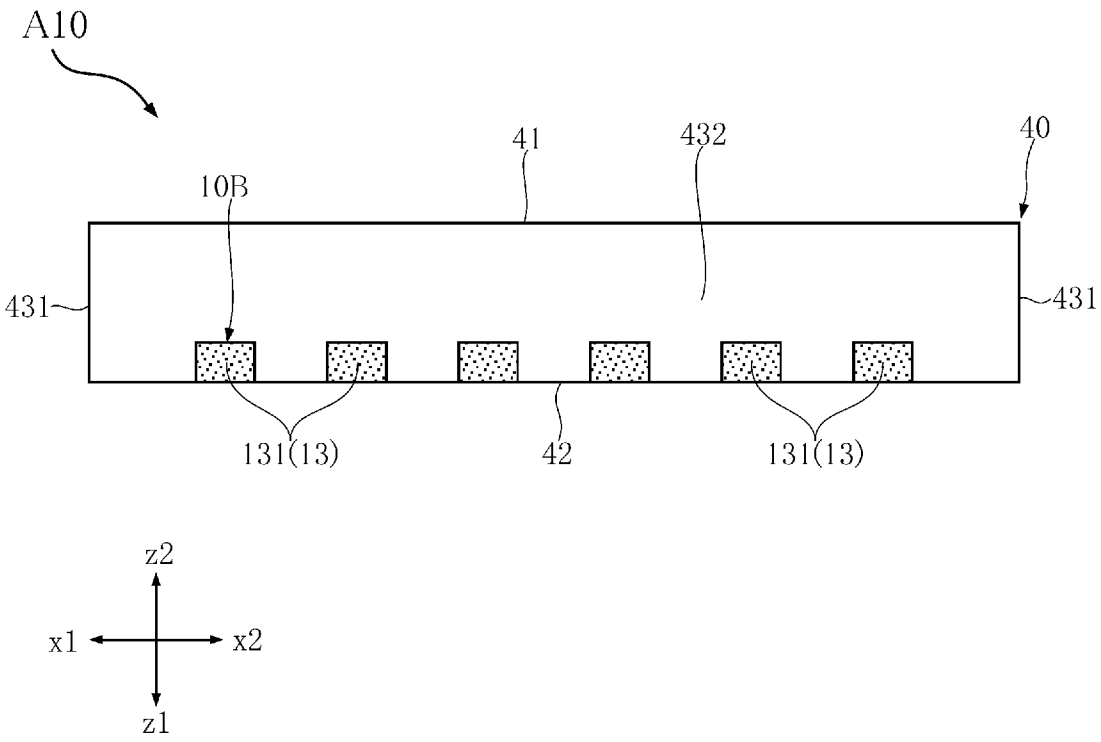
[図6]
FIG.6



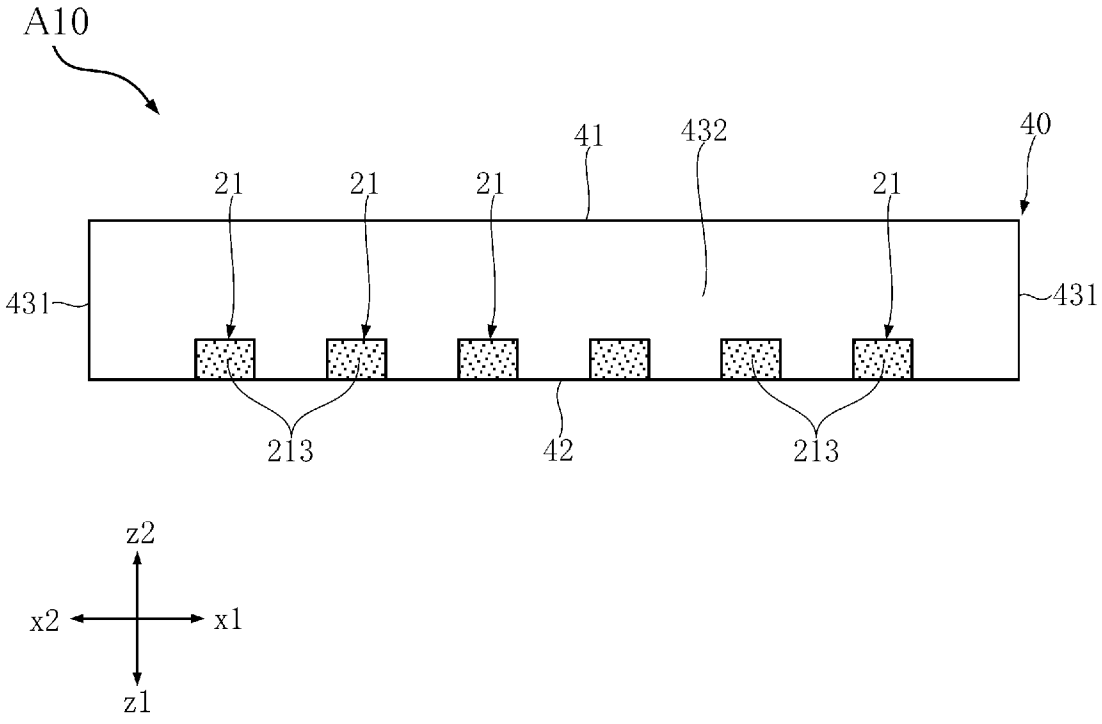
[図7]
FIG.7



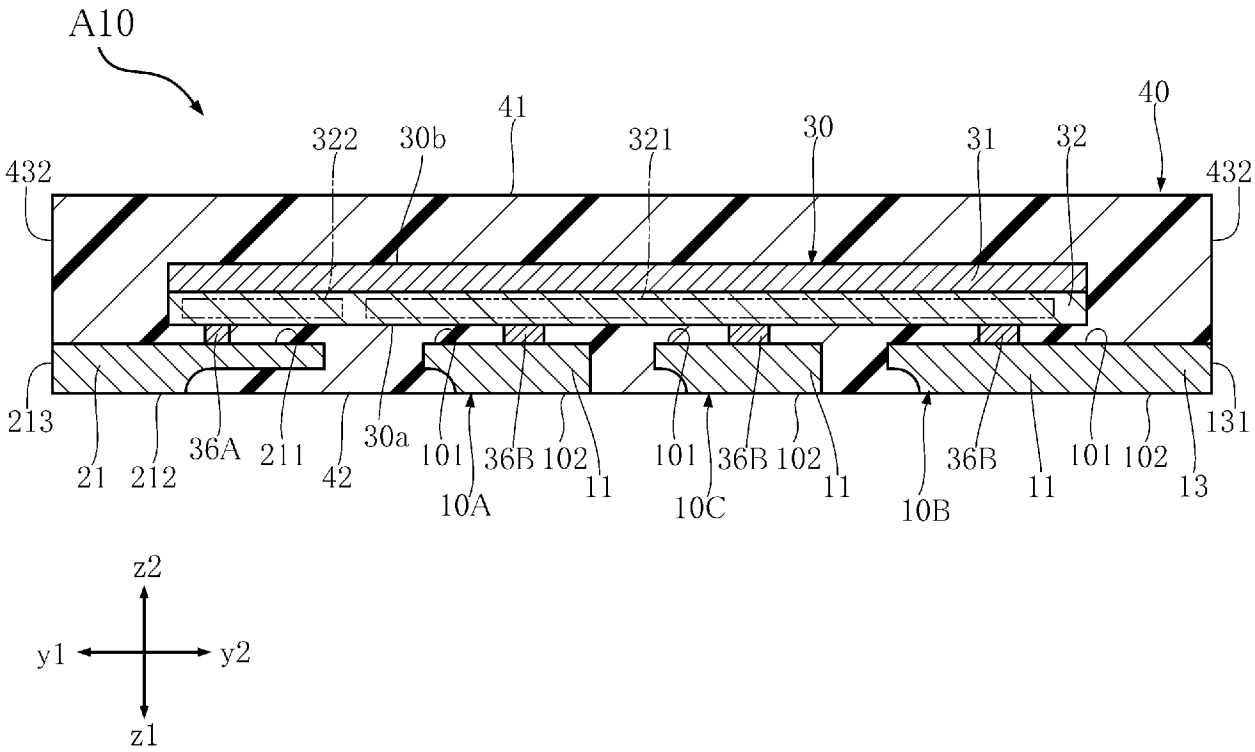
[図8]
FIG.8



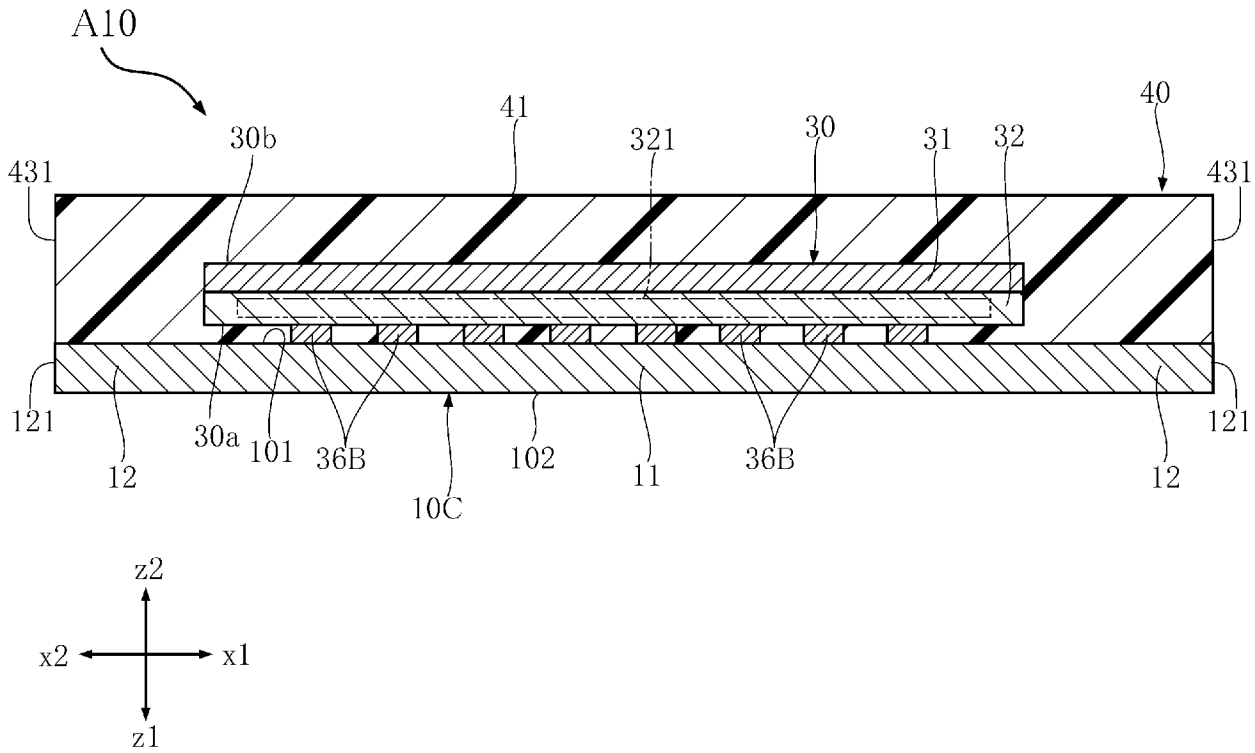
[図9]
FIG.9



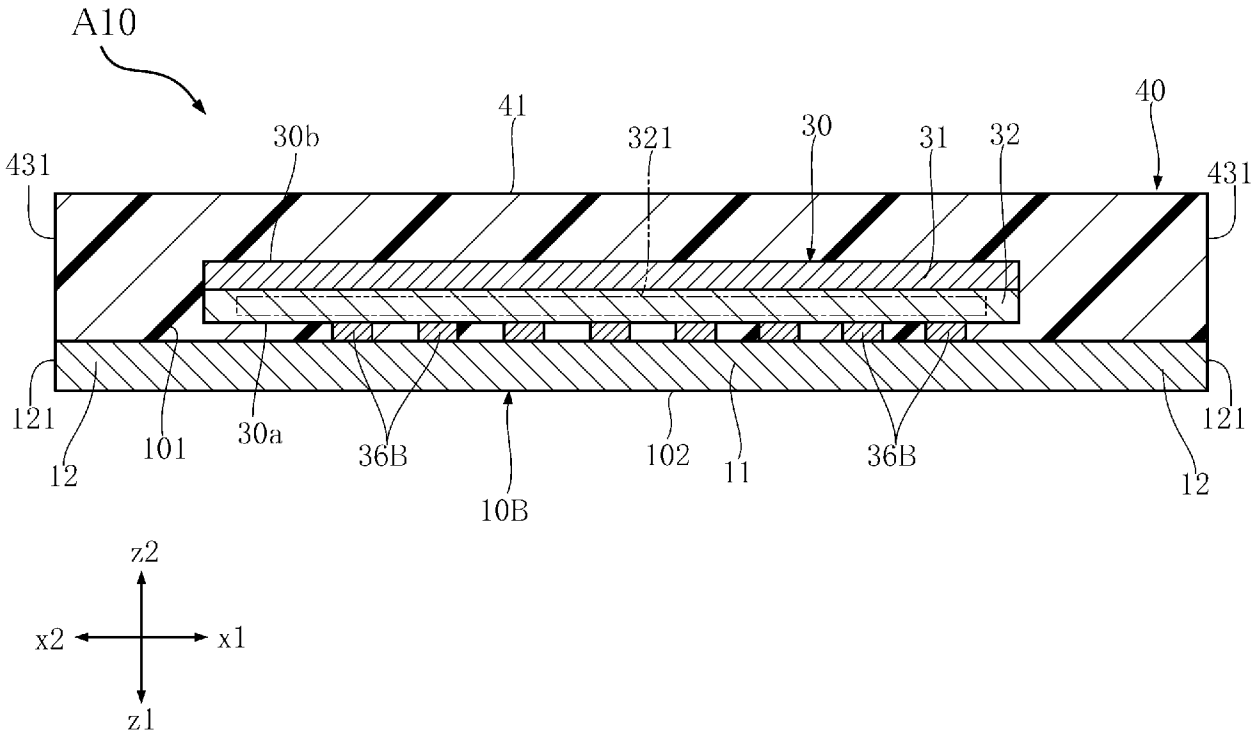
[図10]
FIG.10



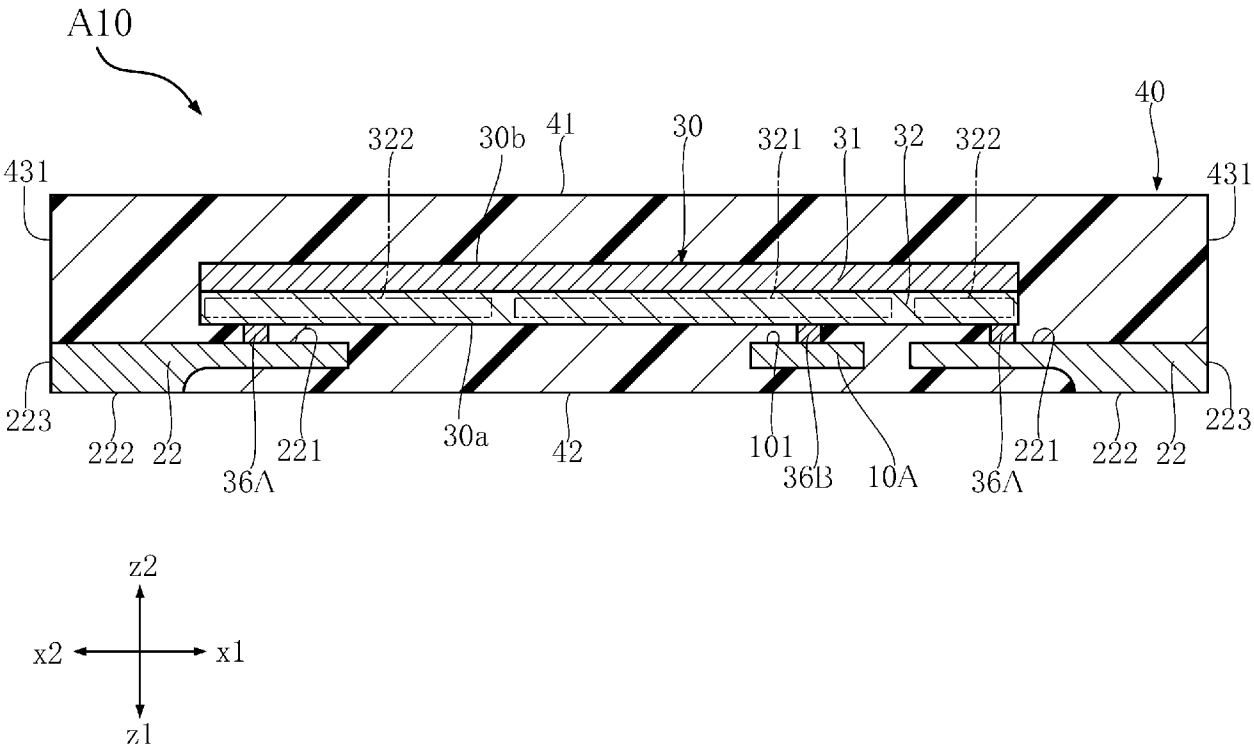
[図11]
FIG.11



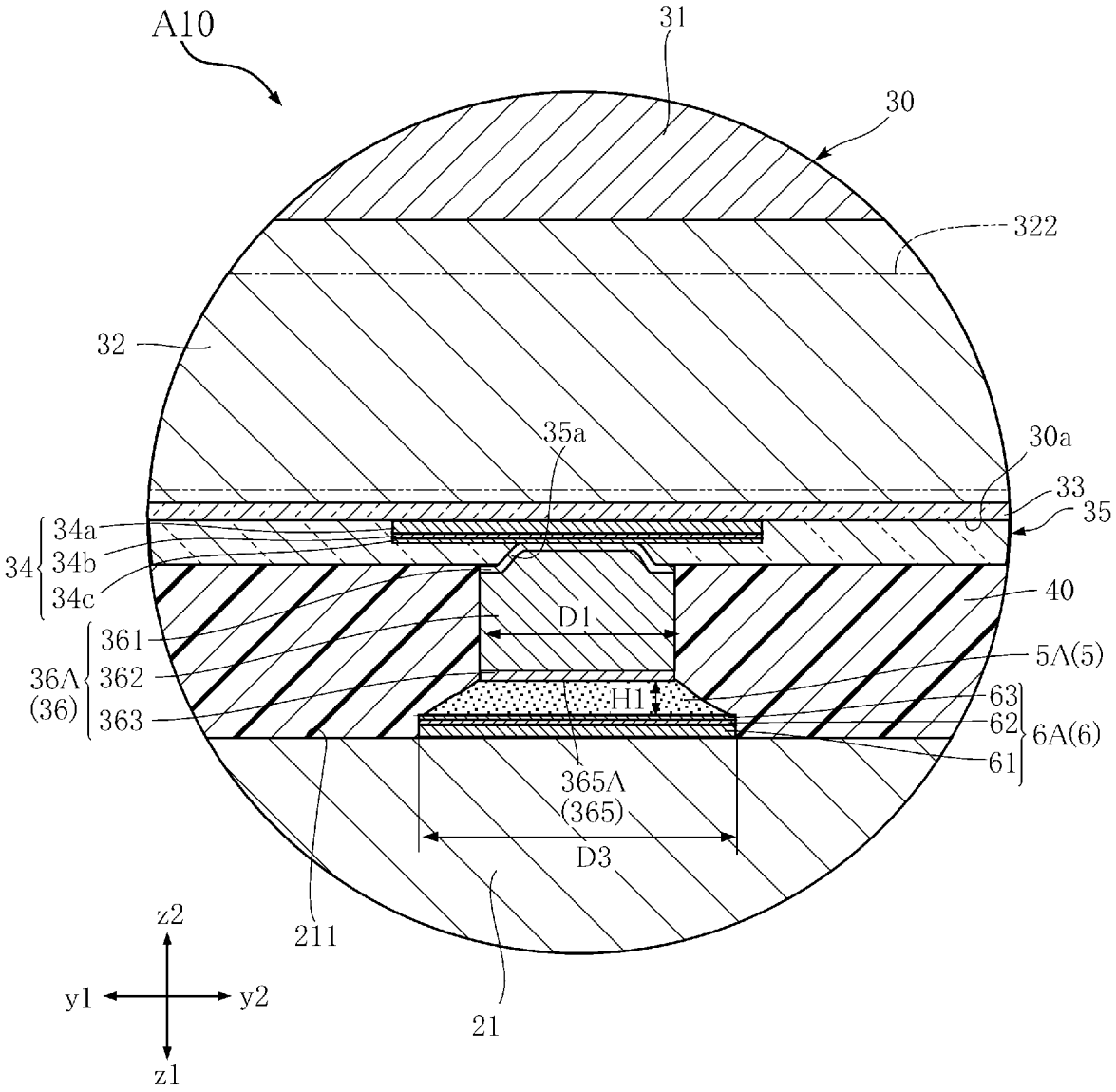
[図12]
FIG.12



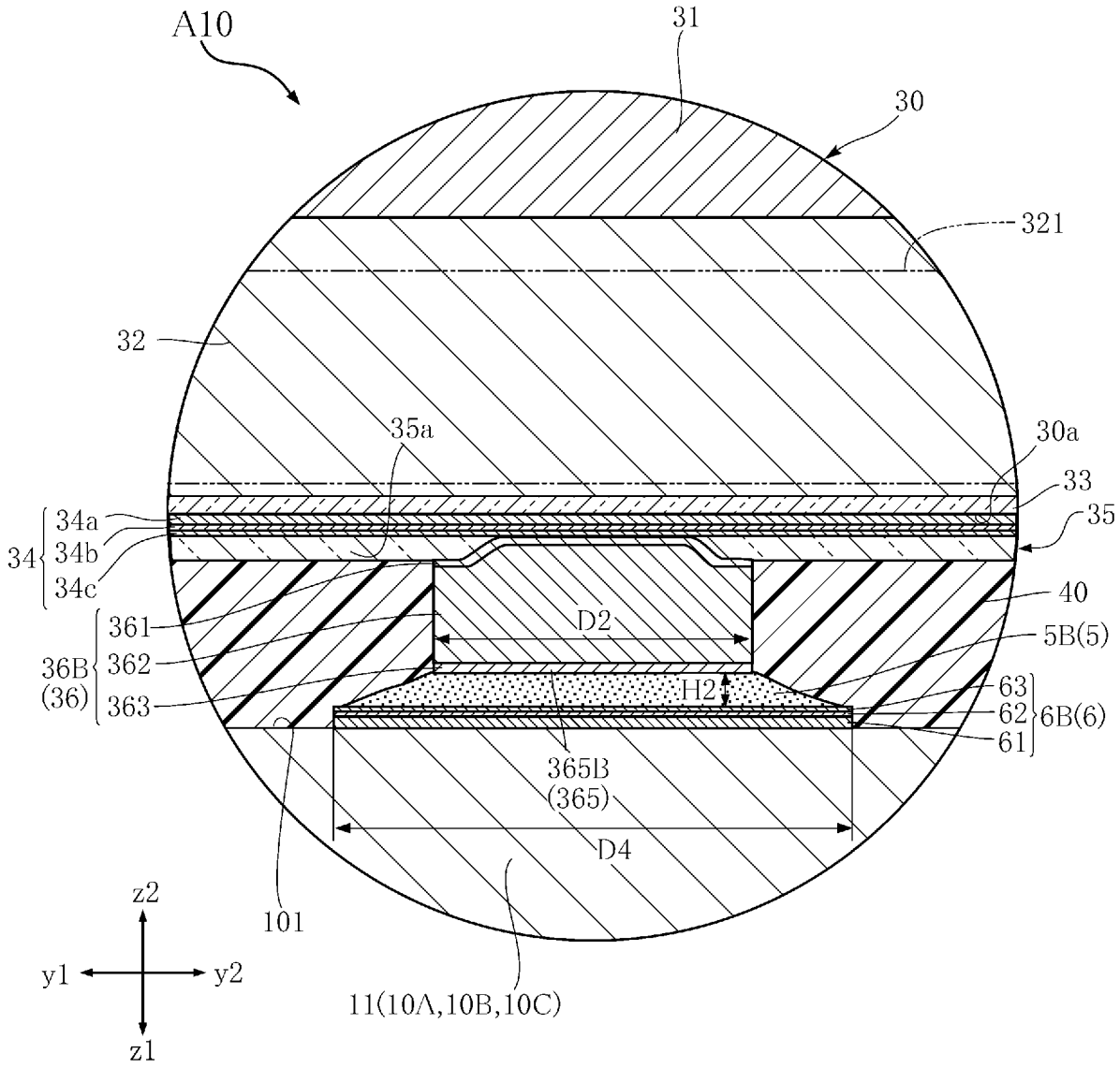
[図13]
FIG.13



[図14]
FIG.14

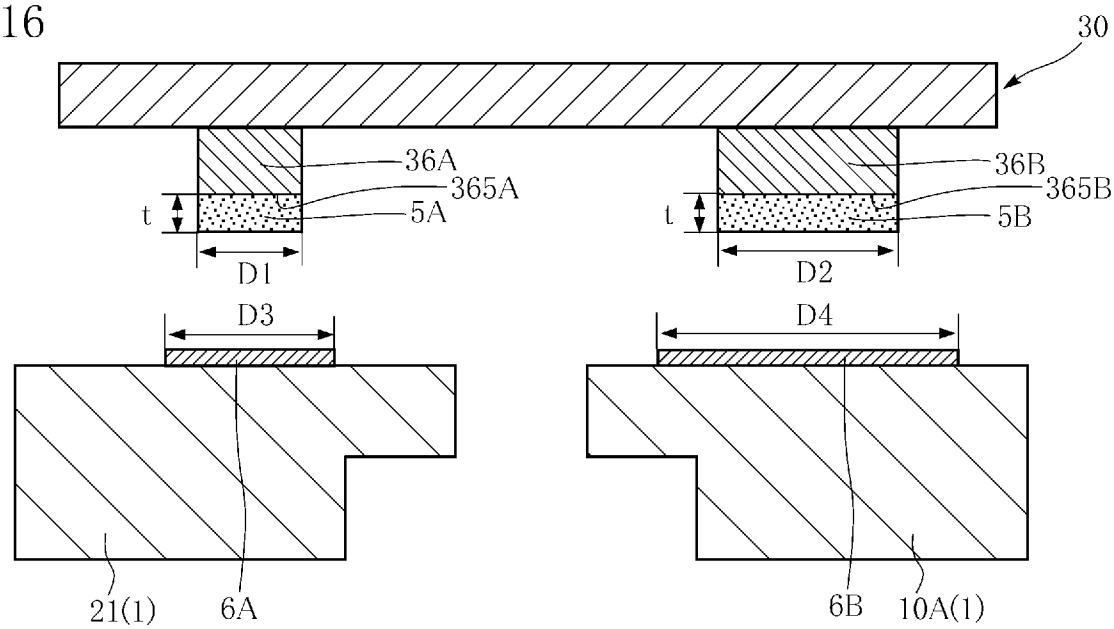

A10
31
30
322
32
35a
30a
33
35
34
34a
34b
34c
40
D1
361
362
363
36Λ
(36)
5Λ(5)
H1
63
62
61
6A(6)
365Λ
(365)
D3
211
21
z2
y1
y2
z1

[図15]
FIG.15


A10
31
30
321
32
35a
30a
33
35
34a
34b
34c
34
361
362
363
36B
(36)
D2
40
5B(5)
H2
63
62
61
6B(6)
365B
(365)
D4
101
z2
y1
y2
z1
11(10A,10B,10C)

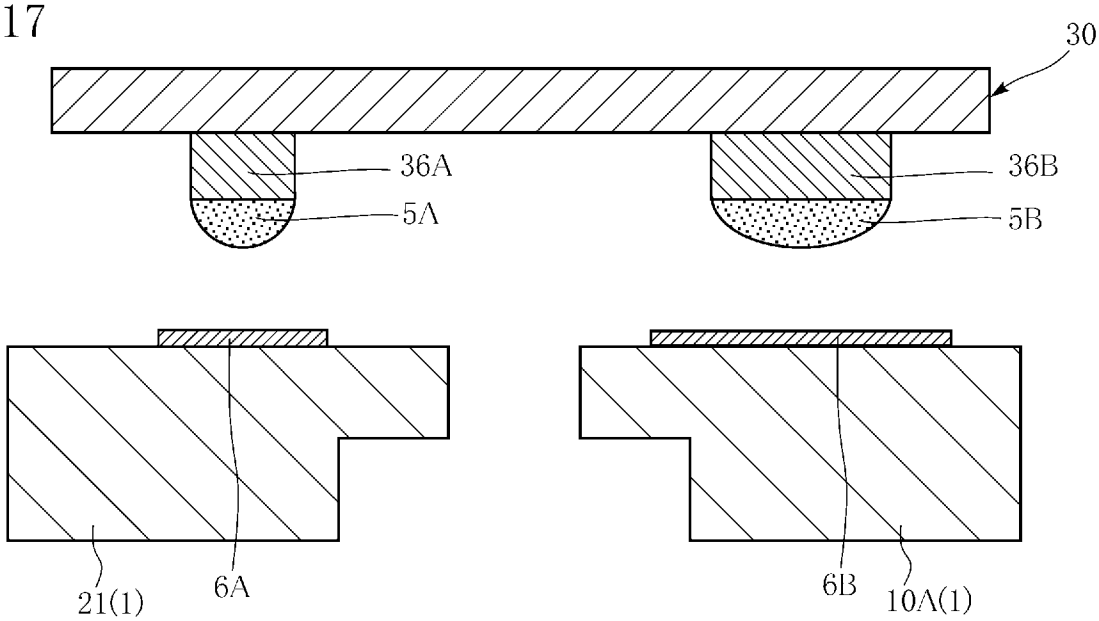
[図16]

FIG.16



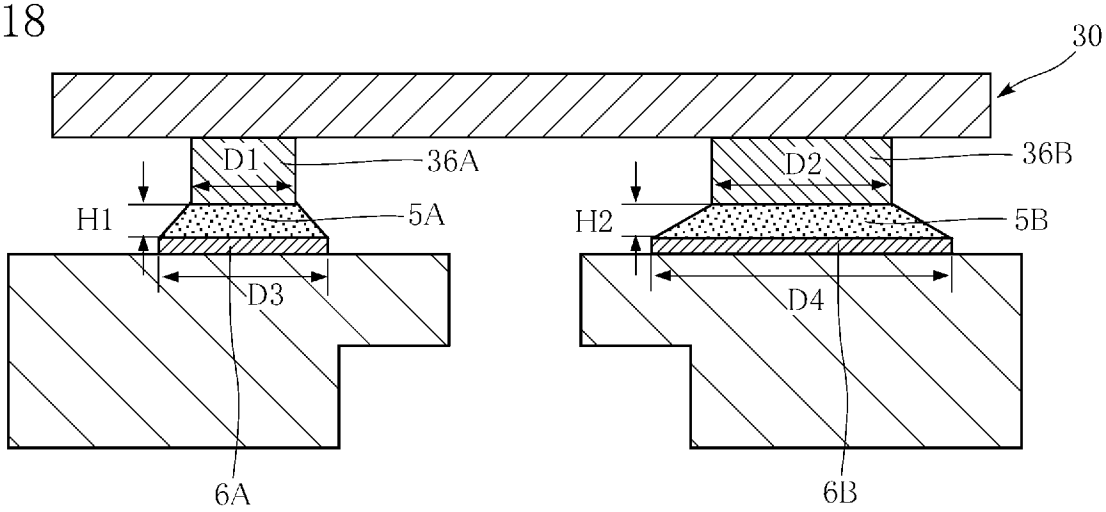
[図17]

FIG.17

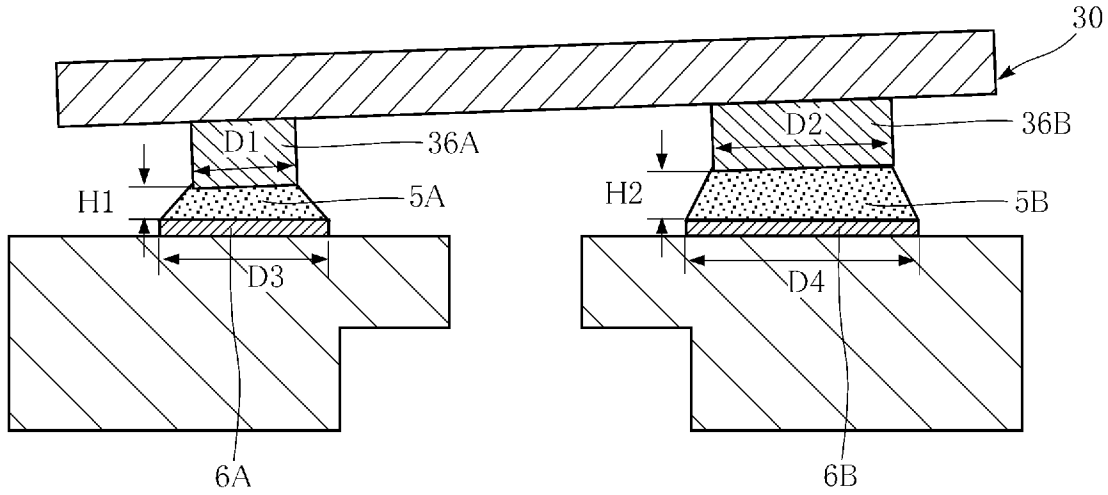


[図18]

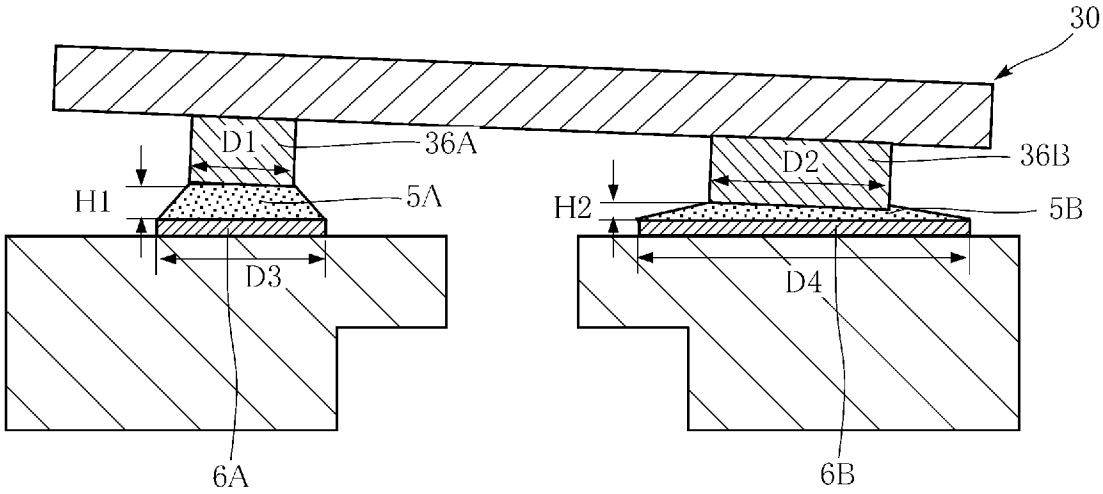
FIG.18



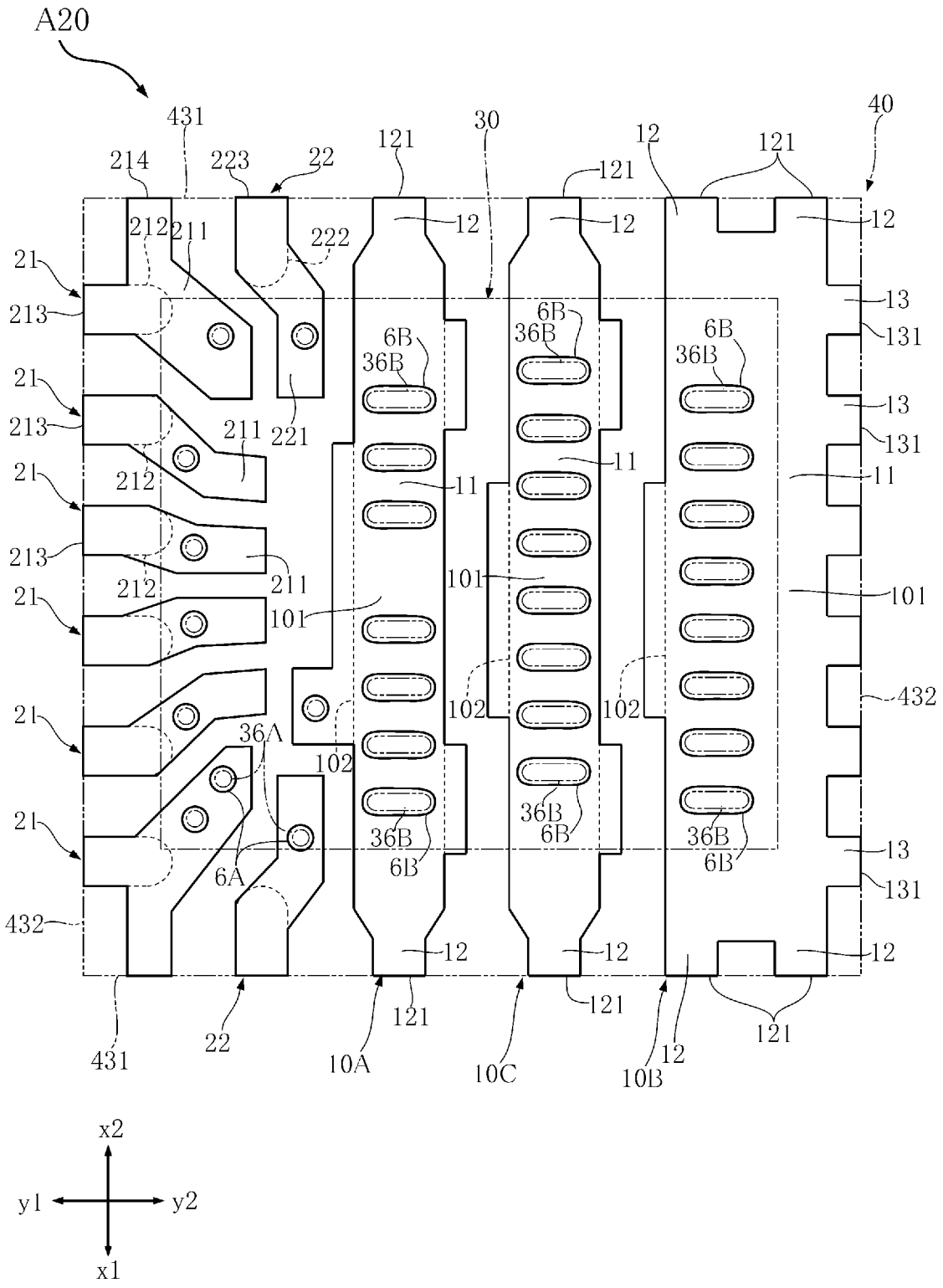
[図19]
FIG.19



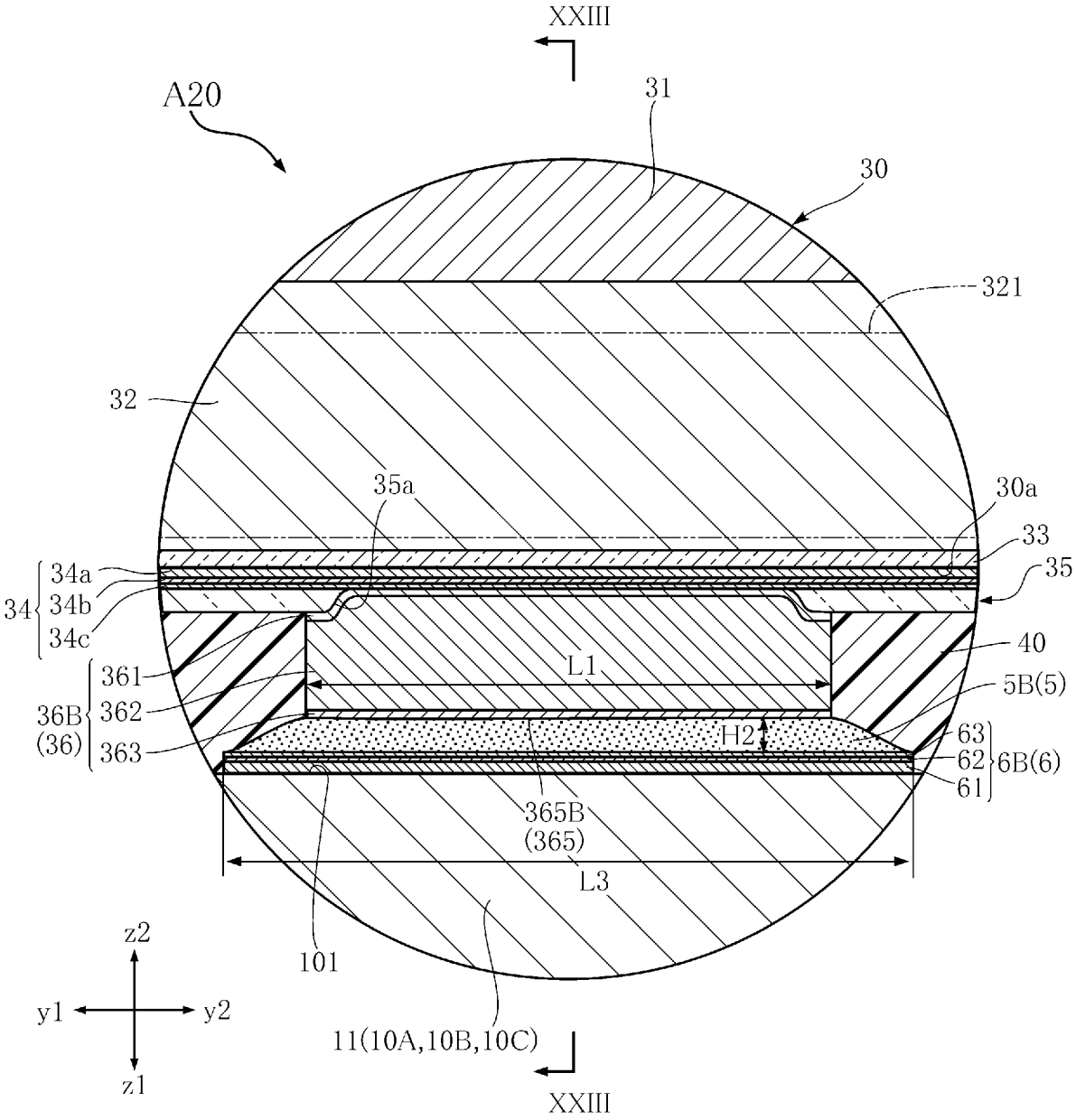
[図20]
FIG.20



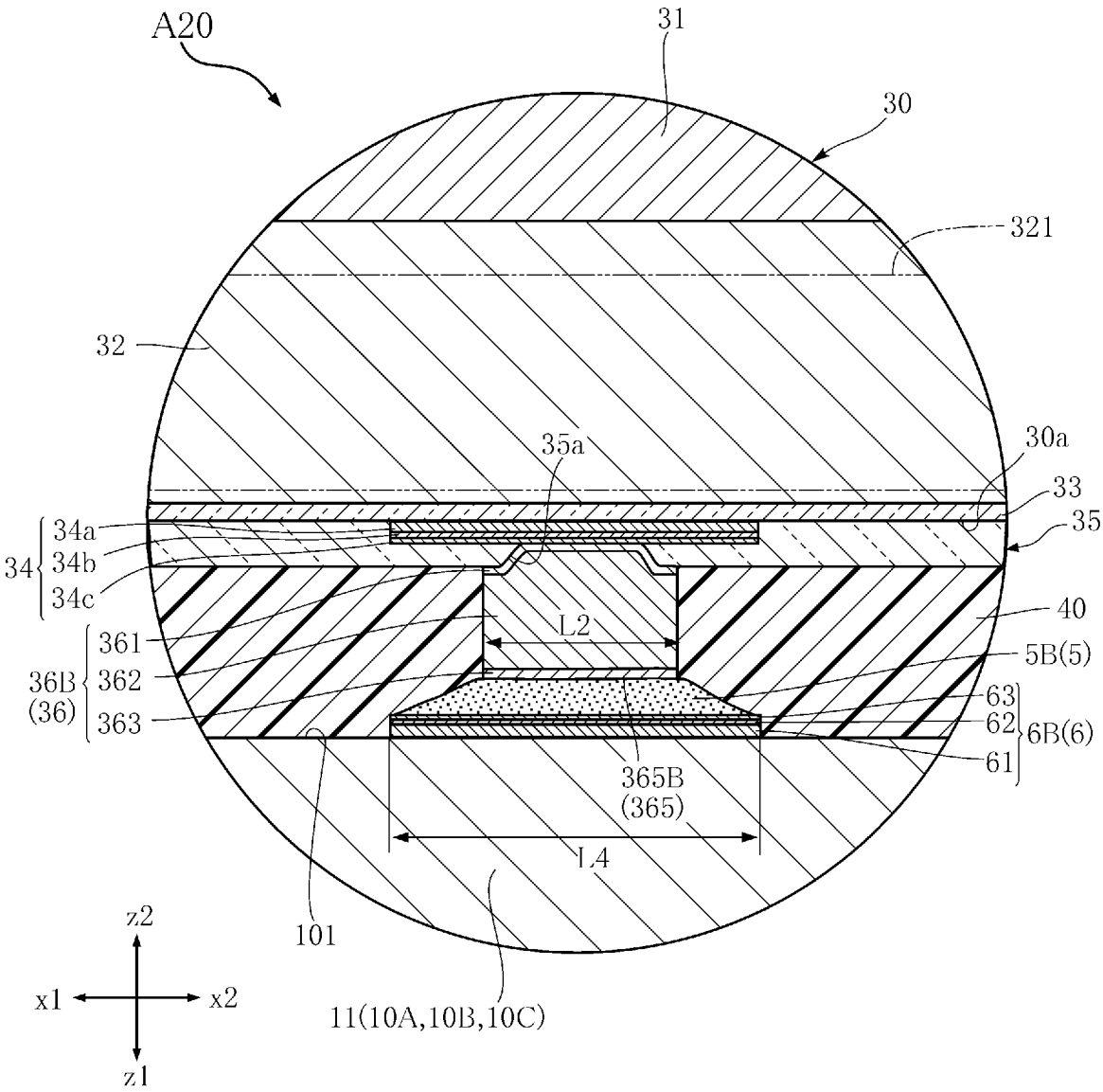
[図21]
FIG.21


A20
431
214
223
22
121
30
121
12
121
40
212
211
222
12
12
12
21
213
6B
36B
6B
36B
6B
36B
13
131
21
213
211
221
13
131
212
11
11
11
21
213
212
211
101
101
21
101
102
102
21
36A
102
21
36B
6B
36B
6B
36B
6B
6A
13
131
432
12
12
12
431
22
121
10A
121
10C
121
12
10B
121
x2
y1
y2
x1

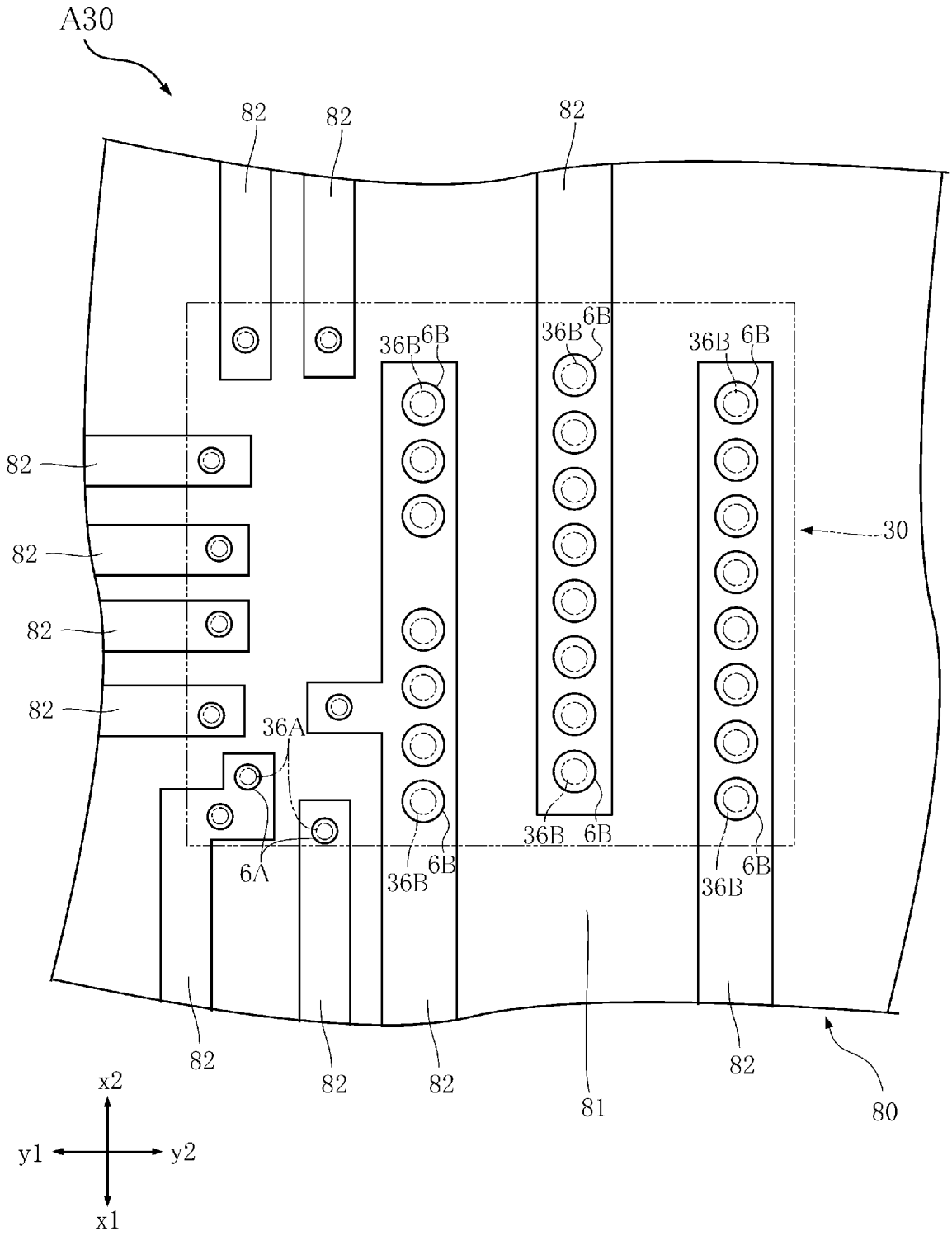
[図22]
FIG.22


XXIII
A20
31
30
321
32
35a
30a
33
35
34
34a
34b
34c
40
L1
36B
(36)
361
362
363
5B(5)
H2
63
62
61
6B(6)
365B
(365)
L3
101
z2
y1
y2
z1
11(10A,10B,10C)
XXIII

[図23]
FIG.23


A20
31
30
321
32
35a
30a
33
35
34a
34b
34c
34
40
L2
361
362
363
36B
(36)
5B(5)
63
62
61
6B(6)
365B
(365)
L4
101
z2
x1
x2
z1
11(10A,10B,10C)

[図24]
FIG.24


A30
82
82
82
82
82
82
82
82
36B
6B
36B
6B
36B
6B
30
36A
6A
36B
6B
36B
6B
36B
6B
82
82
82
81
82
80
x2
y1
y2
x1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/047329

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/60(2006.01)i; ***H01L 23/48***(2006.01)i
FI: H01L21/60 311S; H01L23/48 S; H01L21/92 602Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48; H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/193338 A1 (ROHM CO., LTD.) 30 September 2021 (2021-09-30) entire text	1-14
A	WO 2021/177034 A1 (ROHM CO., LTD.) 10 September 2021 (2021-09-10) entire text	1-14
A	JP 2007-59638 A (NEC CORP) 08 March 2007 (2007-03-08) entire text	1-14
A	JP 2002-524854 A (ROBERT BOSCH GMBH) 06 August 2002 (2002-08-06) entire text	1-14
A	JP 4-268739 A (MATSUSHITA ELECTRON CORP) 24 September 1992 (1992-09-24) entire text	1-14
A	JP 7-263449 A (HITACHI LTD) 13 October 1995 (1995-10-13) entire text	1-14
A	JP 2004-200194 A (MURATA MFG CO LTD) 15 July 2004 (2004-07-15) entire text	1-14

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 February 2023	**21 February 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/047329

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2021/193338 A1	30 September 2021	CN 115398608 A	
WO 2021/177034 A1	10 September 2021	CN 115244669 A	
JP 2007-59638 A	08 March 2007	(Family: none)	
JP 2002-524854 A	06 August 2002	US 6678948 B1	
		WO 2000/013228 A1	
		EP 1048069 A1	
		DE 19839760 A1	
		HU 100338 A	
JP 4-268739 A	24 September 1992	(Family: none)	
JP 7-263449 A	13 October 1995	(Family: none)	
JP 2004-200194 A	15 July 2004	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2022/047329

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/60(2006.01)i; H01L 23/48(2006.01)i
FI: H01L21/60 311S; H01L23/48 S; H01L21/92 602Q

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/48; H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2021/193338 A1 (ローム株式会社) 30.09.2021 (2021-09-30) 全文	1-14
A	WO 2021/177034 A1 (ローム株式会社) 10.09.2021 (2021-09-10) 全文	1-14
A	JP 2007-59638 A (日本電気株式会社) 08.03.2007 (2007-03-08) 全文	1-14
A	JP 2002-524854 A (ローベルト ボツシユ ゲゼルシヤフト ミツト ベシユレンクテル ハフツング) 06.08.2002 (2002-08-06) 全文	1-14
A	JP 4-268739 A (松下電子工業株式会社) 24.09.1992 (1992-09-24) 全文	1-14
A	JP 7-263449 A (株式会社日立製作所) 13.10.1995 (1995-10-13) 全文	1-14
A	JP 2004-200194 A (株式会社村田製作所) 15.07.2004 (2004-07-15) 全文	1-14

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
09.02.2023	21.02.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
河合　俊英 5F 3238
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/047329

引用文献	公表日	パテントファミリー文献	公表日
WO 2021/193338 A1	30.09.2021	CN 115398608 A	
WO 2021/177034 A1	10.09.2021	CN 115244669 A	
JP 2007-59638 A	08.03.2007	（ファミリーなし）	
JP 2002-524854 A	06.08.2002	US 6678948 B1	
		WO 2000/013228 A1	
		EP 1048069 A1	
		DE 19839760 A1	
		HU 100338 A	
JP 4-268739 A	24.09.1992	（ファミリーなし）	
JP 7-263449 A	13.10.1995	（ファミリーなし）	
JP 2004-200194 A	15.07.2004	（ファミリーなし）	