

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成24年9月6日(2012.9.6)

【公開番号】特開2009-33173(P2009-33173A)
 【公開日】平成21年2月12日(2009.2.12)
 【年通号数】公開・登録公報2009-006
 【出願番号】特願2008-192141(P2008-192141)
 【国際特許分類】

H 0 1 L 29/78 (2006.01)
 H 0 1 L 21/336 (2006.01)
 H 0 1 L 21/28 (2006.01)
 H 0 1 L 21/8238 (2006.01)
 H 0 1 L 27/092 (2006.01)
 H 0 1 L 21/283 (2006.01)
 H 0 1 L 29/417 (2006.01)
 H 0 1 L 29/423 (2006.01)
 H 0 1 L 29/49 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 N
 H 0 1 L 21/28 Z
 H 0 1 L 27/08 3 2 1 C
 H 0 1 L 21/283 C
 H 0 1 L 29/50 M
 H 0 1 L 29/58 G

【手続補正書】
 【提出日】平成23年6月30日(2011.6.30)

【手続補正1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板上に備えられたゲート電極および前記ゲート電極の側壁面に備えられたスペーサを含むゲート構造物と、
 前記ゲート構造物の両側の前記半導体基板内に形成されたソース/ドレイン領域と、
 前記ゲート構造物上に備えられたエッチング停止膜と、
 を含み、
 前記エッチング停止膜は、前記スペーサ上の第1領域および前記ゲート電極の上面上の第2領域を含み、
 前記第1領域の厚さは、前記第2領域の厚さの85%以下であることを特徴とする半導体素子。

【請求項2】

前記エッチング停止膜は、前記ソース/ドレイン領域上にまで延長された第3領域をさらに含み、
 前記第1領域の厚さは、前記第3領域の厚さの85%以下であることを特徴とする請求項1に記載の半導体素子。

【請求項 3】

前記エッチング停止膜を介在して、前記ゲート構造物を覆う引張応力膜をさらに含むことを特徴とする請求項 1 または 2 に記載の半導体素子。

【請求項 4】

前記ゲート構造物および前記ソース/ドレーン領域は N M O S トランジスタを構成することを特徴とする請求項 1 ~ 3 のいずれか一項 に記載の半導体素子。

【請求項 5】

前記エッチング停止膜は、P E - T E O S 膜で形成されることを特徴とする請求項 1 ~ 4 のいずれか一項 に記載の半導体素子。

【請求項 6】

前記第 1 領域の少なくとも一部は、厚さが 0 であることを特徴とする請求項 1 ~ 5 のいずれか一項 に記載の半導体素子。

【請求項 7】

前記ゲート電極および前記ソース/ドレーン領域は G e、X e、C、F、またはこれらの組み合わせを含む非晶質化合物を含むことを特徴とする請求項 1 ~ 6 のいずれか一項 に記載の半導体素子。

【請求項 8】

N M O S トランジスタ領域および P M O S トランジスタ領域を含む半導体基板と、
前記半導体基板の前記 N M O S トランジスタ領域上に備えられた第 1 ゲート電極、および前記第 1 ゲート電極の側壁面に備えられた第 1 スペースを含む第 1 ゲート構造物と、
前記第 1 ゲート構造物の両側の前記半導体基板内に形成された第 1 ソース/ドレーン領域と、

前記半導体基板の前記 P M O S トランジスタ領域上に備えられた第 2 ゲート電極、および前記第 2 ゲート電極の側壁面に備えられた第 2 スペースを含む第 2 ゲート構造物と、
前記第 2 ゲート構造物の両側の前記半導体基板内に形成された第 2 ソース/ドレーン領域と、

前記第 1 および前記第 2 ゲート構造物上に備えられたエッチング停止膜と、
を含み、

前記エッチング停止膜は、前記第 1 および第 2 スペース上のそれぞれの第 1 領域および前記第 1 および第 2 ゲート電極の上面上のそれぞれの第 2 領域を含み、

前記第 1 および第 2 スペース上のそれぞれの第 1 領域の厚さは、前記第 1 および第 2 スペース上のそれぞれの第 2 領域の厚さの 85% 以下であることを特徴とする半導体素子。

【請求項 9】

前記エッチング停止膜は、前記第 1 ソース/ドレーン領域および前記第 2 ソース/ドレーン領域上にまで延長された第 3 領域をさらに含み、

前記第 1 領域の厚さは、前記第 3 領域の厚さの 85% 以下であることを特徴とする請求項 8 に記載の半導体素子。

【請求項 10】

前記エッチング停止膜を介在して、前記 N M O S トランジスタ上の前記第 1 ゲート構造物を覆う引張応力膜をさらに含むことを特徴とする請求項 8 または 9 に記載の半導体素子。

【請求項 11】

前記エッチング停止膜を介在して、前記 P M O S トランジスタ上の前記第 2 ゲート構造物を覆う圧縮応力膜をさらに含むことを特徴とする請求項 8 ~ 10 のいずれか一項 に記載の半導体素子。

【請求項 12】

前記エッチング停止膜は P E - T E O S 膜で形成されることを特徴とする請求項 8 ~ 11 のいずれか一項 に記載の半導体素子。

【請求項 13】

前記第 1 領域の少なくとも一部は厚さが 0 であることを特徴とする請求項 8 ~ 12 のい

ずれか一項に記載の半導体素子。

【請求項 14】

前記ゲート電極および前記ソース/ドレーン領域は Ge、Xe、C、F、またはこれらの組み合わせを含む非晶質化物質を含むことを特徴とする請求項 8 ~ 13 のいずれか一項に記載の半導体素子。

【請求項 15】

半導体基板を提供し、

前記半導体基板上にゲート電極、および前記ゲート電極の側壁面にスペーサを備えるゲート構造物を形成し、

前記ゲート構造物の両側の前記半導体基板内にソース/ドレーン領域を形成し、

前記ゲート構造物上にエッチング停止膜を形成し、

前記エッチング停止膜上に引張応力膜を形成することを含み、

前記エッチング停止膜は、前記スペーサ上の第 1 領域および前記ゲート電極の上面上の第 2 領域を含み、

前記第 1 領域の厚さは、前記第 2 領域の厚さの 85% 以下であることを特徴とする半導体素子の製造方法。

【請求項 16】

前記エッチング停止膜は、前記ソース/ドレーン領域上にまで延長された第 3 領域をさらに含み、

前記第 1 領域の厚さは、前記第 3 領域の厚さの 85% 以下であることを特徴とする請求項 15 に記載の半導体素子の製造方法。

【請求項 17】

前記エッチング停止膜は、PECVD 法で形成されることを特徴とする請求項 15 または 16 に記載の半導体素子の製造方法。

【請求項 18】

前記エッチング停止膜を形成することは、

前記ゲート構造物上に予備エッチング停止膜を形成し、

前記予備エッチング停止膜を等方性エッチングする際に、前記第 2 領域は残し、前記第 1 領域は少なくとも一部が完全に除去されるようにエッチングすることを含むことを特徴とする請求項 15 ~ 17 のいずれか一項に記載の半導体素子の製造方法。

【請求項 19】

前記ゲート電極を非晶質化することをさらに含み、

前記引張応力膜を形成した後、非晶質化された前記第 1 ゲート電極を再結晶化することをさらに含む請求項 15 ~ 18 のいずれか一項に記載の半導体素子の製造方法。

【請求項 20】

前記非晶質化することは、

前記ゲート電極に Ge、Xe、C、F、またはこれらの組み合わせを含む非晶質化物質をイオン注入することを含み、

前記再結晶化することは、非晶質化された前記ゲート電極を熱処理することを含むことを特徴とする請求項 19 に記載の半導体素子の製造方法。

【請求項 21】

NMOS トランジスタ領域および PMOS トランジスタ領域を含む半導体基板を提供し、

NMOS トランジスタ領域の前記半導体基板上に第 1 ゲート電極、および前記第 1 ゲート電極の側壁面に第 1 スペーサを備える第 1 ゲート構造物を形成し、

PMOS トランジスタ領域の前記半導体基板上に第 2 ゲート電極、および前記第 2 ゲート電極の側壁面に第 2 スペーサを備える第 2 ゲート構造物を形成し、

前記第 1 ゲート構造物の両側の前記半導体基板内に第 1 ソース/ドレーン領域を形成し、

前記第 2 ゲート構造物の両側の前記半導体基板内に第 2 ソース/ドレーン領域を形成し

、
前記第 1 および前記第 2 ゲート構造物上にエッチング停止膜を形成し、
前記エッチング停止膜上に引張応力膜を形成することを含み、
前記エッチング停止膜は、前記第 1 および第 2 スペース上のそれぞれの第 1 領域および前記第 1 および第 2 ゲート電極の上面上のそれぞれの第 2 領域を含み、
前記第 1 および第 2 スペース上のそれぞれの第 1 領域の厚さは、前記第 1 および第 2 スペース上のそれぞれの第 2 領域の厚さの 85% 以下であることを特徴とする半導体素子の製造方法。

【請求項 2 2】

前記エッチング停止膜は、前記第 1 ソース/ドレイン領域および前記第 2 ソース/ドレイン領域上にまで延長された第 3 領域をさらに含み、
前記第 1 領域の厚さは、前記第 3 領域の厚さの 85% 以下であることを特徴とする請求項 2 1 に記載の半導体素子の製造方法。

【請求項 2 3】

前記エッチング停止膜は、PECVD 法で形成されることを特徴とする請求項 2 1 または 2 2 に記載の半導体素子の製造方法。

【請求項 2 4】

前記エッチング停止膜を形成することは、
前記第 1 ゲート構造物および前記第 2 ゲート構造物上に予備エッチング停止膜を形成し

、
前記予備エッチング停止膜を等方性エッチングする際に、前記第 2 領域は残し、前記第 1 領域は少なくとも一部が完全除去されるようにエッチングすることを含むことを特徴とする請求項 2 1 ~ 2 3 のいずれか一項に記載の半導体素子の製造方法。

【請求項 2 5】

前記第 1 ゲート電極および前記第 2 ゲート電極を非晶質化することを含み、
前記引張応力膜を形成した後、非晶質化された前記第 1 ゲート電極および前記第 2 ゲート電極を再結晶化することをさらに含むことを特徴とする請求項 2 1 ~ 2 4 のいずれか一項に記載の半導体素子の製造方法。

【請求項 2 6】

前記非晶質化することは、
前記第 1 ゲート電極および前記第 2 ゲート電極に Ge、Xe、C、F、またはこれらの組み合わせを含む非晶質化物質をイオン注入することを含み、
前記再結晶化することは非晶質化された前記第 1 ゲート電極、および前記第 2 ゲート電極を熱処理することを含む請求項 2 5 に記載の半導体素子の製造方法。

【請求項 2 7】

前記再結晶化前に、前記 PMOS トランジスタ領域上の前記引張応力膜を選択的に除去することをさらに含むことを特徴とする請求項 2 5 または 2 6 に記載の半導体素子の製造方法。

【請求項 2 8】

前記 PMOS トランジスタ領域上の前記引張応力膜を選択的に除去し、
前記 NMOS 領域上の残留する前記引張応力膜および前記 PMOS 領域上のエッチング停止膜上に圧縮応力膜を形成し、
前記 NMOS 領域上の前記圧縮応力膜を選択的に除去することをさらに含む請求項 2 1 ~ 2 7 のいずれか一項に記載の半導体素子の製造方法。