(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5310720号
(P5310720)
(45)発行日　平成25年10月9日(2013.10.9)　(24)登録日　平成25年7月12日(2013.7.12)

(51)Int.Cl.　F I
G06F 17/14 (2006.01)　G06F 17/14　A

請求項の数 19　(全 35 頁)

(21)出願番号　特願2010-512429(P2010-512429)
(86)(22)出願日　平成19年9月26日(2007.9.26)
(65)公表番号　特表2011-502289(P2011-502289A)
(43)公表日　平成23年1月20日(2011.1.20)
(86)国際出願番号　PCT/JP2007/069328
(87)国際公開番号　WO2009/040957
(87)国際公開日　平成21年4月2日(2009.4.2)
審査請求日　平成22年8月30日(2010.8.30)

(73)特許権者　000004237
日本電気株式会社
東京都港区芝五丁目７番１号
(74)代理人　100080816
弁理士　加藤　朝道
(72)発明者　オケロ、ジェームス　アウオル　オドュオル
東京都港区芝五丁目７番１号　日本電気株式会社内

審査官　田中　幸雄

最終頁に続く

(54)【発明の名称】ＣＯＲＤＩＣに基づいたＦＦＴ及びＩＦＦＴ装置並びに方法

(57)【特許請求の範囲】
【請求項１】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを実行する装置であって、
第１及び第２のＣＯＲＤＩＣプロセッサを含み、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、
前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 = u1cos(θ) - u2sin(θ)

U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝－π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号とは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する装置。

【請求項２】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを実行する装置であって、
第１及び第２のＣＯＲＤＩＣプロセッサを含み、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、
前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第２の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する装置。

【請求項３】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを実行する装置であって、
第１及び第２のＣＯＲＤＩＣプロセッサを含み、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、
前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、

前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第２の複素入力信号の虚部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号とは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する装置。

【請求項４】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを実行する装置であって、
第１及び第２のＣＯＲＤＩＣプロセッサを含み、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、
前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第２の複素入力信号の虚部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号とは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する装置。

【請求項５】
第１乃至第４の複素入力信号のＦＦＴを処理する第１ステージ及び第２ステージを有す

る、４－ポイントＦＦＴを実行する装置であって、
前記第１ステージは、
前記第１及び第３の複素入力信号を処理する第１の２－ポイントＦＦＴユニットと、
前記第２及び第４の複素入力信号を処理する第２の２－ポイントＦＦＴユニットと、
を含み、
前記第２ステージは、前記第１のステージの前記第１、第２の２－ポイントＦＦＴユニットの第１の複素出力信号を入力して２－ポイントＦＦＴを行う第３の２－ポイントＦＦＴユニットと、
前記第１のステージの前記第１の２－ポイントＦＦＴユニットの第２の複素出力信号と、前記第１のステージの前記第２の２－ポイントＦＦＴユニットの前記第２の複素出力信号に角度θ＝－π／２の回転演算を施した複素信号とを入力して２－ポイントＦＦＴを行う第４の２－ポイントＦＦＴユニットと、
を含み、
前記第３の２－ポイントＦＦＴユニットから第１、第３の複素出力信号が出力され、
前記第４の２－ポイントＦＦＴユニットから第２、第４の複素出力信号が出力され、
前記第１乃至第４の２－ポイントＦＦＴユニットは、請求項１又は２に記載された２－ポイントＦＦＴを実行する装置からなる、４－ポイントＦＦＴを実行する装置。
【請求項６】
第１乃至第４の複素入力信号のＦＦＴを処理する第１ステージ及び第２ステージを有する、４－ポイントＦＦＴを実行する装置であって、
前記第１ステージは、
前記第１及び第３の複素入力信号を処理する第１の２－ポイントＦＦＴユニットと、
前記第２及び第４の複素入力信号を処理する第２の２－ポイントＦＦＴユニットと、
を含み、
前記第２ステージは、前記第１のステージの前記第１、第２の２－ポイントＦＦＴユニットの第１の複素出力信号を入力して２－ポイントＦＦＴを行う第３の２－ポイントＦＦＴユニットと、
前記第１のステージの前記第１の２－ポイントＦＦＴユニットの第２の複素出力信号と、前記第１のステージの前記第２の２－ポイントＦＦＴユニットの前記第２の複素出力信号に角度θ＝－π／２の回転演算を施した複素信号とを入力して２－ポイントＦＦＴを行う第４の２－ポイントＦＦＴユニットと、
を含み、
前記第３の２－ポイントＦＦＴユニットから第１、第３の複素出力信号が出力され、
前記第４の２－ポイントＦＦＴユニットから第２、第４の複素出力信号が出力され、
前記第１、第２、第３の２－ポイントＦＦＴユニットの各々は、請求項１に記載された２－ポイントＦＦＴを実行する装置からなり、
前記第４の２－ポイントＦＦＴユニットは、請求項３に記載された２－ポイントＦＦＴを実行する装置からなる、４－ポイントＦＦＴを実行する装置。
【請求項７】
第１乃至第８の複素入力信号のＦＦＴを処理するための３ステージを有する８－ポイントＦＦＴを実行する装置であって、
第１ステージは、
前記第１、第５、第４、第７の複素入力信号を処理して第１、第２、第３、第４の複素出力信号を生成する第１の４－ポイントＦＦＴユニットと、
前記第２、第６、第４、第８の複素入力信号を処理して第５、第６、第７、第８の複素出力信号を生成する第２の４－ポイントＦＦＴユニットと、
を含み、
第２ステージでは、前記第２の４－ポイントＦＦＴユニットからの前記第６、第７、第８の複素出力信号に対してそれぞれ角度θ＝π／２、π／４、３π／４の回転演算が施され、

前記第３ステージは、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第１及び第５の複素出力信号を入力する第１の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第３の複素出力信号と、前記第２ステージで回転演算された前記第７の複素出力信号を入力する第２の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第２の複素出力信号と、前記第２ステージで回転演算された前記第６の複素出力信号を入力する第３の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第４の複素出力信号と、前記第２ステージで回転演算された前記第８の複素出力信号を入力する第４の２－ポイントＦＦＴユニットと、
を含み、
前記第１、第２の４－ポイントＦＦＴユニットの各々は、請求項５に記載された４－ポイントＦＦＴを実行する装置からなり、
前記第１乃至第４の２－ポイントＦＦＴユニットの各々は、請求項１に記載された２－ポイントＦＦＴを実行する装置からなる、８－ポイントＦＦＴを実行する装置。
【請求項８】
２つのＣＯＲＤＩＣプロセッサを備えた、２－ポイントＩＦＦＴを実行する装置であって、
各々のＣＯＲＤＩＣプロセッサが、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２入力ポートと、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２出力ポートと、
を有し、
第１、第２の複素入力信号を入力し、２－ポイントＩＦＦＴした第１及び第２の複素出力信号を生成するにあたり、
前記第１の複素入力信号の実部を、第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力し、
前記第１の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートを入力し、
前記第２の複素入力信号の実部を、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第２の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータとは、前記２－ポイントＩＦＦＴの第１の複素出力信号の実部と虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＩＦＦＴの第２の複素出力信号の実部と虚部とをそれぞれ構成する、２－ポイントＩＦＦＴを実行する装置。
【請求項９】
第１及び第２のＣＯＲＤＩＣプロセッサを含む２－ポイントＩＦＦＴを実行する装置で

あって、
各々のＣＯＲＤＩＣプロセッサが、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２入力ポートと、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２出力ポートと、
を有し、
第１、第２の複素入力信号を入力し、２－ポイントＩＦＦＴした第１及び第２の複素出力信号を生成するにあたり、
前記第１の複素入力信号の実部を、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第１の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第２の複素入力信号の実部を、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力し、
前記第２の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力し、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝－π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＩＦＦＴの第１の出力信号の実部と虚部とをそれぞれ構成し、
前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータと前記１の第ＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータとは、前記２－ポイントＩＦＦＴの第２の出力信号の実部と虚部とをそれぞれ構成する、２－ポイントＩＦＦＴを実行する装置。
【請求項１０】
第１乃至第８の複素入力信号のＩＦＦＴを処理するための３ステージを有する８－ポイントＩＦＦＴを実行する装置であって、
第１ステージは、
前記第１、第５、第４、第７の複素入力信号を処理して第１、第２、第３、第４の複素出力信号を生成する第１の４－ポイントＦＦＴユニットと、
前記第２、第６、第４、第８の複素入力信号を処理して第５、第６、第７、第８の複素出力信号を生成する第２の４－ポイントＦＦＴユニットと、
を含み、
第２ステージでは、前記第２の４－ポイントＦＦＴユニットからの前記第７、第８の複素出力信号にそれぞれ角度θ＝－π／４、－３π／４の回転演算が施され、
前記第３ステージは、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第１及び第５の複素出力信号を入力する第１の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第３の複素出力信号と、前記第２ステージで回転演算された前記第７の複素出力信号を入力する第２の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第２の複素出力信号と、前記第６の複素出力信号を入力する第３の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第４の複素出力信号と、前記第２ステージで回転演算された前記第８の複素出力信号を入力する第４の２－ポイントＦＦ

Ｔユニットと、
を含み、
前記第１、第２の４－ポイントＩＦＦＴユニットの各々は、請求項６に記載された４－ポイントＦＦＴを実行する装置からなる、
前記第１、第２、第４の２－ポイントＩＦＦＴユニットの各々は、請求項１に記載された２－ポイントＦＦＴを実行する装置からなり
前記第３の２－ポイントＦＦＴユニットは、請求項４に記載された２－ポイントＦＦＴを実行する装置からなる、８－ポイントＩＦＦＴを実行する装置。
【請求項１１】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを第１及び第２のＣＯＲＤＩＣプロセッサを用いて実行する方法であって、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、
前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝－π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号とは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する方法。
【請求項１２】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを第１及び第２のＣＯＲＤＩＣプロセッサを用いて実行する方法であって、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、
前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、

前記第２の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する方法。
【請求項１３】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを第１及び第２のＣＯＲＤＩＣプロセッサを用いて実行する方法であって、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、
前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第２の複素入力信号の虚部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号とは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する方法。
【請求項１４】
第１及び第２の複素入力信号を入力し、第１及び第２の複素出力信号を生成する２－ポイントＦＦＴを第１及び第２のＣＯＲＤＩＣプロセッサを用いて実行する方法であって、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポートと、
実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２の出力ポートと、
を含み、

前記第１の複素入力信号の実部は、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第１の複素入力信号の虚部は、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力され、
前記第２の複素入力信号の実部は、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第２の複素入力信号の虚部は、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからの信号とは、前記２－ポイントＦＦＴの第１の複素出力信号の実部及び虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからの信号と前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＦＦＴの第２の複素出力信号の実部及び虚部をそれぞれ構成する、２－ポイントＦＦＴを実行する方法。
【請求項１５】
第１乃至第４の複素入力信号のＦＦＴを処理する第１ステージ及び第２ステージを用いて４－ポイントＦＦＴを実行する方法であって、
前記第１ステージは、
前記第１及び第３の複素入力信号を処理する第１の２－ポイントＦＦＴユニットと、
前記第２及び第４の複素入力信号を処理する第２の２－ポイントＦＦＴユニットと、を含み、
前記第２ステージは、前記第１のステージの前記第１、第２の２－ポイントＦＦＴユニットの第１の複素出力信号を入力して２－ポイントＦＦＴを行う第３の２－ポイントＦＦＴユニットと、
前記第１のステージの前記第１の２－ポイントＦＦＴユニットの第２の複素出力信号と、前記第１のステージの前記第２の２－ポイントＦＦＴユニットの前記第２の複素出力信号に角度θ＝－π／２の回転演算を施した複素信号とを入力して２－ポイントＦＦＴを行う第４の２－ポイントＦＦＴユニットと、
を備え、
前記第３の２－ポイントＦＦＴユニットから第１、第３の複素出力信号が出力され、
前記第４の２－ポイントＦＦＴユニットから第２、第４の複素出力信号が出力され、
前記第１乃至第４の２－ポイントＦＦＴユニットでは、請求項１１又は１２に記載された２－ポイントＦＦＴを実行する方法を実行する、４－ポイントＦＦＴを実行する方法。
【請求項１６】
第１乃至第４の複素入力信号のＦＦＴを処理する第１ステージ及び第２ステージを用いて４－ポイントＦＦＴを実行する方法であって、
前記第１ステージは、
前記第１及び第３の複素入力信号を処理する第１の２－ポイントＦＦＴユニットと、
前記第２及び第４の複素入力信号を処理する第２の２－ポイントＦＦＴユニットと、を含み、
前記第２ステージは、前記第１のステージの前記第１、第２の２－ポイントＦＦＴユニットの第１の複素出力信号を入力して２－ポイントＦＦＴを行う第３の２－ポイントＦＦＴユニットと、

前記第１のステージの前記第１の２－ポイントＦＦＴユニットの第２の複素出力信号と、前記第１のステージの前記第２の２－ポイントＦＦＴユニットの前記第２の複素出力信号に角度θ＝－π／２の回転演算を施した複素信号とを入力して２－ポイントＦＦＴを行う第４の２－ポイントＦＦＴユニットと、
を含み、
前記第３の２－ポイントＦＦＴユニットから第１、第３の複素出力信号が出力され、
前記第４の２－ポイントＦＦＴユニットから第２、第４の複素出力信号が出力され、
前記第１、第２、第３の２－ポイントＦＦＴユニットは、請求項１１に記載された２－ポイントＦＦＴを実行する装置からなり、
前記第４の２－ポイントＦＦＴユニットは、請求項１３に記載された２－ポイントＦＦＴを実行する方法を実行する、４－ポイントＦＦＴを実行する方法。

【請求項１７】
第１乃至第８の複素入力信号のＦＦＴを処理するための３ステージを用いて８－ポイントＦＦＴを実行する方法であって、
前記第１ステージは、
前記第１、第５、第４、第７の複素入力信号を処理して第１、第２、第３、第４の複素出力信号を生成する第１の４－ポイントＦＦＴユニットと、
前記第２、第６、第４、第８の複素入力信号を処理して第５、第６、第７、第８の複素出力信号を生成する第２の４－ポイントＦＦＴユニットと、
を含み、
前記第２ステージでは、前記第２の４－ポイントＦＦＴユニットからの前記第６、第７、第８の複素出力信号にそれぞれ角度θ＝π／２、π／４、３π／４の回転演算が施され、
前記第３ステージは、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第１及び第５の複素出力信号を入力する第１の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第３の複素出力信号と、前記第２ステージで回転演算された前記第７の複素出力信号を入力する第２の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第２の複素出力信号と、前記第２ステージで回転演算された前記第６の複素出力信号を入力する第３の２－ポイントＦＦＴユニットと、
前記第１及び第２の４－ポイントＦＦＴユニットの前記第４の複素出力信号と、前記第２ステージで回転演算された前記第８の複素出力信号を入力する第４の２－ポイントＦＦＴユニットと、
を含み、
前記第１、第２の４－ポイントＦＦＴユニットの各々は、請求項１６に記載された４－ポイントＦＦＴを実行する方法を実行し、
前記第１乃至第４の２－ポイントＦＦＴユニットの各々は、請求項１１に記載された２－ポイントＦＦＴを実行する方法を実行する、８－ポイントＦＦＴを実行する方法。

【請求項１８】
２つのＣＯＲＤＩＣプロセッサを用いて２－ポイントＩＦＦＴを実行する方法であって、
各々のＣＯＲＤＩＣプロセッサが、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２入力ポートと、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２出力ポートと、
を有し、
第１、第２の複素入力信号を入力し、２－ポイントＩＦＦＴした第１及び第２の複素出力信号を生成するにあたり、

前記第１の複素入力信号の実部を、第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力し、
前記第１の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートを入力し、
前記第２の複素入力信号の実部を、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第２の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第１のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータとは、前記２－ポイントＩＦＦＴの第１の複素出力信号の実部と虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＩＦＦＴの第２の複素出力信号の実部と虚部とをそれぞれ構成する、２－ポイントＩＦＦＴを実行する方法。
【請求項１９】
２つのＣＯＲＤＩＣプロセッサを用いて２－ポイントＩＦＦＴを実行する方法であって、
各々のＣＯＲＤＩＣプロセッサが、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２入力ポートと、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２出力ポートと、
を有し、
第１、第２の複素入力信号を入力し、２－ポイントＩＦＦＴした第１及び第２の複素出力信号を生成するにあたり、
前記第１の複素入力信号の実部を、前記第１のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第１の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第１の入力ポートに入力し、
前記第２の複素入力信号の実部を、前記第１のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力し、
前記第２の複素入力信号の虚部を、前記第２のＣＯＲＤＩＣプロセッサの前記第２の入力ポートに入力し、
前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、前記第１及び第２の入力ポートに入力された複素入力信号(u1,u2)（ただし、u1は実部、u2は虚部）に対して回転演算
U1 ＝ u1cos(θ) - u2sin(θ)
U2 ＝ u2cos(θ) + u1sin(θ)
（ただし、角度θ＝－π／４）を施した複素出力信号(U1,U2)の実部U1、虚部U2を前記第１及び第２の出力ポートから出力し、
前記第２のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサの前記第２の出力ポートからのデータとは、前記２－ポイントＩＦＦＴの第１の出力信号の実部と虚部とをそれぞれ構成し、
前記第２のＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータと前記１の第ＣＯＲＤＩＣプロセッサの前記第１の出力ポートからのデータとは、前記２－ポイントＩ

ＦＦＴの第２の出力信号の実部と虚部とをそれぞれ構成する、２－ポイントＩＦＦＴを実行する方法。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、ＣＯＲＤＩＣに基づいたデジタル信号処理システムに関し、より詳しくは、ＣＯＲＤＩＣに基いたＦＦＴ及びＩＦＦＴ装置並びに方法に関する。

【背景技術】

【０００２】

一般に、ＮポイントのＦＦＴ（Ｆａｓｔ　Ｆｏｕｒｉｅｒ　Ｔｒａｎｓｆｏｒｍ）は、数学的には、式（１）によって表される。

$$X_k = \sum_{n=0}^{N-1} x_n e^{\frac{-i2\pi nk}{N}} \qquad (1)$$

ただし、

x_n

は、Ｎ個のデータサンプルを有する離散時間信号ベクトル

$$\mathbf{x} = \begin{bmatrix} x_0 & \cdots & x_{N-1} \end{bmatrix}$$

のｎ番目のエレメントであり、

X_k

は、

$\mathbf{x}$

のＦＦＴに対応するベクトル

$$\mathbf{X} = \begin{bmatrix} X_0 & \cdots & X_{N-1} \end{bmatrix}$$

のｋ番目のエレメントである。一般に、

x_n

及び

X_k

は複素数と考えることができる。

【０００３】

式（１）を用いてＦＦＴをそのまま実装（ｉｍｐｌｅｍｅｎｔａｔｉｏｎ）することは、特にＮが大きな数の場合には、計算負荷が非常に大きくなるため、常に回避される。即ち、Ｎ－ポイントのＦＦＴ又はＩＦＦＴ（Ｉｎｖｅｒｓｅ　Ｆａｓｔ　Ｆｏｕｒｉｅｒ　Ｔｒａｎｓｆｏｒｍ）は、（１）をそのまま実装する代りに、常に、小さなサイズのＦＦＴ又はＩＦＦＴユニットの複数のステージを用いて実装される。一例として、８－ポイントＦＦＴは、各々４個の２－ポイントＦＦＴ操作から成る３つのステージを用いて実装することができる。

【０００４】

更に、ＦＦＴ／ＩＦＦＴ操作を実現する装置のスループットを高めながら、処理レイテンシを減少させるために、ある数の処理装置が並列に用いられる。

【０００５】

８－ポイントＦＦＴ／ＩＦＦＴ［１］を実現する典型的な並列ベースのモードを図１に示す。図１において、円領域は、並列動作する処理装置を表している。これらの領域のう

ち、黒丸“●”は、回転因子（ｔｗｉｄｄｌｅ　ｆａｃｔｏｒ）による掛算を、また白丸“○”は加算を、それぞれ表している。

【０００６】

従来、ＦＦＴは、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）、パラメーター化ＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ　Ｓｐｅｃｉｆｉｃ　Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）、ＩＰ（Ｉｎｔｅｌｌｅｃｔｕａｌ　ｐｒｏｐｅｒｔｙ）コア、ＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）、並びに、再構成可能な処理装置を用いて具体化された。処理装置がＣＯＲＤＩＣ（ｃｏｏｒｄｉｎａｔｅ　ｒｏｔａｔｉｏｎ　ｄｉｇｉｔａｌ　ｃｏｍｐｕｔｅｒ）に基いている場合、結果ＦＦＴは、ＭＡＣ（Ｍｕｌｔｉｐｌｙ　ａｎｄ　Ａｃｃｕｍｕｌａｔｅ）に基いた処理装置に比べてハードウエア資源の使用量が少なくなることが認識されている。これは特にＦＦＴのサイズが大きい場合に当てはまる。ＣＯＲＤＩＣとＡＤＤＥＲユニットの組合せに基いたハイブリッド処理装置［３］や、ＣＯＲＤＩＣとＦＦＴ／ＩＦＦＴの組合せに基いたハイブリッド処理装置Ｋｅｒｎｅｌ［２］、［Ｐ１］も存在するが、この特許は、純粋にＣＯＲＤＩＣに基づいた処理装置を対象とする［４］、［５］、［６］。

【０００７】

例として、図２は、２つのデータサンプル“ｓ１”，“ｓ２”を有するベクトルのＦＦＴを処理して２つの出力データサンプル“Ｓ１”，“Ｓ２”を生成する従来のＣＯＲＤＩＣに基いたＦＦＴを示している。１対のＣＯＲＤＩＣプロセッサによって中間の信号“Ｓ’２”が生成される。この１対のＣＯＲＤＩＣプロセッサをＩと表されている。

【０００８】

この中間の信号Ｓ’２は、

$$S'2 = -2^{-0.5}(s1 - s2) \qquad (2)$$

によって与えられる。

【０００９】

従って、出力信号　“Ｓ１”、“Ｓ２”は、次の式

$$S1 = 2^{-0.5}(s1 + s2)$$
$$S2 = 2^{-0.5}(s1 - s2) \qquad (3)$$

によって、入力サンプル　“ｓ１”、“ｓ２”に関連付けられている。

（１）から、

$[s1 \;\; s2]$

のＦＦＴ

$[S1' \;\; S2']$

は、

$$S1' = (s1 + s2)$$
$$S2' = (s1 - s2) \qquad (4)$$

によって与えられる。

【先行技術文献】

【非特許文献】

【００１０】

【非特許文献１】J.G. Proakis and D.G. Manolakis, Introduction to Digital Signal Processing, Maxwell Macmillan, 1989

【非特許文献２】Y.H. Hu, "CORDIC-Based VLSI Architecture for Digital Signal Proc

essing," IEEE Signal Processing Magazine, pp.16-July 1992
【非特許文献３】R. Sarmineto, F. Tobajas, et.al, "A CORDIC Processor for FFT Computations and Its Implementation Using Gallium Arsenide Technology," IEEE Trans. on VLSI Systems, pp.18-30, vol.6, no.1, March 1998
【非特許文献４】C. Ying, S.Chen and J. Chih, "Efficient CORDIC Designs for Multi-Mode OFDM FFT," ICASSP Page(s): 1036-1039, vol.3, May 2006
【非特許文献５】B. Heyne, J. Gotze, "A Pure CORDIC based FFT for Reconfigurable Digital Signal Processing," 12th European Signal Processing Conference (EUSIPCO2004), Vienna, Austria, 2004
【非特許文献６】B. Heyne, J. Gotze, "CORDIC-Based algorithms for software defined Radio (SDR) baseband Processing," Adv. Radio Sci., 4, 179-184, 2006
【特許文献】
【００１１】
【特許文献１】米国特許第７０８２４５１号明細書
【発明の概要】
【発明が解決しようとする課題】
【００１２】
前記の非特許文献及び特許文献は、引用によって本明細書の一部として繰りこまれる。
以下の分析は、本発明によって与えられる。
【００１３】
式（２）、（３）から、従来の純粋にＣＯＲＤＩＣベースのＦＦＴは、符号の反転操作のみを行う処理装置が必要とする、と言うことができる。大きなサイズの、基数２ベース（ｒａｄｉｘ－２　ｂａｓｅｄ）のＦＦＴ又はＩＦＦＴの場合、符号の反転操作は、相当な量の資源を消費する結果となる。
【００１４】
図３には、８－ポイントのＦＦＴの場合についての別の例が示されている。図３を参照して、各々４対のＣＯＲＤＩＣプロセッサを含む、第１、第２及び第３のステージがある。図３において、Ｉ、ＩＩ及びＩＩＩとしてラベル付けしたＣＯＲＤＩＣプロセッサ対は、図２、図４及び図５にそれぞれ示される。
【００１５】
前述した２－ポイントのＦＦＴと同様に、追加のＣＯＲＤＩＣプロセッサは、８－ポイントＦＦＴのスケーリングされた結果を生成するように、符号の反転を行うために用いられる。
【００１６】
前述したように、従来の、純粋にＣＯＲＤＩＣベースのＦＦＴ又はＩＦＦＴには、符号の反転を行うための余分な処理ステップ又は処理装置が必要となる。
【００１７】
ＦＦＴ又はＩＦＦＴを実現するために用いられる、純粋にＣＯＲＤＩＣベースの処理装置において、コンピューターの負荷を最小とすることが望まれている。
【００１８】
従って、本発明の目的は、ＣＯＲＤＩＣに基づいたＦＦＴ又はＩＦＦＴにおいて、ハードウエア資源又は処理ステップを減少させることにある。
【００１９】
本発明の１つの（第１の）側面によれば、第１及び第２の複素(complex)入力信号（‘ｓ１’、‘ｓ２’）を評価して、２－ポイントＦＦＴの第１及び第２の複素出力信号（“Ｓ１”、“Ｓ２”）を生成する２－ポイントＦＦＴ（Ｆａｓｔ　Ｆｏｕｒｉｅｒ　Ｔｒａｎｓｆｏｒｍ）を実行する装置が提供される。該実行装置は、第１及び第２のＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）を含み、該第１及び第２のＣＯＲＤＩＣプロセッサは、
実入力ポート（real input port）及び虚入力ポート(imaginary input port)をそれぞれ表す第１及び第２の入力ポート（‘ｐ１’、‘ｐ２’）と、

回転されたデータを出力するための実出力ポート(real output port)及び虚出力ポート(imaginary output port)をそれぞれ表す第１及び第２の出力ポート（‘Ｐ１’、‘Ｐ２’）と、を含み、
前記第１の入力信号（‘ｓ１’）の実部(real part)は、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポート（‘ｐ２’）に入力され、
前記第１の入力信号（‘ｓ１’）の虚部(imaginary part)は、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポート（‘ｐ２’）に入力され、
前記第２の入力信号（‘ｓ２’）の実部は、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポート（‘ｐ１’）に入力され、
前記第２の入力信号（‘ｓ２’）の虚部は、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポート（‘ｐ１’）に入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それぞれの入力信号を時計回りに４５°回転させ、
前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポート（‘Ｐ１’）からのデータ及び前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポート（‘Ｐ１’）からのデータは、２－ポイントＦＦＴの第１の出力信号（“Ｓ１”）の実部と虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポート（‘Ｐ２’）からのデータ及び前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポート（‘Ｐ２’）からのデータは、２－ポイントＦＦＴの第２の出力信号（“Ｓ２”）の実部及び虚部をそれぞれ構成する。

【００２０】

本発明の他の１つの（第２の）側面によれば、第１及び第２の複素入力信号（‘ｓ１’、‘ｓ２’）を評価して、２－ポイントＦＦＴの第１及び第２の複素出力信号（“Ｓ１”、”Ｓ２”）を生成する２－ポイントＦＦＴ（Ｆａｓｔ　Ｆｏｕｒｉｅｒ　Ｔｒａｎｓｆｏｒｍ）を実行する装置が提供される。この装置は、第１及び第２のＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）を含み、前記第１及び第２のＣＯＲＤＩＣプロセッサの各々は、実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポート（‘ｐ１’、‘ｐ２’）と、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す少なくとも第１及び第２の出力ポート（‘Ｐ１’、‘Ｐ２’）とを備えている。
前記第１の入力信号（‘ｓ１’）の実部は、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力され、
前記第１の入力信号（‘ｓ１’）の虚部は、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力され、
前記第２の入力信号（‘ｓ２’）の実部は、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポートに入力され、
前記第２の入力信号（‘ｓ２’）の虚部は、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚部に入力され、
前記第１及び第２のＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それぞれの入力信号を反時計回りに４５°回転させ、
前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータと、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートからのデータとは、２－ポイントＦＦＴの第１の出力信号（“Ｓ１”）の実部と虚部とをそれぞれ構成し、
前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータとは、２－ポイントＦＦＴの第２の出力信号（“Ｓ２”）の実部及び虚部をそれぞれ構成する。

【００２１】

本発明の１つの（第３の）側面によれば、４つの複素データサンプルのＦＦＴを処理する第１ステージ及び第２ステージを有する、４－ポイントＦＦＴを実行する装置が提供さ

れる。
前記第１ステージは、４つの複素入力信号（ｘ１、ｘ２、ｘ３、ｘ４）を処理する２つの２－ポイントＦＦＴユニットを含み、前記第２ステージは、２つの２－ポイントＦＦＴを用いて前記第１ステージの出力を処理する。前記第１ステージにおいて、データは、第１の側面及び第２の側面に示したように処理される。
【００２２】
本発明の第４の側面によれば、４つの複素データサンプルのＦＦＴを処理する第１ステージ及び第２ステージを有する、４－ポイントＦＦＴを実行する装置が提供される。
前記第１ステージは、複素データ（ｘ１、ｘ２、ｘ３、ｘ４）の入力信号を処理する２つの２－ポイントＦＦＴユニットを含み、
前記第２ステージは、第１の対及び第２の対のＣＯＲＤＩＣプロセッサを用いて、前記第１ステージの出力を処理する。
第１及び第２の各々の前記ＣＯＲＤＩＣプロセッサは、少なくとも、実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２入力ポート（‘ｐ１’、‘ｐ２’）と、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）を備えている。
ＦＦＴの第２ステージにおいて、
第１の対のＣＯＲＤＩＣプロセッサへの入力信号（ａ１、ａ２）は、第１及び第２の側面に記載されたように処理し、
前記第２の対のＣＯＲＤＩＣプロセッサへの入力信号（ａ３、ａ４）については、
第１の入力信号（‘ａ３’）の実部を、第２の対のＣＯＲＤＩＣプロセッサの第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力し、
第１の入力信号（‘ａ３）’の虚部を、第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力し、
第２の入力信号（‘ａ４’）の実部を、第２の対のＣＯＲＤＩＣプロセッサの第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポートに入力し、
第２の入力信号（‘ａ４’）の虚部を、第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
第２の対のＣＯＲＤＩＣプロセッサの２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それぞれの入力信号を反時計回りに４５°回転させる、
処理が行われ、
第２の対のＣＯＲＤＩＣプロセッサにおいて、第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートと、第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータとは、ＦＦＴの第２ステージからの第３出力信号（“Ｓ２”）の実部と虚部とをそれぞれ構成し、
第２の対のＣＯＲＤＩＣプロセッサにおいて、第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータと、第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータとは、ＦＦＴの第２ステージからの第４の出力信号（“Ｓ３”）の実部及び虚部をそれぞれ構成する。
【００２３】
本発明の第５の側面によれば、８個の複素データサンプルのＦＦＴを処理するための３ステージを有する８－ポイントＦＦＴを実行する装置が提供される。
第１ステージは、８個の複素入力信号（ｓ１、ｓ２、・・・、ｓ８）を処理して８個の複素出力信号を生成する、２対の４－ポイントＦＦＴを含み、
第２ステージでは、前記２対の４－ポイントＦＦＴの出力に回転因子が乗算されて、８－ポイントＦＦＴの第３ステージによって処理される出力が生成され、
前記第３ステージは、４対の２－ポイントＦＦＴを有し、第３ステージの２－ポイントＦＦＴにおいて、第１及び第２の側面に記載されたように各々データが処理される。
【００２４】
本発明の第６の側面によれば、８個の複素データサンプルのＦＦＴを処理するための３

ステージを有する８－ポイントＦＦＴを実行する装置が提供される。
第１ステージは、８個の複素入力信号サンプル（ｓ１、ｓ２、・・・、ｓ８）を処理して８個の複素出力信号サンプルを生成する、２対の４－ポイントＦＦＴユニットを含み、
第２ステージでは、前記２対の４－ポイントＦＦＴの出力に選択的に回転因子が乗算され、あるいは等価な回転角分回転されて、８－ポイントＦＦＴの第３ステージによって処理される出力が生成され、
第３ステージは、４対のＣＯＲＤＩＣプロセッサを含み、
前記４対のＣＯＲＤＩＣプロセッサの各々のＣＯＲＤＩＣプロセッサは、実入力ポート及び虚入力ポートをそれぞれ表す２つの入力ポート（‘ｐ１’、‘ｐ２’）と、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す、少なくとも第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）と、を有し、
前記第３ステージにおいては、
前記４対のＣＯＲＤＩＣプロセッサのうち１対ＣＯＲＤＩＣプロセッサは、それらに入力される複素データの２つの入力信号（ａ８、ａ９）を処理して第１及び第２の出力信号（Ａ８、Ａ９）を生成するにあたり、
前記第１の入力信号（‘ａ８’）の実部を、前記１対のＣＯＲＤＩＣプロセッサのうち第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力し、
前記第１の入力信号（‘ａ８）’の虚部を、前記１対のＣＯＲＤＩＣプロセッサのうち第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力し、
前記第２の入力信号（‘ａ９’）の実部を、前記１対のＣＯＲＤＩＣプロセッサのうち第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
前記第２の入力信号（‘ａ９’）の虚部を、前記１対のＣＯＲＤＩＣプロセッサのうち第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポートに入力し、
前記１対のＣＯＲＤＩＣプロセッサの２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）が、それに入力されたそれぞれの入力信号を反時計回りに４５°回転させる、
処理することで第１及び第２の出力信号（Ａ８、Ａ９）を生成し、
前記１対のＣＯＲＤＩＣプロセッサにおいて、第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータと、第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータとは、第１の出力信号の実部と虚部とをそれぞれ構成し、
前記１対のＣＯＲＤＩＣプロセッサにおいて、第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートからのデータと、第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータとは、第２の出力信号の実部と虚部とをそれぞれ構成する。
【００２５】
本発明の第７の側面によれば、複素データサンプルのＦＦＴを処理するための複数のステージを有し、少なくとも１つのステージが、少なくとも１つの２－ポイントＦＦＴユニットを用いて具体化される、ＦＦＴを実行する装置が提供される。２－ポイントＦＦＴを実現するステージにおいて、少なくとも１つの２－ポイントＦＦＴは、第１及び第２の側面に記載されたようにデータ処理を行う。
【００２６】
本発明の第８の側面によれば、複素データサンプルのＦＦＴを処理するための複数のステージを有し、少なくとも１つのステージが４－ポイントＦＦＴユニットを用いて具体化される、ＦＦＴを実行する装置が提供される。４－ポイントＦＦＴユニットを用いてステージにおいて、少なくとも１つの４－ポイントＦＦＴデータは、第３の側面に記載されたようにデータ処理を行う。
【００２７】
本発明の第９の側面によれば、複素データサンプルのＦＦＴを処理するための複数のステージを有し、少なくとも１つのステージが８－ポイントＦＦＴユニットを用いて具体化される、ＦＦＴを実行する装置が提供される。８－ポイントＦＦＴを用いて具体化されるステージにおいて、少なくとも１つの８－ポイントＦＦＴユニットは、第５及び第６の側面に記載されたようにデータ処理を行う。

【００２８】
本発明の第１０の側面によれば、４つの複素データサンプル（ａ１、ａ２、ａ３、ａ４）を処理し、少なくとも２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それに入力される第２の複素入力信号（ａ４）を９０°時計回りに回転させて、第１の入力信号（ａ３）及び回転された第２の入力信号の２－ポイントＦＦＴを評価する２対のＣＯＲＤＩＣプロセッサを有するプロセッサが提供される。
各々のＣＯＲＤＩＣプロセッサは、実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２入力ポート（‘ｐ１’、‘ｐ２’）と、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す、少なくとも第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）と、を有する。
前記プロセッサにおいて、
前記第１の対のＣＯＲＤＩＣプロセッサへの第１及び第２の入力信号は、第１及び第２の側面に記載されたように処理され、
前記第２の対のＣＯＲＤＩＣプロセッサへの第３及び第４の入力信号（‘ａ３’、‘ａ４’）については、
前記第３の入力信号（‘ａ３’）の実部を、第２の対のＣＯＲＤＩＣプロセッサの第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力し、
前記第３の入力信号（‘ａ３’）の虚部を、前記第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力し、
前記第４の入力信号（‘ａ４’）の実部を、前記第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
前記第４の入力信号（‘ａ４’）の虚部を、前記第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
前記第２の対のＣＯＲＤＩＣプロセッサの２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それらに入力された各々の入力信号を反時計回りに４５°回転させる、
処理が施され、
前記第２の対の実数ＣＯＲＤＩＣプロセッサにおいて、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータとは、第１の出力信号の実部と虚部とをそれぞれ構成し、
前記第２の対のＣＯＲＤＩＣプロセッサにおいて、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータとは、第２の出力信号の実部と虚部とをそれぞれ構成する。
【００２９】
本発明の第１１の側面によれば、２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）を有する２－ポイントＩＦＦＴを実行する装置が提供される。各々のＣＯＲＤＩＣプロセッサが、
実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２入力ポート（‘ｐ１’、‘ｐ２’）と、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す、少なくとも第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）と、を有し、
２－ポイントＩＦＦＴにおいて、複素入力信号（‘ｓ１’、‘ｓ２’）の２つのサンプルのＩＦＦＴを評価して２つの出力信号（‘Ｓ１’、‘Ｓ２’）を生成するにあたり、
前記第１の入力信号（‘ｓ１’）の実部を、第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポート（‘ｐ２’）に入力し、
前記第１の入力信号（‘ｓ１’）の虚部を、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポート（‘ｐ２’）に入力し、
前記第２の入力信号（‘ｓ２’）の実部を、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポート（‘ｐ１’）に入力し、
前記第２の入力信号（‘ｓ２’）の虚部を、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポート（‘ｐ１’）に入力し、

２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それらに入力された各々の入力信号を時計回りに４５°回転させる、
ことで、２つの出力信号（‘Ｓ１’、‘Ｓ２’）を生成し、
前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポート（‘Ｐ１’）からのデータと、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポート（‘Ｐ１’）からのデータとは、２－ポイントＩＦＦＴの第１の出力信号（‘Ｓ１’）の実部と虚部とをそれぞれ構成し、
前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポート（‘Ｐ２’）からのデータと、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポート（‘Ｐ２’）からのデータとは、２－ポイントＩＦＦＴの第２の出力信号（“Ｓ２”）の実部と虚部とをそれぞれ構成する。

【００３０】

本発明の第１２の側面によれば、２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）を含む２－ポイントＩＦＦＴを実行する装置が提供される。各々のＣＯＲＤＩＣプロセッサが、実入力ポート及び虚入力ポートをそれぞれ表す、少なくとも第１及び第２入力ポート（‘ｐ１’、‘ｐ２’）と、回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）と、を有し、
複素入力信号（‘ｓ１’、‘ｓ２’）の２つのサンプルのＩＦＦＴを評価するにあたり、
前記第１の入力信号（‘ｓ１’）の実部を、第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力し、
前記第１の入力信号（‘ｓ１’）の虚部を、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力し、
前記第２の入力信号（‘ｓ２’）の実部を、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポートに入力し、
前記第２の入力信号（‘ｓ２’）の虚部を前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
２つの出力信号（‘Ｓ１’、‘Ｓ２’）を生成し、
２－ポイントＩＦＦＴにおいて、２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それぞれの入力信号を反時計回りに４５°回転させ、
前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータと前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートからのデータとは、２－ポイントＩＦＦＴの第１の出力信号（“Ｓ１”）の実部と虚部とをそれぞれ構成し、
前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータと前記１の第ＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータとは、２－ポイントＩＦＦＴの第２の出力信号（“Ｓ２”）の実部と虚部とをそれぞれ構成する。

【００３１】

本発明の第１３の側面によれば、４つの複素データサンプルのＩＦＦＴを処理する２ステージを含む４－ポイントＩＦＦＴを実行する装置が提供される。
第１ステージが、複素入力信号（ｘ１、ｘ２、ｘ３、ｘ４）を処理する２つの２－ポイントＩＦＦＴユニットを含み、
第２ステージが、２つの２－ポイントＩＦＦＴを用いて、第１ステージの出力を処理し、
４－ポイントＩＦＦＴの前記第１ステージにおいて、第１１の側面又は第１２の側面に記載されたようにデータ処理を行う。

【００３２】

本発明の第１４の側面によれば、４つの複素データサンプルのＩＦＦＴを処理する２ステージを含む４－ポイントＩＦＦＴを実行する装置が提供される。
第１ステージは、複素入力信号（ｘ１、ｘ２、ｘ３、ｘ４）を処理する２つの２－ポイントＩＦＦＴユニットを含み、

第２ステージは、２対のＣＯＲＤＩＣプロセッサを用いて、前記第１ステージの出力を処理し、
各々のＣＯＲＤＩＣプロセッサが、実入力ポート及び虚入力ポートをそれぞれ表す、少なくとも第１及び第２入力ポート（‘ｐ１’、‘ｐ２’）と、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す、少なくとも第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）と、を有し、
ＩＦＦＴの第２ステージにおいて、
前記第１の対のＣＯＲＤＩＣプロセッサへの入力信号（ａ１、ａ２）は、第１１の側面又は第１２の側面に記載されたように処理され、
前記第２の対のＣＯＲＤＩＣプロセッサへの入力信号（ａ３、ａ４）について、
前記第１の入力信号（‘ａ３’）の実部を、第２の対のＣＯＲＤＩＣプロセッサの第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力し、
前記第１の入力信号（‘ａ３’）の虚部を、前記第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力し、
前記第２の入力信号（‘ａ４’）の実部を、前記第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
前記第２の入力信号（‘ａ４’）の虚部を、前記第２の対のＣＯＲＤＩＣプロセッサの第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポートに入力し、
前記第２の対のＣＯＲＤＩＣプロセッサの２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それらに入力された各々の入力信号を反時計回りに４５°回転させる、
処理が施され、
前記第２の対のＣＯＲＤＩＣプロセッサにおいて、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータとは、ＩＦＦＴの第２ステージからの第３出力信号（“Ｘ３”）の実部と虚部とをそれぞれ構成し、
前記第２の対のＣＯＲＤＩＣプロセッサにおいて、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータとは、ＩＦＦＴの第２ステージからの第４出力信号（“Ｘ４”）の実部と虚部とをそれぞれ構成する。

【００３３】

本発明の第１５の側面によれば、８つの複素データサンプルのＩＦＦＴを処理する３ステージを含む８－ポイントＩＦＦＴを実行する装置が提供される。
第１ステージは、８つの複素入力信号サンプル（‘ｓ１’、‘ｓ２’、・・・、‘ｓ８’）を処理して８つの複素出力信号を生成する２対の８－ポイントＩＦＦＴユニットを有する。
第２ステージにおいて、前記２対の４－ポイントＩＦＦＴユニットの出力には、回転因子が乗算されて、８－ポイントＩＦＦＴの前記第３ステージによって処理される出力を生成し、
前記第３ステージは、４対の２－ポイントＩＦＦＴユニットを有し、第３ステージのうち２－ポイントＩＦＦＴは、第１１の側面又は第１２の側面に記載されたようにデータ処理を行う。

【００３４】

本発明の第１６の側面によれば、８つの複素データサンプルのＩＦＦＴを処理する３ステージを含む８－ポイントＩＦＦＴを実行する装置が提供される。
第１ステージが、８つの複素入力信号（‘ｓ１’、‘ｓ２’、・・・、‘ｓ８’）を処理して８つの複素出力信号を生成する２対の４－ポイントＩＦＦＴを含み、
第２ステージにおいて、前記２対の４－ポイントＩＦＦＴの出力は、回転因子が選択的に乗算され、あるいは等価な回転角だけ回転されて、８－ポイントＩＦＦＴの第３ステージによって処理される出力を生成し、
前記第３ステージは、４対のＣＯＲＤＩＣプロセッサを有し、

前記４対のＣＯＲＤＩＣプロセッサの各々のＣＯＲＤＩＣプロセッサは、実入力ポート及び虚入力ポートをそれぞれ表す、少なくとも第１及び第２入力ポート（‘ｐ１’、‘ｐ２’）と、
回転されたデータを出力するための実出力ポート及び虚出力ポートをそれぞれ表す、少なくとも第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）と、を有し、
前記第３ステージにおいて、１つの対のＣＯＲＤＩＣプロセッサは、それに入力される複素データの２つの入力サンプル（ａ３、ａ４）に対して、
第１の入力信号（‘ａ３’）の実部を、前記対のＣＯＲＤＩＣプロセッサのうち第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力し、
第１の入力信号（‘ａ３’）の虚部を、前記対のＣＯＲＤＩＣプロセッサのうち第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力し、
第２の入力信号（‘ａ４’）の実部を、前記対のＣＯＲＤＩＣプロセッサのうち第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
第２の入力信号（‘ａ４’）の虚部を、前記対のＣＯＲＤＩＣプロセッサのうち第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポートに入力し、
前記対のＣＯＲＤＩＣプロセッサの２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それらに入力されたそれぞれの入力信号を反時計回りに４５°回転させる、
処理を施し、
第２の対の実数ＣＯＲＤＩＣプロセッサのうち前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータと、第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータは、第１の出力信号の実部と虚部とをそれぞれ構成し、
前記第２の対のＣＯＲＤＩＣプロセッサのうち前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートからのデータと、前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータは、第２の出力信号の実部及び虚部をそれぞれ構成する。

【００３５】

本発明の第１７の側面によれば、複素データサンプルのＩＦＦＴを処理するための複数のステージを有し、少なくとも１つのステージが少なくとも１つの２－ポイントＩＦＦＴを用いて具体化される、ＩＦＦＴを実行する装置が提供される。２－ポイントＩＦＦＴを実現するステージにおいて、少なくとも１つの２－ポイントＩＦＦＴは、第１１の側面又は第１２の側面に記載されたようにデータ処理を行う。

【００３６】

本発明の第１８の側面によれば、複素データサンプルのＩＦＦＴを処理するための複数のステージを有し、少なくとも１つのステージが４－ポイントＩＦＦＴユニットを用いて具体化される、ＩＦＦＴを実行する装置が提供される。４－ポイントＦＦＴを実現するステージにおいて、少なくとも１つの４－ポイントＩＦＦＴが、第１３の側面又は第１４の側面に記載されたようにデータを処理する。

【００３７】

本発明の第１９の側面によれば、複素データサンプルのＩＦＦＴを処理するための複数のステージを有し、少なくとも１つのステージが８－ポイントＩＦＦＴユニットを用いて具体化される、ＩＦＦＴを実行する装置が提供される。８－ポイントＩＦＦＴを実現するステージにおいて、少なくとも１つの８－ポイントＩＦＦＴユニットが、第１５の側面又は第１６の側面に記載されたようにデータを処理する。

【００３８】

本発明の第２０の側面によれば、複素入力信号の４サンプル（ａ１、ａ２、ａ３、ａ４）を処理し、少なくとも２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）が第２信号（ａ４）を時計回りに９０°回転させて、第１の入力信号（ａ３）及び回転させた第２の入力信号の２－ポイントＩＦＦＴを評価する２対のＣＯＲＤＩＣプロセッサを有するプロセッサが提供される。
各々のＣＯＲＤＩＣプロセッサが、実入力ポート及び虚入力ポートをそれぞれ表す第１及び第２の入力ポート（‘ｐ１’、‘ｐ２’）と、回転されたデータを出力するための実

出力ポート及び虚出力ポートをそれぞれ表す第１及び第２出力ポート（‘Ｐ１’、‘Ｐ２’）とを有する。
前記プロセッサにおいて、前記第１の対のＣＯＲＤＩＣプロセッサへの第１及び第２の入力信号は、第１１の側面又は第１２の側面に記載されたように処理される。
前記第２の対のＣＯＲＤＩＣプロセッサへの第３及び第４の入力信号（‘ａ３’、‘ａ４’）について、
前記第１の入力信号（‘ａ３’）の実部を、第２の対のＣＯＲＤＩＣプロセッサの第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポートに入力し、
前記第１の入力信号（‘ａ３’）の虚部を、前記第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポートに入力し、
前記第２の入力信号（‘ａ４’）の実部を、前記第２の対のＣＯＲＤＩＣプロセッサの第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポートに入力し、
前記第２の入力信号（‘ａ４’）の虚部を、前記第２の対のＣＯＲＤＩＣプロセッサの第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚入力ポートには入力し、
前記第２の対のＣＯＲＤＩＣプロセッサの２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、それらに入力された各々の入力信号を反時計回りに４５°回転させる、
処理が施され、
前記第２の対のＣＯＲＤＩＣプロセッサにおいて、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポートからのデータとは、第１の出力信号の実部と虚部とをそれぞれ構成し、
前記第２の対のＣＯＲＤＩＣプロセッサにおいて、前記第１のＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポートからのデータと前記第２のＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポートからのデータとは、第２の出力信号の実部と虚部とをそれぞれ構成する。

【００３９】
本発明の第２１の側面によれば、複素データサンプルのＩＦＦＴを処理するための複数のステージを有し、少なくとも１つのステージは、第１３の側面に記載した２つのＣＯＲＤＩＣプロセッサを用いて具体化される、ＩＦＦＴを実行する装置が提供される。

【００４０】
本発明の更に別の側面によれば、ＦＦＴ及びＩＦＦＴを実行するための実行方法が提供される。これらの方法は、請求の範囲及び図面から明らかになる通りである。

【発明の効果】

【００４１】
本発明によれば、ＣＯＲＤＩＣプロセッサのみを用いてＦＦＴ又はＩＦＦＴの結果が得られるため、動作並びにハードウエア資源を節減することができる。

【００４２】
本発明の他の特徴及び利点は、添付図面を参照とした以下の詳細な説明から、当業者には容易に明らかとなるであろう。添付図面には、本発明の実施例が、単に本発明の実施態様を説明するためにのみ図示され説明されている。明らかなように、本発明は、他の形態とすることができ、そのいくつかの細部の構成は、本発明の範囲内において変更可能である。従って、添付図面及び以下の説明は、制限的でなく、単に例示と見るべきである。

【図面の簡単な説明】

【００４３】
【図１】並列処理による８－ポイントＦＦＴの例を示す図である。
【図２】符号反転のための追加の処理装置による２－ポイントＦＦＴの例を示す図である。
【図３】図１、４及び５にそれぞれ示したＣＯＲＤＩＣプロセッサ対（Ｉ、ＩＩ及びＩＩＩ）を用いて８－ポイントＦＦＴを実現するための従来の技術による構成を示す図である。
【図４】図３に示した８－ポイントＦＦＴのＣＯＲＤＩＣプロセッサ対（ＩＩ）を使用するための従来の技術による構成を示す図である。

【図５】図３に示した８－ポイントＦＦＴのＣＯＲＤＩＣプロセッサ対（ＩＩＩ）を使用するための従来の技術による構成を示す図である。
【図６】本発明によるＣＯＲＤＩＣプロセッサ対を使用する２－ポイントＦＦＴの一例を示す図である。
【図７】ＣＯＲＤＩＣプロセッサ対を構成する２つのＣＯＲＤＩＣプロセッサＣ１，Ｃ２の一例を示す図である。
【図８】本発明によるＣＯＲＤＩＣプロセッサ対を使用する２－ポイントＦＦＴを実現する構成の一例を示す図である。
【図９】図１２に示した２－ポイントＦＦＴの第２ステージの第２の対のＣＯＲＤＩＣプロセッサを用いた、本発明の一例の構成を示す図である。
【図１０】回転因子を予め乗算したデータの２－ポイントＦＦＴを計算するためのシステムの一例の構成を示す図である。
【図１１】図１４の８－ポイントＦＦＴのＣＯＲＤＩＣプロセッサ対（ＩＩＩｐ）を用いた本発明の一例の構成を示す図である。
【図１２】４－ポイントＦＦＴを実現するための本発明の一例の構成を示す図である。
【図１３】図６、９にそれぞれ示したＩｐ及びＩＩｐを用いて８－ポイントＦＦＴを実現するための本発明の一例の構成を示す図である。
【図１４】図６、１１にそれぞれ示したＩｐ及びＩＩＩｐを用いて８－ポイントＩＦＦＴを実現するための本発明の一例の構成を示す図である。
【発明を実施するための形態】
【００４４】
＜２－ポイントＦＦＴ＞
図６は、本発明によるＣＯＲＤＩＣプロセッサの対を用いて２－ポイントＦＦＴ又はＩＦＦＴを実現する一例の構成を示す。図７は、これらのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）の２つずつの入力ポート及び出力ポートを示す図である。図７を参照すると、各々のＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）は、少なくとも２つの入力（ｐ１、ｐ２）を備えている。これらの入力の相対位置は常に変化し得るが、上部入力ポート（ｐ１）及び下部入力ポート（ｐ２）は、ｘ－ｙ平面において、実数又はｘ軸及び虚数又はｙ軸を、それぞれ表すものとする。同様に、少なくとも２つの出力ポートがあり、上部出力ポート（Ｐ１）及び下部出力ポート（Ｐ２）は、実数又はｘ軸及び虚数又はｙ軸を、それぞれ表すものとする。
【００４５】
ｘ座標データ（実数データ）がｕ１，　ｙ座標データ（虚数データ）がｕ２であるｘ－ｙ平面上のベクトル（ｕ１、ｕ２）が与えられたものとする。
【００４６】
ＣＯＲＤＩＣプロセッサ（Ｃ１）は、（ｕ１、ｕ２）を時回りにθ°回転させて出力（Ｕ１、Ｕ２）を生成させる。ここにＵ１は、ｘ座標データ、Ｕ２は、ｙ座標データである。

$$U_1 = u_1\cos(\theta) - u_2\sin(\theta)$$
$$U_2 = u_2\cos(\theta) + u_1\sin(\theta) \qquad (5)$$

あるいは

$$U_1 + iU_2 = (u_1 + iu_2)e^{i\theta} \qquad (6)$$

【００４７】
２つの複素データサンプル（入力信号）ｓ１、ｓ２を有するベクトルのＦＦＴを計算する必要が生じた場合を考える。図６に示したように、本発明においては、第２データサンプルｓ２の実部及び第１データサンプルｓ１の実部は、第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポート（ｐ１）及び虚入力ポート（ｐ２）にそれぞれ入力される。第２デー

タサンプル（ｓ２）の虚部及び第１データサンプル（ｓ１）の虚部は、第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポート（ｐ１）及び虚入力ポート（ｐ２）にそれぞれ入力される。

【００４８】

２つのＣＯＲＤＩＣプロセッサ（Ｃ１）、（Ｃ２）の各々への入力は、次に、時計回りに４５°回転される。ＣＯＲＤＩＣプロセッサ（Ｃ１）、（Ｃ２）からの結果出力信号は、次に以下のように転送される。

【００４９】

従来の方法と同様に、第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポート（Ｐ１）からの出力データ及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポート（Ｐ１）からの出力データは、２－ポイントＦＦＴデータの第１出力データ（Ｓ１）の実部及び虚部をそれぞれ構成する。第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポート（Ｐ２）からの出力データ及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポート（Ｐ２）からの出力データは、２－ポイントＦＦＴの第２出力データ（Ｓ２）の実部及び虚部をそれぞれ構成する。

【００５０】

＜２－ポイントＦＦＴ＞

図８は、２－ポイントＦＦＴ又はＩＦＦＴを実現する本発明の別の例を示す。図８を参照すると、第１の入力信号ｓ１の実部及び第２の入力信号ｓ２の実部は、第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポート（ｐ１）及び虚入力ポート（ｐ２）にそれぞれ入力される。更に、第１の入力信号ｓ１の虚部及び第２の入力信号ｓ２の虚部は、第１ＣＯＲＤＩＣプロセッサの虚入力ポート（ｐ２）及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の虚入力ポート（ｐ２）にそれぞれ入力される。２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）の各々へのそれぞれの入力は、次に、反時計回りに４５°回転される。２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）の各々からの結果出力データ（信号）は、次に、以下に示すように転送される。

【００５１】

第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポート（Ｐ２）からの出力データ及び第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポート（Ｐ２）からの出力データは、２－ポイントＦＦＴデータの第１出力データ（Ｓ１）の実部及び虚部をそれぞれ構成する。

【００５２】

第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポート（Ｐ１）からの出力データ及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポート（Ｐ１）からの出力データは、２－ポイントＦＦＴデータの第２出力データ（Ｓ２）の虚部及び実部をそれぞれ構成する。

【００５３】

＜一方の入力に回転因子を有する２－ポイントＦＦＴ＞

因数分解可能なＮ－ポイントＦＦＴ又はＩＦＦＴにおいては、ＦＦＴ又はＩＦＦＴの具体化を複数のステージにおいて行うことができる。前ステージの結果は、次のステージに入力される前に、回転因子が乗算される。典型的な回転因子は、

$$TW_{n,k} = e^{2i\pi nk/N}$$

と表される。一例として、４－ポイントＦＦＴの場合、ｎ＝｛０，１｝，ｋ＝｛０，１｝である。

【００５４】

図１０は、２－ポイントＦＦＴを計算する前に２つの複素データサンプルに回転因子を乗算するシステムを示している。この場合、回転因子は、

$$e^{2i\pi/4}$$

に対応している。

【００５５】

１対のＣＯＲＤＩＣプロセッサを用いて図１０に示すシステムを実現するための本発明の別の形態について以下に説明する。

【００５６】

図９は、２つのＣＯＲＤＩＣプロセッサを用いて２－ポイントＦＦＴを実行する別の例の形態を示している。２つの複素データサンプルａ$_3$，ａ$_4$のための図９において、サンプルａ$_3$及び

$$a_4 e^{i\pi/2}$$

の２－ポイントＦＦＴを評価することが目的である。

【００５７】

図９を参照すると、第１データａ$_3$の実部及び第２データａ$_4$の虚部は、第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポート（ｐ１）及び虚入力ポート（ｐ２）にそれぞれ入力される。

【００５８】

更に、第１データａ$_3$の虚部及び第２データａ$_4$の実部は、第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の実入力ポート（ｐ１）及び虚入力ポート（ｐ２）にそれぞれ入力される。

【００５９】

次に、２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）の各々へのそれぞれの入力は、反時計回りに４５°回転される。各々のＣＯＲＤＩＣプロセッサからの結果出力データ（信号）は、次に、下記のように転送される。

【００６０】

第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポート（Ｐ２）からの出力データ及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポート（Ｐ１）からの出力データは、第１出力データ（Ａ$_3$）の実部及び虚部をそれぞれ構成する。

【００６１】

第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポート（Ｐ１）からの出力データ及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポート（Ｐ２）からの出力データは、第２出力データ（Ａ$_4$）の実部及び虚部をそれぞれ構成する。

【００６２】

ＩＦＦＴにおいて、回転因子は、ＦＦＴにおいてのものと同等の共役複素数を取る。従って、４－ポイントＩＦＦＴは、

$$e^{2i\pi/4}$$

でなく

$$e^{-2i\pi/4}$$

をその回転因子として使用する。

【００６３】

図１１は、２つの入力データサンプルａ$_3$、ａ$_4$が与えられてサンプルａ$_3$、

$$a_4 e^{-i\pi/2}$$

の２－ポイントＦＦＴを評価するための本発明の一例を示す。図１１において、第１データａ$_8$の実部及び第２データａ$_9$の虚部は、第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポート（ｐ１）及び虚入力ポート（ｐ２）にそれぞれ入力される。更に、第１データａ$_8$の虚部及び第２データａ$_9$の実部は、第２ＣＯＲＤＩＣプロセッサ（Ｃ１）の実入力ポート（ｐ１）及び虚入力ポート（ｐ２）にそれぞれ入力される。２つのＣＯＲＤＩＣプロセッサ（Ｃ１、Ｃ２）の各々へのそれぞれの入力は、次に、反時計回りに４５°回転され

る。各々のＣＯＲＤＩＣプロセッサからの結果出力データ（信号）は、次に、下記のように転送される。

【００６４】

第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の実出力ポート（Ｐ１）からの出力データ及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の虚出力ポート（Ｐ２）からの出力データは、第１出力データ（$Ａ_{8}$）の実部及び虚部をそれぞれ構成する。

【００６５】

第１ＣＯＲＤＩＣプロセッサ（Ｃ１）の虚出力ポート（Ｐ２）からの出力データ及び第２ＣＯＲＤＩＣプロセッサ（Ｃ２）の実出力ポート（Ｐ１）からの出力データは、第２出力データ（$Ａ_{9}$）の実部及び虚部をそれぞれ構成する。

【００６６】

提案された発明概念のパーフォマンス、次のように説明される。

【００６７】

図６に提案された２－ポイントＦＦＴにおいて、出力は、

$$S_1 = 2^{-0.5}\left(s_1 + s_2\right)$$
$$S_2 = 2^{-0.5}\left(s_1 - s_2\right) \qquad (7)$$

によって与えられる。

【００６８】

これは、ベクトル［$ｓ_{1}$　$ｓ_{2}$］のスケーリングされたＦＦＴと等価である。図６から明らかなように、ＦＦＴの結果は、僅か２つのＣＯＲＤＩＣプロセッサを用いて得られ、その結果として複雑さが低減される。図８に示した、ＣＯＲＤＩＣに基いた別の２－ポイントＦＦＴの出力も（７）によって与えられる。

【００６９】

＜４－ポイントＦＦＴ＞

図１２は、本発明を適用することの可能なＦＦＴの一例を示している。図１２を参照すると、

$$\left[x_1 \quad x_2 \quad x_3 \quad x_4\right]$$

の４データサンプルの４－ポイントＦＦＴは、２ステージの処理を用いて具体化される。

【００７０】

第１ステージには、２対のＣＯＲＤＩＣプロセッサがある。第１ステージのＦＦＴ－１は、図６又は８に示したように構成された２つのＣＯＲＤＩＣプロセッサを備えている。第１ステージのＦＦＴ－２は、図６又は８に示したように構成された２つのＣＯＲＤＩＣプロセッサを備えている。各々のＣＯＲＤＩＣプロセッサ対は、図７について説明した入力ポート及び出力ポートを備えている。

【００７１】

第１の対のＦＦＴ－１は、データサンプル［$ｘ_{1}$　$ｘ_{3}$］の２－ポイントＦＦＴを計算し、第２の対のＦＦＴ－２は、データサンプル［$ｘ_{2}$　$ｘ_{4}$］の２－ポイントＦＦＴを計算する。

【００７２】

２－ポイントＦＦＴの計算は、図６又は図８に提案された仕方でなされる。

【００７３】

これらの２対のＣＯＲＤＩＣプロセッサからの出力は、［$ａ_{1}$　$ａ_{3}$］及び［$ａ_{2}$　$ａ_{4}$］である。第１ステージからの出力データは、次に、第２ステージにおいて、下記のように処理される。

【００７４】

４－ポイントＦＦＴの第２ステージにおいては、第１の対のＣＯＲＤＩＣプロセッサ（ＦＦＴ－３）を用いて、２データサンプル［$ａ_{1}$　$ａ_{2}$］の２－ポイントＦＦＴを評価す

る。やはり図６又は図８に提案された仕方を用いて、２－ポイントＦＦＴを実現することができる。

【００７５】

次に、４－ポイントＦＦＴの第２ステージにおいて、第２の対のＣＯＲＤＩＣプロセッサ（ＦＦＴ－４）を用いて、２データサンプル

$$\begin{bmatrix} a_3 & a_4 e^{-i\pi/2} \end{bmatrix}$$

の２－ポイントＦＦＴを評価する。

【００７６】

この操作は、図９に示した仕方で具体化される。

【００７７】

４－ポイントＦＦＴの第１ステージは、［x_1　x_3］，［x_2　x_4］の２－ポイントＦＦＴを具体化し、次に［a_1　a_3］，　［a_2　a_4］を出力データとして生成する。式（７）から、［a_1　a_3］，　［a_2　a_4］がそれぞれ、

$$\begin{bmatrix} a_1 \\ a_3 \end{bmatrix} = 2^{0.5} \begin{bmatrix} x_1 + x_3 \\ x_1 - x_3 \end{bmatrix} \qquad (8)$$

$$\begin{bmatrix} a_2 \\ a_4 \end{bmatrix} = 2^{0.5} \begin{bmatrix} x_2 + x_4 \\ x_2 - x_4 \end{bmatrix}$$

によってそれぞれ与えられる。第２ステージは、［a_1　a_2］，

$$\begin{bmatrix} a_3 & a_4 e^{-i\pi/2} \end{bmatrix}$$

に対して２－ポイントＦＦＴを実現する。従って、出力データは、（７）、（８）を用いて、

$$\begin{bmatrix} X_1 \\ X_3 \end{bmatrix} = 2 \begin{bmatrix} x_1 + x_3 + x_2 + x_4 \\ x_1 + x_3 - x_2 - x_4 \end{bmatrix} \qquad (9)$$

$$\begin{bmatrix} X_2 \\ X_4 \end{bmatrix} = 2 \begin{bmatrix} x_1 - x_3 + x_2 - x_4 \\ x_2 - x_4 - (x_2 - x_4) e^{-i\pi/2} \end{bmatrix}$$

によって与えられる。

【００７８】

（１）から、（９）が

$$\begin{bmatrix} x_1 & x_2 & x_3 & x_4 \end{bmatrix}$$

のスケーリングされたＦＦＴを表しているとすることができる。よって、提案された方法は、純ＣＯＲＤＩＣ基の処理装置を用いて４－ポイントＦＦＴを実現することを可能とする。４－ポイントＦＦＴは、スケーリングされた４－ポイントＩＦＦＴを実現するためにも使用し得る。一例として、

$$\begin{bmatrix} x_1 & x_2 & x_3 & x_4 \end{bmatrix}$$

のＩＦＦＴを評価する場合には、スケーリングされたＩＦＦＴの結果

$$F\begin{bmatrix} x_1 & x_2 & x_3 & x_4 \end{bmatrix}$$

は、

$$F\begin{bmatrix}x_1 & x_2 & x_3 & x_4\end{bmatrix}=\begin{bmatrix}X_1 & X_4 & X_3 & X_2\end{bmatrix} \qquad (10)$$

によって与えられる。ここにｘ$_1$，　ｘ$_2$，　ｘ$_3$及びｘ$_4$は、（８）によって与えられたスケーリングされたＦＦＴの結果である。

【００７９】

＜８－ポイントＦＦＴ＞

図１３は、本発明を適用することの可能なＦＦＴの他の例を示している。図１３を参照すると、８データサンプル

$$\begin{bmatrix}s_1 & s_2 & \cdots & s_8\end{bmatrix}$$

の８－ポイントＦＦＴを評価するシステムは、３つの処理ステージを用いて具体化される。

【００８０】

第１ステージ及び第２ステージは、２つの４－ポイントＦＦＴ操作を実行するものと考えることができる。これらは

$$\begin{bmatrix}s_1 & s_5 & s_3 & s_7\end{bmatrix}$$

及び

$$\begin{bmatrix}s_2 & s_6 & s_4 & s_8\end{bmatrix}$$

のＦＦＴである。これらの２つの４－ポイントＦＦＴは、図１２を参照して説明したように具体化される。

【００８１】

２つの４－ポイントＦＦＴの出力には、２つの回転因子

$$w_8^1$$

，

$$w_8^2$$

及び

$$w_8^3$$

が乗算される。ここに

$$w_8^1=e^{i2\pi/8} \qquad (11)$$

$$w_8^2=e^{i2\pi 2/8} \qquad (12)$$

及び

$$w_8^3=e^{i2\pi 3/8} \qquad (13)$$

である。

【００８２】

８－ポイントＦＦＴを実現する第３ステージは、２－ポイントＦＦＴ操作を実行するための４対のＣＯＲＤＩＣを包含する。この図において、回転因子

$$w_8^2$$

の乗算と２－ポイントＦＦＴ（３Ｐ－Ｓ３）とを組合わせ得ることに注意されたい。これ

らの２つの操作を組合わせると、ＣＯＲＤＩＣプロセッサ対（３Ｐ－Ｓ３）は、図９に示したＩＩＰを用いて具体化されよう。

【００８３】

＜８－ポイントＩＦＦＴ＞

図１４は、やはり本発明を適用することの可能なＩＦＦＴの一形態を示している。一般的な具体化の構成は、上述した８－ポイントＩＦＦＴと同様である。この図において、８データサンプル

$$\left[S_1 \quad S_2 \quad \cdots \quad S_8\right]$$

の８－ポイントＦＦＴは、３処理ステージを用いて具体化される。第１ステージ及び第２ステージは、２つの４－ポイントＩＦＦＴ操作を実行するものと考えることができる。これらは

$$\left[S_1 \quad S_5 \quad S_3 \quad S_7\right]$$

及び

$$\left[S_2 \quad S_6 \quad S_4 \quad S_8\right]$$

のＩＦＦＴである。２つの４－ポイントＩＦＦＴの出力には、２つの回転因子

$$w_8^{-1}$$

、

$$w_8^{-3}$$

が乗算される。ここに

$$w_8^{-1} = e^{-i2\pi/8} \qquad (14)$$

及び

$$w_8^{-3} = e^{-i2\pi 3/8} \qquad (15)$$

である。

【００８４】

＜４－ポイントＩＦＦＴ＞

ＦＦＴの場合と同様に、４－ポイントＩＦＦＴは、２つのステージから成る。第１ステージには２対のＣＯＲＤＩＣプロセッサがある。第１の対は、データサンプル［ｓ$_1$　ｓ$_5$］の２－ポイントＩＦＦＴを計算し、第２の対のＣＯＲＤＩＣプロセッサは、［ｓ$_3$　ｓ$_7$］の２－ポイントＩＦＦＴを計算する。２－ポイントＩＦＦＴの計算は、図６又は図８に提案された仕方でなされる。これらの２対のＣＯＲＤＩＣプロセッサからの出力は、［ａ$_1$　ａ$_3$］及び［ａ$_2$　ａ$_4$］である。第１ステージからの出力データは、次に、第２ステージにおいて、下記のように処理される。

【００８５】

４－ポイントＦＦＴの第２ステージにおいて、第１の対のＣＯＲＤＩＣプロセッサを用いて、２データサンプル［ａ$_1$　ａ$_2$］　の２－ポイントＩＦＦＴを評価する。やはり図６又は図８に提案された仕方で２－ポイントＩＦＦＴを実現することができる。次に、４－ポイントＩＦＦＴの第２ステージにおいて、第２の対のＣＯＲＤＩＣプロセッサを用いて、２データサンプル

$$\left[a_3 \quad a_4 e^{-i\pi/2}\right]$$

の２－ポイントＩＦＦＴを評価する。この操作は、図１１に示した仕方で具体化される。

【００８６】

８－ポイントＩＦＦＴを実現する第３ステージは、２－ポイントＩＦＦＴ操作を実行す

るための３対のＣＯＲＤＩＣと、

$$\begin{bmatrix} b_5 & b_6 e^{-i\pi/2} \end{bmatrix}$$

の２－ポイントＩＦＦＴを評価するための１対のＣＯＲＤＩＣとを包含する。後者の、即ち１対のＣＯＲＤＩＣは、図１１に示したように具体化される。

【産業上の利用可能性】

【００８７】

この技術は、２－ポイントＦＦＴ又はＩＦＦＴのステージを用いてＦＦＴ又はＩＦＦＴを評価するどんな信号処理システムにも適用することができる。

【００８８】

本発明の他の目的、特徴及び形態は、全開示から明らかになる通りであり、以上に開示され請求項において請求された本発明の要旨及び範囲内において種々の変更が可能である。

【００８９】

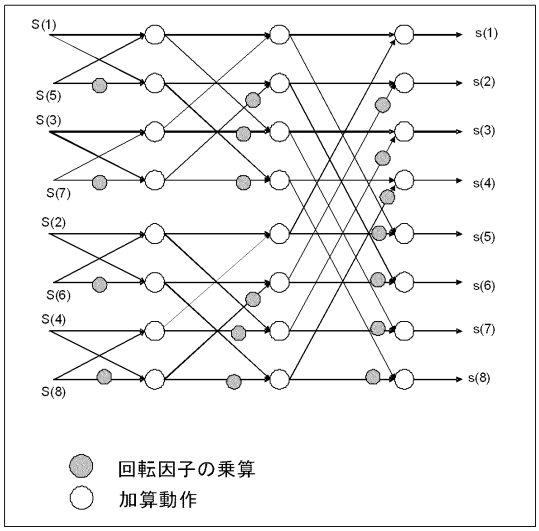
更に、ここに開示され請求された各種の要素、事項又は変更は、前記の変更に包含される。

【符号の説明】

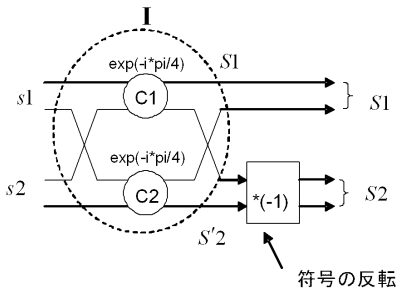
【００９０】

Ｃ１、Ｃ２　ＣＯＲＤＩＣプロセッサ
Ｉｐ　２－ポイントＦＦＴ
Ｉｐ１　２－ポイントＦＦＴ
ＩＩｐ　時計回りに入力を９０°回転させた後２－ポイントＦＦＴを行うための２－ポイント処理装置（又は方法）
ＩＩＩｐ　反時計回りに入力を９０°回転させた後２－ポイントＦＦＴを行うための２－ポイント処理装置（又は方法）
ｐ１　入力ポート（実数データ）
ｐ２　入力ポート（虚数データ）
Ｐ１　出力ポート（実数データ）
Ｐ２　出力ポート（虚数データ）
ｓ１、ｓ２　入力信号
Ｓ１、Ｓ２　出力信号
π　１８０°に相当するラジアン
$W^{k}{}_{N}$　回転因子

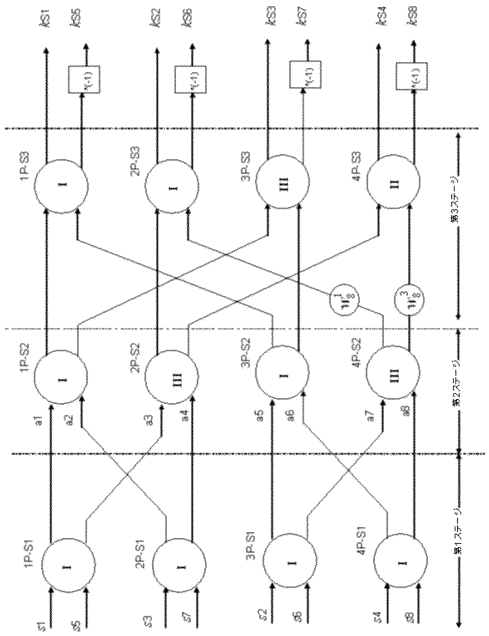
【図１】


S(1)
S(5)
S(3)
S(7)
S(2)
S(6)
S(4)
S(8)
s(1)
s(2)
s(3)
s(4)
s(5)
s(6)
s(7)
s(8)
回転因子の乗算
加算動作

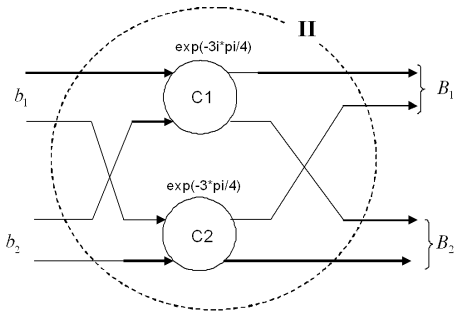
【図２】


I
exp(-i*pi/4)
S1
s1
C1
S1
exp(-i*pi/4)
s2
C2
*(-1)
S2
S'2
符号の反転

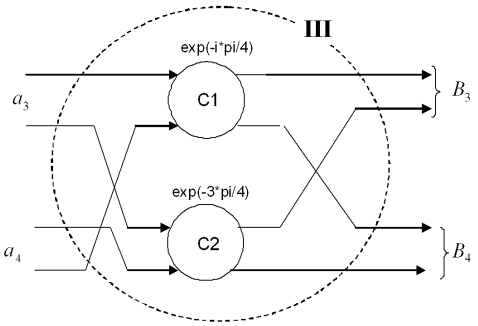
【図３】


kS1
kS5
kS2
kS6
kS3
kS7
kS4
kS8
1P-S3
2P-S3
3P-S3
4P-S3
1P-S2
2P-S2
3P-S2
4P-S2
1P-S1
2P-S1
3P-S1
4P-S1
a1
a2
a3
a4
a5
a6
a7
a8
s1
s5
s3
s7
s2
s6
s4
s8

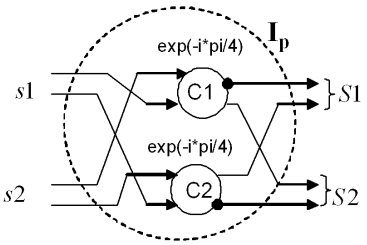
【図４】


II
exp(-3i*pi/4)
b1
C1
B1
exp(-3*pi/4)
b2
C2
B2

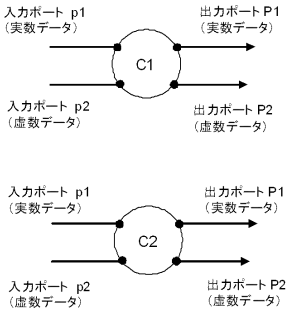
【図５】


III
exp(-i*pi/4)
C1
exp(-3*pi/4)
C2
a_3
a_4
B_3
B_4

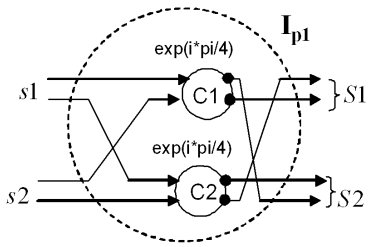
【図６】


I_p
exp(-i*pi/4)
C1
exp(-i*pi/4)
C2
s1
s2
S1
S2

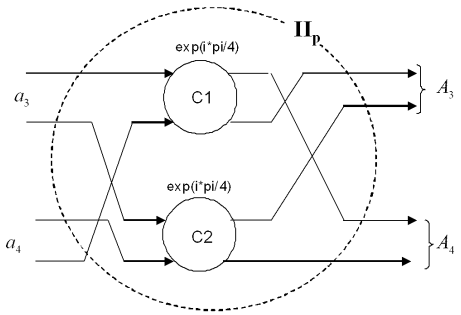
【図７】


入力ポート p1
（実数データ）
出力ポート P1
（実数データ）
C1
入力ポート p2
（虚数データ）
出力ポート P2
（虚数データ）
入力ポート p1
（実数データ）
出力ポート P1
（実数データ）
C2
入力ポート p2
（虚数データ）
出力ポート P2
（虚数データ）

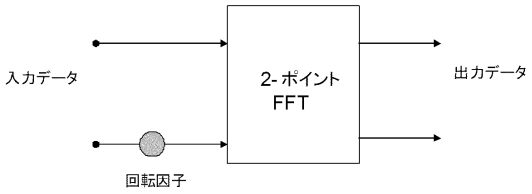
【図８】


I_{p1}
exp(i*pi/4)
C1
exp(i*pi/4)
C2
s1
s2
S1
S2

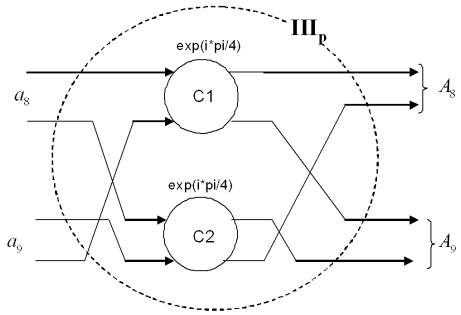
【図９】



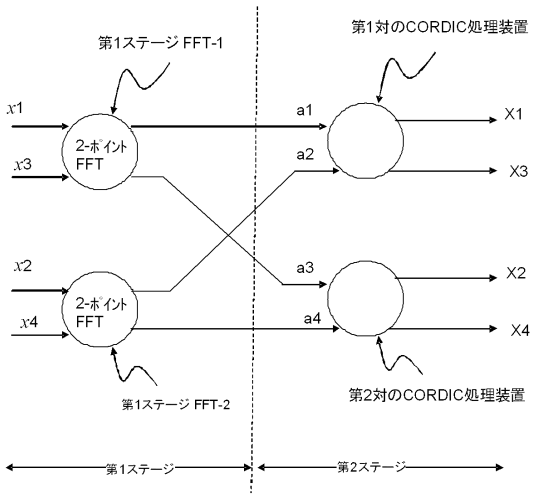
【図１０】



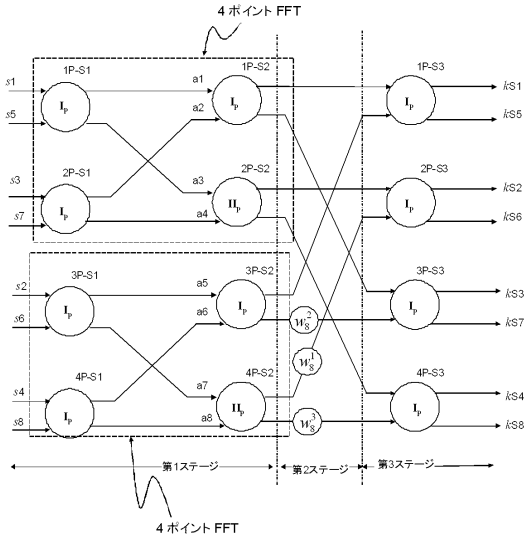
【図１１】



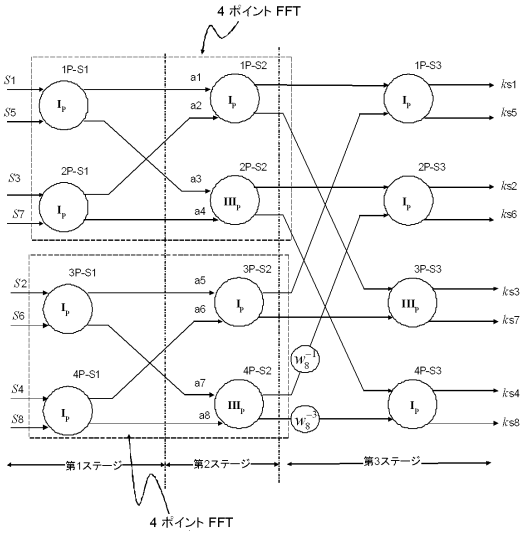
【図１２】



【図１３】


4 ポイント FFT
1P-S1
1P-S2
1P-S3
2P-S1
2P-S2
2P-S3
3P-S1
3P-S2
3P-S3
4P-S1
4P-S2
4P-S3
s1
s5
s3
s7
s2
s6
s4
s8
a1
a2
a3
a4
a5
a6
a7
a8
kS1
kS5
kS2
kS6
kS3
kS7
kS4
kS8
第1ステージ
第2ステージ
第3ステージ
4 ポイント FFT

【図１４】


4 ポイント FFT
1P-S1
1P-S2
1P-S3
2P-S1
2P-S2
2P-S3
3P-S1
3P-S2
3P-S3
4P-S1
4P-S2
4P-S3
S1
S5
S3
S7
S2
S6
S4
S8
a1
a2
a3
a4
a5
a6
a7
a8
ks1
ks5
ks2
ks6
ks3
ks7
ks4
ks8
第1ステージ
第2ステージ
第3ステージ
4 ポイント FFT

フロントページの続き

(56)参考文献 Benjamin HEYNE et al., A Pure CORDIC Based FFT for Reconfigurable Digital Signal Processing, Proceedings of the 12th European Signal Processing Conference, ２００４年 ９月６日, pages 1513-1516

(58)調査した分野(Int.Cl., ＤＢ名)
Ｇ０６Ｆ １７／１４