



(12) 发明专利申请

(10) 申请公布号 CN 117063293 A

(43) 申请公布日 2023. 11. 14

(21) 申请号 202280024178.2

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

(22) 申请日 2022.10.14

专利代理师 权圣 周爽

(30) 优先权数据

2021-169472 2021.10.15 JP

(51) Int.Cl.

H01L 29/78 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.09.25

(86) PCT国际申请的申请数据

PCT/JP2022/038348 2022.10.14

(87) PCT国际申请的公布数据

W02023/063412 JA 2023.04.20

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 樱井洋辅 野口晴司 尾崎大辅

浜崎竜太郎 山田拓弥 伊仓巧裕

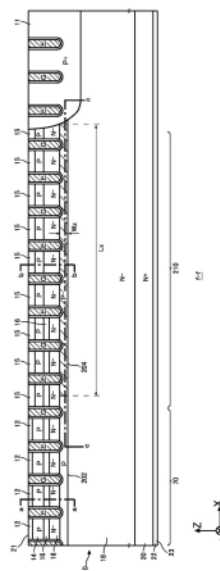
权利要求书3页 说明书19页 附图19页  
按照条约第19条修改的权利要求书3页

(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

本发明提供一种半导体装置,其具备:半导体基板,其包括第一导电型的漂移区;第二导电型的基区,其设置在漂移区与半导体基板的上表面之间;多个沟槽部,其从半导体基板的上表面起设置到比基区更靠下方的位置;第二导电型的下端区,其与两个以上的沟槽部的下端相接地设置;第二导电型的阱区,其从半导体基板的上表面起设置到比基区更靠下方的位置,并且掺杂浓度高于基区的掺杂浓度;以及第二导电型的高电阻区,其在俯视时配置于下端区与阱区之间,并且掺杂浓度低于下端区的掺杂浓度。



1. 一种半导体装置,其特征在于,具备:  
半导体基板,其具有上表面和下表面,且包括第一导电型的漂移区;  
第二导电型的基区,其设置在所述漂移区与所述半导体基板的所述上表面之间;  
多个沟槽部,其从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置;  
第二导电型的下端区,其与所述多个沟槽部中的两个以上的沟槽部的下端相接地设置;  
第二导电型的阱区,其在俯视时配置于与所述下端区不同的位置,从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置,且掺杂浓度高于所述基区的掺杂浓度;以及  
第二导电型的高电阻区,其在所述俯视时配置于所述下端区与所述阱区之间,且掺杂浓度低于所述下端区的掺杂浓度。
2. 根据权利要求1所述的半导体装置,其特征在于,  
所述高电阻区将所述下端区与所述阱区连接。
3. 根据权利要求1或2所述的半导体装置,其特征在于,  
所述高电阻区的所述俯视时的长度大于所述高电阻区的在所述半导体基板的深度方向上的宽度。
4. 根据权利要求1至3中任一项所述的半导体装置,其特征在于,  
所述高电阻区与两个以上的所述沟槽部的下端相接。
5. 根据权利要求1至4中任一项所述的半导体装置,其特征在于,  
所述半导体装置还具备有源部,所述有源部在俯视时被所述阱区包围,  
所述高电阻区在所述有源部中配置在与所述阱区相接的位置。
6. 根据权利要求5所述的半导体装置,其特征在于,  
所述高电阻区在俯视时包围所述有源部。
7. 根据权利要求5或6所述的半导体装置,其特征在于,  
所述高电阻区具有:  
第一高电阻部,其在俯视时配置于所述有源部的角部;以及  
第二高电阻部,其掺杂浓度低于所述第一高电阻部的掺杂浓度。
8. 根据权利要求1至7中任一项所述的半导体装置,其特征在于,  
所述高电阻区的掺杂浓度低于所述基区的掺杂浓度。
9. 根据权利要求1至8中任一项所述的半导体装置,其特征在于,  
所述高电阻区的掺杂浓度为所述下端区的掺杂浓度的10%以下。
10. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,  
所述高电阻区在将所述下端区与所述阱区连结的方向上具有掺杂浓度的峰。
11. 根据权利要求10所述的半导体装置,其特征在于,  
所述高电阻区中的所述峰的掺杂浓度为所述下端区的掺杂浓度的0.5倍以上且1.5倍以下。
12. 根据权利要求1至11中任一项所述的半导体装置,其特征在于,  
所述半导体装置还具备第一导电型的发射区,所述第一导电型的发射区设置在所述基

区与所述半导体基板的所述上表面之间,并且掺杂浓度高于所述漂移区的掺杂浓度,在俯视时,所述发射区的一部分与所述高电阻区的一部分重叠。

13. 根据权利要求1至11中任一项所述的半导体装置,其特征在于,

所述半导体装置还具备第一导电型的发射区,所述第一导电型的发射区设置在所述基区与所述半导体基板的所述上表面之间,并且掺杂浓度高于所述漂移区的掺杂浓度,在俯视时,所述发射区与所述高电阻区分离地配置。

14. 根据权利要求1至13中任一项所述的半导体装置,其特征在于,

所述多个沟槽部包括一个以上的栅极沟槽部,所述高电阻区与至少一个所述栅极沟槽部的下端相接。

15. 根据权利要求14所述的半导体装置,其特征在于,所述高电阻区具有:

下端部分,其与所述栅极沟槽部的下端相接;以及低浓度部分,其掺杂浓度低于所述下端部分的掺杂浓度。

16. 根据权利要求1至15中任一项所述的半导体装置,其特征在于,

所述半导体装置还具备蓄积区,所述蓄积区设置在所述基区与所述漂移区之间,并且掺杂浓度高于所述漂移区的掺杂浓度,

在俯视时,所述蓄积区的一部分与所述高电阻区的一部分重叠。

17. 根据权利要求1至16中任一项所述的半导体装置,其特征在于,

在俯视时,所述沟槽部在第一方向上具有长度,在第二方向上具有宽度,在所述第一方向上将所述下端区和所述阱区连接的所述高电阻区的第一长度与在所述第二方向上将所述下端区和所述阱区连接的所述高电阻区的第二长度之比为0.9以上且1.1以下。

18. 根据权利要求1至17中任一项所述的半导体装置,其特征在于,

在俯视时,所述沟槽部在第一方向上具有长度,在第二方向上具有宽度,所述高电阻区的所述第一方向上的掺杂浓度分布比所述高电阻区的所述第二方向上的掺杂浓度分布平坦。

19. 一种半导体装置的制造方法,其特征在于,所述半导体装置在具有上表面和下表面且包括第一导电型的漂移区的半导体基板形成第二导电型的基区、多个沟槽部、第二导电型的下端区、第二导电型的阱区、第二导电型的高电阻区,

所述第二导电型的基区设置在所述漂移区与所述半导体基板的所述上表面之间,

所述多个沟槽部从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置,

所述第二导电型的下端区与所述多个沟槽部中的两个以上的沟槽部的下端相接地设置,

所述第二导电型的阱区在俯视时配置于与所述下端区不同的位置,从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置,并且掺杂浓度高于所述基区的掺杂浓度,

所述第二导电型的高电阻区在所述俯视时配置于所述下端区与所述阱区之间,并且掺杂浓度低于所述下端区的掺杂浓度。

20. 根据权利要求19所述的半导体装置的制造方法,其特征在于,

针对形成所述高电阻区的区域和应形成所述下端区的区域这两者注入第二导电型的掺杂剂，

针对形成所述下端区的区域进一步注入第二导电型的掺杂剂。

21. 根据权利要求19所述的半导体装置的制造方法，其特征在于，

针对形成所述高电阻区的区域和应形成所述下端区的区域分别注入不同浓度的第二导电型掺杂剂。

22. 根据权利要求19所述的半导体装置的制造方法，其特征在于，

向应形成所述高电阻区的区域中的、与应形成所述下端区的区域分离的区域注入第二导电型的掺杂剂，并进行热处理，从而使所述掺杂剂朝向应形成所述下端区的区域扩散。

## 半导体装置及半导体装置的制造方法

### 技术领域

[0001] 本发明涉及半导体装置及半导体装置的制造方法。

### 背景技术

[0002] 以往,已知有将与P型的阱区分离的P型的浮置区设置于栅极沟槽的底部的结构(例如参照专利文献1)。

[0003] 现有技术文献

[0004] 专利文献1:日本特开2019-91892号公报

### 发明内容

[0005] 技术问题

[0006] 期待半导体装置的耐压或耐量不降低。

[0007] 技术方案

[0008] 为了解决上述问题,在本发明的第一方式中提供一种半导体装置。半导体装置可以具备半导体基板,该半导体基板具有上表面和下表面,且包括第一导电型的漂移区。半导体装置可以具备第二导电型的基区,该第二导电型的基区设置在漂移区与半导体基板的上表面之间。半导体装置可以具备多个沟槽部,该多个沟槽部从半导体基板的上表面起设置到比基区更靠下方的位置。半导体装置可以具备第二导电型的下端区,该第二导电型的下端区与两个以上的沟槽部的下端相接地设置。半导体装置可以具备第二导电型的阱区,该第二导电型的阱区在俯视时配置于与下端区不同的位置,从半导体基板的上表面起设置到比基区更靠下方的位置,并且掺杂浓度高于基区的掺杂浓度。半导体装置可以具备第二导电型的高电阻区,该第二导电型的高电阻区在俯视时配置于下端区与阱区之间,且掺杂浓度低于下端区的掺杂浓度。

[0009] 高电阻区可以将下端区与阱区连接。

[0010] 高电阻区的俯视时的长度可以大于高电阻区的在半导体基板的深度方向上的宽度。

[0011] 高电阻区可以与两个以上的沟槽部的下端相接。

[0012] 半导体装置可以具备有源部,该有源部在俯视时被阱区包围。高电阻区在有源部中可以配置在与阱区相接的位置。

[0013] 高电阻区可以在俯视时包围有源部。

[0014] 高电阻区可以具有第一高电阻部和第二高电阻部,该第一高电阻部在俯视时配置于有源部的角部,该第二高电阻部的掺杂浓度低于第一高电阻部的掺杂浓度。

[0015] 高电阻区的掺杂浓度可以低于基区的掺杂浓度。

[0016] 高电阻区的掺杂浓度可以为下端区的掺杂浓度的10%以下。

[0017] 高电阻区可以在将下端区与阱区连结的方向上具有掺杂浓度的峰。

[0018] 高电阻区中的峰的掺杂浓度可以为下端区的掺杂浓度的0.5倍以上且1.5倍以下。

[0019] 半导体装置可以具备第一导电型的发射区,该第一导电型的发射区设置在基区与半导体基板的上表面之间,并且掺杂浓度高于漂移区的掺杂浓度。在俯视时,发射区的一部分可以与高电阻区的一部分重叠。

[0020] 半导体装置可以具备第一导电型的发射区,该第一导电型的发射区设置在基区与半导体基板的上表面之间,并且掺杂浓度高于漂移区的掺杂浓度。在俯视时,发射区与高电阻区可以分离地配置。

[0021] 多个沟槽部可以包括一个以上的栅极沟槽部。高电阻区可以与至少一个栅极沟槽部的下端相接。

[0022] 高电阻区可以具有下端部分和低浓度部分,该下端部分与栅极沟槽部的下端相接,该低浓度部分的掺杂浓度低于下端部分的掺杂浓度。

[0023] 半导体装置可以具备蓄积区,该蓄积区设置在基区与漂移区之间,且掺杂浓度高于漂移区的掺杂浓度。在俯视时,蓄积区的一部分可以与高电阻区的一部分重叠。

[0024] 在俯视时,沟槽部可以在第一方向上具有长度,并且在第二方向上具有宽度。在第一方向上将下端区和阱区连接的高电阻区的第一长度与在第二方向上将下端区和阱区连接的高电阻区的第二长度之比可以为0.9以上且1.1以下。

[0025] 高电阻区的第一方向上的掺杂浓度分布可以比高电阻区的第二方向上的掺杂浓度分布平坦。

[0026] 在本发明的第二方式中,提供一种半导体装置的制造方法。制造方法在具有上表面和下表面且包括第一导电型的漂移区的半导体基板形成第二导电型的基区,该第二导电型的基区设置在漂移区与半导体基板的上表面之间。制造方法可以形成多个沟槽部,该多个沟槽部从半导体基板的上表面起设置到比基区更靠下方的位置。制造方法可以形成第二导电型的下端区,该第二导电型的下端区与两个以上的沟槽部的下端相接地设置。制造方法可以形成第二导电型的阱区,该第二导电型的阱区在俯视时配置于与下端区不同的位置,从半导体基板的上表面起设置到比基区更靠下方的位置,并且掺杂浓度高于基区的掺杂浓度。制造方法可以形成第二导电型的高电阻区,该第二导电型的高电阻区在俯视时配置于下端区与阱区之间,并且掺杂浓度低于下端区的掺杂浓度。

[0027] 在制造方法中,可以针对形成高电阻区的区域和应形成下端区的区域这两者注入第二导电型的掺杂剂。在制造方法中,可以针对形成下端区的区域进一步注入第二导电型的掺杂剂。

[0028] 在制造方法中,可以针对形成高电阻区的区域和应形成下端区的区域分别注入不同浓度的第二导电型掺杂剂。

[0029] 在制造方法中,可以向应形成高电阻区的区域中的、与应形成下端区的区域分离的区域注入第二导电型的掺杂剂,并进行热处理,从而使掺杂剂朝向应形成下端区的区域扩散。

[0030] 应予说明,上述的发明内容并未列举本发明的全部必要特征。另外,这些特征组的子组合也能够成为发明。

## 附图说明

[0031] 图1是示出本发明的一个实施方式的半导体装置100的一例的俯视图。

- [0032] 图2是图1中的区域D的放大图。
- [0033] 图3是示出图2中的e-e剖面的一例的图。
- [0034] 图4是示出俯视时的阱区11和下端区202的配置例的图。
- [0035] 图5A是示出图4中的f-f截面的一例的图。
- [0036] 图5B是示出图5A中的a-a截面和b-b截面的净掺杂浓度分布的一例的图。
- [0037] 图6是示出X轴方向上的掺杂浓度分布的一例的图。
- [0038] 图7是示出图4中的g-g截面的一例的图。
- [0039] 图8示出对高电阻区204的掺杂浓度与形成有高电阻区204的部分的耐压之间的关系进行测定而得到的结果。
- [0040] 图9是示出俯视时的高电阻区204的另一配置例的图。
- [0041] 图10是示出俯视时的高电阻区204的另一配置例的图。
- [0042] 图11是示出半导体装置100的制造方法的部分工序的图。
- [0043] 图12是说明第二区域形成步骤S1104的一例的图。
- [0044] 图13是说明第二区域形成步骤S1104的另一例的图。
- [0045] 图14是说明第二区域形成步骤S1104的另一例的图。
- [0046] 图15是示出X轴方向上的掺杂浓度分布的另一例的图。
- [0047] 图16是示出X轴方向上的掺杂浓度分布的另一例的图。
- [0048] 图17是示出X轴方向上的掺杂浓度分布的另一例的图。
- [0049] 图18是示出X轴方向上的掺杂浓度分布的另一例的图。
- [0050] 图19是示出下端区202和高电阻区204的其他结构例的图。
- [0051] 图20是示出高电阻区204的掺杂浓度分布例的图。
- [0052] 图21是示出X轴方向上的高电阻区204的另一配置例的图。
- [0053] 符号说明
- [0054] 10:半导体基板,11:阱区,12:发射区,14:基区,15:接触区,16:蓄积区,18:漂移区,20:缓冲区,21:上表面,22:集电区,23:下表面,24:集电极,29:直线部分,30:虚设沟槽部,31:前端部,32:虚设绝缘膜,34:虚设导电部,38:层间绝缘膜,39:直线部分,40:栅极沟槽部,41:前端部,42:栅极绝缘膜,44:栅极导电部,45:沟槽,52:发射极,54:接触孔,60、61:台面部,70:晶体管部,80:二极管部,81:延长区,82:阴极区,90:边缘终端结构部,100:半导体装置,130:外周栅极布线,131:有源侧栅极布线,160:有源部,162:端边,164:栅极焊盘,202:下端区,203:区域,204:高电阻区,205:高电阻部,206:平坦部,207:峰,208:谷部,210:边界部,300:掩模,302:下端部分,304:低浓度部分,312:下端部分,314:低浓度部分。

### 具体实施方式

[0055] 以下,通过发明的实施方式对本发明进行说明,但以下的实施方式并不限定权利要求所涉及的发明。另外,实施方式中说明的特征的全部组合并不一定是发明的技术方案所必须的。

[0056] 在本说明书中,将与半导体基板的深度方向平行的方向上的一侧称为“上”,将另一侧称为“下”。将基板、层或其他部件的两个主面中的一个面称为上表面,将另一个面称为下表面。“上”、“下”的方向并不限于重力方向或半导体装置的实际安装时的方向。

[0057] 在本说明书中,有时使用X轴、Y轴以及Z轴的正交坐标轴来说明技术事项。正交坐标轴仅仅确定构成要素的相对位置,并不限定特定的方向。例如,Z轴并不限定地表示相对于地面的高度方向。应予说明,+Z轴方向和-Z轴方向是相互反向的方向。在不记载正负而记载为Z轴方向的情况下,是指与+Z轴和-Z轴平行的方向。

[0058] 在本说明书中,将与半导体基板的上表面和下表面平行的正交轴设为X轴和Y轴。另外,将与半导体基板的上表面和下表面垂直的轴设为Z轴。在本说明书中,有时将Z轴的方向称为深度方向。另外,在本说明书中,包括X轴和Y轴在内,有时将与半导体基板的上表面和下表面平行的方向称为水平方向。

[0059] 另外,有时将从半导体基板的深度方向上的中心起到半导体基板的上表面为止的区域称为上表面侧。同样地,有时将从半导体基板的深度方向上的中心起到半导体基板的下表面为止的区域称为下表面侧。

[0060] 在本说明书中,在称为“相同”或“相等”的情况下,也可以包括具有由制造偏差等引起的误差的情况。该误差例如为10%以内。

[0061] 在本说明书中,将掺杂有杂质的掺杂区的导电类型设为P型或N型进行说明。在本说明书中,杂质有时特别是指N型的施主或P型的受主中的某一个,有时记载为掺杂剂。在本说明书中,掺杂是指向半导体基板导入施主或受主,而形成成为呈现N型的导电型的半导体或呈现P型的导电型的半导体。

[0062] 在本说明书中,掺杂浓度是指热平衡状态下的施主的浓度或受主的浓度。在本说明书中,净掺杂浓度是指,将施主浓度设为正离子的浓度,将受主浓度设为负离子的浓度,包括电荷的极性在内相加而得到的净浓度。作为一例,如果将施主浓度设为 $N_D$ ,将受主浓度设为 $N_A$ ,则任意位置处的净的净掺杂浓度为 $N_D - N_A$ 。在本说明书中,有时将净掺杂浓度简称为掺杂浓度。

[0063] 施主具有向半导体供给电子的功能。受主具有从半导体获取电子的功能。施主和受主不限于杂质本身。例如,存在于半导体中的空位(V)、氧(O)以及氢(H)键合而成的VOH缺陷作为供给电子的施主发挥功能。在本说明书中,有时将VOH缺陷称为氢施主。

[0064] 在本说明书中,半导体基板整体分布有N型的体施主。体施主是在制造成为半导体基板的基础的晶锭时由在晶锭内大致均匀地包含的掺杂剂而形成的施主。本例的体施主是除了氢以外的元素。体施主的掺杂剂例如为磷、锑、砷、硒或硫,但并不限于此。本例的体施主是磷。体施主也包含在P型区域中。半导体基板可以是半导体的晶锭切出的晶片,也可以是将晶片单片化而成的芯片。半导体的晶锭可以通过直拉单晶制造法(CZ法)、磁控拉晶法(MCZ法)、悬浮区熔法(FZ法)中的任一种来制造。本例中的晶锭通过MCZ法制造。通过MCZ法制造的基板中所含的氧浓度为 $1 \times 10^{17} \sim 7 \times 10^{17} / \text{cm}^3$ 。通过FZ法制造的基板中所含的氧浓度为 $1 \times 10^{15} \sim 5 \times 10^{16} / \text{cm}^3$ 。氧浓度高时,有容易生成氢施主的趋势。体施主浓度可以使用分布在整个半导体基板中的体施主的化学浓度,也可以是该化学浓度的90%至100%之间的值。另外,半导体基板也可以使用不含磷等掺杂剂的无掺杂基板。在该情况下,无掺杂基板的体施主浓度(D0)例如为 $1 \times 10^{10} / \text{cm}^3$ 以上且 $5 \times 10^{12} / \text{cm}^3$ 以下。无掺杂基板的体施主浓度(D0)优选为 $1 \times 10^{11} / \text{cm}^3$ 以上。无掺杂基板的体施主浓度(D0)优选为 $5 \times 10^{12} / \text{cm}^3$ 以下。应予说明,本发明中的各浓度可以是室温下的值。作为一例,室温下的值可以使用300K(开尔文)(约26.9°C)时的值。

[0065] 在本说明书中,在记载为P+型或N+型的情况下,意味着掺杂浓度高于P型或N型的掺杂浓度,在记载为P-型或N-型的情况下,意味着掺杂浓度低于P型或N型的掺杂浓度。另外,在本说明书中,在记载为P++型或N++型的情况下,是指掺杂浓度高于P+型或N+型的掺杂浓度。除非另有说明,否则本说明书中的单位制是SI单位制。有时以cm表示长度的单位,但各计算可以换算为米(m)后进行。

[0066] 在本说明书中,化学浓度是指不依赖于电活化的状态而测定的杂质的原子密度。化学浓度例如能够通过二次离子质谱法(SIMS)来测量。上述净掺杂浓度可以通过电压-电容测定法(CV法)进行测定。另外,可以将通过扩展电阻测定法(SR法)测量的载流子浓度作为净掺杂浓度。通过CV法或SR法测量的载流子浓度可以设为热平衡状态下的值。另外,在N型的区域中,施主浓度比受主浓度大很多,因此也可以将该区域中的载流子浓度作为施主浓度。同样地,在P型区域中,也可以将该区域中的载流子浓度作为受主浓度。在本说明书中,有时将N型区域的掺杂浓度称为施主浓度,将P型区域的掺杂浓度称为受主浓度。

[0067] 另外,在施主、受主或净掺杂的浓度分布具有峰的情况下,可以将该峰值作为该区域中的施主、受主或净掺杂的浓度。在施主、受主或净掺杂的浓度大致均匀的情况下等,可以将该区域中的施主、受主或净掺杂的浓度的平均值作为施主、受主或净掺杂的浓度。在本说明书中,每单位体积的浓度表示使用atoms/cm<sup>3</sup>或/cm<sup>3</sup>。该单位用于半导体基板内的施主或受主浓度、或者化学浓度。也可以省略atoms标记。

[0068] 通过SR法测量的载流子浓度也可以低于施主或受主的浓度。在测定扩展电阻时电流流通的范围内,半导体基板的载流子迁移率有时低于结晶状态的值。载流子迁移率的降低是由于晶格缺陷等引起的晶体结构的紊乱(无序)使载流子散射而产生的。

[0069] 根据通过CV法或SR法测量的载流子浓度而算出的施主或受主的浓度可以低于表示施主或受主的元素的化学浓度。作为一例,在硅的半导体中成为施主的磷或砷的施主浓度、或者成为受主的硼(boron)的受主浓度为它们的化学浓度的99%左右。另一方面,在硅的半导体中成为施主的氢的施主浓度为氢的化学浓度的0.1%至10%左右。

[0070] 图1是示出本发明的一个实施方式的半导体装置100的一例的俯视图。在图1中,示出了将各部件投影到半导体基板10的上表面而得的位置。在图1中,仅示出半导体装置100的一部分的部件,省略另一部分的部件。

[0071] 半导体装置100具备半导体基板10。半导体基板10是由半导体材料形成的基板。作为一例,半导体基板10为硅基板。半导体基板10在俯视时具有端边162。在本说明书中简称为俯视的情况下,是指从半导体基板10的上表面侧观察。本例的半导体基板10具有在俯视时彼此面对的两组端边162。在图1中,X轴和Y轴与某一个端边162平行。另外,Z轴与半导体基板10的上表面垂直。

[0072] 在半导体基板10设置有有源部160。有源部160是在半导体装置100动作的情况下供主电流在半导体基板10的上表面与下表面之间沿深度方向流动的区域。在有源部160的上方设置有发射极,但在图1中省略。有源部160可以指在俯视时与发射极重叠的区域。另外,在俯视时被有源部160夹着的区域也可以包含于有源部160。

[0073] 在有源部160设置有包含IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)等晶体管元件的晶体管部70。在有源部160还可以设置有包含续流二极管(FWD)等二极管元件的二极管部80。在图1的例子中,晶体管部70和二极管部80沿着半导体

基板10的上表面的预定的排列方向(在本例中为X轴方向)交替地配置。本例的半导体装置100是反向导通型IGBT(RC-IGBT)。

[0074] 在图1中,对配置晶体管部70的区域标注符号“T”,对配置二极管部80的区域标注符号“F”。在本说明书中,有时将俯视时与排列方向垂直的方向称为延伸方向(在图1中为Y轴方向)。晶体管部70和二极管部80可以分别在延伸方向上具有长度。即,晶体管部70的Y轴方向上的长度大于X轴方向上的宽度。同样地,二极管部80的Y轴方向上的长度大于X轴方向上的宽度。晶体管部70和二极管部80的延伸方向与后述的各沟槽部的长度方向可以相同。

[0075] 二极管部80在与半导体基板10的下表面相接的区域具有N+型的阴极区。在本说明书中,将设置有阴极区的区域称为二极管部80。即,二极管部80是在俯视时与阴极区重叠的区域。在半导体基板10的下表面,可以在除阴极区以外的区域设置P+型的集电区。在本说明书中,有时在二极管部80也包括使二极管部80沿Y轴方向延长到后述的栅极布线的延长区81。在延长区81的下表面设置有集电区。

[0076] 晶体管部70在与半导体基板10的下表面相接的区域具有P+型的集电区。另外,晶体管部70在半导体基板10的上表面侧周期性地配置有N型的发射区、P型的基区、具有栅极导电部和栅极绝缘膜的栅极结构。

[0077] 半导体装置100可以在半导体基板10的上方具有一个以上的焊盘。本例的半导体装置100具有栅极焊盘164。半导体装置100也可以具有阳极焊盘、阴极焊盘以及电流检测焊盘等焊盘。各焊盘配置于端边162的附近。端边162的附近是指俯视时的端边162与发射极之间的区域。在半导体装置100的实际安装时,各焊盘可以经由引线等布线与外部的电路连接。

[0078] 对栅极焊盘164施加栅极电位。栅极焊盘164与有源部160的栅极沟槽部的导电部电连接。半导体装置100具备将栅极焊盘164与栅极沟槽部连接的栅极布线。在图1中,对栅极布线标注斜线的阴影。

[0079] 本例的栅极布线具有外周栅极布线130和有源侧栅极布线131。外周栅极布线130在俯视时配置在有源部160与半导体基板10的端边162之间。本例的外周栅极布线130在俯视时包围有源部160。也可以将在俯视时被外周栅极布线130包围的区域设为有源部160。另外,在栅极布线的下方形成有阱区。阱区是比后述的基区浓度高的P型区,并从半导体基板10的上表面形成至比基区深的位置。也可以将在俯视时被阱区包围的区域设为有源部160。

[0080] 外周栅极布线130与栅极焊盘164连接。外周栅极布线130配置在半导体基板10的上方。外周栅极布线130可以是包含铝等的金属布线。

[0081] 有源侧栅极布线131设置于有源部160。通过在有源部160设置有源侧栅极布线131,对于半导体基板10的各区域而言,能够减少距栅极焊盘164的布线长度的偏差。

[0082] 外周栅极布线130和有源侧栅极布线131与有源部160的栅极沟槽部连接。外周栅极布线130和有源侧栅极布线131配置在半导体基板10的上方。外周栅极布线130和有源侧栅极布线131可以是由掺杂有杂质的多晶硅等半导体形成的布线。

[0083] 有源侧栅极布线131可以与外周栅极布线130连接。本例的有源侧栅极布线131以在Y轴方向上的大致中央横穿有源部160的方式,沿X轴方向从夹着有源部160的一个外周栅极布线130延伸到另一个外周栅极布线130而设置。在通过有源侧栅极布线131分割有源部160的情况下,在各个分割区域中,可以沿X轴方向交替地配置有晶体管部70和二极管部80。

[0084] 另外,半导体装置100可以具备未图示的温度感测部和/或未图示的电流检测部,该温度感测部为由多晶硅等形成的PN结二极管,该电流检测部模拟设置在有源部160的晶体管部的工作。

[0085] 在俯视时,本例的半导体装置100在有源部160与端边162之间具备边缘终端结构部90。本例的边缘终端结构部90配置在外周栅极布线130与端边162之间。边缘终端结构部90缓和半导体基板10的上表面侧的电场集中。边缘终端结构部90可以具备包围有源部160而设置为环状的保护环、场板以及降低表面电场部中的至少一者。

[0086] 图2是图1中的区域D的放大图。区域D是包括晶体管部70、二极管部80以及有源侧栅极布线131的区域。本例的半导体装置100具备设置于半导体基板10的上表面侧的内部的栅极沟槽部40、虚设沟槽部30、阱区11、发射区12、基区14以及接触区15。栅极沟槽部40和虚设沟槽部30分别是沟槽部的一例。另外,本例的半导体装置100具备设置于半导体基板10的上表面的上方的发射极52和有源侧栅极布线131。发射极52和有源侧栅极布线131彼此分离地设置。

[0087] 在发射极52与半导体基板10的上表面之间以及有源侧栅极布线131与半导体基板10的上表面之间设置有层间绝缘膜,但在图2中省略。在本例的层间绝缘膜,以贯通该层间绝缘膜的方式设置有接触孔54。在图2中,对各个接触孔54标注斜线的阴影线。

[0088] 发射极52设置于栅极沟槽部40、虚设沟槽部30、阱区11、发射区12、基区14以及接触区15的上方。发射极52通过接触孔54与半导体基板10的上表面的发射区12、接触区15以及基区14接触。另外,发射极52通过设置于层间绝缘膜的接触孔而与虚设沟槽部30内的虚设导电部连接。发射极52可以在Y轴方向上的虚设沟槽部30的前端与虚设沟槽部30的虚设导电部连接。

[0089] 有源侧栅极布线131通过设置于层间绝缘膜的接触孔而与栅极沟槽部40连接。有源侧栅极布线131可以在Y轴方向上的栅极沟槽部40的前端部41与栅极沟槽部40的栅极导电部连接。有源侧栅极布线131不与虚设沟槽部30内的虚设导电部连接。

[0090] 发射极52由包含金属的材料形成。在图2中,示出了设置有发射极52的范围。例如,发射极52的至少一部分区域由铝或铝-硅合金、例如AlSi、AlSiCu等金属合金形成。发射极52可以在由铝等形成的区域的下层具有由钛、钛化合物等形成的阻挡金属。进一步地,在接触孔内,可以具有以与阻挡金属和铝等相接的方式埋入钨等而形成的插塞。

[0091] 阱区11与有源侧栅极布线131重叠地设置。阱区11在不与有源侧栅极布线131重叠的范围也以预定的宽度延伸地设置。本例的阱区11与接触孔54的Y轴方向的端部向有源侧栅极布线131侧分离地设置。阱区11是掺杂浓度高于基区14的掺杂浓度的第二导电型的区域。本例的基区14为P-型,阱区11为P+型。

[0092] 晶体管部70和二极管部80分别具有在排列方向上排列有多个的沟槽部。在本例的晶体管部70,沿着排列方向交替地设置有一个以上的栅极沟槽部40和一个以上的虚设沟槽部30。在本例的二极管部80,沿着排列方向设置有多个虚设沟槽部30。在本例的二极管部80没有设置栅极沟槽部40。

[0093] 本例的栅极沟槽部40可以具有沿着与排列方向垂直的延伸方向延伸的两个直线部分39(沿着延伸方向呈直线状的沟槽的部分)和将两个直线部分39连接的前端部41。图2中的延伸方向为Y轴方向。

[0094] 优选前端部41的至少一部分在俯视时设置成曲线状。通过前端部41将两个直线部分39的Y轴方向上的端部彼此连接,从而能够缓和直线部分39的端部处的电场集中。

[0095] 在晶体管部70中,虚设沟槽部30设置于栅极沟槽部40的各个直线部分39之间。在各个直线部分39之间可以设置有一条虚设沟槽部30,也可以设置有多条虚设沟槽部30。虚设沟槽部30可以具有沿延伸方向延伸的直线形状,也可以与栅极沟槽部40同样地具有直线部分29和前端部31。图2所示的半导体装置100包括不具有前端部31的直线形状的虚设沟槽部30和具有前端部31的虚设沟槽部30这两者。

[0096] 阱区11的扩散深度可以比栅极沟槽部40和虚设沟槽部30的深度深。栅极沟槽部40和虚设沟槽部30的Y轴方向的端部在俯视时设置于阱区11。即,在各沟槽部的Y轴方向的端部,各沟槽部的深度方向的底部被阱区11覆盖。由此,能够缓和各沟槽部的该底部处的电场集中。

[0097] 在排列方向上,在各沟槽部之间设置有台面部。台面部是指在半导体基板10的内部被沟槽部夹着的区域。作为一例,台面部的上端是半导体基板10的上表面。台面部的下端的深度位置与沟槽部的下端的深度位置相同。本例的台面部在半导体基板10的上表面沿着沟槽在延伸方向(Y轴方向)上延伸地设置。在本例中,在晶体管部70设置有台面部60,在二极管部80设置有台面部61。在本说明书中,在简称为台面部的情况下,泛指台面部60和台面部61。

[0098] 在各个台面部设置有基区14。将台面部中在半导体基板10的上表面露出的基区14中的最靠近有源侧栅极布线131而配置的区域设为基区14-e。在图2中,示出了配置于各个台面部的延伸方向上的一个端部的基区14-e,但在各个台面部的另一个端部也配置有基区14-e。在各个台面部,在俯视时被基区14-e夹着的区域,可以设置有第一导电型的发射区12和第二导电型的接触区15中的至少一者。本例的发射区12为N+型,接触区15为P+型。发射区12和接触区15在深度方向上可以设置在基区14与半导体基板10的上表面之间。

[0099] 晶体管部70的台面部60具有在半导体基板10的上表面露出的发射区12。发射区12与栅极沟槽部40相接地设置。与栅极沟槽部40相接的台面部60可以设置有在半导体基板10的上表面露出的接触区15。

[0100] 台面部60中的接触区15和发射区12分别从X轴方向上的一个沟槽部起设置到另一个沟槽部。作为一例,台面部60的接触区15和发射区12沿着沟槽部的延伸方向(Y轴方向)交替地配置。

[0101] 在另一例中,台面部60的接触区15和发射区12可以沿着沟槽部的延伸方向(Y轴方向)设置成条纹状。例如,在与沟槽部相接的区域设置有发射区12,在被发射区12夹着的区域设置有接触区15。

[0102] 在二极管部80的台面部61不设置发射区12。在台面部61的上表面可以设置基区14和接触区15。在台面部61的上表面,在被基区14-e夹着的区域,可以与各个基区14-e相接地设置有接触区15。在台面部61的上表面,在被接触区15夹着的区域可以设置基区14。基区14可以配置于被接触区15夹着的整个区域。

[0103] 在各个台面部的上方设置有接触孔54。接触孔54配置于被基区14-e夹着的区域。本例的接触孔54设置于接触区15、基区14以及发射区12的各区域的上方。接触孔54不设置于与基区14-e和阱区11对应的区域。接触孔54可以配置在台面部60的排列方向(X轴方向)

上的中央。

[0104] 在二极管部80中,在与半导体基板10的下表面相邻的区域设置有N+型的阴极区82。在半导体基板10的下表面,在未设置阴极区82的区域可以设置有P+型的集电区22。阴极区82和集电区22设置在半导体基板10的下表面23与缓冲区20之间。在图2中,用虚线表示阴极区82与集电区22的边界。

[0105] 阴极区82在Y轴方向上与阱区11分离地配置。由此,能够确保掺杂浓度比较高且形成到深的位置的P型的区域(阱区11)与阴极区82之间的距离,提高耐压。本例的阴极区82的Y轴方向上的端部配置为比接触孔54的Y轴方向上的端部更远离阱区11。在另一例中,阴极区82的Y轴方向上的端部可以配置在阱区11与接触孔54之间。

[0106] 图3是示出图2中的e-e截面的一例的图。e-e截面是通过发射区12和阴极区82的XZ面。本例的半导体装置100在该截面中具有半导体基板10、层间绝缘膜38、发射极52以及集电极24。

[0107] 层间绝缘膜38设置在半导体基板10的上表面。层间绝缘膜38是包括添加有硼或磷等杂质的硅酸盐玻璃等绝缘膜、热氧化膜、以及其他绝缘膜中的至少一层的膜。在层间绝缘膜38设置有在图2中说明的接触孔54。

[0108] 发射极52设置于层间绝缘膜38的上方。发射极52通过层间绝缘膜38的接触孔54与半导体基板10的上表面21接触。集电极24设置于半导体基板10的下表面23。发射极52和集电极24由铝等金属材料形成。在本说明书中,将连结发射极52和集电极24的方向(Z轴方向)称为深度方向。

[0109] 半导体基板10具有N型或N-型的漂移区18。漂移区18分别设置于晶体管部70和二极管部80。

[0110] 在晶体管部70的台面部60,从半导体基板10的上表面21侧起依次设置有N+型的发射区12和P-型的基区14。在基区14的下方设置有漂移区18。在台面部60可以设置有N+型的蓄积区16。蓄积区16配置在基区14与漂移区18之间。

[0111] 发射区12在半导体基板10的上表面21露出,并且与栅极沟槽部40相接地设置。发射区12可以与台面部60的两侧的沟槽部相接。发射区12的掺杂浓度高于漂移区18的掺杂浓度。

[0112] 基区14设置于发射区12的下方。本例的基区14与发射区12相接地设置。基区14可以与台面部60的两侧的沟槽部相接。

[0113] 蓄积区16设置于基区14的下方。蓄积区16是掺杂浓度高于漂移区18的掺杂浓度的N+型的区域。即,蓄积区16的施主浓度高于漂移区18的施主浓度。通过在漂移区18与基区14之间设置高浓度的蓄积区16,从而能够提高载流子注入促进效应(IE效应),降低导通电压。蓄积区16可以以覆盖各台面部60中的基区14的整个下表面的方式设置。

[0114] 在二极管部80的台面部61,与半导体基板10的上表面21相接地设置有P-型的基区14。在基区14的下方设置有漂移区18。在台面部61,在基区14的下方可以设置有蓄积区16。

[0115] 在晶体管部70和二极管部80的每一个中,在漂移区18之下可以设置有N+型的缓冲区20。缓冲区20的掺杂浓度高于漂移区18的掺杂浓度。缓冲区20可以具有掺杂浓度高于漂移区18的掺杂浓度的浓度峰。浓度峰的掺杂浓度是指浓度峰的顶点处的掺杂浓度。另外,漂移区18的掺杂浓度可以使用掺杂浓度分布大致平坦的区域中的掺杂浓度的平均值。

[0116] 缓冲区20在半导体基板10的深度方向(Z轴方向)上可以具有两个以上的浓度峰。缓冲区20的浓度峰例如可以设置在与氢(质子)或磷的化学浓度峰相同的深度位置。缓冲区20可以作为防止从基区14的下端扩展的耗尽层到达P+型的集电区22和N+型的阴极区82的场截止层发挥功能。

[0117] 在晶体管部70中,在缓冲区20之下设置有P+型的集电区22。集电区22的受主浓度高于基区14的受主浓度。集电区22可以包含与基区14相同的受主,也可以包含与基区14不同的受主。集电区22的受主例如是硼。

[0118] 在二极管部80中,在缓冲区20之下设置有N+型的阴极区82。阴极区82的施主浓度高于漂移区18的施主浓度。阴极区82的施主例如为氢或磷。应予说明,成为各区域的施主和受主的元素不限于上述例。集电区22和阴极区82在半导体基板10的下表面23露出,并与集电极24连接。集电极24可以与半导体基板10的整个下表面23接触。发射极52和集电极24由铝等金属材料形成。

[0119] 在半导体基板10的上表面21侧设置有一个以上的栅极沟槽部40和一个以上的虚设沟槽部30。各沟槽部从半导体基板10的上表面21贯通基区14而设置到基区14的下方。在设置有发射区12、接触区15以及蓄积区16中的至少任一者的区域中,各沟槽部也贯通这些掺杂区。沟槽部贯通掺杂区并不限定于以形成掺杂区后形成沟槽部的顺序进行制造。在形成沟槽部之后在沟槽部之间形成掺杂区的情况也包括在沟槽部贯通掺杂区的情况中。

[0120] 如上所述,在晶体管部70设置有栅极沟槽部40和虚设沟槽部30。在二极管部80设置有虚设沟槽部30,不设置栅极沟槽部40。在本例中,二极管部80与晶体管部70在X轴方向上的边界是阴极区82与集电区22的边界。

[0121] 栅极沟槽部40具有设置于半导体基板10的上表面21的栅极沟槽、栅极绝缘膜42以及栅极导电部44。栅极绝缘膜42以覆盖栅极沟槽的内壁的方式设置。栅极绝缘膜42可以通过将栅极沟槽的内壁的半导体氧化或氮化而形成。栅极导电部44在栅极沟槽的内部设置于比栅极绝缘膜42更靠内侧的位置。即,栅极绝缘膜42将栅极导电部44与半导体基板10绝缘。栅极导电部44由多晶硅等导电材料形成。

[0122] 栅极导电部44在深度方向上可以设置得比基区14长。该截面处的栅极沟槽部40在半导体基板10的上表面21被层间绝缘膜38覆盖。栅极导电部44与栅极布线电连接。如果对栅极导电部44施加预定的栅极电压,则在基区14中的与栅极沟槽部40相接的界面的表层形成由电子的反型层形成的沟道。

[0123] 虚设沟槽部30在该截面可以具有与栅极沟槽部40相同的结构。虚设沟槽部30具有设置于半导体基板10的上表面21的虚设沟槽、虚设绝缘膜32以及虚设导电部34。虚设导电部34与发射极52电连接。虚设绝缘膜32以覆盖虚设沟槽的内壁的方式设置。虚设导电部34设置于虚设沟槽的内部,并且设置在比虚设绝缘膜32更靠内侧的位置。虚设绝缘膜32将虚设导电部34与半导体基板10绝缘。虚设导电部34可以由与栅极导电部44相同的材料形成。例如虚设导电部34由多晶硅等导电材料形成。虚设导电部34在深度方向上可以具有与栅极导电部44相同的长度。

[0124] 本例的栅极沟槽部40和虚设沟槽部30在半导体基板10的上表面21被层间绝缘膜38覆盖。应予说明,虚设沟槽部30和栅极沟槽部40的底部可以是向下侧凸出的曲面状(在截面中为曲线状)。在本说明书中,将栅极沟槽部40的下端的深度位置设为 $Z_t$ 。

[0125] 本例的半导体装置100具备与沟槽部的下端相接地设置的P型的下端区202。下端区202的掺杂浓度可以为基区14的掺杂浓度以下。本例的下端区202的掺杂浓度低于基区14的掺杂浓度。

[0126] 下端区202与基区14分离地配置。在下端区202与基区14之间设置有N型的区域(在本例中为蓄积区16和漂移区18中的至少一者)。

[0127] 下端区202以在X轴方向上与两个以上的沟槽部的下端相接的方式连续地设置。即,下端区202以覆盖沟槽部之间的台面部的的方式设置。下端区202可以覆盖多个台面部。

[0128] 下端区202可以在各个晶体管部70中与两个以上的沟槽部的下端相接。另外,下端区202可以在各个晶体管部70中与两个以上的栅极沟槽部40的下端相接。下端区202可以在至少一个晶体管部70中与所有沟槽部的下端相接。另外,下端区202可以在至少一个晶体管部70中与所有栅极沟槽部40的下端相接。

[0129] 下端区202可以在各个二极管部80中与两个以上的沟槽部的下端相接。下端区202可以在至少一个二极管部80中与所有沟槽部的下端相接。

[0130] 下端区202被设置为在Y轴方向上延伸。下端区202的Y轴方向的长度比沟槽部的Y轴方向的长度短。另外,下端区202的Y轴方向的长度可以为沟槽部的Y轴方向的长度的50%以上,也可以为70%以上,还可以为90%以上。

[0131] 通过设置下端区202,能够抑制半导体装置100导通时的沟槽部的下端附近的电位上升。因此,能够减小导通时的发射极集电极间电压的波形的斜率( $dv/dt$ ),并且能够降低开关时的电压或电流波形的噪声。

[0132] 应予说明,下端区202的电位与发射极52的电位不同。如上所述,下端区202和与发射极52连接的基区14在Z轴方向上分离地配置。另外,下端区202在俯视时和与发射极52连接的阱区分离地配置。有源部160可以在X轴方向和Y轴方向中的至少一个方向上具有未设置下端区202的部分。

[0133] 图4是示出俯视时的阱区11和下端区202的配置例的图。本例的下端区202设置于有源部160。下端区202可以在俯视时设置于有源部160的50%以上的区域,也可以设置于有源部160的70%以上的区域,还可以设置于有源部160的90%以上的区域。

[0134] 在图1所示的栅极布线的下方设置有阱区11。在俯视时阱区11和下端区202配置于不同的位置。如图4所示,在俯视时,阱区11可以配置为包围下端区202。如图4所示,在下端区202被分割为多个区域的情况下,阱区11可以包围各个下端区202。

[0135] 在俯视时,阱区11与下端区202分离地配置。半导体装置100具备在俯视时配置于阱区11与下端区202之间的高电阻区204。高电阻区204在有源部160中可以配置在与阱区11相接的位置。在图4中,对高电阻区204标注斜线的阴影线。高电阻区204可以在俯视时包围下端区202。高电阻区204可以在俯视时包围有源部160。

[0136] 高电阻区204是掺杂浓度低于下端区202的掺杂浓度的P-型区域。即,高电阻区204是电阻比下端区202的电阻高的区域。高电阻区204可以将下端区202与阱区11连接。通过设置下端区202,能够降低开关时的噪声。而且,通过设置高电阻区204,能够减小设置有下端区202的区域与未设置下端区202的区域的耐压之差,能够提高半导体装置100的耐量。另外,通过在阱区11与下端区202之间设置高电阻区204,能够防止下端区202成为与阱区11相同的电位。由此,能够抑制下端区202成为发射极电位,使晶体管部70和二极管部80工作。

[0137] 在本例中,在有源部160中,在未设置下端区202的整个区域设置有高电阻区204。应予说明,在有源部160的内部存在未设置下端区202的部分的情况下,在该部分也可以设置高电阻区204。配置于有源部160的内部的高电阻区204可以在俯视时被下端区202包围。

[0138] 图5A是示出图4中的f-f截面的一例的图。f-f截面是通过下端区202、高电阻区204以及阱区11的XZ面。即,f-f截面是有源部160与阱区11之间的边界附近的XZ面。应予说明,在图5A中,示出了半导体基板10的结构,省略了配置于半导体基板10的上下的电极和绝缘膜等结构。另外,在图5A中,对栅极沟槽部40标注符号G,对虚设沟槽部30标注符号E。

[0139] 在图5A所示的f-f截面中包括多个晶体管部70中的在X轴方向上配置于最靠端部的晶体管部70。晶体管部70的结构与图2和图3中说明的晶体管部70相同。应予说明,在图5A中,以G/E/G/E/...的方式在两个栅极沟槽部40之间排列有一个虚设沟槽部30,但也可以以G/E/E/G/E/E/...的方式在两个栅极沟槽部40之间排列有两个虚设沟槽部30。栅极沟槽部40和虚设沟槽部30的排列也可以具有其他结构。将图5A所示的晶体管部70与阱区11之间的区域设为边界部210。将邻接地设置有发射区12的栅极沟槽部40(G)中的、在X轴方向上配置于最靠端部的栅极沟槽部40(G)的中央作为晶体管部70的X轴方向的端部。X轴方向上的边界部210的范围被设为从该栅极沟槽部40(G)起到阱区11为止。

[0140] 阱区11从半导体基板10的上表面21起设置到比基区14更靠下方的位置。阱区11是掺杂浓度高于基区14的掺杂浓度的P+型的区域。

[0141] 在边界部210设置有一个以上的沟槽部。在本例的边界部210设置有一个以上的栅极沟槽部40和一个以上的虚设沟槽部30。边界部210处的沟槽部的X轴方向上的排列可以与晶体管部70处的沟槽部的X轴方向上的排列相同,也可以与晶体管部70处的沟槽部的X轴方向上的排列不同。

[0142] 在边界部210的台面部设置有基区14。在基区14与半导体基板10的上表面21之间可以设置有接触区15。另外,在边界部210的台面部中的最靠近晶体管部70的一个以上的台面部可以设置有蓄积区16。

[0143] 本例的下端区202是掺杂浓度低于阱区11的掺杂浓度的P型的区域。下端区202配置于晶体管部70的至少一部分区域。本例的下端区202比晶体管部70的端部更向阱区11侧延伸。在另一例中,下端区202可以在晶体管部70的端部终止,也可以在晶体管部70的内部终止。

[0144] 高电阻区204是掺杂浓度低于下端区202的掺杂浓度的P-型区域。高电阻区204在X轴方向上被设置在边界部210的至少一部分。高电阻区204可以在X轴方向上设置于整个边界部210。高电阻区204可以与下端区202相接,也可以与阱区11相接。本例的高电阻区204与下端区202和阱区11这两者相接。

[0145] 在俯视时,高电阻区204与发射区12可以分离地配置。即,高电阻区204可以不设置于晶体管部70。俯视时的高电阻区204与发射区12之间的距离可以为台面部的X轴方向上的宽度以上。

[0146] 在俯视时可以配置为高电阻区204的一部分与蓄积区16的一部分重叠。蓄积区16也可以设置于边界部210。

[0147] 高电阻区204可以具有设置在与下端区202相同的深度位置的部分。即,设置有高电阻区204的Z轴方向上的范围与设置有下端区202的Z轴方向上的范围可以至少局部重叠。

高电阻区204可以与配置于边界部210的沟槽部的下端相接。在高电阻区204与基区14之间可以配置有漂移区18和蓄积区16中的至少一者。

[0148] 将高电阻区204的Z轴方向的宽度设为 $W_z$ 。宽度 $W_z$ 可以使用高电阻区204的Z轴方向的宽度的最大值。将在X轴方向上将阱区11与下端区202连接的高电阻区204的第二长度设为 $L_x$ 。长度 $L_x$ 可以使用高电阻区204的X轴方向的长度的最大值。长度 $L_x$ 优选大于宽度 $W_z$ 。长度 $L_x$ 可以为宽度 $W_z$ 的2倍以上,也可以为5倍以上,还可以为10倍以上,也可以为100倍以上。高电阻区204可以在X轴方向上与两个以上的沟槽部的下端相接。高电阻区204可以与设置于边界部210的所有沟槽部的下端相接。高电阻区204在X轴方向上可以覆盖两个以上的台面。通过增大高电阻区204的长度 $L_x$ ,从而能够增大阱区11与下端区202之间的电阻,增大阱区11与下端区202的电位差。

[0149] 高电阻区204可以与至少一个栅极沟槽部40的下端相接。高电阻区204可以与两个以上的栅极沟槽部40的下端相接。高电阻区204可以与设置于边界部210的所有栅极沟槽部40的下端相接。

[0150] 图5B是示出图5A中的a-a截面和b-b截面的净掺杂浓度分布的一例的图。图5B中的横轴表示以半导体基板10的上表面21为基准位置( $0\mu\text{m}$ )的Z轴方向上的位置。在图5B中,用虚线表示晶体管部70中的a-a截面的净掺杂浓度分布,用实线表示边界部210中的b-b截面的净掺杂浓度分布。在晶体管部70的a-a截面的上表面21附近设置有发射区12和基区14。在边界部210的b-b截面的上表面21附近设置有接触区15和基区14。高电阻区204的净掺杂浓度分布(实线)低于下端区202的净掺杂浓度分布(虚线)。高电阻区204和下端区202的净掺杂浓度分布可以分别具有峰或最大值。高电阻区204的半峰全宽(FWHM1)可以小于下端区202的半峰全宽(FWHM2)。

[0151] 图6是示出图5A的c-c截面(X轴方向)上的掺杂浓度分布的一例的图。在图6中,示出了高电阻区204、高电阻区204附近的下端区202以及阱区11中的浓度分布。c-c截面可以是图5B所示的下端区202或高电阻区204各自的净掺杂浓度分布中的峰位置 $Z_p$ 处的截面。

[0152] 将下端区202的掺杂浓度设为 $D_{202}$ 。下端区202的掺杂浓度 $D_{202}$ 可以使用下端区202中的X轴方向的掺杂浓度的最大值。将阱区11的掺杂浓度设为 $D_{11}$ 。阱区11的掺杂浓度 $D_{11}$ 可以使用阱区11中的掺杂浓度的最大值。将高电阻区204的掺杂浓度设为 $D_{204}$ 。高电阻区204的掺杂浓度 $D_{204}$ 可以使用高电阻区204中的X轴方向的掺杂浓度的平均值,也可以使用最小值。

[0153] 掺杂浓度 $D_{204}$ 低于掺杂浓度 $D_{202}$ 。掺杂浓度 $D_{204}$ 可以为下端区202的掺杂浓度 $D_{202}$ 的10%以下,也可以为下端区202的掺杂浓度 $D_{202}$ 的5%以下,还可以为下端区202的掺杂浓度 $D_{202}$ 的1%以下。高电阻区204的掺杂浓度 $D_{204}$ 可以为 $1 \times 10^{14}/\text{cm}^3$ 以上且 $1 \times 10^{17}/\text{cm}^3$ 以下。高电阻区204的掺杂浓度 $D_{204}$ 可以为 $1 \times 10^{15}/\text{cm}^3$ 以上。高电阻区204的掺杂浓度 $D_{204}$ 可以为 $1 \times 10^{16}/\text{cm}^3$ 以下。

[0154] 将高电阻区204的X轴方向上的两端处的掺杂浓度设为 $D_b$ 。掺杂浓度 $D_b$ 是下端区202中的掺杂浓度的最大值与高电阻区204中的掺杂浓度的最小值之间的浓度。掺杂浓度 $D_b$ 可以是下端区202中的掺杂浓度的最大值与高电阻区204中的掺杂浓度的最小值的中央的浓度。

[0155] 将在从下端区202朝向高电阻区204的方向上掺杂浓度最先成为 $D_b$ 的位置设为下端区202与高电阻区204之间的边界位置。同样地,将在从阱区11朝向高电阻区204的方向上

掺杂浓度最先成为 $D_b$ 的位置设为阱区11与高电阻区204之间的边界位置。高电阻区204的整体掺杂浓度可以为 $D_b$ 以下。高电阻区204可以具有X轴方向上的掺杂浓度分布平坦的平坦部206。掺杂浓度分布平坦是指掺杂浓度的波动为 $\pm 10\%$ 以下。平坦部206的X轴方向的长度可以为 $1\mu\text{m}$ 以上,也可以为 $5\mu\text{m}$ 以上,还可以为 $10\mu\text{m}$ 以上。平坦部206的长度可以是高电阻区204的长度 $L_x$ 的50%以上,也可以是70%以上。

[0156] 在其它示例中,高电阻区204可以包括掺杂浓度大于 $D_b$ 的部分。高电阻区204也可以包括掺杂浓度大于下端区202的掺杂浓度的部分。在该情况下,高电阻区204中的X轴方向的掺杂浓度分布可以具有峰。但是,高电阻区204的掺杂浓度的平均值低于下端区202的掺杂浓度的平均值。

[0157] 图7是示出图4中的g-g截面的一例的图。g-g截面是通过下端区202、高电阻区204以及阱区11的YZ面。g-g截面通过晶体管部70的台面部。其中,在图7中,用虚线表示将栅极沟槽部40投影到g-g截面的位置。应予说明,在图7中,示出了半导体基板10的结构,省略了配置于半导体基板10的上下的电极和绝缘膜等结构。

[0158] 在该截面中,也将晶体管部70与阱区11之间的区域设为边界部210。将发射区12中的在Y轴方向上配置于最靠端部的发射区12的端部设为晶体管部70的Y轴方向的端部。Y轴方向上的边界部210的范围被设为从该发射区12起到阱区11为止。

[0159] 在晶体管部70的上表面21,发射区12和接触区15沿着Y轴方向交替地配置。在边界部210的上表面21设置有接触区15。

[0160] 本例的蓄积区16以比晶体管部70的端部更向阱区11侧延伸的方式设置。在另一例中,蓄积区16可以在晶体管部70的端部终止,也可以在晶体管部70的内部终止。

[0161] 本例的下端区202比晶体管部70的端部更向阱区11侧延伸。在另一例中,下端区202可以在晶体管部70的端部终止,也可以在晶体管部70的内部终止。蓄积区16可以比下端区202更向阱区11侧延伸。

[0162] 高电阻区204在Y轴方向上设置于边界部210的至少一部分。高电阻区204可以在Y轴方向上设置于整个边界部210。高电阻区204可以与下端区202相接,也可以与阱区11相接。本例的高电阻区204与下端区202和阱区11这两者相接。高电阻区204可以在俯视时与蓄积区16重叠。即,蓄积区16的端部可以在俯视时位于高电阻区204的内部或者边界部210的内部。在另一例中,高电阻区204可以在俯视时不与蓄积区16重叠。即,蓄积区16的端部可以在俯视时位于比高电阻区204或者边界部210更靠内侧(-Y轴方向侧)的位置。在该截面中,高电阻区204可以被设置为不与晶体管部70重叠。在另一例中,在该截面中,高电阻区204可以与晶体管部70重叠。

[0163] 将在Y轴方向上将阱区11和下端区202连接的高电阻区204的第一长度设为 $L_y$ 。长度 $L_y$ 可以使用高电阻区204的Y轴方向的长度的最大值。Y轴方向是沟槽部具有长度的方向,X轴方向是沟槽部具有宽度的方向。长度 $L_y$ 与长度 $L_x$ 之比( $L_y/L_x$ )可以为0.9以上且1.1以下。即,长度 $L_y$ 与长度 $L_x$ 可以大致相等。由此,能够减小XY面内的耐压的偏差。

[0164] 另外,长度 $L_y$ 可以大于宽度 $W_z$ 。长度 $L_y$ 可以为宽度 $W_z$ 的2倍以上,也可以为5倍以上,还可以为10倍以上,也可以为100倍以上。

[0165] 图8示出对高电阻区204的掺杂浓度与形成有高电阻区204的部分的耐压之间的关系进行测定而得到的结果。在图8中,耐压 $V_{B1}$ 表示形成有下端区202的部分的耐压,耐压 $V_{B2}$

表示既不形成下端区202也不形成高电阻区204的情况下的耐压。

[0166] 可以将高电阻区204的掺杂浓度设定为,设置有高电阻区204的部分的耐压大于耐压VB2且小于耐压VB1。在本例中,高电阻区204的掺杂浓度的设定范围的下限为 $1 \times 10^{14}/\text{cm}^3$ 以上且 $1 \times 10^{15}/\text{cm}^3$ 以下。另外,该设定范围的上限为 $1 \times 10^{15}/\text{cm}^3$ 以上且 $1 \times 10^{16}/\text{cm}^3$ 以下。在图8中,作为设定范围的例子,示出了设定范围A和设定范围B这两者。作为一例,设定范围A为 $1 \times 10^{14}/\text{cm}^3$ 以上且 $1 \times 10^{16}/\text{cm}^3$ 以下。作为另一例,设定范围B为 $7 \times 10^{14}/\text{cm}^3$ 以上且 $6 \times 10^{15}/\text{cm}^3$ 以下。另外,高电阻区204的掺杂浓度的峰浓度相对于下端区202的掺杂浓度的峰浓度之比 $\alpha$ 可以为0.05以上,也可以为0.08以上,还可以为0.1以上,也可以为0.3以上。另外,比 $\alpha$ 可以为0.9以下,也可以为0.8以下,还可以为0.6以下,也可以为0.5以下。

[0167] 图9是示出俯视时的高电阻区204的另一配置例的图。本例的高电阻区204局部地设置于下端区202与阱区11之间的区域。即,在下端区202与阱区11之间的区域(边界部210)具有设置有高电阻区204的部分和未设置高电阻区204的部分。在未设置高电阻区204的区域,可以设置漂移区18来代替高电阻区204。

[0168] 本例的高电阻区204配置于阱区11所包围的有源部160的角部。在本例中,阱区11所包围的有源部160具有与Y轴平行的边和与X轴平行的边。高电阻区204可以设置在该两条边交叉的位置。如图9所示,高电阻区204可以配置于多个角部。由于电场容易集中在这些角部,因此优选通过设置高电阻区204而使耐压提高。

[0169] 图10是示出俯视时的高电阻区204的另一配置例的图。本例的高电阻区204具有第一高电阻部205-1和第二高电阻部205-2。第二高电阻部205-2(直线部)是掺杂浓度低于第一高电阻部205-1(角部)的掺杂浓度的区域。优选第一高电阻部205-1配置于需要更高的耐压的部分。第一高电阻部205-1可以与在图9中说明的高电阻区204同样地配置于角部。第二高电阻部205-2在下端区202与阱区11之间的区域配置于未设置第一高电阻部205-1的区域。由此,能够抑制XY面内的耐压的偏差。应予说明,在第一高电阻部205-1和第二高电阻部205-2中的任一者中,掺杂浓度均低于下端区202的掺杂浓度。

[0170] 在图1至图10中说明的各方式中,高电阻区204的掺杂浓度可以低于基区14的掺杂浓度。高电阻区204中的掺杂浓度的最大值可以为基区14中的掺杂浓度的最大值的一半以下,也可以为10%以下,还可以为1%以下。下端区202中的掺杂浓度的最大值可以小于基区14中的掺杂浓度的最大值,且大于高电阻区204中的掺杂浓度的最大值。

[0171] 图11是示出半导体装置100的制造方法的部分工序的图。在半导体装置100的制造方法中,形成在图1至图10中说明的各结构。图11所示的工艺包括第一区域形成步骤S1100、沟槽形成步骤S1102、第二区域形成步骤S1104以及沟槽结构形成步骤S1106。

[0172] 在第一区域形成步骤S1100中,形成配置在半导体基板10的上表面21侧的掺杂区。掺杂区例如包括阱区11、发射区12、基区14、接触区15以及蓄积区16中的至少一者。应予说明,漂移区18可以是未形成这些掺杂区而残留的区域。

[0173] 在沟槽形成步骤S1102中,在半导体基板10的上表面21形成沟槽。沟槽是用于形成各沟槽部的槽。各个沟槽从上表面21起形成至到达漂移区18的深度。在沟槽形成步骤S1102中,至少不形成沟槽内的导电部。沟槽内的绝缘膜可以形成,也可以不形成。

[0174] 在第二区域形成步骤S1104中,形成下端区202和高电阻区204。在第二区域形成步骤S1104中,可以经由沟槽向半导体基板10注入P型的掺杂剂离子。在第二区域形成步骤

S1104中,可以在将除沟槽以外的部分掩蔽的状态下,从半导体基板10的上表面21注入P型掺杂剂离子。由此,能够容易地向与沟槽的下端相接的区域注入P型掺杂剂离子。在第一区域形成步骤S1100和第二区域形成步骤S1104中,在注入掺杂剂之后对半导体基板10进行热处理。

[0175] 在沟槽结构形成步骤S1106中,在各个沟槽的内部形成导电部和绝缘膜。在沟槽结构形成步骤S1106中,可以通过对沟槽的内壁进行热氧化来形成绝缘膜。在沟槽结构形成步骤S1106中,可以在形成有绝缘膜的沟槽的内部填充多晶硅等导电材料来形成导电部。

[0176] 图12是说明第二区域形成步骤S1104的一例的图。本例的第二区域形成步骤S1104具有第一注入步骤S1201和第二注入步骤S1202。第一注入步骤S1201和第二注入步骤S1202哪个先进行都可以。

[0177] 在第一注入步骤S1201中,针对形成下端区202的区域注入预定浓度( $/\text{cm}^2$ )的P型掺杂剂离子。在第二注入步骤S1202中,针对形成高电阻区204的区域注入与第一注入步骤S1201不同的浓度( $/\text{cm}^2$ )的P型掺杂剂离子。第二注入步骤S1202中的浓度(剂量)低于第一注入步骤S1201中的浓度。应予说明,在第一注入步骤S1201和第二注入步骤S1202这两者中,可以经由沟槽45向半导体基板10注入掺杂剂。在该情况下,可以通过掩模300对除沟槽45以外的区域进行掩蔽。经由沟槽45注入的掺杂剂通过热处理而扩散。由此,能够形成在XY面中连续的下端区202和高电阻区204。

[0178] 图13是说明第二区域形成步骤S1104的另一例的图。本例的第二区域形成步骤S1104具有第一注入步骤S1301和第二注入步骤S1302。第一注入步骤S1301和第二注入步骤S1302哪个先进行都可以。

[0179] 在第一注入步骤S1301中,针对形成高电阻区204的区域和应形成下端区202的区域这两者注入预定浓度( $/\text{cm}^2$ )的P型掺杂剂离子。在第二注入步骤S1302中,针对形成下端区202的区域进一步注入预定浓度( $/\text{cm}^2$ )的P型掺杂剂离子。在第二注入步骤S1302中,不向应形成高电阻区204的区域注入掺杂剂离子。应予说明,在第一注入步骤S1301和第二注入步骤S1302这两者中,可以经由沟槽45向半导体基板10注入掺杂剂。经由沟槽45注入的掺杂剂通过热处理而扩散。由此,能够形成在XY面中连续的下端区202和高电阻区204。

[0180] 图14是说明第二区域形成步骤S1104的另一例的图。本例的第二区域形成步骤S1104具有第一注入步骤S1401和第二注入步骤S1402。第一注入步骤S1401和第二注入步骤S1402哪个先进行都可以,也可以同时进行。

[0181] 在第一注入步骤S1401中,针对形成下端区202的区域注入预定浓度( $/\text{cm}^2$ )的P型掺杂剂离子。在第二注入步骤S1402中,针对形成高电阻区204的区域注入预定浓度( $/\text{cm}^2$ )的P型掺杂剂离子。其中,在第二注入步骤S1402中,向应形成高电阻区204的区域中的、与应形成下端区202的区域分离的区域203注入第二导电型的掺杂剂。区域203也可以与阱区11分离。区域203与下端区202的X轴方向上的距离可以大于边界部210的一个台面部的X轴方向上的宽度。区域203与阱区11的X轴方向上的距离也可以大于边界部210的一个台面部的X轴方向上的宽度。

[0182] 在第二注入步骤S1402之后,通过对半导体基板10进行热处理,从而使注入的掺杂剂朝向应形成下端区202的区域扩散。通过该热处理,掺杂剂也向阱区11的方向扩散。由此,形成在图1至图10中说明的高电阻区204。该热处理优选以注入到区域203的掺杂剂能够到

达下端区202和阱区11的温度和时间来进行。

[0183] 第二注入步骤S1402中的注入浓度( $/\text{cm}^2$ )可以低于第一注入步骤S1401中的注入浓度( $/\text{cm}^2$ ),也可以等于第一注入步骤S1401中的注入浓度( $/\text{cm}^2$ ),还可以高于第一注入步骤S1401中的注入浓度( $/\text{cm}^2$ )。即使第二注入步骤S1402中的注入浓度为第一注入步骤S1401中的注入浓度以上,在第二注入步骤S1402中注入的掺杂剂也朝向下端区202和阱区11扩散。因此,能够降低高电阻区204中的掺杂浓度的平均值。

[0184] 图15是示出X轴方向上的掺杂浓度分布的另一例的图。在图15中,示出了高电阻区204、高电阻区204附近的下端区202以及阱区11中的浓度分布。下端区202和阱区11的掺杂浓度与图6的示例相同。

[0185] 本例的高电阻区204以图14中说明的方法形成。本例的高电阻区204在将下端区202与阱区11连结的方向(例如X轴方向)上具有掺杂浓度的峰207。峰207的顶点可以是平坦部206。

[0186] 高电阻区204可以在X方向的掺杂浓度分布中具有一个以上的谷部208。在峰207与下端区202之间可以配置谷部208。在峰207与阱区11之间可以配置谷部208。可以将谷部208的掺杂浓度设为高电阻区204的掺杂浓度 $D_{204}$ 。掺杂浓度 $D_{204}$ 可以为下端区202的掺杂浓度 $D_{202}$ 的10%以下,也可以为下端区202的掺杂浓度 $D_{202}$ 的5%以下,还可以为下端区202的掺杂浓度 $D_{202}$ 的1%以下。掺杂浓度 $D_{204}$ 可以高于漂移区18的掺杂浓度。

[0187] 将峰207的掺杂浓度设为 $D_p$ 。峰207的掺杂浓度 $D_p$ 可以为下端区202的掺杂浓度 $D_{202}$ 的0.5倍以上且1.5倍以下。掺杂浓度 $D_p$ 可以为掺杂浓度 $D_{202}$ 的0.7倍以上,也可以为0.9倍以上。另外,掺杂浓度 $D_p$ 可以为掺杂浓度 $D_{202}$ 的1.3倍以下,也可以为1.1倍以下。掺杂浓度 $D_p$ 可以与掺杂浓度 $D_{202}$ 相同。

[0188] 图16是示出X轴方向上的掺杂浓度分布的另一例的图。在图16中,示出了高电阻区204、高电阻区204附近的下端区202以及阱区11中的浓度分布。下端区202和阱区11的掺杂浓度与图6的示例相同。

[0189] 本例的高电阻区204具有多个掺杂浓度的峰207。各个峰207的掺杂浓度 $D_p$ 可以相同,也可以不同。例如可以越靠近阱区11,峰207的掺杂浓度 $D_p$ 越大。通过向应形成高电阻区204的区域的多个部位局部地注入掺杂剂,能够形成多个峰207。

[0190] 图17是示出X轴方向上的掺杂浓度分布的另一例的图。在图17中,示出了高电阻区204、高电阻区204附近的下端区202以及阱区11中的浓度分布。下端区202和阱区11的掺杂浓度与图6的示例相同。本例的高电阻区204具有掺杂浓度的谷部208。本例的谷部208配置于比高电阻区204的X轴方向的中央更靠下端区202侧的位置。在掺杂浓度分布中,从谷部208朝向阱区11的斜坡的斜率可以比从谷部208朝向下端区202的斜坡的斜率平缓。

[0191] 图18是示出X轴方向上的掺杂浓度分布的另一例的图。在图18中,示出了高电阻区204、高电阻区204附近的下端区202以及阱区11中的浓度分布。下端区202和阱区11的掺杂浓度与图6的示例相同。本例的高电阻区204具有掺杂浓度的谷部208。本例的谷部208配置于比高电阻区204的X轴方向的中央更靠阱区11侧的位置。在掺杂浓度分布中,从谷部208朝向阱区11的斜坡的斜率可以比从谷部208朝向下端区202的斜坡的斜率陡峭。

[0192] 如在图6和图15至图18中说明的那样,通过控制高电阻区204中的掺杂浓度分布,能够控制高电阻区204中的电位分布。应予说明,在图6和图15至图18中,对在X轴方向上将

阱区11和下端区202连接的高电阻区204的掺杂浓度分布进行了说明,但在Y轴方向上将阱区11和下端区202连接的高电阻区204的掺杂浓度分布也可以是同样的。

[0193] 图19是示出下端区202和高电阻区204的另一结构例的图。下端区202具有与沟槽部的下端相接的下端部分302和掺杂浓度低于下端部分302的掺杂浓度的低浓度部分304。高电阻区204也具有与沟槽部的下端相接的下端部分312和掺杂浓度低于下端部分312的掺杂浓度的低浓度部分314。低浓度部分304和低浓度部分314与X轴方向上的台面部的中央重叠。

[0194] 如在图12至图14中说明的那样,本例的下端区202和高电阻区204通过经由沟槽45向半导体基板10注入掺杂剂并使掺杂剂热扩散而形成。因此,与沟槽部相接的下端部分302和下端部分312的掺杂浓度变得比较高。而且,与沟槽部分离的低浓度部分304和低浓度部分314的掺杂浓度变得比较低。

[0195] 另外,低浓度部分304的Z轴方向上的宽度小于下端部分302的Z轴方向上的宽度。同样地,低浓度部分314的Z轴方向上的宽度小于下端部分312的Z轴方向上的宽度。

[0196] 对栅极沟槽部40施加比发射极52的电压(例如0V)低的电压(例如-15V)。因此,空穴容易被吸引到栅极沟槽部40的下端的附近。通过提高下端部分312的掺杂浓度,容易将被吸引到栅极沟槽部40的下端的空穴吸引到半导体基板10的上表面21侧。由此,能够缩短半导体装置100的开关时间。另外,由于晶体管部70中的从相邻的沟槽部沿水平方向(X轴方向)延伸的下端区202在台面部60的中央部连接,所以能够防止耐压的降低。在边界部210和边界部210与晶体管部70之间的边界也是同样的。

[0197] 图20是示出高电阻区204的掺杂浓度分布例的图。在图20中,示出了在X轴方向上将阱区11与下端区202连接的高电阻区204的X轴方向的掺杂浓度分布、以及在Y轴方向上将阱区11与下端区202连接的高电阻区204的Y轴方向的掺杂浓度分布。

[0198] 本例的高电阻区204在X轴方向上交替地具有下端部分312和低浓度部分314。因此,X轴方向上的掺杂浓度分布交替地出现高浓度的部分和低浓度的部分。

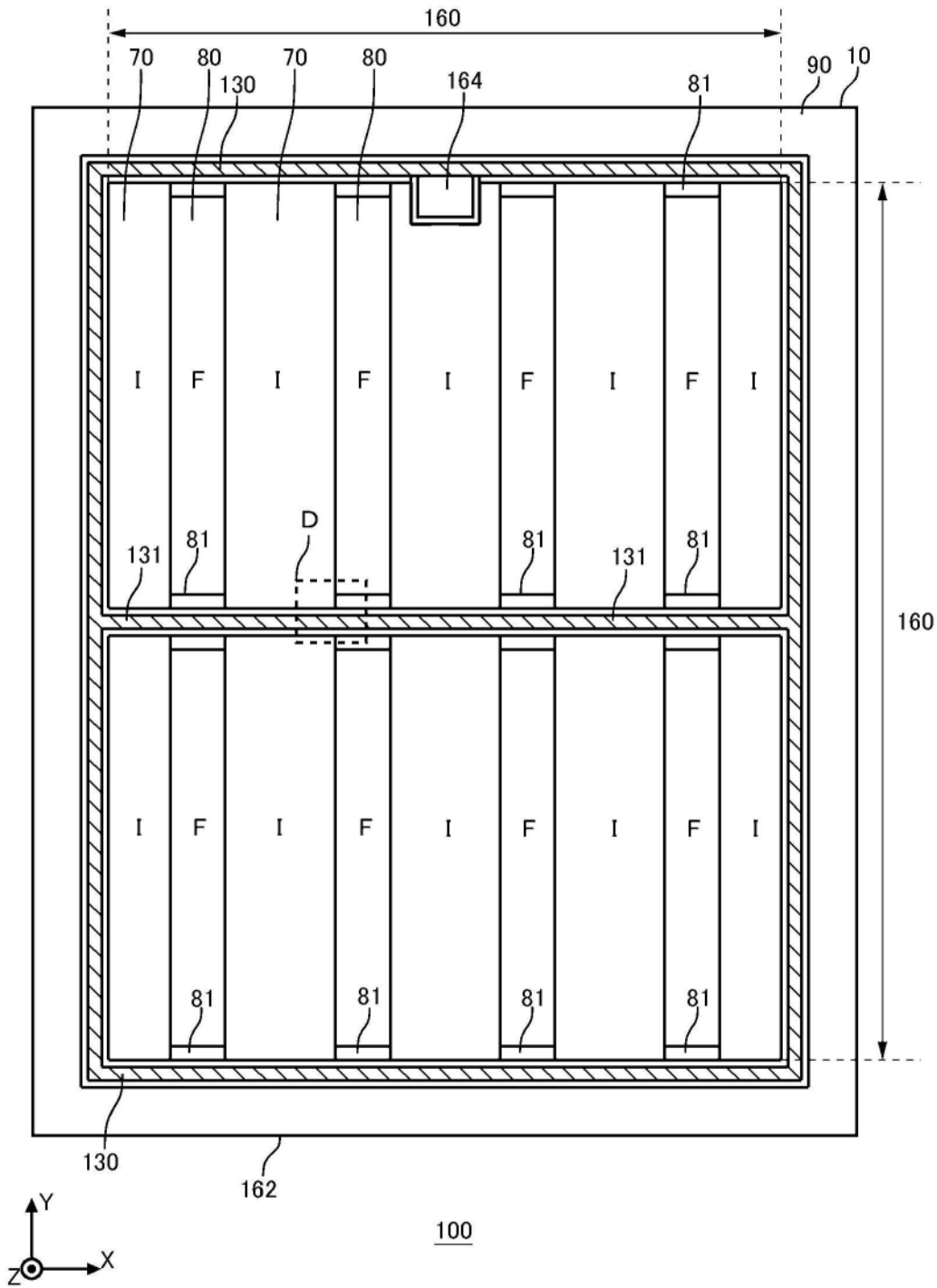
[0199] 与此相对,由于沟槽部沿Y轴方向延伸而存在,所以Y轴方向上的高电阻区204的掺杂浓度分布大致平坦。即,Y轴方向上的高电阻区204的掺杂浓度分布比X轴方向上的高电阻区204的掺杂浓度分布平坦。掺杂浓度分布中的平坦性的程度由X轴方向或Y轴方向的单位长度L中的掺杂浓度的最大值 $D_{\max}$ 与最小值 $D_{\min}$ 的差值来表示。单位长度L可以大于X轴方向的沟槽部的排列周期T(或者高电阻区204的掺杂浓度分布的峰间距离T)。根据本例,能够使Y轴方向上的电场分布更平坦。应予说明,在图20中对高电阻区204进行了说明,但下端区202中的掺杂浓度分布也是同样的。

[0200] 图21是示出X轴方向上的高电阻区204的另一配置例的图。在本例中,以在俯视时发射区12的一部分与高电阻区204的一部分重叠的方式配置。即,本例的高电阻区204以延伸到晶体管部70的内部的方式设置。设置于边界部210的高电阻区204的X轴方向的长度 $L_{x1}$ 可以大于设置于晶体管部70的高电阻区204的X轴方向的长度 $L_{x2}$ 。长度 $L_{x1}$ 与长度 $L_{x2}$ 可以相同,长度 $L_{x2}$ 也可以大于长度 $L_{x1}$ 。

[0201] 以上,虽然利用实施方式对本发明进行了说明,但是本发明的技术范围不限于上述实施方式所记载的范围。对本领域技术人员来说,能够对上述实施方式施加各种变更或改良是显而易见的。根据权利要求书的记载可知,施加了这样的变更或改良的方式也能

够包括在本发明的技术范围内。

[0202] 应当注意的是,权利要求书、说明书以及附图中示出的装置、系统、程序以及方法中的动作、顺序、步骤以及阶段等各处理的执行顺序只要未特别明示“早于”、“预先”等,另外,未在后续处理中使用之前的处理的结果,则可以以任意顺序来实现。关于权利要求书、说明书以及附图中的动作流程,即使为了方便起见而使用“首先”、“接着”等进行了说明,也并不意味着必须以这一顺序来实施。



100

图1

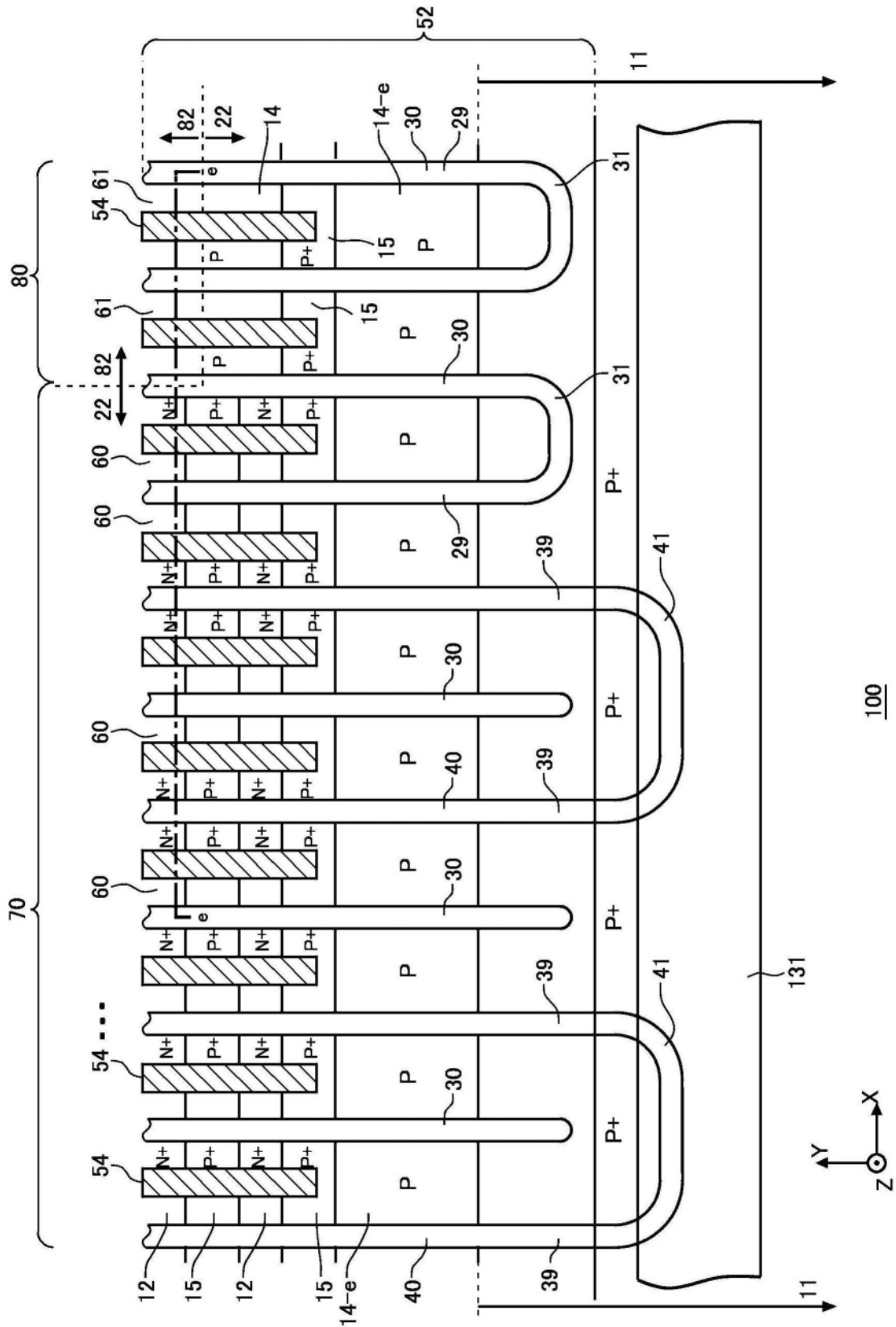


图2

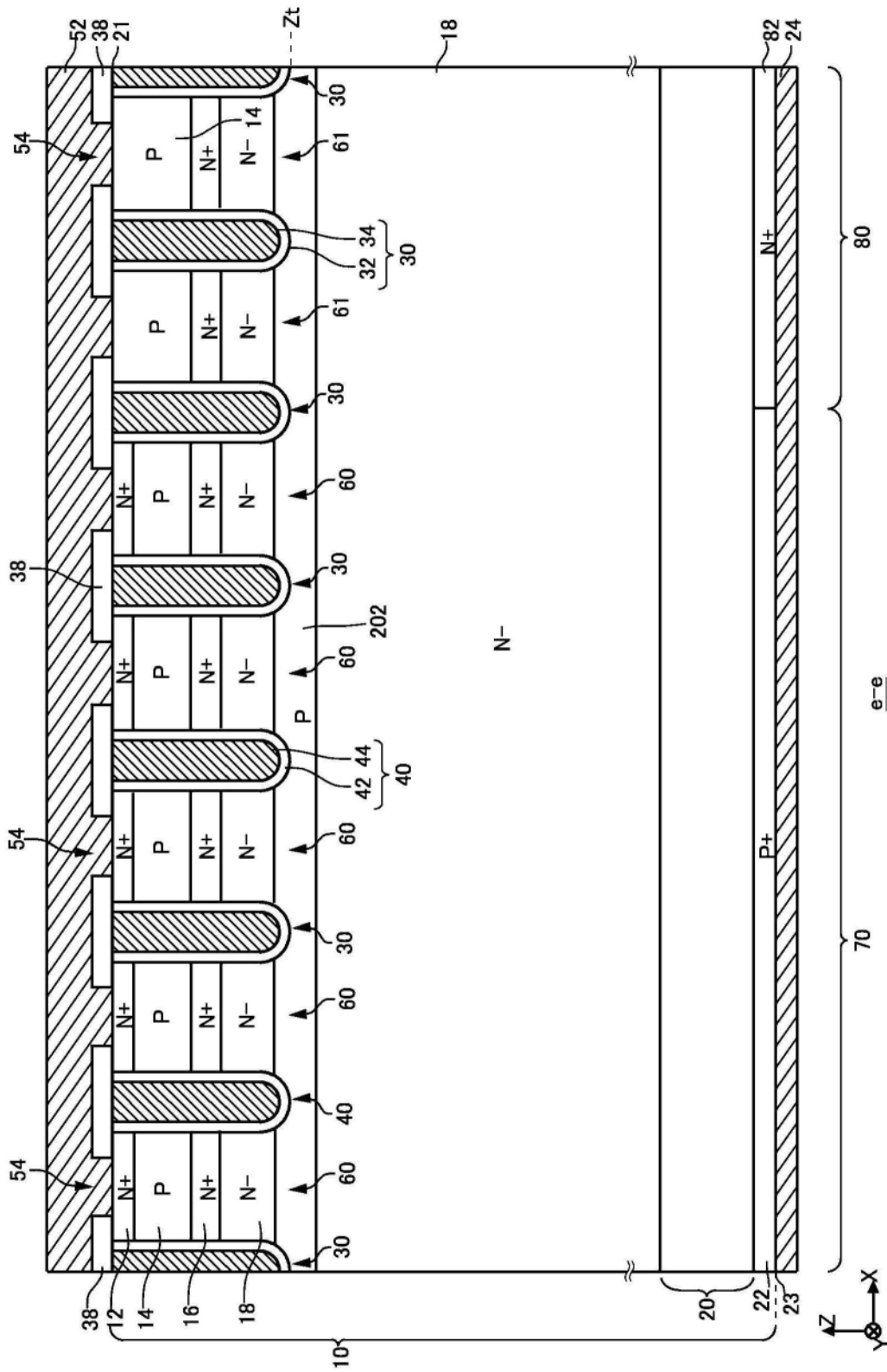


图3

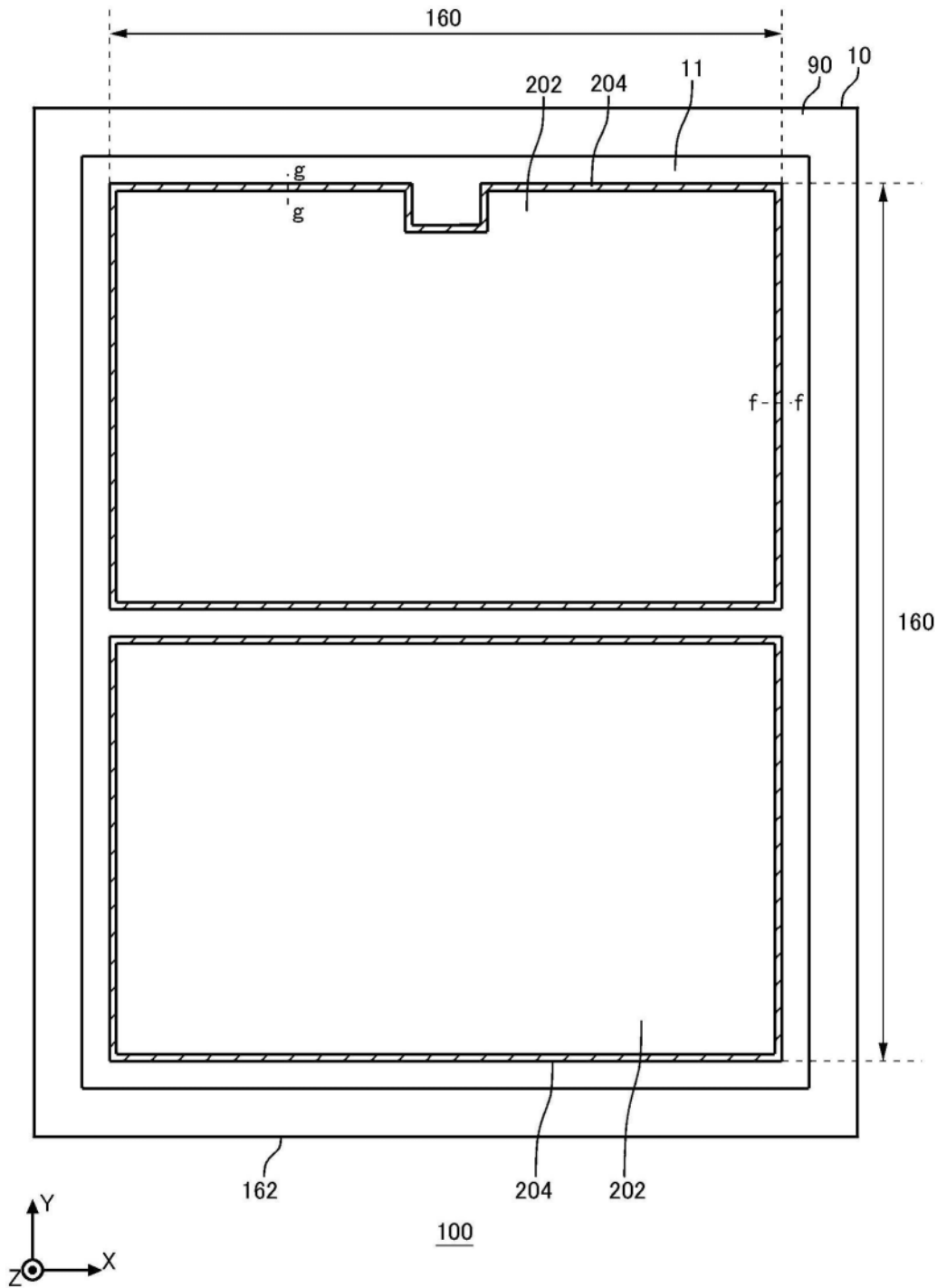


图4



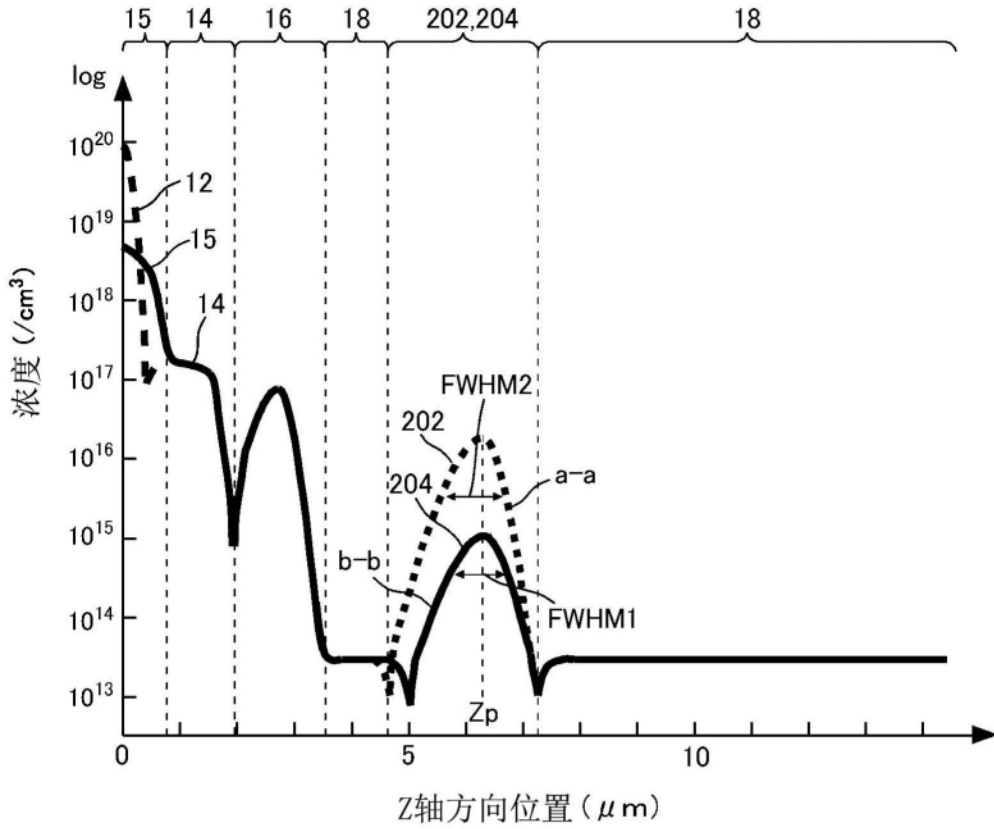


图5B

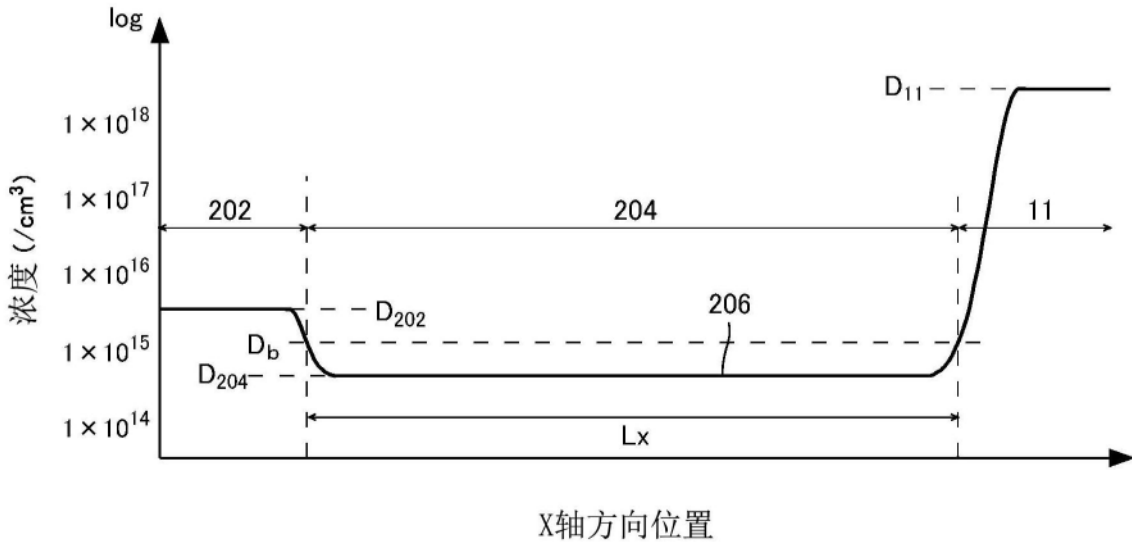


图6

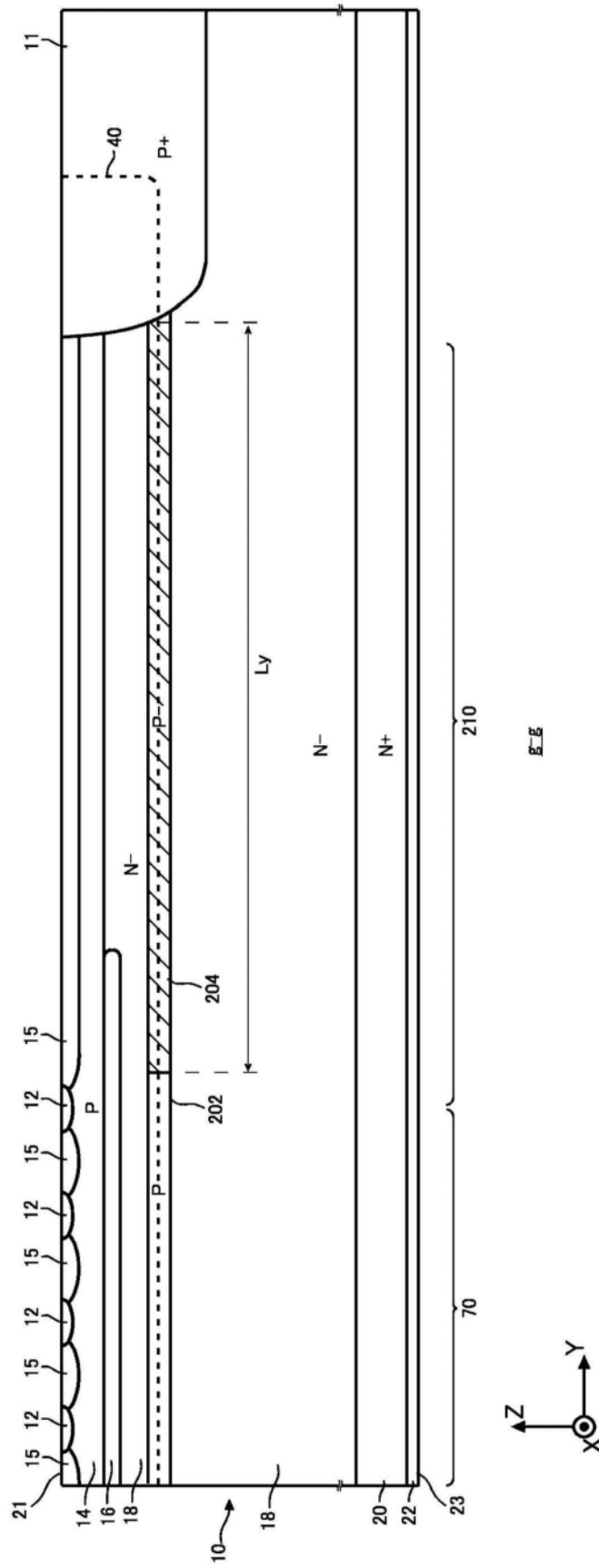


图7

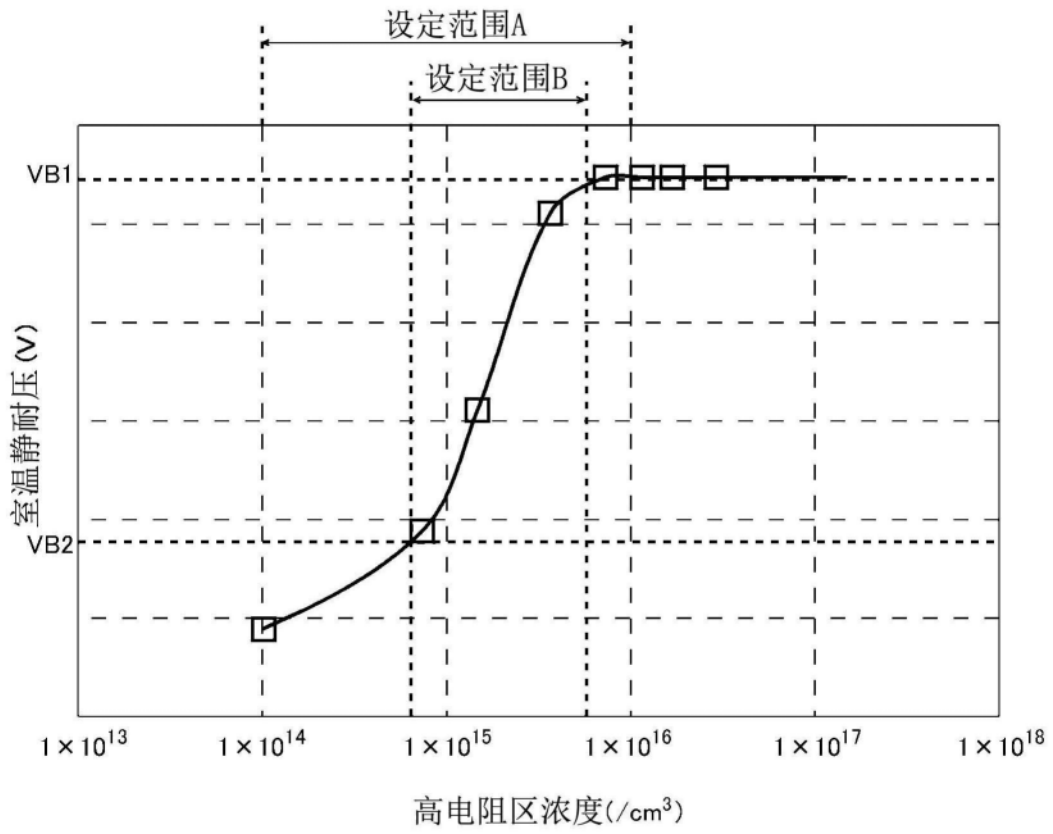
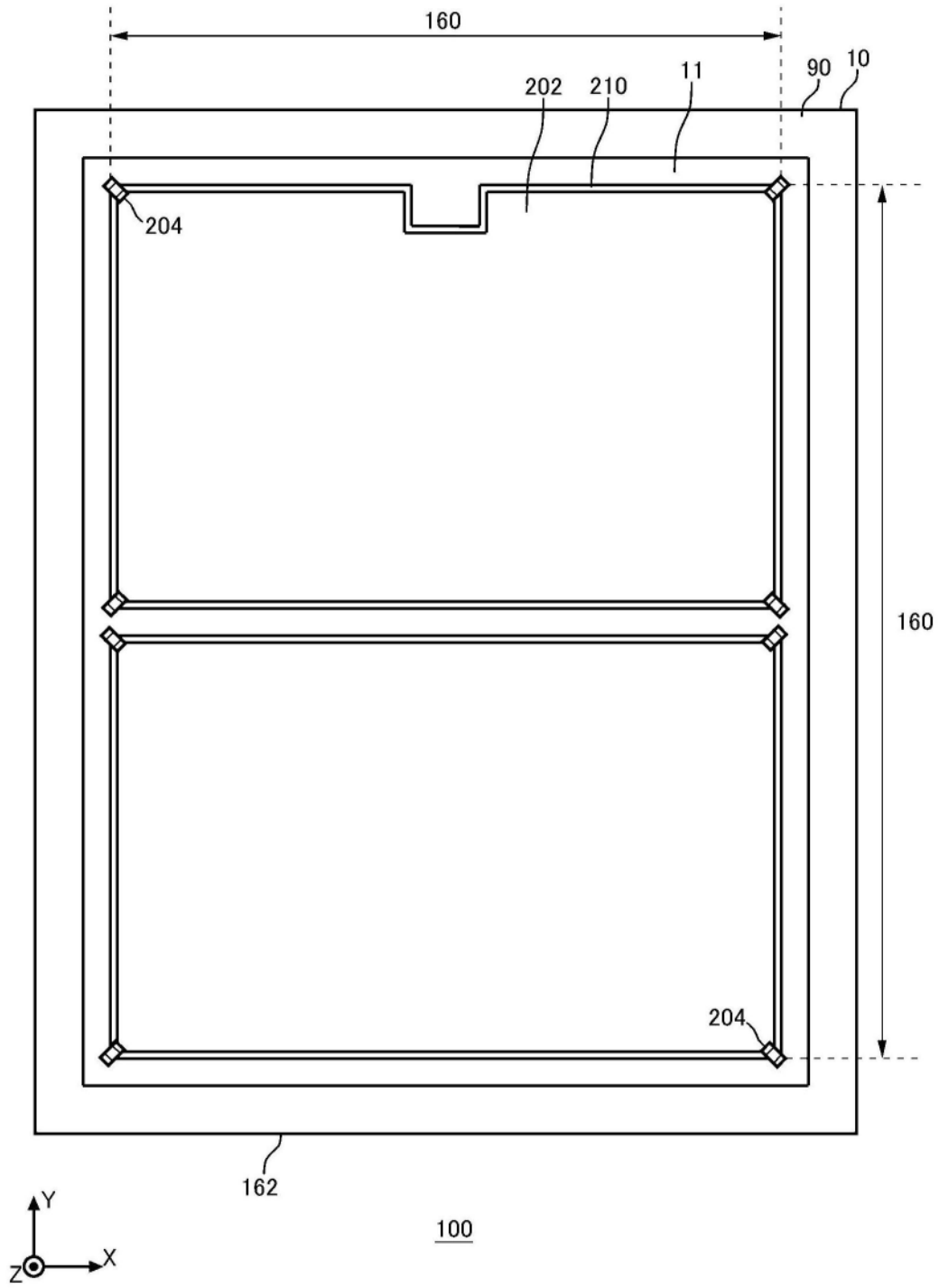


图8



100

图9

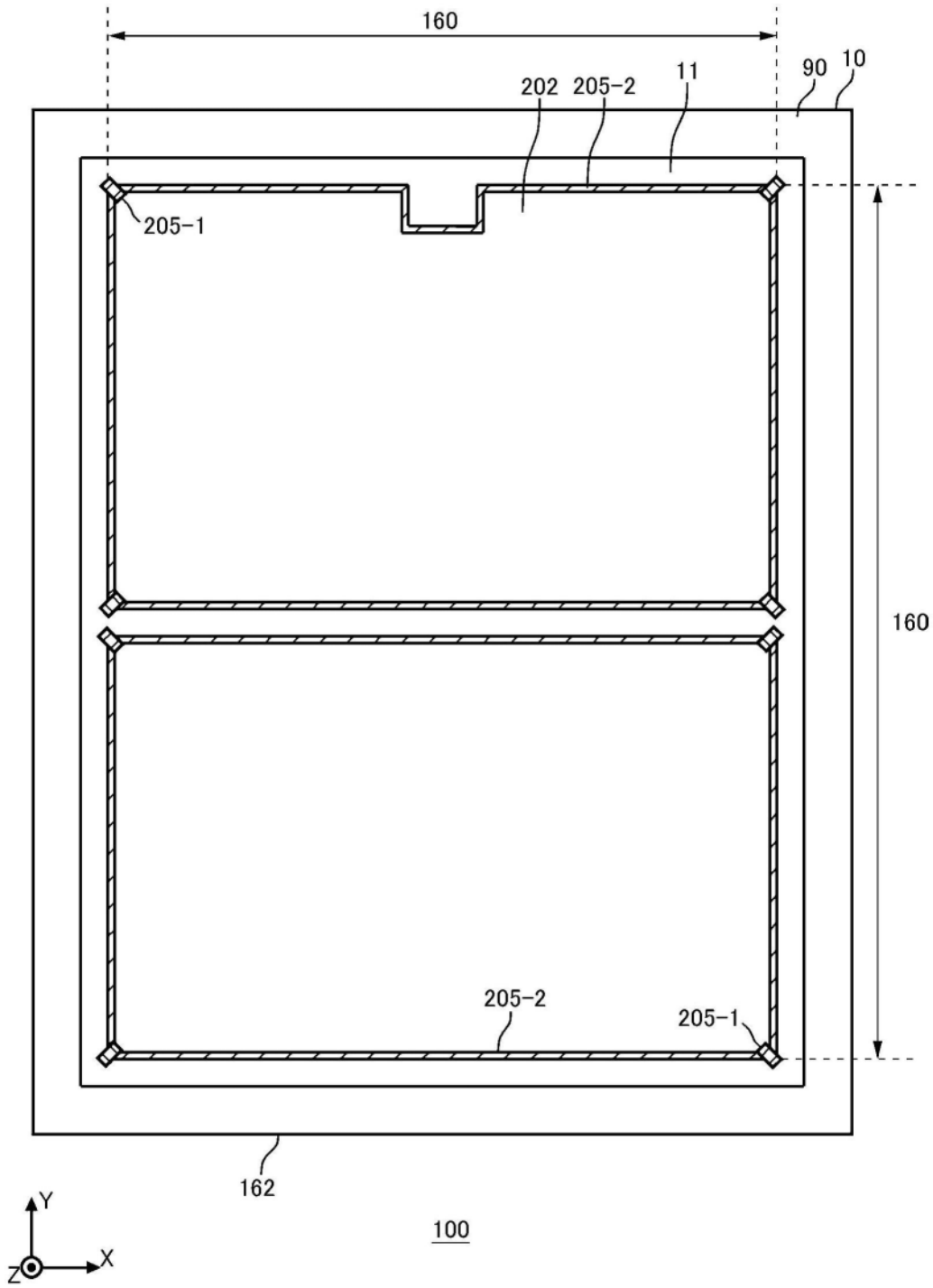


图10

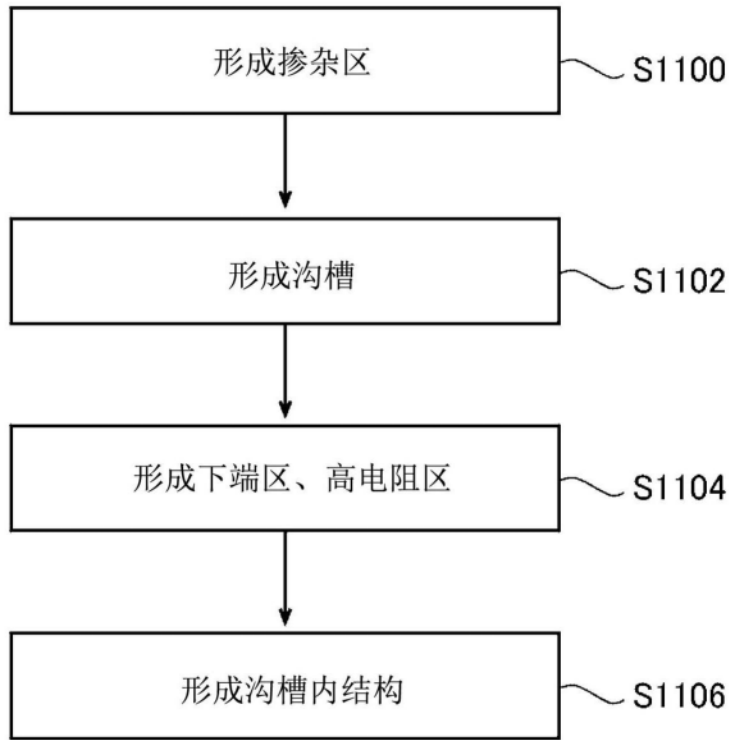


图11

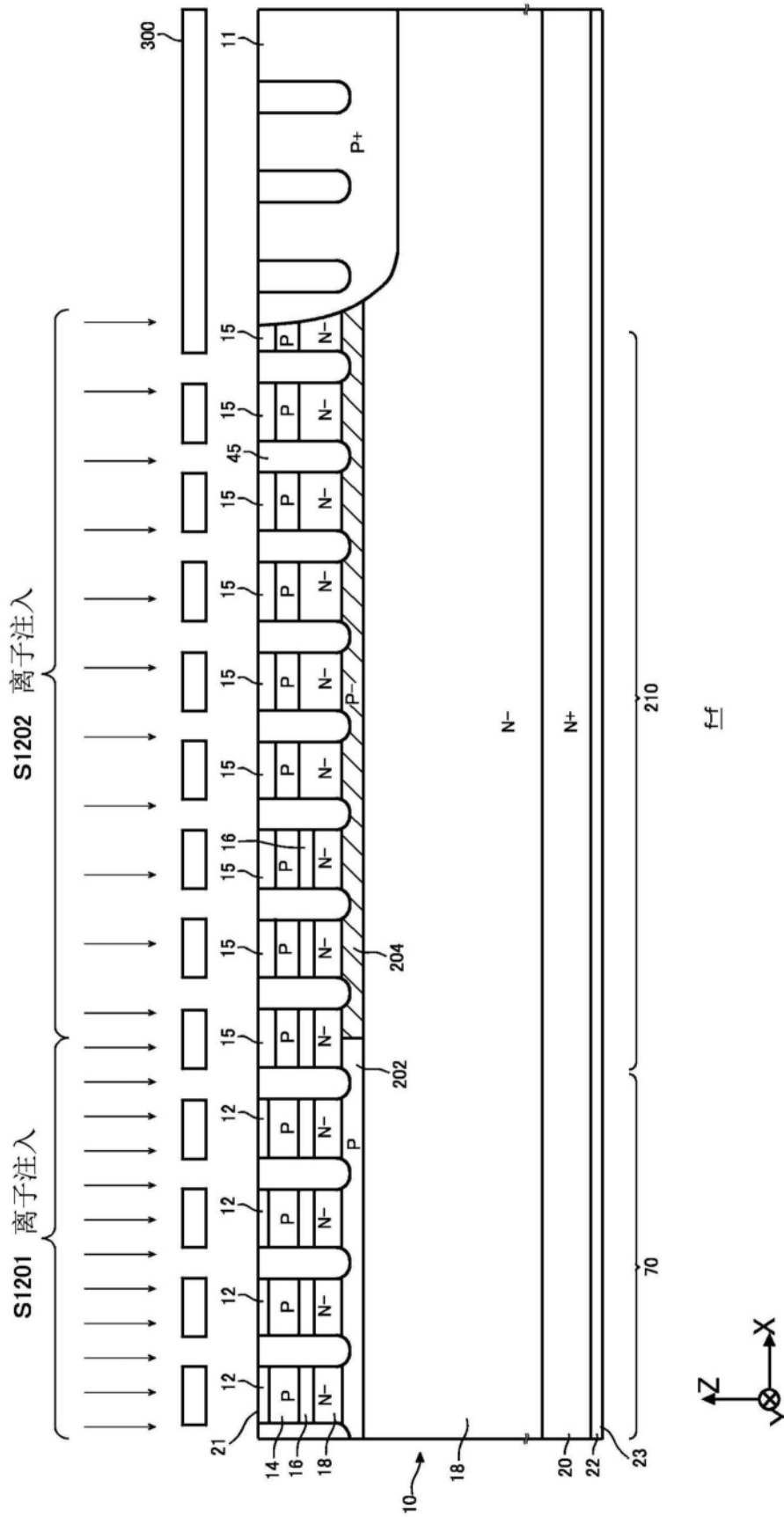


图12

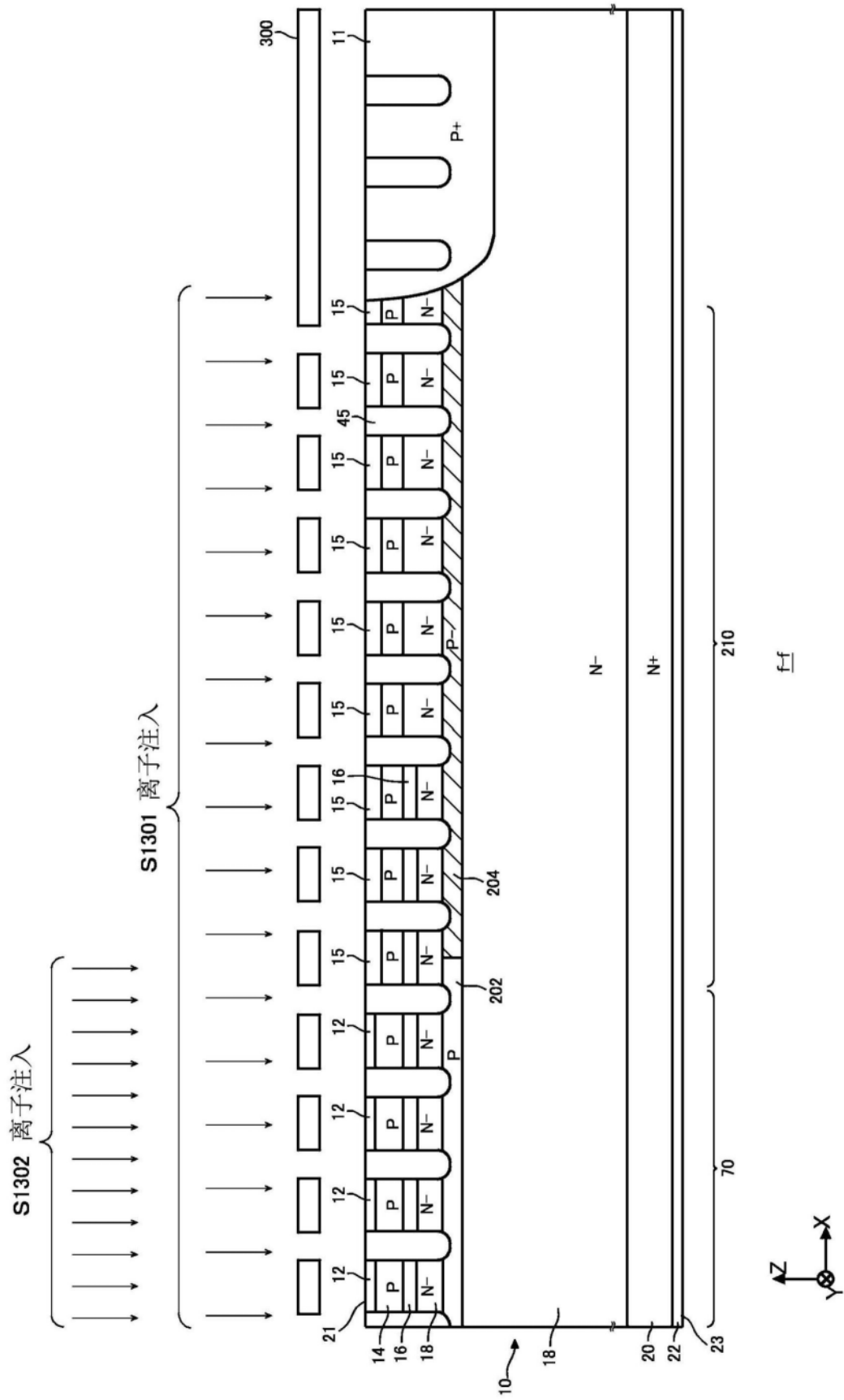


图13

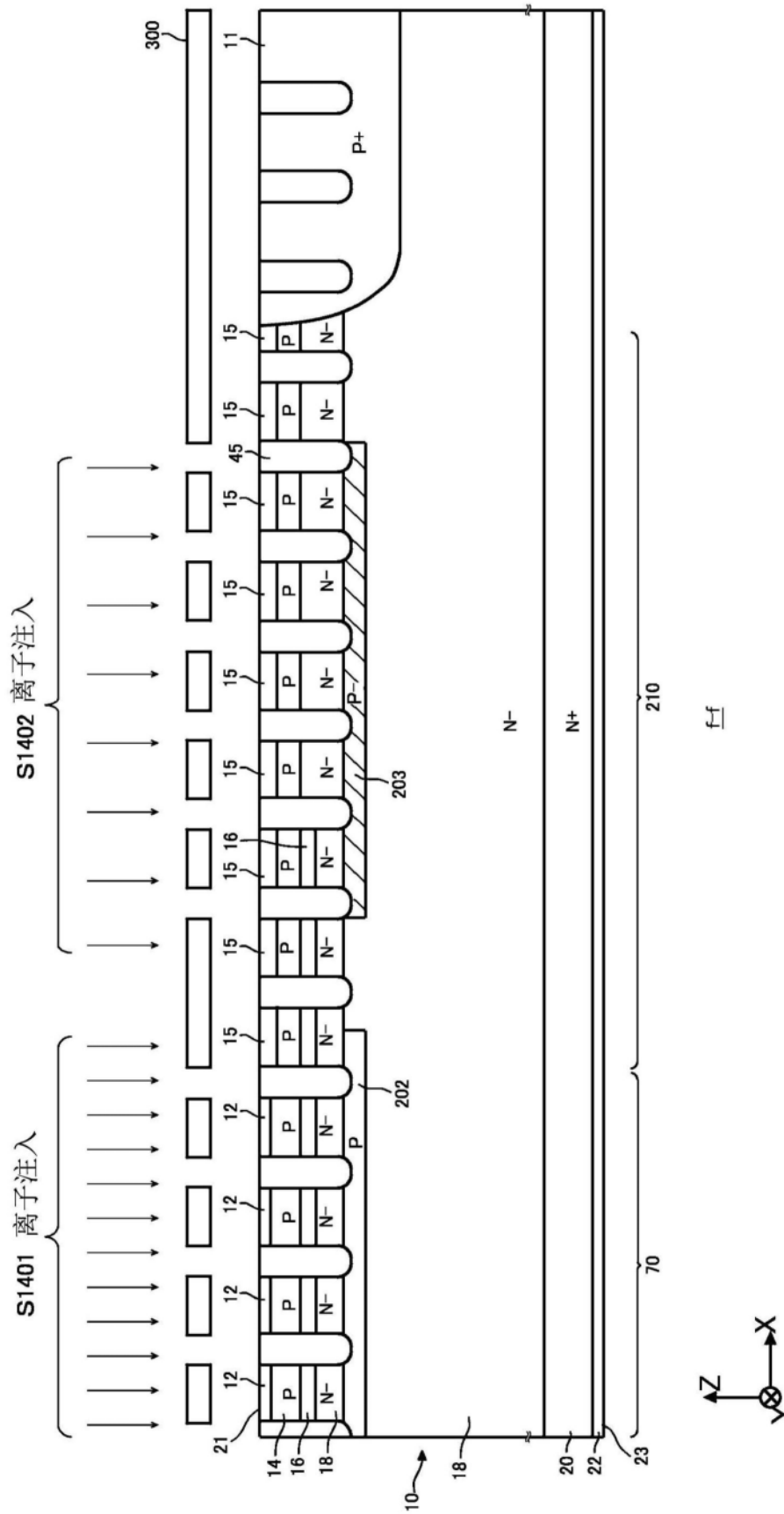


图14

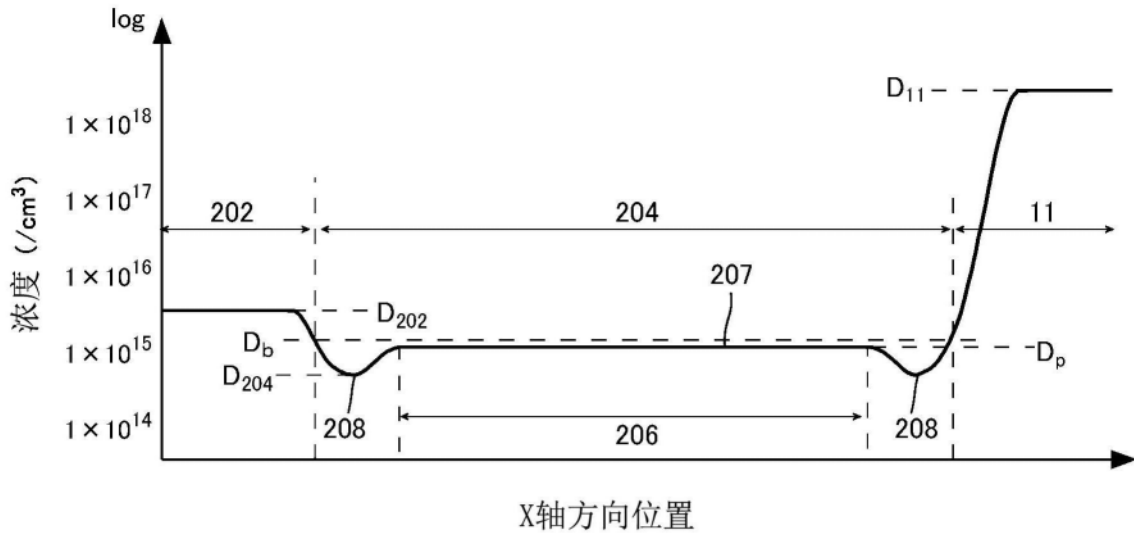


图15

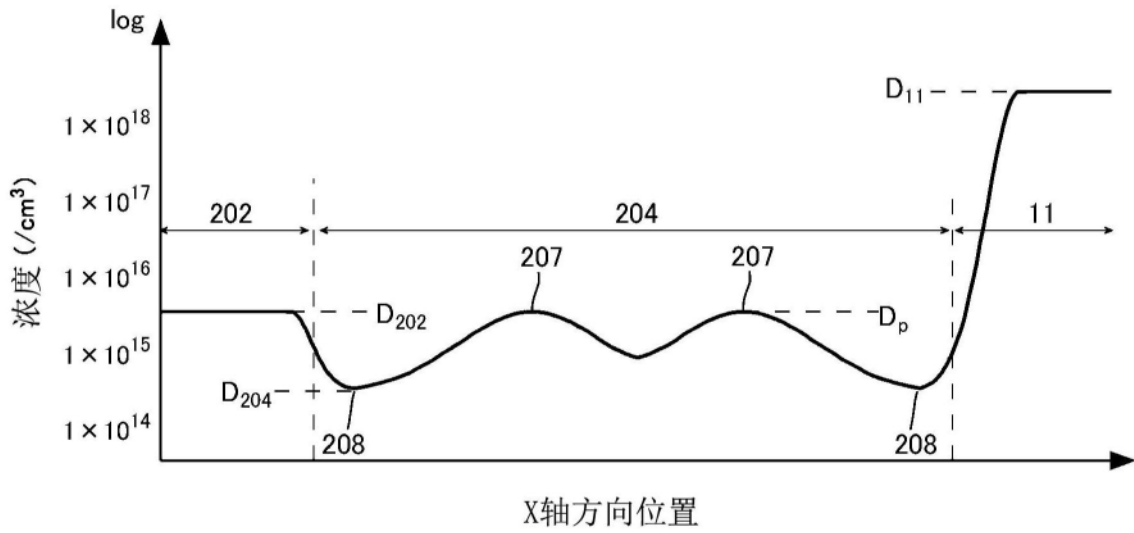


图16

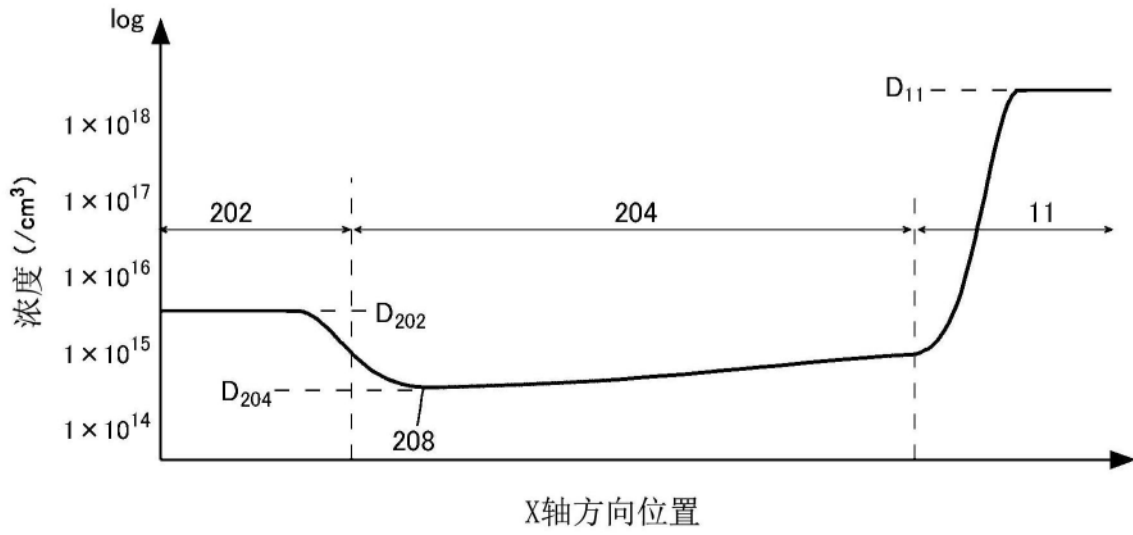


图17

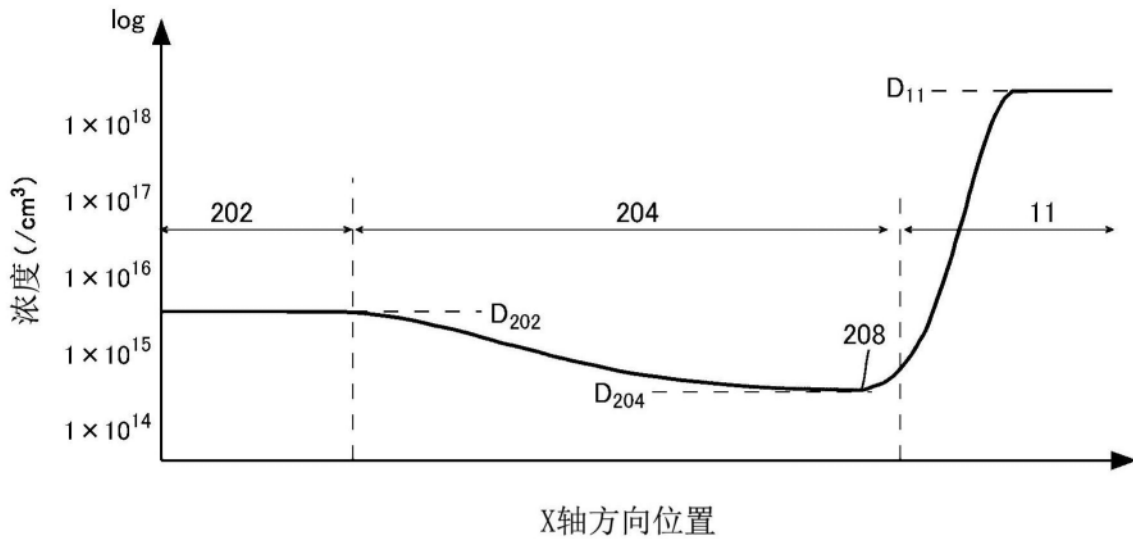


图18



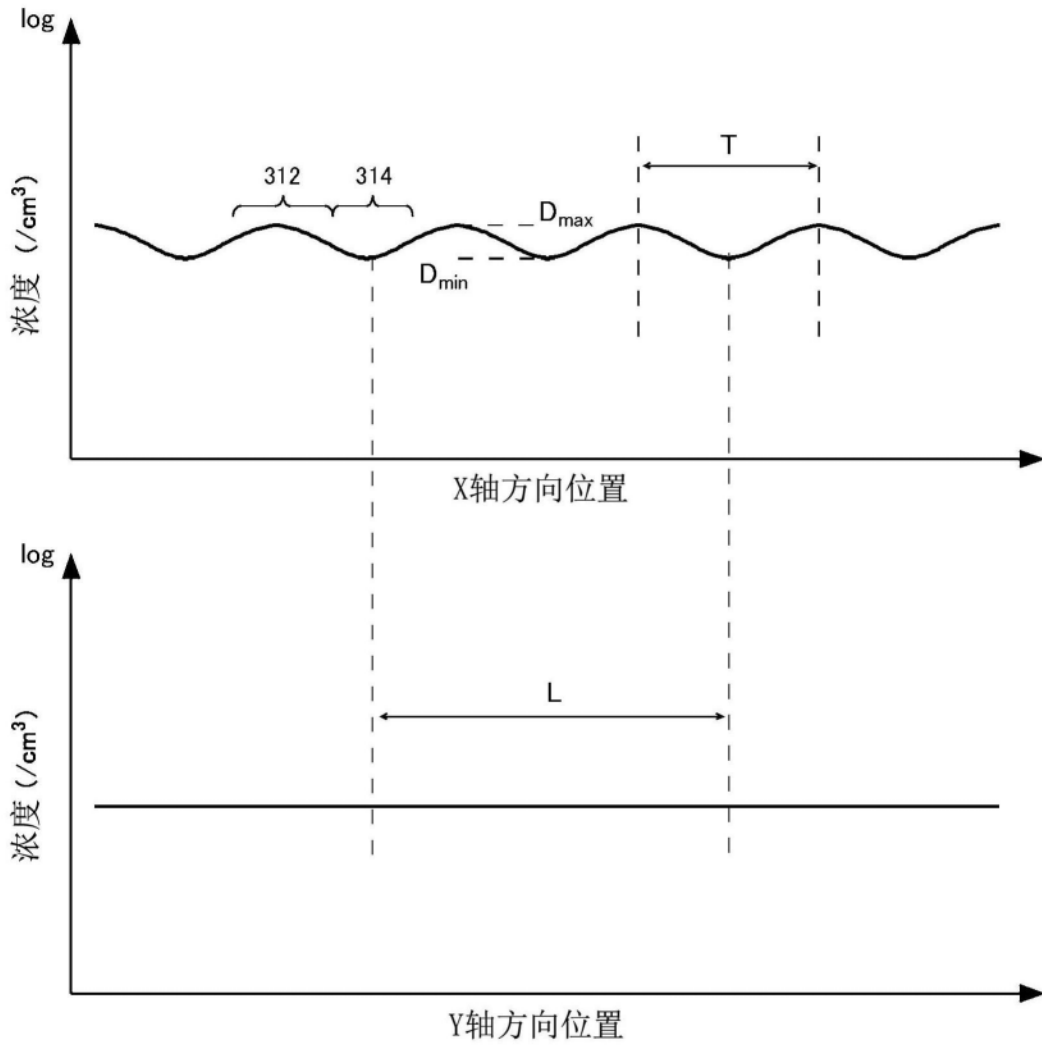


图20



1. 一种半导体装置,其特征在于,具备:  
半导体基板,其具有上表面和下表面,且包括第一导电型的漂移区;  
第二导电型的基区,其设置在所述漂移区与所述半导体基板的所述上表面之间;  
多个沟槽部,其从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置;  
第二导电型的下端区,其与所述多个沟槽部中的两个以上的沟槽部的下端相接地设置;  
第二导电型的阱区,其在俯视时配置于与所述下端区不同的位置,从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置,且掺杂浓度高于所述基区的掺杂浓度;以及  
第二导电型的高电阻区,其在所述俯视时配置于所述下端区与所述阱区之间,且掺杂浓度低于所述下端区的掺杂浓度。
2. 根据权利要求1所述的半导体装置,其特征在于,  
所述高电阻区将所述下端区与所述阱区连接。
3. 根据权利要求1或2所述的半导体装置,其特征在于,  
所述高电阻区的所述俯视时的长度大于所述高电阻区的在所述半导体基板的深度方向上的宽度。
4. 根据权利要求1至3中任一项所述的半导体装置,其特征在于,  
所述高电阻区与两个以上的所述沟槽部的下端相接。
5. 根据权利要求1至4中任一项所述的半导体装置,其特征在于,  
所述半导体装置还具备有源部,所述有源部在俯视时被所述阱区包围,  
所述高电阻区在所述有源部中配置在与所述阱区相接的位置。
6. 根据权利要求5所述的半导体装置,其特征在于,  
所述高电阻区在俯视时包围所述有源部。
7. 根据权利要求5或6所述的半导体装置,其特征在于,  
所述高电阻区具有:  
第一高电阻部,其在俯视时配置于所述有源部的角部;以及  
第二高电阻部,其掺杂浓度低于所述第一高电阻部的掺杂浓度。
8. 根据权利要求1至7中任一项所述的半导体装置,其特征在于,  
所述高电阻区的掺杂浓度低于所述基区的掺杂浓度。
9. 根据权利要求1至8中任一项所述的半导体装置,其特征在于,  
所述高电阻区的掺杂浓度为所述下端区的掺杂浓度的10%以下。
10. 根据权利要求1至9中任一项所述的半导体装置,其特征在于,  
所述高电阻区在将所述下端区与所述阱区连结的方向上具有掺杂浓度的峰。
11. 根据权利要求10所述的半导体装置,其特征在于,  
所述高电阻区中的所述峰的掺杂浓度为所述下端区的掺杂浓度的0.5倍以上且1.5倍以下。
12. 根据权利要求1至11中任一项所述的半导体装置,其特征在于,  
所述半导体装置还具备第一导电型的发射区,所述第一导电型的发射区设置在所述基

区与所述半导体基板的所述上表面之间,并且掺杂浓度高于所述漂移区的掺杂浓度,在俯视时,所述发射区的一部分与所述高电阻区的一部分重叠。

13. 根据权利要求1至11中任一项所述的半导体装置,其特征在于,

所述半导体装置还具备第一导电型的发射区,所述第一导电型的发射区设置在所述基区与所述半导体基板的所述上表面之间,并且掺杂浓度高于所述漂移区的掺杂浓度,在俯视时,所述发射区与所述高电阻区分离地配置。

14. 根据权利要求1至13中任一项所述的半导体装置,其特征在于,

所述多个沟槽部包括一个以上的栅极沟槽部,所述高电阻区与至少一个所述栅极沟槽部的下端相接。

15. 根据权利要求14所述的半导体装置,其特征在于,所述高电阻区具有:

下端部分,其与所述栅极沟槽部的下端相接;以及低浓度部分,其掺杂浓度低于所述下端部分的掺杂浓度。

16. 根据权利要求1至15中任一项所述的半导体装置,其特征在于,

所述半导体装置还具备蓄积区,所述蓄积区设置在所述基区与所述漂移区之间,并且掺杂浓度高于所述漂移区的掺杂浓度,

在俯视时,所述蓄积区的一部分与所述高电阻区的一部分重叠。

17. 根据权利要求1至16中任一项所述的半导体装置,其特征在于,

在俯视时,所述沟槽部在第一方向上具有长度,在第二方向上具有宽度,在所述第一方向上将所述下端区和所述阱区连接的所述高电阻区的第一长度与在所述第二方向上将所述下端区和所述阱区连接的所述高电阻区的第二长度之比为0.9以上且1.1以下。

18. 根据权利要求1至17中任一项所述的半导体装置,其特征在于,

在俯视时,所述沟槽部在第一方向上具有长度,在第二方向上具有宽度,所述高电阻区的所述第一方向上的掺杂浓度分布比所述高电阻区的所述第二方向上的掺杂浓度分布平坦。

19. (修改后)

根据权利要求1至4中任一项所述的半导体装置,其特征在于,所述半导体装置还具备在俯视时被所述阱区包围的有源部,所述下端区在俯视时设置于有源部的90%以上的区域。

20. (修改后)

根据权利要求5所述的半导体装置,其特征在于,所述高电阻区在俯视时配置于所述有源部的角部。

21. (修改后)

根据权利要求1至20中任一项所述的半导体装置,其特征在于,所述高电阻区未设置在所述半导体基板的所述上表面。

22. (修改后)

根据权利要求1所述的半导体装置,其特征在于,所述下端区的掺杂浓度高于所述基区的掺杂浓度。

23. (追加)

根据权利要求1所述的半导体装置,其特征在于,  
所述高电阻区跨越所述多个沟槽部。

24. (追加)

根据权利要求1所述的半导体装置,其特征在于,  
所述半导体基板具有台面部,所述台面部是被多个所述沟槽部夹持的区域,  
所述漂移区也设置于所述台面部,  
在俯视时设置于所述台面部的所述漂移区的一部分与所述高电阻区的一部分重叠。

25. (追加)

一种半导体装置的制造方法,其特征在于,所述半导体装置在具有上表面和下表面且包括第一导电型的漂移区的半导体基板形成第二导电型的基区、多个沟槽部、第二导电型的下端区、第二导电型的阱区、第二导电型的高电阻区,

所述第二导电型的基区设置在所述漂移区与所述半导体基板的所述上表面之间,  
所述多个沟槽部从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置,

所述第二导电型的下端区与所述多个沟槽部中的两个以上的沟槽部的下端相接地设置,

所述第二导电型的阱区在俯视时配置于与所述下端区不同的位置,从所述半导体基板的所述上表面起设置到比所述基区更靠下方的位置,并且掺杂浓度高于所述基区的掺杂浓度,

所述第二导电型的高电阻区在所述俯视时配置于所述下端区与所述阱区之间,并且掺杂浓度低于所述下端区的掺杂浓度。

26. (追加)

根据权利要求25所述的半导体装置的制造方法,其特征在于,  
针对形成所述高电阻区的区域和应形成所述下端区的区域这两者注入第二导电型的掺杂剂,

针对形成所述下端区的区域进一步注入第二导电型的掺杂剂。

27. (追加)

根据权利要求25所述的半导体装置的制造方法,其特征在于,  
针对形成所述高电阻区的区域和应形成所述下端区的区域分别注入不同浓度的第二导电型掺杂剂。

28. (追加)

根据权利要求25所述的半导体装置的制造方法,其特征在于,  
向应形成所述高电阻区的区域中的、与应形成所述下端区的区域分离的区域注入第二导电型的掺杂剂,并进行热处理,从而使所述掺杂剂朝向应形成所述下端区的区域扩散。

29. (追加)

根据权利要求25所述的半导体装置的制造方法,其特征在于,  
在形成所述高电阻区的过程中,通过掩模对除所述多个沟槽部以外的区域进行掩蔽,经由所述多个沟槽部向所述半导体基板注入掺杂剂。