[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 21/316
H01L 21/324
H01L 29/78 H01L 27/105

[12]发明专利说明书

[21] ZL 专利号 96103918.3

[45]授权公告日 2002 年 1 月 16 日

[11]授权公告号 CN 1078012C

[22]申请日 1996.3.7 [24]颁证日 2002.1.16
[21]申请号 96103918.3
[30]优先权
[32]1995.3.8 [33]JP [31]048106/1995
[73]专利权人 株式会社日立制作所
地址 日本东京都
[72]发明人 三浦英生 池田修二 铃木范夫
萩原康秀 太田裕之 西村朝雄
[56]参考文献
JP 平 3－198337 1991. 8.27 H01L21/316
JP 平 4－316332 1992.11. 6 H01L31/336
审查员 韩 锦

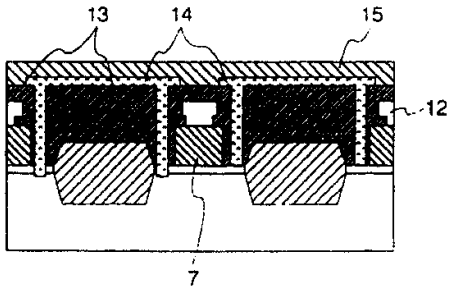
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 杜日新

权利要求书 1 页 说明书 16 页 附图页数 10 页

[54]发明名称 一种制造半导体器件的工艺

[57]摘要

通过在衬底上形成氧化膜，以 800℃或以上的温度在惰性气氛 中热处理氧化膜，接下来是形成晶体管的普通步骤，以此方法制作 的半导体器件由于在氧化膜内或在衬底表面中产生的应力的减弱而 在电学可靠性方而得到改善。



ISSN1008-4274

权 利 要 求 书

1. 一种制造半导体器件的工艺，包括:

第一步骤，在硅衬底上形成防氧化膜，在要形成元件－隔离氧化膜的区域去除防氧化膜，将硅衬底经热氧化形成硅衬底上的元件－隔离氧化膜，

第二步骤，去除元件－隔离氧化膜区域之外的区域上形成的防氧化膜，使被去除的区域成裸露态，在 800℃至 1410℃对硅衬底热处理，

第三步骤，在硅衬底上形成 MOS 晶体管的栅极氧化膜。

2. 根据权利要求 1 所述的制造半导体器件的工艺，其特征在于在第二步骤中去除防氧化层之后，暴露硅衬底。

3. 根据权利要求 1 所述的制造半导体器件的工艺，其特征在于通过衬垫氧化膜在硅衬底上形成防氧化膜。

4. 根据权利要求 3 所述的制造半导体器件的工艺，其特征在于在第二步骤中去除防氧化层之后，暴露衬垫氧化膜。

5. 根据权利要求 3 所述的制造半导体器件的工艺，其特征在于衬垫氧化膜是硅氧化膜。

6. 根据权利要求 1 所述的制造半导体器件的工艺，其特征在于防氧化膜是氮化硅膜。

UU 03·10

说　明　书

一种制造半导体器件的工艺

本发明涉及一种半导体器件和制作该器件的工艺，尤其是涉及适用于形成热氧化膜的制作半导体器件的工艺和用上述的工艺获得的半导体器件。

在制作半导体元件中，用硅作衬底，由硅热氧化法形成的氧化硅薄层用作绝缘膜。在形成这种热氧化膜的工艺中，由于在硅和氧化膜间的界面附近出现大的应变(应力)在硅一硅键断开的同时形成硅一氧键。

由于氧化硅的分子体积比硅的分子体积大两倍以上，所以由氧化反应形成的氧化膜势必膨胀，通常在硅侧出现拉伸应力而在氧化膜侧压缩应力增加。当应力变大时，诸如位错之类的晶体缺陷在成单晶的硅衬底中出现。在半导体元件里这样的晶体缺陷的存在引起漏电流而大大地降低产品的可靠性。

即使在硅衬底中没有晶体缺陷，在氧化膜中增大的应力使氧化薄层中的原子间距变形并由此降低原子的键合力，而在一些极个别的情况下引起诸如原子键断裂的损伤。如果出现这样一种损伤，氧化膜的绝缘特性变坏，而氧化膜和产品的电学可靠性降低。

一般来说，应力的值随形成的氧化膜的厚度增加而单调地增大。因此，形成的厚的氧化膜时减弱应力是一个重要的问题。*JP—A*—3—11733 提出一种只要中断热氧化便进行消除应变的热处理随后再继续热氧化的方法作为一种减弱应力的方法。

根据在氧化膜中产生应力的机理的观点，应力可以分类成一种在形成氧 化膜的工艺中在由氧化反应生成的硅/氧化膜界面附近由于氧化膜体积膨胀引起的应力和一种由在氧化膜上沉积薄膜而产生的应力。

虽然根据先前的技术在某种程度上能够减弱由氧化反应引起的应力，但是迄今还没有减弱由沉积在氧化膜上的薄膜引起的应力的有效方法。按照下面的工艺会产生上述的“由沉积在氧化膜上的薄膜引起的应力。”

作为形成氧化膜的工艺，首先会涉及到紧安置在衬底上用于电学绝缘和隔离例如晶体管这样元件的局部形成厚度最大约几千埃的元件一隔离氧化膜的工艺。广泛采用选择氧化法用作形成这种元件一隔离氧化膜的方法(参阅图 2)。根据选择氧化法，通过称为“衬垫氧化膜 2”(图 2*B*)的热氧化膜的中间层在硅衬底 1(图 2*A*)上沉积氮化硅膜 3(图 2*C*)，然后从形成元件一隔离氧化膜的部位上刻蚀掉氮化硅膜 3(图 2*D*)并且整体氧化以在硅衬底上局部地形成厚的氧化膜(图 2*E*)。

在这种选择氧化法中，在许多情况下用作氧化一保持薄层的氮化硅薄层在 薄层沉积时具有约为 1000*MPa* 的内应力而这种应力也作用于氧化膜。进一步，在选择氧化工艺中，引起氧化的物质例如氧和 H_2O 在硅衬底中三维扩散，结果在氮化硅膜的边界附近逐渐形成称为“鸟啄”的氧化膜 5。

由于在氧化膜生长期间氧化膜的体积膨胀使氮化硅膜的边界鼓起，并且在整个薄层中出现翘曲形变。由这种翘曲形变引起的反作用力聚集到氮经硅的边界，在氮化硅膜的边界上的氧化膜中出

现大的应力。在有氮化硅膜时发生这种应力集中势必损伤氧化薄层。

由于在 氧化膜上沉积的薄膜而损伤氧化膜的另一工艺是在*MOS*(金属氧化物半导体)型晶体管的栅极氧化膜上沉积一层作栅电极的薄膜的工艺。用多晶硅薄膜、难熔金属材料或硅化物合金薄膜的任何一种以单层形式或以叠层结构作栅电极。

沉积这种栅电极材料往往带有超过几百或几千 *MPa* 的内应力。因而，在制作 栅 电极时内应力聚集到栅电极的边界部分附近的氧化膜里，并从而损伤氧化膜。

本发明的目的是提供一种制造半导体器件的工艺，该工艺能补救在局部沉积于氧化膜上的薄膜的边界部分上氧化膜的损伤，并且用上述的工艺获得一种半导体器件。

本发明提供制作半导体器件的一种工艺，它包括在硅衬底上形成热氧化膜，在使氧化膜或硅衬底的表面保持裸露(用语"裸露"意思是表面不用其他薄膜覆盖）状态同时以不低于800℃的温度在惰性气氛下进行热处理，继之掺入杂质、形成电极和布线，形成绝缘膜以及如果需要的话形成第二层布线以便构成晶体管。

本发明进一步提供制作半导体器件的一种工艺，它包括，在完成为了在硅衬底表面上局部地形成，用作电绝缘和隔离半导体元件的具有局部加大厚度的氧化膜的选择氧化之后，除去除了氧化薄层外的薄膜，在使氧化膜或硅衬底的表面保持裸露状态同时以不低于950℃的温度在惰性气氛下进行热处理，继之形成栅极氧化薄层，掺入杂质，形成电极和布线，形成绝缘薄膜以及如果需要的话，形成第二层布线以便构成晶体管。

本发明进一步提供制作半导体器件的一种工艺，它包括在为了电绝缘和隔离半导体元件在硅衬底上形成具有局部加大厚度的氧化薄层之后，形成 *MOS* 型晶体管的栅极氧化膜以及紧接着在完成栅极氧化或在形成栅电极之后，以不低于800℃的温度在惰性气氛中进行热处理，继之掺入杂质，形成电极和布线、形成绝缘薄膜以及如果需要的话形成第二层布线以便构成晶体管。

本发明进一步提供根据上述工艺制作的半导体器件。

图 1*A* 到 1*F* 是说明本发明的第一个实施例（实施例 1）中横截剖面结构变化的各个示意图。

图 2*A* 到 2*E* 是说明先前的技术选择氧化法中横截剖面结构变化的各个示意图。

图 3 是说明热氧化以后硅衬底中残余应力与氧化温度关系的曲线图。

图 4 是说明本发明实施例 1 制作工艺的流程图。

图 5*A* 和 5*B* 是说明本发明实施例 2 中横截剖面结构变化的各个示意图。

图 6 是说明本发明实施例 2 的制作工艺的流程图。

图 7*A* 到 7*C* 是说明本发明实施例 3 中横截剖面结构变化的各个示意图。

图 8 是说明本发明实施例 3 的制作工艺的流程图。

图 9*A* 到 9*E* 是说明本发明实施例 4 中横截剖面结构变化的各个示意图。

图 10 是说明本发明实施例 4 的制作工艺的流程图。

为了减轻氧化膜中的损伤，在使氧化膜的表面尽可能保持裸

露状态的同时，换句话说，在没有其他薄膜覆盖氧化膜的表面的同时以不低于800℃的温度在惰性气氛中进行最好至少5分钟而更好至少20分钟的热处理是有效的。热处理的温度为1410℃（低于硅衬底的熔点）或1410℃以下，最好是1250℃以下，而更准确地说约为1200℃。在用选择氧化法形成元件一隔离的氧化膜的工艺中在完成选择氧化以后用作防氧化薄膜的氮化硅薄膜或多晶硅薄层被彻底去掉，并且在使氧化膜或硅衬底的表面保持裸露状态同时在不低于800℃最好不低于950℃而不高于1410℃最好不高于1200℃的温度下热处理剩留部分至少处理5分钟最好热处理30分钟。进一步，在栅极氧化膜（形成图案）上形成电极后也在使栅电极和氧化膜保持裸露状态同时以不低于800℃的温度进行至少5分钟而最好至少20分钟的热处理。

因此，本发明的制作半导体器件工艺具有下列实施例中的任一个工艺，而根据这些制作工艺中任一工艺能制作本发明的半导体器件。

（1）一种制作半导体器件的工艺包含在硅衬底上形成热氧化膜，在使氧化膜或硅衬底的表面保持裸露状态同时在惰性气氛中以不低于800℃的温度进行至少5分钟的热处理，继之掺入杂质，形成电极和布线，形成绝缘薄膜并且如果需要的话形成第二层布线等等以便构成晶体管。

（2）一种制造半导体器件工艺包含在完成选择氧化以在硅衬底上形成电绝缘和隔离半导体元件的具有局部加大厚度的氧化膜之后，除去除氧化膜以外的薄膜，在使氧化膜或硅衬底的表面保持裸露 状态同时在惰性的气氛中以不低于950℃和不高于1410℃

而最好不高于1200℃的温度进行至少5分钟最好至少20分钟的热处理，继之形成栅极氧化膜，掺入杂质，形成电极和布线，形成绝缘薄膜并且如果需要的话形成第二层布线等等以便构成晶体管。

(3) 一种制造半导体器件工艺其包含在硅衬底上形成电绝缘和隔离半 导体元件的具有局部加大厚度的氧化膜，在这之后形成*MOS*型晶体管的栅极氧化膜，紧接着在实行栅极氧化或在形成栅电极之后，在惰性的气氛下以不低于800℃而不高于1410℃最好不高于1200℃的温度进行至少5分钟而最好至少20分钟的热处理，继之掺入杂质，形成电极和布线，形成绝缘薄膜并且如果需要的话形成第二层布线以便构成晶体管。

(4) 用在硅底上形成热氧化膜，其后在使氧化膜或硅衬底的表面保持 裸露状态同时在不起任何化学作用的气氛下以不低于800℃不高于1410℃而最好不高于1200℃的温度进行至少5分钟而最好至少20分钟的热处理以及然后进行构成晶体管所必需的步骤例如掺入杂质；构成布线；形成绝缘薄膜；形成第二层布线等等的方法获得半导体器件。

(5) 用为了电学上绝缘和隔离半导体元件在硅衬底表面上形成具有局部加大厚度的氧化膜而进行的选择氧化，在这之后除去除氧化薄层以外的薄膜，在使氧化膜或硅衬底的表面保持裸露状态同时在惰性的气氛下以不低于950℃和不高于1410℃而最好不高于1200℃温度进行至少5分钟最好至少20分钟的热处理以及然后进行构成晶体管所必需的步骤例如形成栅报氧化膜，掺入杂质；形成电极和布线；形成绝缘薄膜；形成第二层布线等等的方法获得半导体器件。

(6) 用在硅衬底表面上形成电学上绝缘和隔离半导体元件的具有局部加大厚度的氧化膜，在这之后形成 *MOS* 型晶体管的栅极氧化薄层并紧接着在进行栅极氧化或在形成栅电极之后，在惰性气氛下以有低于 800℃和不高于 1410℃而最好不高于 1200℃的温度进行至少 5 分钟最好至少 20 分钟的热处理以及然后进行构成晶体管所必需的步骤例如掺入杂质；形成布线；形成绝绝薄膜；形成第二层布线等等的方法获得半导体器件。

(7)根据(4)、(5)或(6)的半导体器件，其中上述的半导体器件是一种诸如快闪存储器、*DRAM*、*SRAM* 之类的存储器或是处理机或计算器件。

(8)根据(1)、(2)或(3)的半导体器件，其中上述的热氧化至少是在氢气和氧气的混合气体的气氛下或者在 H_2O 的气氛下进行，其中氢/氧的混合比小于 2/1 而最是 1.5/1 左右到 1.8/1 左右。

(9) 根据(4)、(5)、(6)或(7)的半导体器件，其中上述的热氧化至少是在氢气和氧气的混合气体的气氛下或者在 H_2O 的气氛下进行，其中氢/氧的混合比小于 2/1 而最好是 1.5/1 左右到 1.8/1 左右。

(10)根据 91)、(2)、(3)或(8)的半导体器件，其中热处理的气氛是氮 、氢或类似氩气之类的隋性气体或是这些气体的混合气体，这些气体或混合气体可以含有百分之几最好是 5%或小于 5%而更好是 2%或小于 2%的氧气。

(11) 根据(4)、(5)、(6)、(7)或(9)的半导体器件，其中热处理的气氛是 氮、氢或类似氩气之类的隋生气体或是这些气体的混合气体，这些气体或混合气体能含百分之几最好是 5%或小于 5%而

更好是2%或小于2%的氧气。

在用热氧经法在硅衬底上形成氧化膜期间，在氧化膜内或在硅衬底的表面上，换句话说在具有氧化膜的界上出现的应力随氧化温度而变化。这可旧因于以氧化膜的粘弹性能为基础的应力—减弱过程的存在。

图3是在这种热氧化工艺中在硅衬底上出现的应力用显微拉曼(*Raman*)光谱测定法测量的结果，其中横座标表示氧化温度而纵座标表示在硅衬底表面上，换句话说在具有氧化膜的界面上保持室温时平行于衬底表面的垂直应力。该图概括了在氢和氧的混合气体(混合比为1/1.5至1/1.8)作氧化气氛的情况下和在用干燥氧化气氛的另一种情况下的测量结果。在氧化中采用单晶硅((100)表面的晶片)并且在硅表面上均匀地形成具有恒定厚度为50*nm*的氧化膜。

根据结果，显然，随氧化温度升高在硅衬底中的残余应力单调地减小。在氧和氢的混合气体被用作氧化气氛时特别明显地观察到应力的减弱，而在温度不低于950℃时应力减小到接近于零。这样的应力减弱过程不仅在改进的氧化反应的工艺中能观察到而且在完成氧化反应以后进行热处理时也能观察到。

也就是说，在含有氧和氢的混合气体的氧化气氛中在850℃形成氧化膜并然后在惰性气氛 中在950℃进行的附加的热处理30分钟时氧化膜的应力减小到接近于零。虽然在热处理工艺中应力减弱在约5分钟内呈现出效果，但是应力的减弱最好至少进行20分钟以便应力得到充分的减弱。

图3说明在氧化膜厚度为50*nm*时的测量结果。当氧化膜厚

度超过约 100*nm* 时，在 950℃或 950℃以上的温度时氧化在完成氧化期间始终不能使硅衬底中的残余应力减小到零。这是由于应力减弱需用一段时间。因此，在用热氧化法形成氧化膜后为了减弱氧化膜中的应力进行上述的热处理是有效果的。氧—氢混合气体中氢/氧的混合比为小于 2/1 而最好为 1.5/1 左右到 1.8/1 左右。

如在选择氧化法的情况中那样，采用像氮化硅之类的防氧化膜进行氧化时，应力聚集到如上所述的防氧化膜的边缘部分。因此在完成氧化并且然后在使氧化膜或硅衬底的整个表面保持裸露状态同时在惰性气氛 中进行附加的热处理之后，由于去掉引起应力的薄层(在这种情况中是氮化硅膜)由薄层的存在产生的应力也能与因氧化引入的应力一起减弱。

进一步，由于 *MOS* 型晶体的栅极氧化膜大多数是在 850℃时形成，薄层形成后在氧化膜中常常残留很大的应力，实际应用这种附加热处理是非常有效的。

在栅极氧化膜上沉积栅电极时或者在进行电极沉积并进行刻蚀之类的处理时应力也聚集到栅电极边缘部分的氧化膜内。在这种情况中，在完成栅电极的刻蚀处理后也可以用惰性气氛中进行处理方法来减弱产生在氧化膜中的应力。

为了减弱上述的热氧化膜、氧化膜、栅极氧化膜诸如此类薄层中的应力所作的热处理最好是在诸如氮、氢、氩、氦气之类惰性气体中进行 。虽然不存在氧气是所希望的但是氧的存在量按容积百分比为 5%或更小而最限容积百分比为 2%或更小是能允许的。

在上述的实施例 1 的情况中，在用作减弱应力的上述的热处理之后用通常的方法进行构成晶体管所必需的步骤，诸如掺入杂

质，形成电极和布线、形成绝缘薄膜、形成第二层布线等等，从而能够制成预期的半导体器件。

在上述的实施例(2)中，进行减弱应力的热处理并且然后用通常的方法进行构成晶体管所必需的步骤，诸如形成栅极氧化膜、掺入杂质、形成电极和布线、形成绝缘薄膜、形成第二层布线等等，从而能够制成预期的半导体器件。

在上述的实施例(3)中，进行减弱应力的热处理并且然后用通常的方法进行构成晶体管所必需的步骤，诸如掺入杂质、形成电极和布线、形成绝缘薄膜、形成第二层布线，从而能够制成预期的半导体器件。

在下文，根据实施例更具体地阐述本发明。

实施例 1

参阅图 1、图 3 和图 4 说明实施例 1。图 1*A* 到 1*F* 是说明为了制作半导体器件在采用本发明的工艺形成元件—隔离氧化膜的过程中硅衬底的 横截剖面变化的各个示意图；图 3 是说明氧化温度与随着氧化进行在硅衬底表面附近(具有氧化膜的界面)中出现的应力的关系的曲线图。图 4 是说明本实施例工艺的流程图。

根据图 4 的流程，首先参阅图 1*A* 到 1*F* 阐述本实施例。对于在半导体器件的制作工艺中形成厚的元件—隔离氧化膜的选择氧化工艺，本实施例是本发明的一种应用。

在硅衬底 1(图 1*A*)上用热氧化法形成具有薄层厚度约为 10*nm* 的薄的衬垫氧化膜 2(图 1*B*)。在其上沉积作防氧化膜的氮化硅膜(图 1C)。采用把氮化硅膜 3 从为形成元件—隔离氧化膜的区域刻蚀掉的方法形成裸露区域。并进行热氧(图 4—106)以形成具

有薄层厚度约为 300 到 700*nm* 的元件—隔离氧化膜(图 1*E*)。然后，把氮化硅膜 3 整个除去，并且在使氧化膜 2 或 3 或硅衬底 1 保持裸露状态同时以不低于 800℃的温度进行至少 5 分钟最好至少为 20 分钟的热处理(图 4—108)。

虽然热处理的气氛是诸如氮、氢、氩之类的惰性气体或是这些气体的混合气体，但是气氛可以含有 5%或 5%以下最好是含有 2%或 2%以下的氧气。更好是热处理的温度不低于 950℃和不高于 1410℃而最好是不高于 1200℃。

根据参阅图 3，阐明同这种处理产生的应力减弱的效果。图 3 中横座标表示氧化温度而纵座标表示在氧化后在硅衬底中的残留应力。用单晶硅((100)面的晶片)进行氧化，而在硅表面均匀地形成具有恒定厚度为 50*nm* 的氧化膜。

虽然，在硅衬底中的残留应力随氧化温度升高而单调地减小。特别在用氧 和氢的混合气体作氧化的气氛时清楚地观察到应力的减弱，而在 950℃或 950℃以上时应力减小到近似于零。氢对氧的混合比按容积比为小于 2/1 而按容积比最好为 1.5/1 左右到 1.8/1 左右。这种应力减弱效应不仅在进行氧化的工艺中被观察到而且在完成氧化反应后进行热处理时也被观察到。也就是说，在含有氧和氢的混合气体的氧化气氛中，由于在 850℃时形成氧化膜并且然后在 950℃时进行附 加 热处理 30 分钟也能够使氧化膜中的应力减小到近似于零。虽然在热处理工艺中应力减弱在约 5 分钟内呈现效果，但是热处理最好至少进行 20 分钟以便应力达到充分的减弱。

图 3 说明在氧化膜厚度为 50*nm* 时的测量结果。当氧化膜厚

度超过 100*nm* 时即使在 950℃或 950℃以上进行氧化，在进行氧化时硅衬底中的 残留应力始终不能达到零。这是由于应力减弱需用一段时间。因此，在用热氧化法形成氧化膜以后进行在 1000℃或 1000℃以上而尤其是在 1200℃时进行上述的热处理对于减弱氧化膜中的应力是有效的。特别在选择氧化法中应力聚集在氮化硅膜边缘部位附近的氧化膜中，在去除氮化硅膜后应用这种热处理也可以减弱由于氮化硅膜的出现而引起的应力。

在本实施例中，仅用氮化硅膜作防氧化膜。然而，如果愿意的话，防氧化膜可以是用在多晶硅薄膜上沉积氮化硅膜的方法制成的一种叠层结构的薄层。进一步，不是总是必须在衬垫氧化膜 2 上形成防氧化膜，而可以直接在硅衬底 1 上形成防氧化膜 。在用局部刻蚀防氧化膜的方法形成裸露区域时(图 4—105 或图 1*D*) 衬垫氧化膜 2 也可以被除去以裸露衬底 1 或者为了暴露硅衬底势必从表面向下刻蚀硅衬底 1 到约 10*nm* 以上具有一定程度差别的深度也是能允许的。

根据以上所述，本实施例显示了能够减弱因氧化引入的应力或在选择氧化法中由于防氧化膜的出现而在氧化膜中产生的应力的效果，从而能够改善氧化膜的结构和电学可靠性。

实施例 2

在本文中参阅图 5 和图 6 阐述实施例 2。图 5*A* 和图 5*B* 是说明用本发明的工艺形 成 *MOS* 型晶体管的栅极氧化膜的过程中硅衬底横截剖面变化的各个示意图。图 6 是说明本实施例制作工艺的流程图。

根据图 6 中的流程，首选参阅图 5*A* 和 5*B* 阐述本实施例。在

本实施例中，把已经形成元件—隔离氧化膜 4(图 5*A*)和为形成栅极氧化膜的硅衬底 1 表面成裸露的状态作为初始状态(图 6—202)。最好用实施例 1 中所述的制作工艺形成元件—隔离氧化膜，虽然形成的方法是不受限制的。

根据通常的热氧化法，在温度例如为 850℃时在硅衬底 1 的表面上形成栅极氧化膜 6(图 5*B*)。在完成栅极氧化后，在使氧化膜 4 或 6 保持裸露状态同时以不低于 800℃最好不低于 950℃和不高于 1410 最好不高于 1200℃的温度进行至少 5 分钟最好至少 20 分钟的热处理。虽然热处理的气氛是诸如氮、氢、氩之类惰性气体或这些气体的混合气体，但是气氛可以含有约 5%或小于 5%最好是 2%或小于 2%的氧气含量。用这种热处理能够释放在形成栅极氧化膜的工艺时在氧化膜中产生的的因氧化引入的应力。

本实施例显示了能够减弱在栅极氧化工艺中由于氧化引入的应力而在氧化膜中产生的应力的效果，于是能够改善氧化膜的结构和电学可靠性。

实施例 3

在本文中参阅图 7 和图 8 阐述实施例 3。图 7*A* 到 7*C* 是说明用本发明的制作工艺构成 *MOS* 型晶体管的过程中硅衬底的横截剖面变化的各个示意图；而图 8 是说明本实施例的工艺的流程图。根据图 8 中的流程，参阅图 7*A* 到 7*C* 阐述本实施例。本实施例的初始状态是 *MOS* 型晶体管的栅极氧化薄层 6 已经形成(图 7*A*、图 8—302)。

最好是按照实施例 1 和实施例 2 形成本实施例中的元件—隔离氧化膜 4 和栅极氧化膜 6，虽然这是不受限制的。像栅电极 7，例

如先形成多晶硅薄膜然后用刻蚀工艺加工成电极的形状(图 7*B*)。由于这种情况中应力聚集到栅电极边缘附近的氧化膜内，所以为了补救氧化膜的损伤，以不低于 800℃最好不低于 950℃和不高于 1410℃最好不高于 1200℃的温度进行至少 5 分钟而最好 20 分钟的热处理(图 8—304)。虽然热处理的气氛是诸 如氮、氢、氩之类惰性气体或是这些气体的混合 气体 但是气氛可以含有约 5%或小于 5%而最好是 2%或小于 2%的氧气。

构成栅电极的材料不局限于多晶硅膜，而诸如难熔金属的钨或硅化物合金、钛、钴、镍、钨之类的难熔金属材料和用上述材料的薄膜做成的叠层结构也可以用作栅电极材料。

接着，为了构成 *MOS* 型晶体管(311)进行构成晶体管所必需的步骤，例如掺入杂质(306)，形成第一层布线 12(307)；形成层间绝缘膜 13(308)；形成第二层布线 14(309)；形成绝缘膜 15 等等。图 7*C* 是根据本文叙述的工序制作的晶体管的横截剖面结构的实施例。晶体管制作的工序不局限于该流程图所表示的工序，而且布线层的数目不限于二层。本文中获得的 *MOS* 型晶体管可以应用于诸如 *DRAM*(动态随机存取存储器)、*SRAM*(静态随机存取存储器)之类的存储器电路或应用于计算处理器。

本实施例显示了在制作 *MOS* 型晶体管的工艺中减弱由于栅电极薄层的内应力而在栅极氧化膜内产生的应力的效果，从而能够改善氧化薄层和晶体管的电学可靠性。

实施例 4

在本文中参阅图 9 和图 10 阐述实施例 4。图 9*A* 到 9*E* 是说明用本发明的工艺形成快闪存储器结构的过程中硅衬底的横截剖面变化

的各个示意图；而图 10 是说明本实施例的工艺的流程图。

根据图 10 中的流程，首选参阅图 9*A* 到 9*E* 阐述本实施例。本实施例的初始状态是在硅衬底 1 上形成元件—隔离氧化膜 4 和遂道氧化膜 8(图 9、图 10—402)。最好是用实施例 1 和实施例 2 中所述的方法形成上述的元件—隔离氧化膜 4 和隧道氧化膜 8，虽然这是不受限制的。

在隧道氧化膜 8 上沉积用作浮动栅电极的薄层，用刻蚀法把该薄层加工成浮动栅电极 9(图 9*B*)。构成浮动栅电极 9 的材料可以是多晶硅、难熔金属材料、难熔金属的硅化物合金、钛、钴、镍、钨之类的材料中的任何一种材料或者是由上述的材料薄膜组成的叠层结构。在形成浮动栅电极后如果愿意的话，为了减弱在实施例 3 中所述的电极—引起的应力可以进行热处理。

其后，在浮动栅电极 9 上形成由氧化硅薄膜、氮化硅薄膜或其叠层结构组成的绝缘薄膜 10。接着，如果愿意的话，为了减弱在形成这种绝缘膜时出现的应力可以进行热处理(图 10—405)，假若这种热处理 未心总是必需的。然后，在绝缘膜 10 上形成控制栅电极 11(图 9*D*)。构成控制栅电极的材料可以是多晶硅、难熔金属材料、难熔金属的硅化物合金、钛、钴、镍、钨之类材料中的任何一种材料或者是由这些材料的薄膜组成的叠层结构。

在形成电极之后，以不低于 800℃最好不低于 950℃和不高于 1410℃最好不 高于 1200℃的温度进行至少 5 分钟最好至少 20 分钟的热处得(图 10—407)。热处理的气氛最好是诸如氮、氢、氩之类惰性气体或者是这些气体的混合气体，虽然气氛 可以含有约 5% 或小于 5%最好是 2%或小于 2%的氧气。用这种热处理可以减弱

由于形成控制栅电而在绝缘膜 10 中出现的应力、在形成绝缘膜的工艺中出现的应力和由于形成浮动栅电极在隧道氧化膜中出现的应力。

接着，为了完成快闪存储装置(413)进行制作快闪存储装置所必需的步骤，例如掺入杂质(408)、形成第一层布线 12(409)、形成层间绝缘膜 13(410) 、形成第二层布线 14(411)、形成绝缘膜 15(412) 等等。倘若晶体管制作的工序不限于由流程图所表示的工序而布线层的数目不限于二层，图 9E 就说明这种工序制作晶体管的横截剖面结构的实施例。进一步，构成快闪存储器的结构不局限于本实例中的电极结构。

本实施例具有能够减弱在制作快闪存储器结构的工艺中由于控制电极或浮动栅电极中的内应力而在位于隧道氧化膜或者浮动栅电极和控制栅电极之间的绝缘薄膜中出现的应力的效果，从而能够氧化薄层、绝缘薄膜和快闪存储器的电学的可靠性。

根据本发明，能够除去在半导体器件的热氧化膜—形成过中出现的氧化膜的损伤或者由于应力集中在氧化膜或具有氧化薄膜和氮化硅薄膜的叠层结构的绝缘膜上局部沉积的薄膜边缘部分上而引起的氧化膜的损伤，因此本发明具有能够改善氧化膜或绝缘薄层的结构和可靠性的效果。进一步，本发明具有能够改善诸如 *MOS* 型晶体管、快闪存储器之类的半导体存储器产品的可靠性的效果。

说　明　书　附　图

图1A

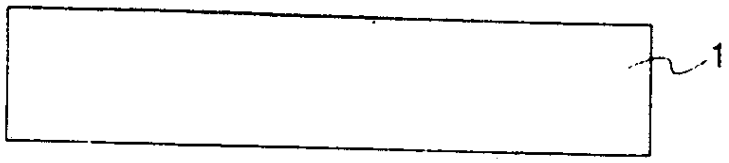


图1B

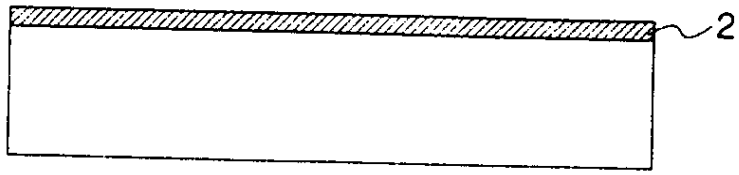


图1C

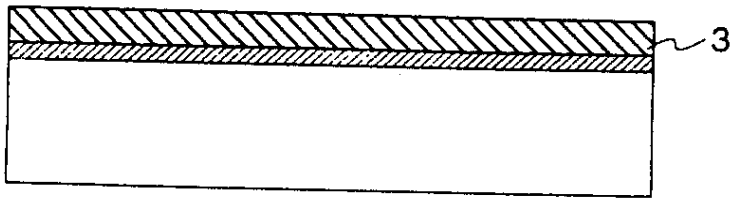


图1D

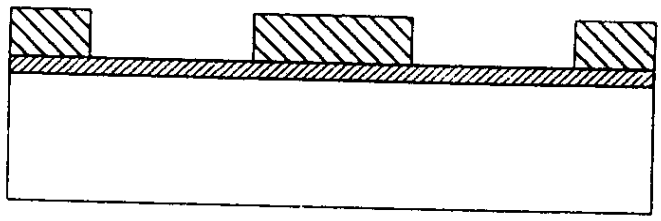


图1E

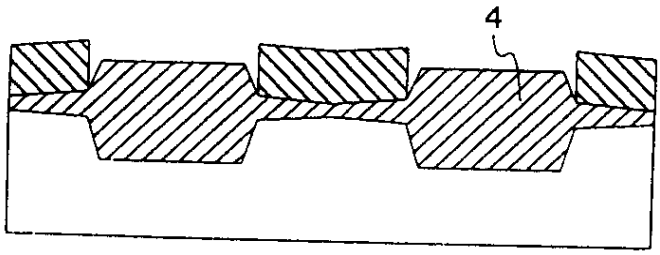


图1F

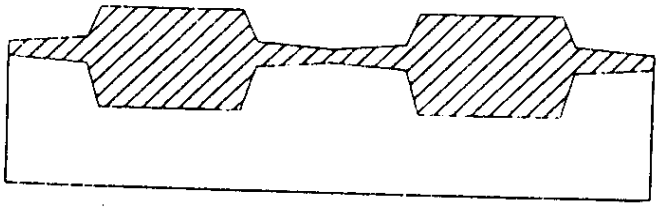


图 2A



图 2B

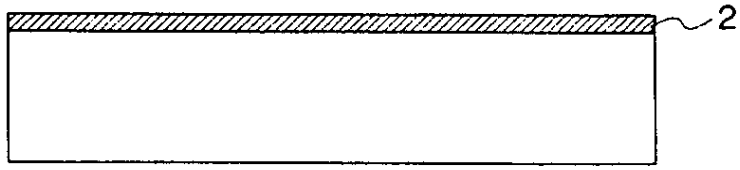


图 2C

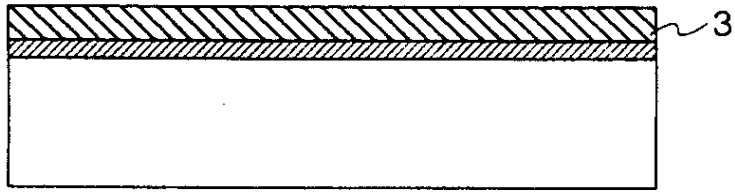


图 2D

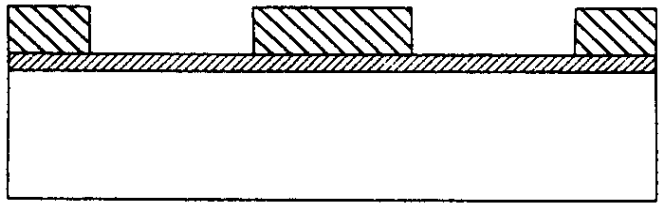


图 2E

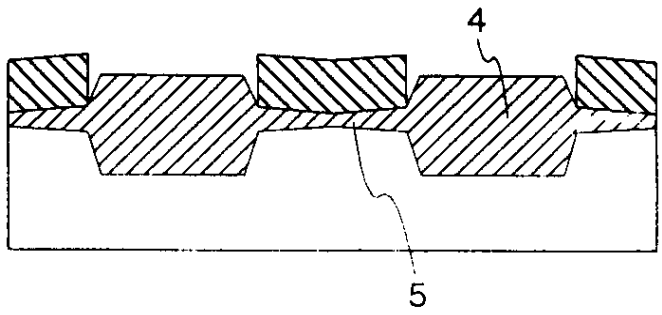


图 3

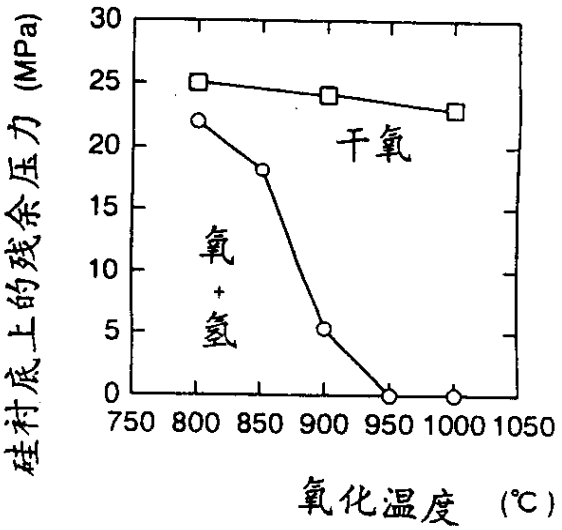

硅衬底上的残余压力 (MPa)
30
25
20
15
10
5
0
750 800 850 900 950 1000 1050
干氧
氧+氮
氧化温度 (℃)

图 4

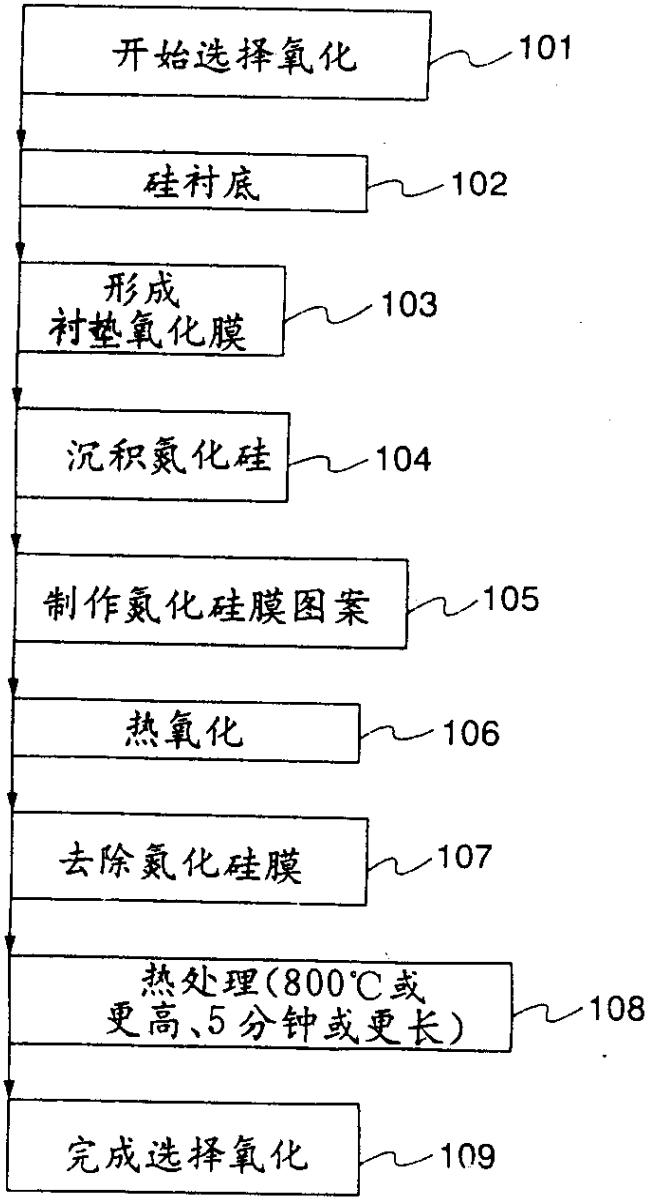

开始选择氧化
101
硅衬底
102
形成
衬垫氧化膜
103
沉积氮化硅
104
制作氮化硅膜图案
105
热氧化
106
去除氮化硅膜
107
热处理(800℃或
更高、5分钟或更长)
108
完成选择氧化
109

图 5A

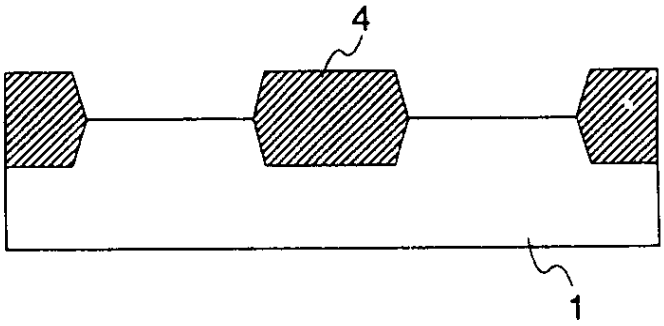


FIG. 5B

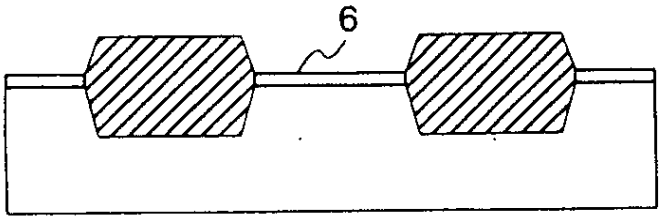


图6

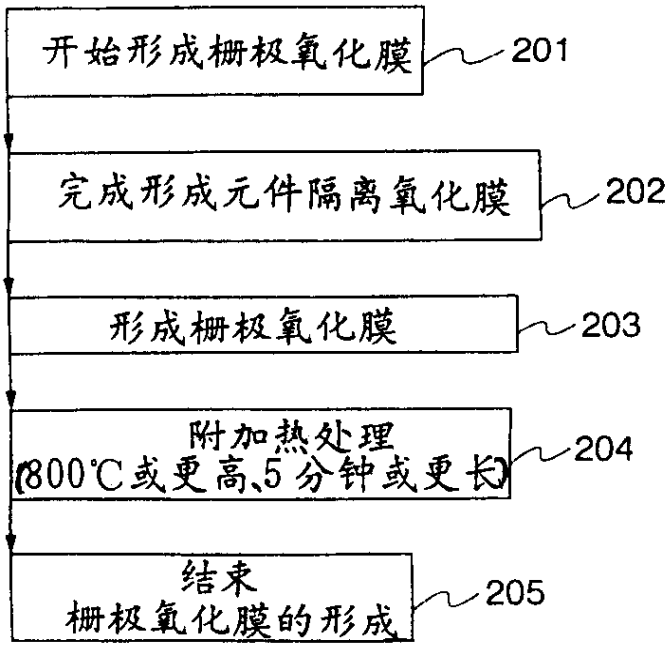

开始形成栅极氧化膜
201
完成形成元件隔离氧化膜
202
形成栅极氧化膜
203
附加热处理
(800℃或更高、5分钟或更长)
204
结束
栅极氧化膜的形成
205

图7A

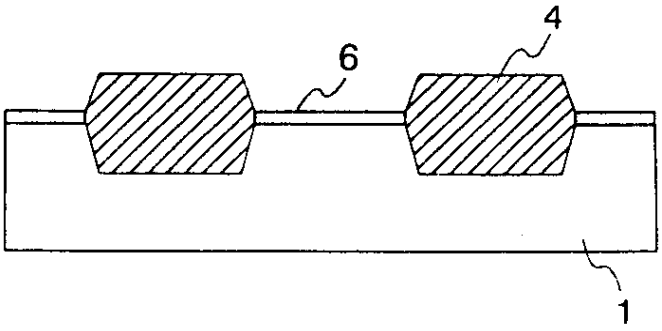


图 7B

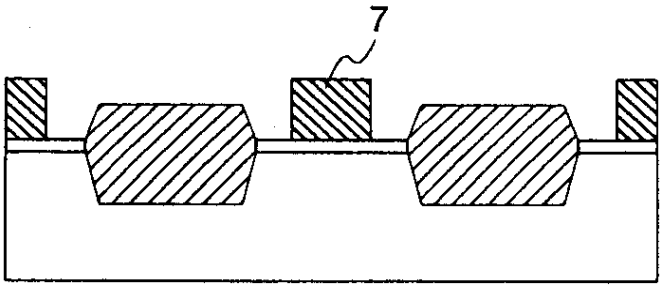


图 7C

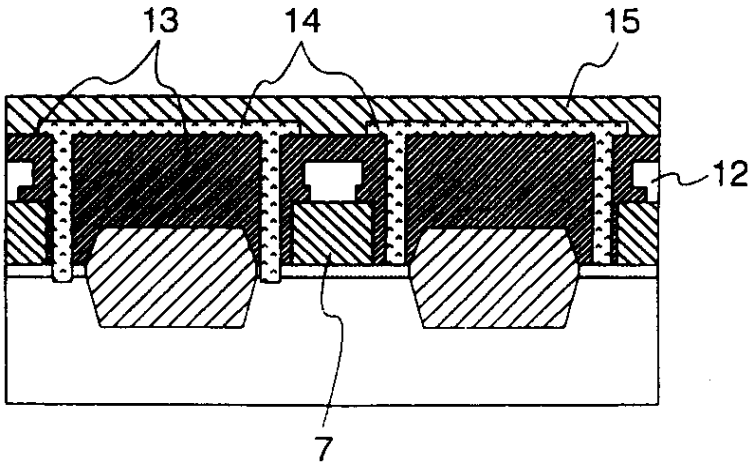


图 8

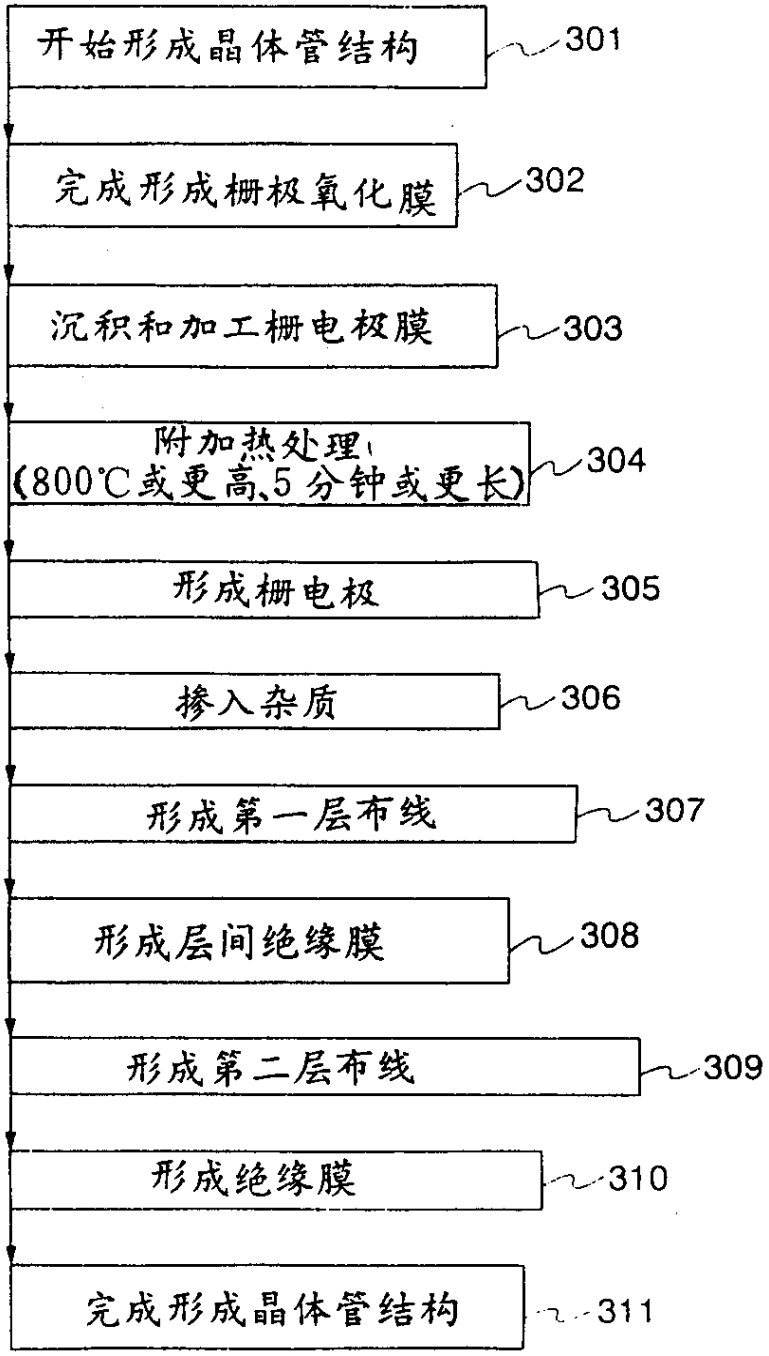

开始形成晶体管结构
301
完成形成栅极氧化膜
302
沉积和加工栅电极膜
303
附加热处理：
(800℃或更高、5 分钟或更长)
304
形成栅电极
305
掺入杂质
306
形成第一层布线
307
形成层间绝缘膜
308
形成第二层布线
309
形成绝缘膜
310
完成形成晶体管结构
311

图 9A

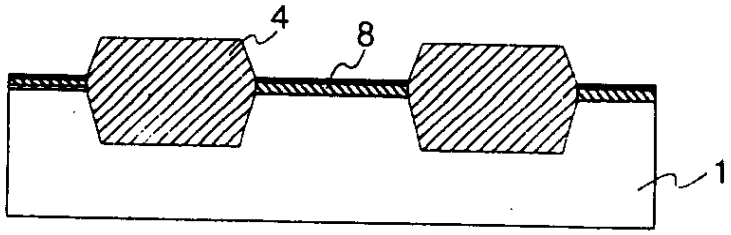


图 9B

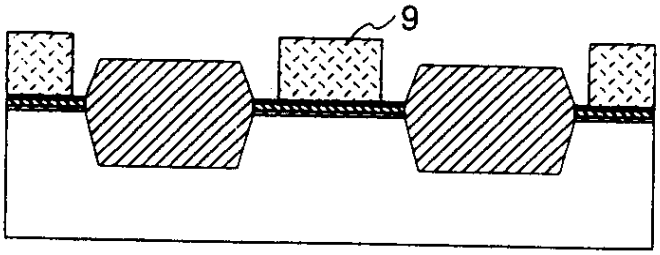


图 9C

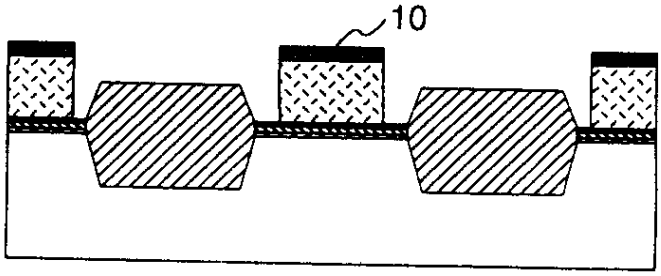


图 9D

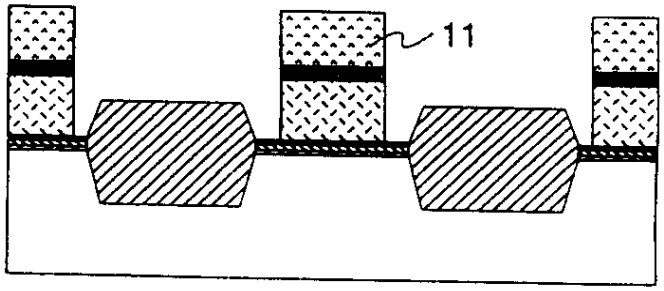


图 9E

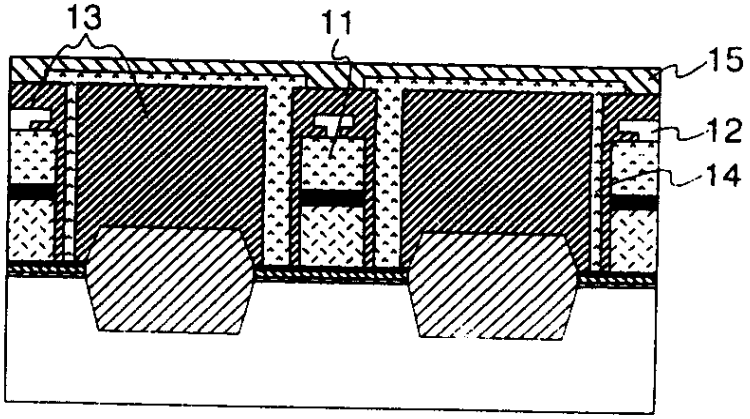
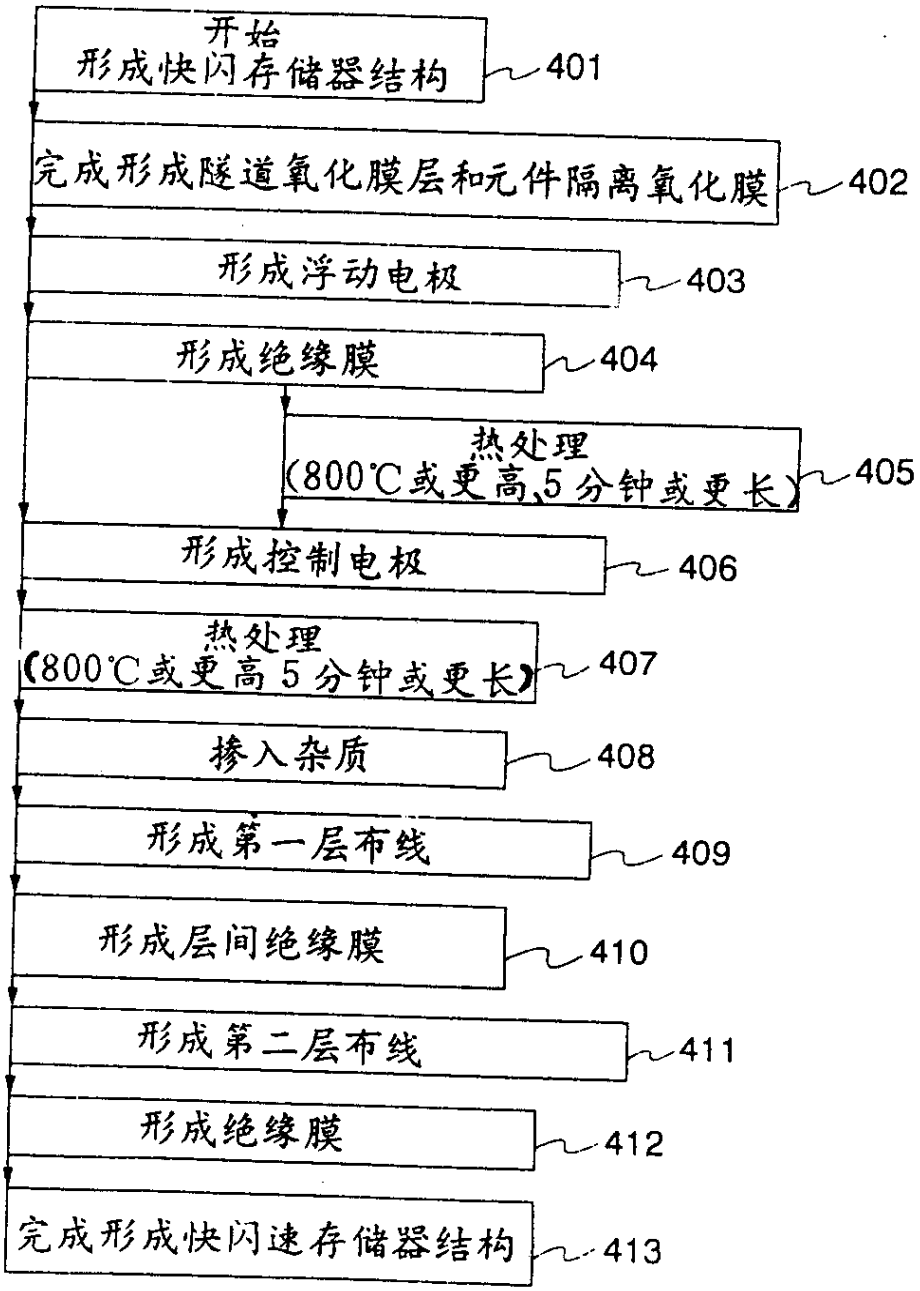


图 10


开始
形成快闪存储器结构
401
完成形成隧道氧化膜层和元件隔离氧化膜
402
形成浮动电极
403
形成绝缘膜
404
热处理
(800℃或更高,5分钟或更长)
405
形成控制电极
406
热处理
(800℃或更高5分钟或更长)
407
掺入杂质
408
形成第一层布线
409
形成层间绝缘膜
410
形成第二层布线
411
形成绝缘膜
412
完成形成快闪速存储器结构
413