(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月12日(12.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/185313 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 21/329 (2006.01) *H01L 29/861* (2006.01)
H01L 21/336 (2006.01) *H01L 29/868* (2006.01)
H01L 29/12 (2006.01)

(21) 国際出願番号： PCT/JP2024/001519

(22) 国際出願日： 2024年1月19日(19.01.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

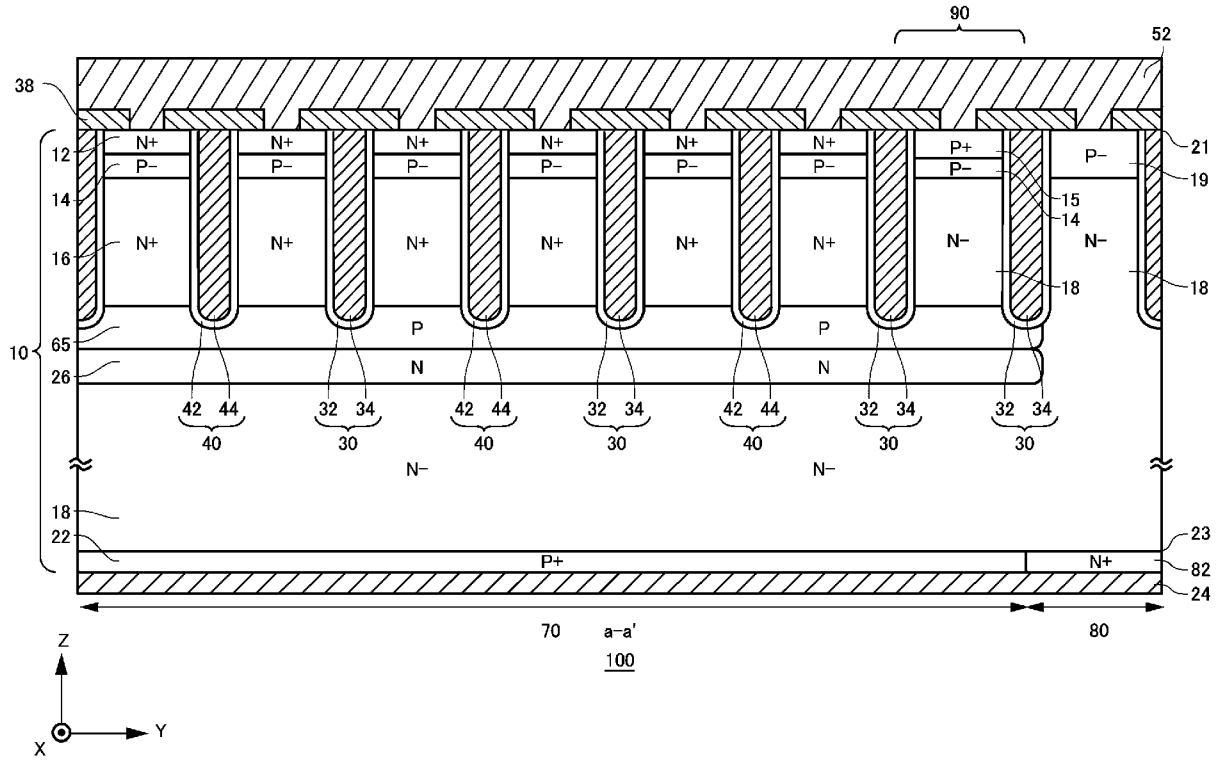
(30) 優先権データ：
特願 2023-034677 2023年3月7日(07.03.2023) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 小宮山 典宏 (**KOMIYAMA Norihiro**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 野口 晴司 (**NOGUCHI Seiji**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 桜井 洋輔 (**SAKURAI Yosuke**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 浜崎 竜太郎 (**HAMASAKI Ryutaro**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置および半導体装置の製造方法



(57) **Abstract:** This semiconductor device equipped with a transistor and a diode comprises: a plurality of trenches which include a gate trench and which are provided to the front surface of a semiconductor substrate; a first-conductivity type drift region provided to the semiconductor substrate; a second-conductivity type base region provided above the drift region; a first-conductivity type emitter region which is provided above the base region and which is higher in doping concentration as compared to the drift region; a first-conductivity type first storage region which is provided below the base region and

WO 2024/185313 A1

[続葉有]

(74) 代理人: 弁理士法人ＲＹＵＫＡ国際特許事務所(**RYUKA & PARTNERS**); 〒1631522 東京都新宿区西新宿１－６－１ 新宿エルタワー２２階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

— 補正された請求の範囲（条約第19条(1)）

which is higher in doping concentration as compared to the drift region; a second-conductivity type trench bottom region which is provided below the first storage region and which is higher in doping concentration as compared to the base region; and a first-conductivity type second storage region which is provided deeper than the trench bottom region in the depth direction of the semiconductor substrate and which is higher in doping concentration as compared to the drift region.

(57) 要約：トランジスタ部及びダイオード部を備える半導体装置であって、半導体基板のおもて面に設けられ、ゲートトレンチ部を含む複数のトレンチ部と、前記半導体基板に設けられた第１導電型のドリフト領域と、前記ドリフト領域の上方に設けられた第２導電型のベース領域と、前記ベース領域の上方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域と、前記ベース領域の下方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第１蓄積領域と、前記第１蓄積領域の下方に設けられ、前記ベース領域よりもドーピング濃度の高い第２導電型のトレンチボトム領域と、前記半導体基板の深さ方向において前記トレンチボトム領域よりも深く設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第２蓄積領域と、を備える半導体装置を提供する。

明　細　書

発明の名称 ： 半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 特許文献１には、「第２の導電型の電気的に浮遊するバリア領域１０５（以下では単に「バリア領域」とも呼ばれる）をさらに有し得る」と記載されている。

［先行技術文献］

［特許文献］

［特許文献１］ 特開２０１９－９１８９２号公報

［特許文献２］ 特許第６４７２７１４号公報

［特許文献３］ 特許第５７０７６８１公報

解決しようとする課題

[0003] 半導体装置のオン損失を低減しつつ、ゲート発振およびアーム短絡発振を抑制することが望ましい。

一般的開示

[0004] 本発明の第１の態様においては、トランジスタ部及びダイオード部を備える半導体装置であって、半導体基板のおもて面に設けられ、ゲートトレンチ部を含む複数のトレンチ部と、前記半導体基板に設けられた第１導電型のドリフト領域と、前記ドリフト領域の上方に設けられた第２導電型のベース領域と、前記ベース領域の上方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域と、前記ベース領域の下方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第１蓄積領域と、前記第１蓄積領域の下方に設けられ、前記ベース領域よりもドーピング濃度の高い第２導電型のトレンチボトム領域と、前記半導体基板の深さ方向において前記トレ

ンチボトム領域よりも深く設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第２蓄積領域と、を備える半導体装置を提供する。

[0005] 上記半導体装置において、前記トレンチボトム領域の上端は、前記第１蓄積領域の下端と接してよい。

[0006] 上記いずれかの半導体装置において、前記トレンチボトム領域の下端は、前記第２蓄積領域の上端と接してよい。

[0007] 上記いずれかの半導体装置において、前記トレンチボトム領域は、前記複数のトレンチ部のトレンチ配列方向において、前記複数のトレンチ部の１つのトレンチ部の下端から、対向する他のトレンチ部の下端まで延伸して設けられてよい。

[0008] 上記いずれかの半導体装置において、前記トレンチボトム領域の前記半導体基板の深さ方向における厚みは、前記複数のトレンチ部のトレンチ深さの２０％以上、１００％以下であってよい。

[0009] 上記いずれかの半導体装置において、前記トレンチボトム領域の前記半導体基板の深さ方向における厚みは、１μｍ以上、５μｍ以下であってよい。

[0010] 上記いずれかの半導体装置において、前記トレンチボトム領域は、前記複数のトレンチ部の下方に設けられた第１領域と、前記複数のトレンチ部で挟まれたメサ部の下方に設けられた第２領域と、を含み、前記第１領域のドーピング濃度は、前記第２領域のドーピング濃度よりも高くてよい。

[0011] 上記いずれかの半導体装置において、前記トレンチボトム領域は、前記複数のトレンチ部の下方に設けられた第１領域と、前記複数のトレンチ部で挟まれたメサ部の下方に設けられた第２領域と、を含み、前記第１領域のドーピング濃度は、前記第２領域のドーピング濃度と同一であってよい。

[0012] 上記いずれかの半導体装置において、前記第１蓄積領域の下方において、前記トレンチボトム領域が設けられていない第１導電型のキャリア通過領域を備えてよい。

[0013] 上記いずれかの半導体装置において、前記第２蓄積領域は、前記複数のトレンチ部のトレンチ配列方向において、前記トレンチボトム領域の下方から前記

トレンチボトム領域の端部を越えて、前記トレンチボトム領域の外側に延伸した突出部分を有してよい。

[0014] 上記いずれかの半導体装置において、前記第１蓄積領域におけるドーピング濃度は、前記第１蓄積領域におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する領域が、前記半導体基板の深さ方向において、前記第１蓄積領域の厚さの６０％以上、１００％以下を占めるプロファイルを有してよい。

[0015] 上記いずれかの半導体装置において、前記第１蓄積領域におけるドーピング濃度は、前記半導体基板の深さ方向において、１つ以上のドーピング濃度のピークを有してよい。

[0016] 上記いずれかの半導体装置において、前記半導体基板の深さ方向において、前記第１蓄積領域におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する前記領域の厚さは、１μｍ以上、４μｍ以下であってよい。

[0017] 本発明の第２の態様においては、第１導電型のドリフト領域を備える半導体装置の製造方法であって、半導体基板のおもて面に複数のトレンチ部を形成する段階と、前記ドリフト領域の上方に設けられた第２導電型のベース領域を形成する段階と、前記ベース領域の上方に、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域を形成する段階と、前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第１蓄積領域を形成する段階と、前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記第１蓄積領域の下方に、前記ベース領域よりもドーピング濃度の高い第２導電型のトレンチボトム領域を形成する段階と、前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記半導体基板の深さ方向において前記トレンチボトム領域よりも深い位置に、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第２蓄積領域を形成する段階と、を備える半導体装置の製造方法を提供する。

[0018] 上記半導体装置の製造方法において、前記第１蓄積領域を形成する段階は、前記半導体基板の深さ方向に対して予め定められた傾きを有する方向から、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の側壁にドーパントを注入する段階を含んでよい。

[0019] 上記いずれかの半導体装置の製造方法において、前記トレンチボトム領域を形成する段階は、前記半導体基板の深さ方向において、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部にドーパントを注入する段階を含んでよい。

[0020] 上記いずれかの半導体装置の製造方法において、前記第２蓄積領域を形成する段階は、前記半導体基板の深さ方向に対して予め定められた傾きを有する方向から、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部にドーパントを注入する段階を含んでよい。

[0021] 上記いずれかの半導体装置の製造方法において、前記第１蓄積領域を形成する段階および前記第２蓄積領域を形成するイオン注入段階を備え、前記イオン注入段階は、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の側壁にドーパントを注入することにより前記第１蓄積領域を形成し、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部に前記ドーパントを注入することにより前記第２蓄積領域を形成する段階を有してよい。

[0022] 上記いずれかの半導体装置の製造方法において、前記第２蓄積領域を形成する段階、前記トレンチボトム領域を形成する段階、および前記第１蓄積領域を形成する段階は、前記複数のトレンチ部を形成する段階よりも前に行われてよい。

[0023] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0024] [図1]半導体装置１００の上面図の一例を示す図である。

[図2]半導体装置１００の断面の一例を示す図である。

[図3]平坦な領域を含むドーピング濃度のプロファイルの一例を示す図である。

[図4A]半導体装置１００の断面の変形例を示す図である。

[図4B]半導体装置１００の断面の変形例を示す図である。

[図5]半導体装置１００の断面の変形例を示す図である。

[図6A]半導体装置１００の製造プロセスの一例を示すフローチャートである。

[図6B]半導体装置１００の製造プロセスの一例を示す図である。

[図7A]半導体装置１００の製造プロセスの変形例を示すフローチャートである。

[図7B]半導体装置１００の製造プロセスの変形例を示す図である。

発明を実施するための形態

[0025] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0026] 本明細書においては、半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の２つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」、「おもて」、「裏」の方向は重力方向、または、半導体装置の実装時における基板等への取り付け方向に限定されない。

[0027] 本明細書では、Ｘ軸、Ｙ軸およびＺ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Ｚ軸は地面に対する高さ方向を限定して示すものではない。なお、＋Ｚ軸方向と－Ｚ軸方向とは互いに逆向きの方向である。正負を記載せず、Ｚ軸方向と記載した場合、＋Ｚ軸および－Ｚ軸に平行な方向を意味する。

[0028] 本明細書では、半導体基板の上面と平行な面をＸＹ面とし、半導体基板の上面および下面に平行な直交軸をＸ軸およびＹ軸とする。また、半導体基板の上

面および下面と垂直な軸をＺ軸とする。半導体基板の深さ方向をＺ軸と称する場合がある。なお、本明細書において、Ｚ軸方向に半導体基板を視た場合について平面視と称する。また、本明細書では、Ｘ軸およびＹ軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0029] 各実施例においては、第１導電型をＮ型、第２導電型をＰ型とした例を示しているが、第１導電型をＰ型、第２導電型をＮ型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。

[0030] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば１０％以内である。

[0031] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をＰ型またはＮ型として説明している。本明細書においては、不純物とは、特にＮ型のドナーまたはＰ型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、Ｎ型の導電型を示す半導体またはＰ型の導電型を示す半導体とすることを意味する。

[0032] 本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。

[0033] 本明細書においてＰ＋型またはＮ＋型と記載した場合、Ｐ型またはＮ型よりもドーピング濃度が高いことを意味し、Ｐ－型またはＮ－型と記載した場合、Ｐ型またはＮ型よりもドーピング濃度が低いことを意味する。

[0034] 図１は、本例の半導体装置１００の上面図の一例を表す図である。本例の半導体装置１００は、トランジスタ部７０とダイオード部８０とを備える半導体チップである。例えば、半導体装置１００は、逆導通ＩＧＢＴ（ＲＣ－ＩＧＢＴ：Ｒｅｖｅｒｓｅ　Ｃｏｎｄｕｃｔｉｎｇ　ＩＧＢＴ）である。本例のトランジスタ部７０は、ダイオード部８０と隣接する部分において、境界部９０を含む。

[0035] トランジスタ部７０は、半導体基板１０の裏面側に設けられたコレクタ領域２２を半導体基板１０の上面に投影した領域である。コレクタ領域２２は、第２導電型を有する。コレクタ領域２２は、一例としてＰ＋型である。トランジスタ部７０は、ＩＧＢＴ等のトランジスタを含む。

[0036] ダイオード部８０は、半導体基板１０の裏面に設けられたカソード領域８２を半導体基板１０の上面に投影した領域である。カソード領域８２は、第１導電型を有する。本例のカソード領域８２は、一例としてＮ＋型である。ダイオード部８０は、半導体基板１０の上面においてトランジスタ部７０と隣接して設けられた還流ダイオード（ＦＷＤ：Ｆｒｅｅ　Ｗｈｅｅｌ　Ｄｉｏｄｅ）等のダイオードを含む。

[0037] コレクタ領域２２とカソード領域８２との境界は、トランジスタ部７０とダイオード部８０との境界である。即ち、本例の境界部９０の下方には、コレクタ領域２２が設けられている。

[0038] 図１においては、半導体装置１００のエッジ側であるチップ端部周辺の領域を示しており、他の領域を省略している。本例の半導体装置１００のＹ軸方向の負側の領域には、エッジ終端構造部が設けられてよい。エッジ終端構造部は、半導体基板１０の上面側の電界集中を緩和する。エッジ終端構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。なお、本例では、便宜上、Ｙ軸方向の負側のエッジについて説明するものの、半導体装置１００の他のエッジについても同様である。エッジ終端構造部はトランジスタ部７０およびダイオード部８０を備えた活性領域を取り囲むように設けられてよい。

[0039] 半導体基板１０は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板１０は、シリコン基板である。

[0040] 本例の半導体装置１００は、半導体基板１０のおもて面２１において、ゲートトレンチ部４０と、ダミートレンチ部３０と、エミッタ領域１２と、ベース領域１４と、コンタクト領域１５と、ウェル領域１７と、アノード領域１９と

を備える。おもて面２１については後述する。また、本例の半導体装置１００は、半導体基板１０のおもて面２１の上方に設けられたエミッタ電極５２およびゲート金属層５０を備える。

[0041] エミッタ電極５２は、ゲートトレンチ部４０、ダミートレンチ部３０、エミッタ領域１２、ベース領域１４、コンタクト領域１５、ウェル領域１７及びアノード領域１９の上方に設けられている。また、ゲート金属層５０は、接続部２５およびウェル領域１７の上方に設けられている。

[0042] エミッタ電極５２およびゲート金属層５０は、金属を含む材料で形成される。エミッタ電極５２の少なくとも一部の領域は、アルミニウム（Ａｌ）等の金属、または、アルミニウム‐シリコン合金（ＡｌＳｉ）、アルミニウム‐シリコン‐銅合金（ＡｌＳｉＣｕ）等の金属合金で形成されてよい。ゲート金属層５０の少なくとも一部の領域は、アルミニウム（Ａｌ）等の金属、または、アルミニウム‐シリコン合金（ＡｌＳｉ）、アルミニウム‐シリコン‐銅合金（ＡｌＳｉＣｕ）等の金属合金で形成されてよい。エミッタ電極５２およびゲート金属層５０は、アルミニウム等で形成された領域の下層にチタンまたはチタン化合物等で形成されたバリアメタル層を有してよい。エミッタ電極５２およびゲート金属層５０は、互いに分離して設けられる。

[0043] エミッタ電極５２およびゲート金属層５０は、層間絶縁膜３８を挟んで、半導体基板１０の上方に設けられる。層間絶縁膜３８は、図１では省略されている。層間絶縁膜３８には、コンタクトホール５４、コンタクトホール５５およびコンタクトホール５６が貫通して設けられている。

[0044] コンタクトホール５５は、ゲート金属層５０とトランジスタ部７０内のゲート導電部とを接続部２５を介して電気的に接続する。コンタクトホール５５の内部には、タングステン等で形成されたプラグ層が形成されてもよい。

[0045] コンタクトホール５６は、エミッタ電極５２とダミートレンチ部３０内のダミー導電部とを接続する。コンタクトホール５６の内部には、タングステン等で形成されたプラグ層が形成されてもよい。

[0046] 接続部２５は、エミッタ電極５２またはゲート金属層５０等のおもて面側金属層と接続される。一例において、接続部２５は、ゲート金属層５０とゲート導電部との間に設けられる。本例の接続部２５は、Ｘ軸方向に延伸して設けられ、ゲート導電部と電気的に接続されてよい。接続部２５は、エミッタ電極５２とダミー導電部との間にも設けられてよい。接続部２５は、不純物がドープされたポリシリコン等の、導電性を有する材料である。本例の接続部２５は、Ｎ型の不純物がドープされたポリシリコン（Ｎ＋）である。接続部２５は、酸化膜等の絶縁膜等を介して、半導体基板１０のおもて面２１の上方に設けられる。

[0047] ゲートトレンチ部４０は、半導体基板１０のおもて面２１側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ゲートトレンチ部４０は、予め定められた配列方向（本例ではＸ軸方向）に沿って予め定められた間隔で配列される。本例のゲートトレンチ部４０は、半導体基板１０のおもて面２１に平行であって配列方向と垂直な延伸方向（本例ではＹ軸方向）に沿って延伸する２つの延伸部分４１と、２つの延伸部分４１を接続する接続部分４３を有してよい。

[0048] 接続部分４３は、少なくとも一部が曲線状に形成されることが好ましい。ゲートトレンチ部４０の２つの延伸部分４１の端部を接続することで、延伸部分４１の端部における電界集中を緩和できる。ゲートトレンチ部４０の接続部分４３において、接続部２５を介して、ゲート金属層５０がゲート導電部と電気的に接続されてよい。

[0049] ダミートレンチ部３０は、半導体基板１０のおもて面２１側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ダミートレンチ部３０は、エミッタ電極５２と電気的に接続されたトレンチ部である。ダミートレンチ部３０は、ゲートトレンチ部４０と同様に、予め定められた配列方向（本例ではＸ軸方向）に沿って予め定められた間隔で配列される。本例のダミートレンチ部３０は、半導体基板１０のおもて面２１においてＩ字形状を有する。ダミートレンチ部３０は、ゲートトレンチ部４０と同様に、半導体基

板１０のおもて面２１においてＵ字形状を有してよい。即ち、ダミートレンチ部３０は、延伸方向に沿って延伸する２つの延伸部分３１と、２つの延伸部分を接続する接続部分３３を有してよい。

[0050] 本例のトランジスタ部７０は、２つのゲートトレンチ部４０と２つのダミートレンチ部３０を繰り返し配列させた構造を有する。即ち、本例のトランジスタ部７０は、１：１の比率でゲートトレンチ部４０とダミートレンチ部３０を有している。例えば、トランジスタ部７０は、２本の延伸部分４１の間に１本のダミートレンチ部３０を有する。

[0051] 但し、ゲートトレンチ部４０とダミートレンチ部３０の比率は本例に限定されない。ゲートトレンチ部４０の比率がダミートレンチ部３０の比率よりも大きくてよく、ダミートレンチ部３０の比率がゲートトレンチ部４０の比率よりも大きくてよい。ゲートトレンチ部４０とダミートレンチ部３０の比率は、２：３であってもよく、２：４であってもよい。また、トランジスタ部７０は、全てのトレンチ部をゲートトレンチ部４０として、ダミートレンチ部３０を有さなくてもよい。

[0052] ウェル領域１７は、後述するドリフト領域１８よりも半導体基板１０のおもて面２１側に設けられた第２導電型の領域である。ウェル領域１７は、活性領域の周辺側に設けられるウェル領域の一例である。ウェル領域１７は、一例としてＰ＋型である。ウェル領域１７は、ゲート金属層５０が設けられる側の活性領域の端部から、予め定められた範囲で形成される。ウェル領域１７の拡散深さは、ゲートトレンチ部４０およびダミートレンチ部３０の深さよりも深くてよい。ゲートトレンチ部４０およびダミートレンチ部３０の、ゲート金属層５０側の一部の領域は、ウェル領域１７に形成される。ゲートトレンチ部４０およびダミートレンチ部３０の延伸方向の端の底は、ウェル領域１７に覆われてよい。

[0053] コンタクトホール５４は、トランジスタ部７０において、エミッタ領域１２およびコンタクト領域１５の各領域の上方に形成される。コンタクトホール５４は、Ｙ軸方向両端に設けられたウェル領域１７の上方には設けられていな

い。このように、層間絶縁膜には、１又は複数のコンタクトホール５４が形成されている。１又は複数のコンタクトホール５４は、延伸方向に延伸して設けられてよい。

[0054] メサ部７１は、半導体基板１０のおもて面２１と平行な面内において、トレンチ部に隣接して設けられたメサ部である。メサ部とは、隣り合う２つのトレンチ部に挟まれた半導体基板１０の部分であって、半導体基板１０のおもて面２１から、各トレンチ部の最も深い底部の深さまでの部分であってよい。各トレンチ部の延伸部分を１つのトレンチ部としてよい。即ち、２つの延伸部分に挟まれる領域をメサ部としてよい。

[0055] メサ部７１は、トランジスタ部７０において、ダミートレンチ部３０またはゲートトレンチ部４０の少なくとも１つに隣接して設けられる。メサ部７１は、半導体基板１０のおもて面２１において、ウェル領域１７と、エミッタ領域１２と、ベース領域１４と、コンタクト領域１５とを有する。メサ部７１では、エミッタ領域１２およびコンタクト領域１５が延伸方向において交互に設けられている。

[0056] ベース領域１４は、半導体基板１０のおもて面２１側に設けられた第２導電型の領域である。ベース領域１４は、一例としてＰ－型である。ベース領域１４は、半導体基板１０のおもて面２１において、メサ部７１およびメサ部８１のＹ軸方向における両端部に設けられてよい。なお、図１は、当該ベース領域１４のＹ軸方向の一方の端部のみを示している。

[0057] エミッタ領域１２は、ドリフト領域１８よりもドーピング濃度の高い第１導電型の領域である。本例のエミッタ領域１２は、一例としてＮ＋型である。エミッタ領域１２のドーパントの一例はヒ素（Ａｓ）である。エミッタ領域１２は、メサ部７１のおもて面２１において、ゲートトレンチ部４０と接して設けられる。エミッタ領域１２は、メサ部７１を挟んだ２本のトレンチ部の一方から他方まで、Ｘ軸方向に延伸して設けられてよい。エミッタ領域１２は、コンタクトホール５４の下方にも設けられている。

[0058] また、エミッタ領域１２は、ダミートレンチ部３０と接してもよいし、接しなくてもよい。本例のエミッタ領域１２は、ダミートレンチ部３０と接している。

[0059] コンタクト領域１５は、ベース領域１４の上方に設けられ、ベース領域１４よりもドーピング濃度の高い第２導電型の領域である。本例のコンタクト領域１５は、一例としてＰ＋型である。本例のコンタクト領域１５は、メサ部７１のおもて面２１に設けられている。コンタクト領域１５は、メサ部７１を挟んだ２本のトレンチ部の一方から他方まで、Ｘ軸方向に設けられてよい。

[0060] コンタクト領域１５は、ゲートトレンチ部４０またはダミートレンチ部３０と接してもよいし、接しなくてもよい。本例のコンタクト領域１５は、ダミートレンチ部３０およびゲートトレンチ部４０と接する。コンタクト領域１５は、コンタクトホール５４の下方にも設けられている。

[0061] 半導体基板１０の深さ方向において、コンタクト領域１５の厚みは、エミッタ領域１２の厚みよりも大きくてよい。コンタクト領域１５の下端は、エミッタ領域１２の下端よりも深い位置に設けられてよい。

[0062] メサ部８１は、ダイオード部８０において、隣り合うダミートレンチ部３０に挟まれた領域に設けられる。メサ部８１は、半導体基板１０のおもて面２１において、アノード領域１９を有する。本例のメサ部８１は、Ｙ軸方向の負側において、アノード領域１９およびウェル領域１７を有する。

[0063] アノード領域１９は、半導体基板１０のおもて面２１側に設けられた第２導電型の領域である。アノード領域１９のドーピング濃度は、ベース領域１４のドーピング濃度よりも低くてよい。本例のアノード領域１９は、一例としてＰ－型である。本例のアノード領域１９は、メサ部８１のおもて面２１に設けられている。アノード領域１９は、メサ部８１を挟んだ２本のダミートレンチ部３０の一方から他方まで、Ｘ軸方向に設けられてよい。アノード領域１９は、ダミートレンチ部３０と接してもよいし、接しなくてもよい。本例のアノード領域１９は、ダミートレンチ部３０と接する。

[0064] 境界部９０は、トランジスタ部７０に設けられ、ダイオード部８０と隣接する領域である。境界部９０は、エミッタ領域１２を有さなくてよい。一例において、境界部９０のトレンチ部は、ダミートレンチ部３０である。本例の境界部９０は、Ｘ軸方向における両端がダミートレンチ部３０となるように配置されている。境界部９０において、ダミートレンチ部３０の少なくとも１つは、ゲート電位とは異なる電位に設定されてよい。

[0065] メサ部９１は、境界部９０に設けられている。メサ部９１は、半導体基板１０のおもて面２１において、コンタクト領域１５を有する。本例のメサ部９１は、Ｙ軸方向の負側において、ベース領域１４およびウェル領域１７を有する。

[0066] 図２は、図１におけるａ－ａ’断面の一例を示す。ａ－ａ’断面は、トランジスタ部７０において、エミッタ領域１２を通過するＸＺ面である。本例の半導体装置１００は、ａ－ａ’断面において、エミッタ領域１２、ベース領域１４、コンタクト領域１５、第１蓄積領域１６、ドリフト領域１８、アノード領域１９、トレンチボトム領域６５、第２蓄積領域２６、コレクタ領域２２およびカソード領域８２を含む半導体基板１０、層間絶縁膜３８、エミッタ電極５２およびコレクタ電極２４を有する。コレクタ電極２４は、半導体基板１０の裏面２３と接して設けられた裏面側金属層の一例である。エミッタ電極５２は、半導体基板１０および層間絶縁膜３８の上方に形成される。

[0067] ドリフト領域１８は、半導体基板１０に設けられた第１導電型の領域である。本例のドリフト領域１８は、一例としてＮ－型である。ドリフト領域１８は、半導体基板１０において他のドーピング領域が形成されずに残存した領域であってよい。即ち、ドリフト領域１８のドーピング濃度は半導体基板１０のドーピング濃度であってよい。

[0068] 第１蓄積領域１６は、半導体基板１０において、ベース領域１４の下方に設けられた第１導電型の領域である。第１蓄積領域１６のドーピング濃度は、ドリフト領域１８のドーピング濃度よりも高い。本例の第１蓄積領域１６は、一

例としてＮ＋型である。第１蓄積領域１６のドーピング濃度は、４．０Ｅ１５ｃｍ$^{-3}$以上であってよく、１．０Ｅ１７ｃｍ$^{-3}$以下であってよい。

[0069] 第１蓄積領域１６は、トランジスタ部７０に設けられ、ダイオード部８０および境界部９０には設けられなくてよい。第１蓄積領域１６は、境界部９０にも設けられてよい。第１蓄積領域１６は、トランジスタ部７０とダイオード部８０の両方に設けられてよい。第１蓄積領域１６を設けることで、キャリア注入促進効果（ＩＥ効果）を高めて、トランジスタ部７０のオン電圧を低減できる。

[0070] 第１蓄積領域１６は、ドーピング濃度のピークを１つ以上有していてよい。第１蓄積領域１６は、半導体基板１０の深さ方向において、ドーピング濃度のピークを１つ有してよく、複数有してよい。第１蓄積領域１６のドーピング濃度は、平坦な領域を含むプロファイルを有していてよい。平坦な領域を含むプロファイルについては後述する。

[0071] 第１蓄積領域１６の半導体基板１０の深さ方向における厚みは、後述するトレンチボトム領域６５の厚みよりも大きくてよく、第２蓄積領域２６の厚みよりも大きくてよい。第１蓄積領域１６の厚みは、複数のトレンチ部のトレンチ深さの２０％以上であってよく、８０％以下であってよい。第１蓄積領域１６におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する領域の厚さは、１μｍ以上であってよく、４μｍ以下であってよい。

[0072] トレンチボトム領域６５は、第１蓄積領域１６の下方に設けられた第２導電型の領域である。本例のトレンチボトム領域６５のドーピング濃度は、ベース領域１４のドーピング濃度よりも高い。本例のトレンチボトム領域６５は、一例としてＰ型である。トレンチボトム領域６５のドーピング濃度は、１．０Ｅ１４ｃｍ$^{-3}$以上であってよく、１．０Ｅ１６ｃｍ$^{-3}$以下であってよい。

[0073] 本例のトレンチボトム領域６５は、上端が第１蓄積領域１６の下端と接するように設けられている。トレンチボトム領域６５の上端は、第１蓄積領域１６の下端と接していなくてもよい。

[0074] 本例のトレンチボトム領域６５は、下端が第２蓄積領域２６の上端と接するように設けられている。トレンチボトム領域６５の下端は、第２蓄積領域２６の上端と接していなくてもよい。

[0075] 本例のトレンチボトム領域６５は、複数のトレンチ部のトレンチ配列方向において、複数のトレンチ部の１つのトレンチ部の下端から、対向する他のトレンチ部の下端まで延伸して設けられている。トレンチボトム領域６５は、複数のトレンチ部の１つのトレンチ部の下端から、対向する他のトレンチ部の下端を超えて、当該対向する他のトレンチ部に隣接するトレンチ部の下端まで延伸して設けられてよい。即ち、トレンチボトム領域６５は、２つ以上の複数のトレンチ部の下端を超えて延伸して設けられてよい。

[0076] トレンチボトム領域６５の半導体基板１０の深さ方向における厚みは、後述する第２蓄積領域２６の厚みよりも大きくてよい。トレンチボトム領域６５の半導体基板１０の深さ方向における厚みは、複数のトレンチ部のトレンチ深さの２０％以上、１００％以下であってよい。トレンチボトム領域６５の半導体基板１０の深さ方向における厚みは、１μｍ以上、５μｍ以下であってよい。

[0077] 第２蓄積領域２６は、半導体基板１０の深さ方向において、トレンチボトム領域６５よりも深く設けられた第１導電型の領域である。第２蓄積領域２６のドーピング濃度は、第１蓄積領域１６のドーピング濃度よりも低くてよい。第２蓄積領域２６のドーピング濃度は、５．０Ｅ１４ｃｍ$^{-3}$以上であってよく、１．０Ｅ１７ｃｍ$^{-3}$以下であってよい。

[0078] 本例の第２蓄積領域２６のドーピング濃度は、ドリフト領域１８のドーピング濃度よりも高い。本例の第２蓄積領域２６は、一例としてＮ型である。詳細は後述するが、第２蓄積領域２６を設けることにより、トレンチボトム領域６５の厚みを制御することができる。

[0079] コレクタ電極２４は、半導体基板１０の裏面２３に形成される。コレクタ電極２４は、金属等の導電材料で形成される。コレクタ電極２４は、エミッタ電

極５２およびゲート金属層５０と同一の導電材料で形成されてよく、異なる導電材料で形成されてよい。

[0080] ゲートトレンチ部４０は、おもて面２１に形成されたゲートトレンチ、ゲート絶縁膜４２およびゲート導電部４４を有する。ゲート絶縁膜４２は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜４２は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部４４は、ゲートトレンチの内部においてゲート絶縁膜４２よりも内側に形成される。ゲート絶縁膜４２は、ゲート導電部４４と半導体基板１０とを絶縁する。ゲート導電部４４は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部４０は、おもて面２１において層間絶縁膜３８により覆われる。

[0081] ゲート導電部４４は、半導体基板１０の深さ方向において、ゲート絶縁膜４２を挟んでメサ部７１側で隣接するベース領域１４と対向する領域を含む。ゲート導電部４４に所定の電圧が印加されると、ベース領域１４のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャネルが形成される。

[0082] ダミートレンチ部３０は、ゲートトレンチ部４０と同一の構造を有してよい。ダミートレンチ部３０は、おもて面２１側に形成されたダミートレンチ、ダミー絶縁膜３２およびダミー導電部３４を有する。ダミー絶縁膜３２は、ダミートレンチの内壁を覆って形成される。ダミー導電部３４は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜３２よりも内側に形成される。ダミー絶縁膜３２は、ダミー導電部３４と半導体基板１０とを絶縁する。ダミートレンチ部３０は、おもて面２１において層間絶縁膜３８により覆われる。

[0083] 層間絶縁膜３８は、おもて面２１に設けられている。層間絶縁膜３８の上方には、エミッタ電極５２が設けられている。層間絶縁膜３８には、エミッタ電極５２と半導体基板１０とを電気的に接続するための１又は複数のトレンチコンタクト部が設けられてよい。コンタクトホール５５およびコンタクトホール５６も同様に、層間絶縁膜３８を貫通して設けられたトレンチコンタクト部を有してよい。

[0084] 図３は、平坦な領域を含むドーピング濃度のプロファイルの一例を示す図である。本明細書において、第１蓄積領域１６のドーピング濃度が平坦な領域を含むドーピング濃度のプロファイルを有するとは、半導体基板１０の深さ方向において、第１蓄積領域１６におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する領域が、第１蓄積領域１６の厚さの６０％以上、１００％以下を占めることをいう。

[0085] 図３において、点線で示したものが第１導電型のドーパントのドーピング濃度であり、符号Ｃｎで示す。一点鎖線で示したものが第２導電型のドーパントのドーピング濃度であり、符号Ｃｐで示す。実線で示したものが、ＣｎおよびＣｐの和により得られる実際のドーピング濃度であり、符号Ｃで示す。

[0086] 図３において、D_1で示した位置が、第１蓄積領域１６の上端の位置である。図３において、D_3で示した位置が、第１蓄積領域１６の下端の位置である。一例において、第１蓄積領域１６のドーピング濃度は、位置D_1において最大値Ｐｍａｘとなる。

[0087] 図３において、D_2で示した位置が、第１蓄積領域１６のドーピング濃度の最大値の５０％のドーピング濃度となる位置である。一例において、ドーピング濃度のプロファイルが平坦な領域を含む場合、以下の数式１に示す関係式が成り立つ。第１蓄積領域１６のドーピング濃度が平坦な領域を含むドーピング濃度のプロファイルを有することにより、クランプ耐量が低下するのを抑制することができる。

[数1]

$$0.6 \leq \frac{D_2 - D_1}{D_3 - D_1} \leq 1$$

[0088] 図４Ａは、図１におけるａ－ａ’断面の変形例を示す。図４Ａにおいては、キャリア通過領域６６と、突出部分６７とが設けられている点で、図２に示した実施例と相違する。

[0089] キャリア通過領域６６は、第１蓄積領域１６の下方において、トレンチボトム領域６５が設けられていない第１導電型の領域である。キャリア通過領域６６は、追加のイオンが注入されず、ドリフト領域１８が残存した領域であってよい。即ち、キャリア通過領域６６のドーピング濃度は、ドリフト領域１８のドーピング濃度の同一であってよい。キャリア通過領域６６を設けることにより、電子障壁が低下し、オン損失Ｅｏｎを低減できる。

[0090] キャリア通過領域６６が設けられている領域のメサ部において、トレンチボトム領域６５が設けられてよい。また、キャリア通過領域６６が設けられている領域のメサ部において、第１蓄積領域１６が設けられてよい。

[0091] 突出部分６７は、第２蓄積領域２６が、複数のトレンチ部のトレンチ配列方向において、トレンチボトム領域６５の下方からトレンチボトム領域６５の端部を越えて、トレンチボトム領域６５の外側に突出した部分である。突出部分６７を設けることにより、トレンチボトム領域６５の厚みを確実に制御することができる。

[0092] 複数のトレンチ部のトレンチ配列方向において、トレンチボトム領域６５の外側端部と、第２蓄積領域２６の外側端部との間の距離を、突出部分の幅Ｗ６７とする。幅Ｗ６７は、０より大きく、隣接するトレンチ間の幅以下であってよい。幅Ｗ６７は、隣接するトレンチ間の幅以上であってもよい。

[0093] 図４Ｂは、図１におけるａ－ａ’断面の変形例を示す。図４Ｂにおいては、ベース領域１４とトレンチボトム領域６５との間にドリフト領域１８が設けられている点で、図２に示した実施例と相違する。

[0094] 図４Ｂに示した変形例において、第１蓄積領域１６のドーピング濃度は、１つのドーピング濃度のピークを有する。第１蓄積領域１６のドーピング濃度は、複数のドーピング濃度のピークを有してよい。第１蓄積領域１６のドーピング濃度は、平坦な領域を含むプロファイルを有してもよい。

[0095] 図５は、本例のトランジスタ部７０における１つのメサ部７１の近傍の一例を示す図である。図５に示した例において、トレンチボトム領域６５は、複数

のトレンチ部の下方に設けられた第１領域６５ａと、複数のトレンチ部で挟まれたメサ部７１の下方に設けられた第２領域６５ｂとを含む。

[0096] トレンチボトム領域６５は、複数のトレンチ部のトレンチ配列方向において、ドーピング濃度の分布を有してよい。第１領域６５ａのドーピング濃度は、第２領域６５ｂのドーピング濃度よりも高くてよい。本明細書において、第１領域６５ａのドーピング濃度とは、複数のトレンチ部の下方におけるトレンチボトム領域６５のドーピング濃度の平均であってよい。第１領域６５ａおよび第２領域６５ｂのドーピング濃度は、同一であってよい。

[0097] 図６Ａは、半導体装置１００の製造プロセスの一例を表すフローチャートである。本例は、半導体装置１００の製造プロセスのフローチャートの一例を示しており、これに限定されない。ステップＳ１００では、半導体基板１０にドリフト領域１８を形成する。半導体基板１０にドリフト領域１８を形成する段階については、当業者によって用いられる通常の方法により形成されることができるので、本明細書では詳細に説明しない。

[0098] ステップＳ１１０において、半導体基板１０のおもて面２１に複数のトレンチ部を形成する。これにより、トレンチ部の底部６１、側壁６２および開口６３が形成される。底部６１、側壁６２および開口６３については後述する。

[0099] ステップＳ１２０において、半導体基板１０のおもて面２１にマスク６４が形成される。マスク６４は、フォトレジストなどの任意のマスクであってよい。

[0100] ステップＳ１３０において、半導体基板１０のおもて面２１側からドーパントをイオン注入することにより、第１蓄積領域１６および第２蓄積領域２６を形成する。注入されるドーパントは、リンであってよい。

[0101] ステップＳ１３０において、半導体基板１０の深さ方向に対して予め定められた傾きを有する方向からドーパントがイオン注入されてよい。第１蓄積領域１６を形成する段階は、半導体基板１０の深さ方向に対して予め定められた傾きを有する方向から、複数のトレンチ部の開口６３を介して複数のトレンチ部の側壁６２にドーパントを注入する段階を含んでよい。第２蓄積領域２６を形

成する段階は、半導体基板１０の深さ方向に対して予め定められた傾きを有する方向から、複数のトレンチ部の開口６３を介して複数のトレンチ部の底部６１にドーパントを注入する段階を含んでよい。ドーパントをイオン注入する際の予め定められた傾きは、ドーパントがトレンチ部の底部６１および側壁６２の両方に照射される角度であれば、特に限定されない。

[0102] ステップＳ１４０において、半導体基板１０のおもて面２１側からドーパントをイオン注入することにより、トレンチボトム領域６５を形成する。注入されるドーパントは、ホウ素であってよく、アルミニウムであってよい。

[0103] ステップＳ１４０において、トレンチボトム領域６５を形成する段階は、半導体基板１０の深さ方向において、複数のトレンチ部の開口６３を介して複数のトレンチ部の底部６１にドーパントを注入する段階を含んでよい。これにより、トレンチ部の底部６１近傍にドーパントを注入し、トレンチボトム領域６５を形成することができる。

[0104] ステップＳ１３０とステップＳ１４０とは、順番を入れ替えてもよい。即ち、一例として先に第１蓄積領域１６および第２蓄積領域２６を形成した後に、トレンチボトム領域６５を形成する順番で説明したが、先にトレンチボトム領域６５を形成した後に、第１蓄積領域１６および第２蓄積領域２６を形成してもよい。

[0105] ステップＳ１５０において、半導体基板１０にエミッタ領域１２、コンタクト領域１５およびベース領域１４を形成する。これらの領域は、当業者によって用いられる通常の方法により形成されることができるので、本明細書では詳細に説明しない。

[0106] 図６Ｂは、半導体装置１００の製造プロセスの一例を表す図である。図６Ｂは、図６Ａの各ステップにおける、半導体基板１０のＹＺ断面を表す図である。

[0107] ステップＳ１３０は、図６Ｂにおいて斜め右上からドーパントがイオン注入されるステップＳ１３１と、斜め左上からドーパントがイオン注入されるス

テップＳ１３２とを有してよい。ステップＳ１３０におけるイオン注入の加速電圧は、０．１ＭｅＶ以上であってよく、２．６ＭｅＶ以下であってよい。

[0108] ステップＳ１３１において、半導体基板１０の深さ方向に対して予め定められた傾きを有する方向からドーパントがイオン注入されてよい。ステップＳ１３１において、複数のトレンチ部の開口６３を介して、複数のトレンチ部の側壁６２の一方に、第１イオン注入領域１１６が形成される。第１イオン注入領域１１６は、アニーリング処理により、第１蓄積領域１６となる領域である。

[0109] ステップＳ１３２において、半導体基板１０の深さ方向に対して予め定められた傾きを有する方向からドーパントがイオン注入されてよい。ステップＳ１３２において、複数のトレンチ部の開口６３を介して、複数のトレンチ部の側壁６２の他方に、第１イオン注入領域１１６が形成される。

[0110] ステップＳ１３１およびステップＳ１３２の両方において、半導体基板１０の深さ方向に対して予め定められた傾きを有する方向から、複数のトレンチ部の開口６３を介して、複数のトレンチ部の底部６１にドーパントがイオン注入されてよい。ステップＳ１３１およびステップＳ１３２において、複数のトレンチ部の底部６１の下方に第２イオン注入領域１２６が形成される。第２イオン注入領域１２６は、アニーリング処理により、第２蓄積領域２６となる領域である。

[0111] ステップＳ１３０において、第１イオン注入領域１１６を形成する段階と第２イオン注入領域１２６とを形成する段階とは、同時に行われてよく、別個に行われてよい。図６Ｂに示した実施例では、イオン注入段階により同時に形成されている。即ち、図６Ｂにおいて、複数のトレンチ部の開口６３を介して複数のトレンチ部の側壁６２にドーパントを注入することにより第１蓄積領域１６を形成し、複数のトレンチ部の開口６３を介して複数のトレンチ部の底部６１にドーパントを注入することにより第２蓄積領域２６を形成している。

[0112] ステップＳ１３０において、複数のトレンチ部の開口６３を介して複数のトレンチ部の側壁６２にドーパントを注入することにより、平坦なプロファイル

を含むドーピング濃度分布を形成することができる。また、複数のトレンチ部の開口６３を介して複数のトレンチ部の底部６１にドーパントを注入することにより、トレンチ部の底部６１の下方であって、トレンチボトム注入領域１６５が形成される領域よりも深い位置に第２イオン注入領域１２６を形成することができる。

[0113] ステップＳ１４０において、半導体基板１０のおもて面２１側から、複数のトレンチ部の開口６３を介して複数のトレンチ部の底部６１にドーパントが注入され、トレンチボトム注入領域１６５が形成される。トレンチボトム注入領域１６５は、アニーリング処理により、トレンチボトム領域６５となる領域である。

[0114] 第１イオン注入領域１１６、第２イオン注入領域１２６およびトレンチボトム注入領域１６５のアニーリング処理は、任意のタイミングで行われてよい。一例では、アニーリング処理は、ステップＳ１４０の後に行われる。アニーリング処理は、ステップＳ１３０とステップＳ１４０との間に行われてよい。

[0115] 本例では、ステップＳ１４０において、第２イオン注入領域１２６の上方にドーパントが注入される。これにより、アニーリング処理の際にトレンチボトム注入領域１６５の深さ方向における熱拡散を抑制し、トレンチボトム領域６５の半導体基板１０の深さ方向における厚みを制御することができる。即ち、トレンチボトム領域６５の下端の位置が、第２蓄積領域２６によって制限されるので、トレンチボトム領域６５の厚みを、第２蓄積領域２６を有していない場合よりも薄く制御することができる。

[0116] 本例の半導体装置１００は、第２蓄積領域２６を有しているので、トレンチボトム領域６５の厚みが、第２蓄積領域２６を有していない比較例よりも薄い。トレンチボトム領域６５を薄く形成することの効果について、表１および表２を用いて説明する。

[0117] 表１は、比較例と各実施例における、ターンオン発振の有無を示す。ここで、実施例１～３については、ステップＳ１３０におけるドーパントの注入角

度が異なる。注入角度が最も小さいものが実施例１、最も大きいものが実施例３であり、最大と最小の中間のものが実施例２である。

[0118] 表１に示したように、第２蓄積領域２６を有さず、トレンチボトム領域６５の厚みが厚い比較例では、ゲート抵抗の相対値が１０以上の全てにおいてゲート発振が観測された。一方で、第２蓄積領域２６を形成することにより、トレンチボトム領域６５の厚みが比較例よりも薄い実施例１から３では、実験を行ったすべてのゲート抵抗値において、ゲート発振が観測されなかった。

[表1]

		比較例	実施例１	実施例２	実施例３
ゲート抵抗［相対値］	１	無	無	無	無
	１０	有	無	無	無
	２０	有	無	無	無
	３０	有	無	無	無
	６０	有	無	無	無

[0119] 表２は、比較例と各実施例における、アーム短絡発振の有無を示す。表２に示すように、第２蓄積領域２６を有さず、トレンチボトム領域６５の厚みが厚い比較例では、実験を行ったすべての電源電圧においてアーム短絡発振が観測された。一方で、第２蓄積領域２６を形成することにより、トレンチボトム領域６５の厚みが比較例よりも薄い実施例１から３では、電源電圧が５００Ｖであるとき、実施例３でわずかにアーム短絡発振が観測されたのみで、その他の実施例においては、アーム短絡発振が観測されなかった。

[表2]

		比較例	実施例１	実施例２	実施例３
電源電圧［Ｖ］	５００	有	無	無	有
	６００	有	無	無	無
	７００	有	無	無	無
	８００	有	無	無	無

[0120] 表１および表２に示した通り、本例の半導体装置１００は、第２蓄積領域２６を形成することによってトレンチボトム領域６５の厚みを比較例よりも薄く制御することにより、ゲート発振やアーム短絡発振を抑制することができる。

また、トレンチボトム領域６５を形成することにより、オン損失Ｅｏｎを低減できる。

[0121] 図７Ａは、半導体装置１００の製造プロセスの変形例を表すフローチャートである。図７Ａの変形例では、図６Ａに示した例と比較して、各領域を形成する順番が異なる。以下では、図６Ａに示した例と異なる点について説明する。

[0122] ステップＳ２１０において、第２蓄積領域２６を形成する。図６Ａに示した例と同様に、第１蓄積領域１６の形成が同時に行われてもよい。第２蓄積領域２６を形成する際のイオン注入における加速電圧は、８．０ＭｅＶ以上であってよく、１０．０ＭｅＶ以下であってよい。

[0123] ステップＳ２２０において、トレンチボトム領域６５を形成する。トレンチボトム領域６５は、第２蓄積領域２６よりも半導体基板１０のおもて面２１側に形成される。トレンチボトム領域６５を形成する際のイオン注入における加速電圧は、第２蓄積領域２６を形成する際のイオン注入における加速電圧より小さくてよい。トレンチボトム領域６５を形成する際のイオン注入における加速電圧は、３．０ＭｅＶ以上であってよく、５．０ＭｅＶ以下であってよい。

[0124] ステップＳ２３０において、第１蓄積領域１６を形成する。第１蓄積領域１６は、トレンチボトム領域６５よりも半導体基板１０のおもて面２１側に形成される。第１蓄積領域１６の形成は、一回のイオン注入で行われてよく、複数回のイオン注入で行われてもよい。第１蓄積領域１６の形成を複数回のイオン注入で行うことにより、第１蓄積領域１６のドーピング濃度が平坦な領域を含むプロファイルを有するようにできる。

[0125] ステップＳ２３０において、第１蓄積領域１６を形成する際のイオン注入における加速電圧は、トレンチボトム領域６５を形成する際のイオン注入における加速電圧より小さくてよい。第１蓄積領域１６を形成する際のイオン注入における加速電圧は、２．０ＭｅＶ以上であってよく、４．０ＭｅＶ以下であってよい。

[0126] ステップＳ２４０において、半導体基板１０のおもて面２１に複数のトレンチ部が形成される。即ち、図７Ａに示した変形例では、第２蓄積領域２６を形成する段階、トレンチボトム領域６５を形成する段階、および第１蓄積領域１６を形成する段階が、複数のトレンチ部を形成する段階よりも前に行われる。これにより、第２蓄積領域２６、トレンチボトム領域６５および第１蓄積領域１６のトレンチ配列方向における濃度分布が均一化され、半導体装置１００の特性のばらつきを低減できる。

[0127] 図７Ｂは、半導体装置１００の製造プロセスの変形例を表す図である。図７Ｂは、図７Ａの各ステップにおける、半導体基板１０のＹＺ断面を表す図である。

[0128] ステップＳ２１０において、ドリフト領域１８が形成された半導体基板１０のおもて面２１側から、ドーパントをイオン注入することにより、第２イオン注入領域１２６を形成する。第２イオン注入領域１２６は、アニーリング処理により、第２蓄積領域２６となる領域である。

[0129] ステップＳ２２０において、半導体基板１０のおもて面２１側から、ドーパントをイオン注入することにより、トレンチボトム注入領域１６５を形成する。トレンチボトム注入領域１６５は、アニーリング処理により、トレンチボトム領域６５となる領域である。ステップＳ２２０において、ステップＳ２１０よりもイオン注入の際の加速電圧を小さくすることにより、トレンチボトム注入領域１６５を、第２イオン注入領域１２６よりも半導体基板１０のおもて面２１側に形成することができる。

[0130] ステップＳ２３０において、半導体基板１０のおもて面２１側から、ドーパントをイオン注入することにより、第１イオン注入領域１１６を形成する。第１イオン注入領域１１６は、アニーリング処理により、第１蓄積領域１６となる領域である。第１イオン注入領域１１６の形成に用いられるドーパントと、第２イオン注入領域１２６の形成に用いられるドーパントとは、同一であってよく、異なっていてもよい。図７Ｂには、第１イオン注入領域１１６が一回のイオン注入で形成される一例が示されている。

[0131] ステップＳ２４０において、半導体基板１０のおもて面２１に複数のトレンチ部が形成される。複数のトレンチ部のそれぞれは、底部６１、側壁６２および開口６３を有する。複数のトレンチ部は、底部６１がトレンチボトム注入領域１６５に位置するように形成される。

[0132] 図７Ａおよび図７Ｂにおいて、第２イオン注入領域１２６、トレンチボトム注入領域１６５、第１イオン注入領域１１６の順に各領域が形成されると説明したが、本発明はこれに限定されない。即ち、ステップＳ２１０、ステップＳ２２０およびステップＳ２３０は、任意の順番で実行されてよく、第２イオン注入領域１２６、第１イオン注入領域１１６、トレンチボトム注入領域１６５の順に各領域が形成されてよい。図７Ａおよび図７Ｂに示した変形例では、半導体基板１０のおもて面２１にマスク６４を形成する必要がないので、図６Ａおよび図６Ｂに示した例よりもコストを削減することができる。

[0133] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0134] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0135] １０・・・半導体基板、１２・・・エミッタ領域、１４・・・ベース領域、１５・・・コンタクト領域、１６・・・第１蓄積領域、１７・・・ウェル領域、１８・・・ドリフト領域、１９・・・アノード領域、２１・・・おも

て面、２２・・・コレクタ領域、２３・・・裏面、２４・・・コレクタ電極、２５・・・接続部、２６・・・第２蓄積領域、３０・・・ダミートレンチ部、３１・・・延伸部分、３２・・・ダミー絶縁膜、３３・・・接続部分、３４・・・ダミー導電部、３８・・・層間絶縁膜、４０・・・ゲートトレンチ部、４１・・・延伸部分、４２・・・ゲート絶縁膜、４３・・・接続部分、４４・・・ゲート導電部、５０・・・ゲート金属層、５２・・・エミッタ電極、５４・・・コンタクトホール、５５・・・コンタクトホール、５６・・・コンタクトホール、６１・・・底部、６２・・・側壁、６３・・・開口、６４・・・マスク、６５・・・トレンチボトム領域、６６・・・キャリア通過領域、６７・・・突出部分、７０・・・トランジスタ部、７１・・・メサ部、８０・・・ダイオード部、８１・・・メサ部、８２・・・カソード領域、９０・・・境界部、９１・・・メサ部、１００・・・半導体装置、１１６・・・第１イオン注入領域、１２６・・・第２イオン注入領域、１６５・・・トレンチボトム注入領域

請求の範囲

[請求項1] トランジスタ部及びダイオード部を備える半導体装置であって、

半導体基板のおもて面に設けられ、ゲートトレンチ部を含む複数のトレンチ部と、

前記半導体基板に設けられた第１導電型のドリフト領域と、

前記ドリフト領域の上方に設けられた第２導電型のベース領域と、

前記ベース領域の上方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域と、

前記ベース領域の下方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第１蓄積領域と、

前記第１蓄積領域の下方に設けられ、前記ベース領域よりもドーピング濃度の高い第２導電型のトレンチボトム領域と、

前記半導体基板の深さ方向において前記トレンチボトム領域よりも深く設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第２蓄積領域と

を備える

半導体装置。

[請求項2] 前記トレンチボトム領域の上端は、前記第１蓄積領域の下端と接する、

請求項１に記載の半導体装置。

[請求項3] 前記トレンチボトム領域の下端は、前記第２蓄積領域の上端と接する、

請求項１に記載の半導体装置。

[請求項4] 前記トレンチボトム領域は、前記複数のトレンチ部のトレンチ配列方向において、前記複数のトレンチ部の１つのトレンチ部の下端から、対向する他のトレンチ部の下端まで延伸して設けられる、

請求項１に記載の半導体装置。

[請求項5] 前記トレンチボトム領域の前記半導体基板の深さ方向における厚みは、前記複数のトレンチ部のトレンチ深さの２０％以上、１００％以下である、

請求項１に記載の半導体装置。

[請求項6] 前記トレンチボトム領域の前記半導体基板の深さ方向における厚みは、１μｍ以上、５μｍ以下である、

請求項１に記載の半導体装置。

[請求項7] 前記トレンチボトム領域は、

前記複数のトレンチ部の下方に設けられた第１領域と、

前記複数のトレンチ部で挟まれたメサ部の下方に設けられた第２領域と、

を含み、

前記第１領域のドーピング濃度は、前記第２領域のドーピング濃度よりも高い

請求項１に記載の半導体装置。

[請求項8] 前記トレンチボトム領域は、

前記複数のトレンチ部の下方に設けられた第１領域と、

前記複数のトレンチ部で挟まれたメサ部の下方に設けられた第２領域と、

を含み、

前記第１領域のドーピング濃度は、前記第２領域のドーピング濃度と同一である

請求項１に記載の半導体装置。

[請求項9] 前記第１蓄積領域の下方において、前記トレンチボトム領域が設けられていない第１導電型のキャリア通過領域を備える、

請求項１に記載の半導体装置。

[請求項10] 前記第２蓄積領域は、前記複数のトレンチ部のトレンチ配列方向において、前記トレンチボトム領域の下方から前記トレンチボトム

領域の端部を越えて、前記トレンチボトム領域の外側に突出した突出部分を有する

請求項１に記載の半導体装置。

[請求項11] 前記第１蓄積領域におけるドーピング濃度は、前記第１蓄積領域におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する領域が、前記半導体基板の深さ方向において、前記第１蓄積領域の厚さの６０％以上、１００％以下を占めるプロファイルを有する、

請求項１から１０のいずれか一項に記載の半導体装置。

[請求項12] 前記第１蓄積領域におけるドーピング濃度は、前記半導体基板の深さ方向において、１つ以上のドーピング濃度のピークを有する、

請求項１から１０のいずれか一項に記載の半導体装置。

[請求項13] 前記半導体基板の深さ方向において、前記第１蓄積領域におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する前記領域の厚さは、１μｍ以上、４μｍ以下である、

請求項１１に記載の半導体装置。

[請求項14] 第１導電型のドリフト領域を備える半導体装置の製造方法であって、

半導体基板のおもて面に複数のトレンチ部を形成する段階と、

前記ドリフト領域の上方に設けられた第２導電型のベース領域を形成する段階と、

前記ベース領域の上方に、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域を形成する段階と、

前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第１蓄積領域を形成する段階と、

前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記第１蓄積領域の下方に、前記ベース領域よりも

ドーピング濃度の高い第２導電型のトレンチボトム領域を形成する段階と、

前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記半導体基板の深さ方向において前記トレンチボトム領域よりも深い位置に、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第２蓄積領域を形成する段階と、

を備える

半導体装置の製造方法。

[請求項15] 前記第１蓄積領域を形成する段階は、前記半導体基板の深さ方向に対して予め定められた傾きを有する方向から、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の側壁にドーパントを注入する段階を含む、

請求項１４に記載の半導体装置の製造方法。

[請求項16] 前記トレンチボトム領域を形成する段階は、前記半導体基板の深さ方向において、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部にドーパントを注入する段階を含む、

請求項１４に記載の半導体装置の製造方法。

[請求項17] 前記第２蓄積領域を形成する段階は、前記半導体基板の深さ方向に対して予め定められた傾きを有する方向から、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部にドーパントを注入する段階を含む、

請求項１４に記載の半導体装置の製造方法。

[請求項18] 前記第１蓄積領域を形成する段階および前記第２蓄積領域を形成するイオン注入段階を備え、

前記イオン注入段階は、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の側壁にドーパントを注入することにより前記第１蓄積領域を形成し、前記複数のトレンチ部の開口を介して前

記複数のトレンチ部の底部に前記ドーパントを注入することにより前記第２蓄積領域を形成する段階を有する

請求項１４から１７のいずれか一項に記載の半導体装置の製造方法。

[請求項19] 前記第２蓄積領域を形成する段階、前記トレンチボトム領域を形成する段階、および前記第１蓄積領域を形成する段階は、前記複数のトレンチ部を形成する段階よりも前に行われる、

請求項１４に記載の半導体装置の製造方法。

補正された請求の範囲（条約第19条）

2024年7月5日（ 05.07.2024 ） 国際事務局受理

[請求項1] [補正後]

トランジスタ部を備える半導体装置であって、

半導体基板のおもて面に設けられ、ゲートトレンチ部を含む複数のトレンチ部と、

前記半導体基板に設けられた第１導電型のドリフト領域と、

前記ドリフト領域の上方に設けられた第２導電型のベース領域と、

前記ベース領域の上方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域と、

前記ベース領域の下方に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第１蓄積領域と、

前記第１蓄積領域の下方に設けられ、前記ベース領域よりもドーピング濃度の高い第２導電型のトレンチボトム領域と、

前記半導体基板の深さ方向において前記トレンチボトム領域よりも深く設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第２蓄積領域と

を備え、

前記トランジスタ部は、前記半導体基板の裏面に第２導電型のコレクタ領域を有する

半導体装置。

[請求項2] 前記トレンチボトム領域の上端は、前記第１蓄積領域の下端と接する、

請求項１に記載の半導体装置。

[請求項3] 前記トレンチボトム領域の下端は、前記第２蓄積領域の上端と接する、

請求項１に記載の半導体装置。

[請求項4] 前記トレンチボトム領域は、前記複数のトレンチ部のトレンチ配列方向において、前記複数のトレンチ部の１つのトレンチ部の下端から、対向する他のトレンチ部の下端まで延伸して設けられる、

請求項１に記載の半導体装置。

[請求項5] 前記トレンチボトム領域の前記半導体基板の深さ方向における厚みは、前記複数のトレンチ部のトレンチ深さの２０％以上、１００％以下である、

請求項１に記載の半導体装置。

[請求項6] 前記トレンチボトム領域の前記半導体基板の深さ方向における厚みは、１μｍ以上、５μｍ以下である、

請求項１に記載の半導体装置。

[請求項7] 前記トレンチボトム領域は、

前記複数のトレンチ部の下方に設けられた第１領域と、

前記複数のトレンチ部で挟まれたメサ部の下方に設けられた第２領域と、

を含み、

前記第１領域のドーピング濃度は、前記第２領域のドーピング濃度よりも高い

請求項１に記載の半導体装置。

[請求項8] 前記トレンチボトム領域は、

前記複数のトレンチ部の下方に設けられた第１領域と、

前記複数のトレンチ部で挟まれたメサ部の下方に設けられた第２領域と、

を含み、

前記第１領域のドーピング濃度は、前記第２領域のドーピング濃度と同一である

請求項１に記載の半導体装置。

[請求項9] 前記第１蓄積領域の下方において、前記トレンチボトム領域が設けられていない第１導電型のキャリア通過領域を備える、

請求項１に記載の半導体装置。

[請求項10] 前記第２蓄積領域は、前記複数のトレンチ部のトレンチ配列方向において、前記トレンチボトム領域の下方から前記トレンチボトム領域の端部を越えて、前記トレンチボトム領域の外側に突出した突出部分を有する

請求項１に記載の半導体装置。

[請求項11] 前記第１蓄積領域におけるドーピング濃度は、前記第１蓄積領域におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する領域が、前記半導体基板の深さ方向において、前記第１蓄積領域の厚さの６０％以上、１００％以下を占めるプロファイルを有する、

請求項１から１０のいずれか一項に記載の半導体装置。

[請求項12] 前記第１蓄積領域におけるドーピング濃度は、前記半導体基板の深さ方向において、１つ以上のドーピング濃度のピークを有する、

請求項１から１０のいずれか一項に記載の半導体装置。

[請求項13] 前記半導体基板の深さ方向において、前記第１蓄積領域におけるドーピング濃度の最大値の５０％以上のドーピング濃度を有する前記領域の厚さは、１μｍ以上、４μｍ以下である、

請求項１１に記載の半導体装置。

[請求項14] [補正後]

トランジスタ部を備える半導体装置の製造方法であって、

半導体基板のおもて面に複数のトレンチ部を形成する段階と、

第１導電型のドリフト領域の上方に設けられた第２導電型のベース領域を形成する段階と、

前記ベース領域の上方に、前記ドリフト領域よりもドーピング濃度の高い第１導電型のエミッタ領域を形成する段階と、

前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第１蓄積領域を形成する段階と、

前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記第１蓄積領域の下方に、前記ベース領域よりもドーピング濃度の高い第２導電型のトレンチボトム領域を形成する段階と、

前記半導体基板のおもて面側からドーパントをイオン注入することにより、前記半導体基板の深さ方向において前記トレンチボトム領域よりも深い位置に、前記ドリフト領域よりもドーピング濃度の高い第１導電型の第２蓄積領域を形成する段階と、

を備え、

前記トランジスタ部は、前記半導体基板の裏面に第２導電型のコレクタ領域を有する

半導体装置の製造方法。

[請求項15] 前記第１蓄積領域を形成する段階は、前記半導体基板の深さ方向に対して予め定められた傾きを有する方向から、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の側壁にドーパントを注入する段階を含む、

請求項１４に記載の半導体装置の製造方法。

[請求項16] 前記トレンチボトム領域を形成する段階は、前記半導体基板の深さ方向において、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部にドーパントを注入する段階を含む、

請求項１４に記載の半導体装置の製造方法。

[請求項17] 前記第２蓄積領域を形成する段階は、前記半導体基板の深さ方向に対して予め定められた傾きを有する方向から、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部にドーパントを注入する段階を含む、

請求項１４に記載の半導体装置の製造方法。

[請求項18] 前記第１蓄積領域を形成する段階および前記第２蓄積領域を形成するイオン注入段階を備え、

前記イオン注入段階は、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の側壁にドーパントを注入することにより前記第１蓄積領域を形成し、前記複数のトレンチ部の開口を介して前記複数のトレンチ部の底部に前記ドーパントを注入することにより前記第２蓄積領域を形成する段階を有する

請求項１４から１７のいずれか一項に記載の半導体装置の製造方法。

[請求項19] 前記第２蓄積領域を形成する段階、前記トレンチボトム領域を形成する段階、および前記第１蓄積領域を形成する段階は、前記複数のトレンチ部を形成する段階よりも前に行われる、

請求項１４に記載の半導体装置の製造方法。

[請求項20] [追加]

前記第１蓄積領域におけるドーピング濃度は、前記第２蓄積領域におけるドーピング濃度と異なる、

請求項１から１０のいずれか一項に記載の半導体装置。

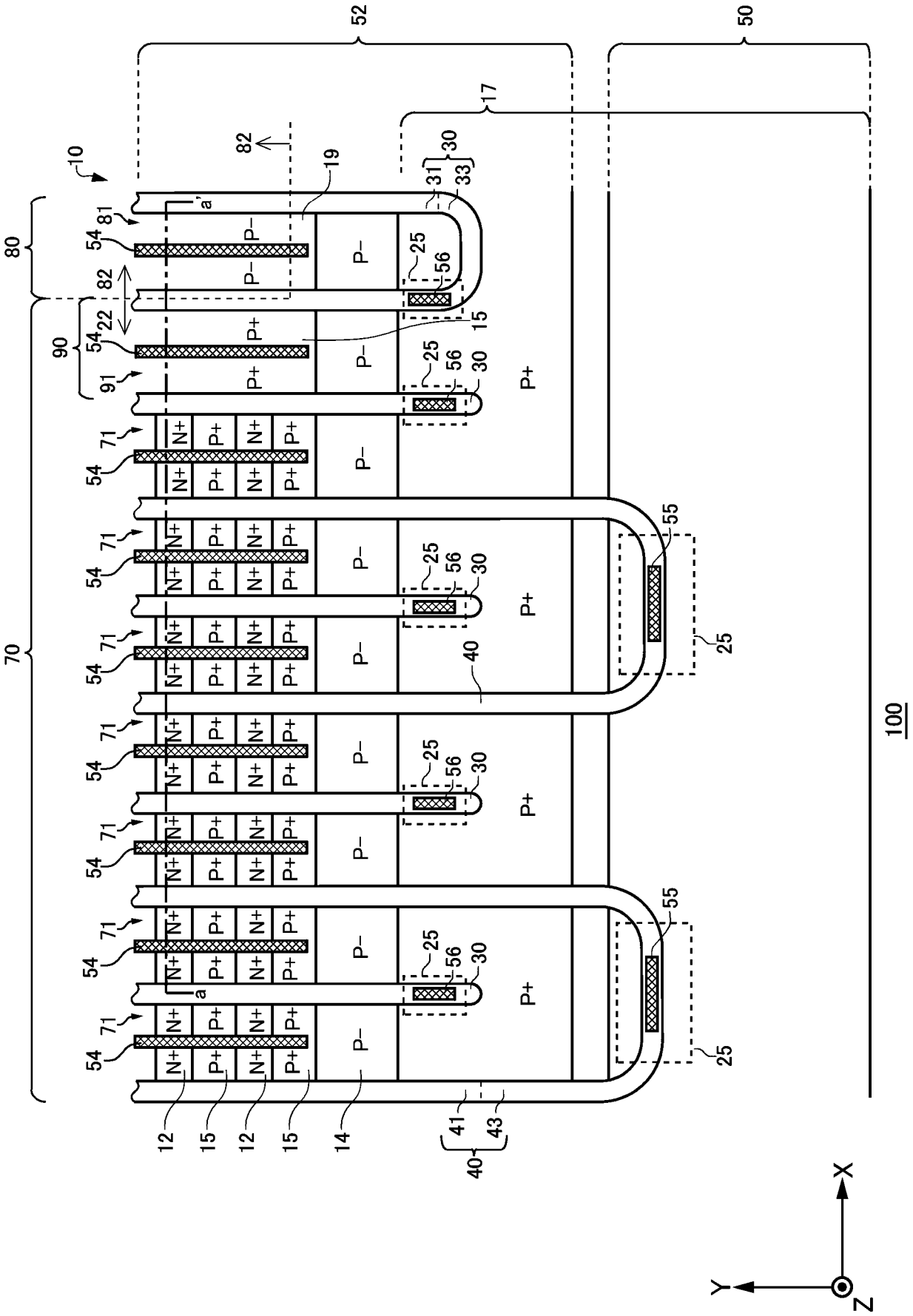
[請求項21] [追加]

前記半導体基板の前記裏面に第１導電型のカソード領域を有するダイオード部を有し、

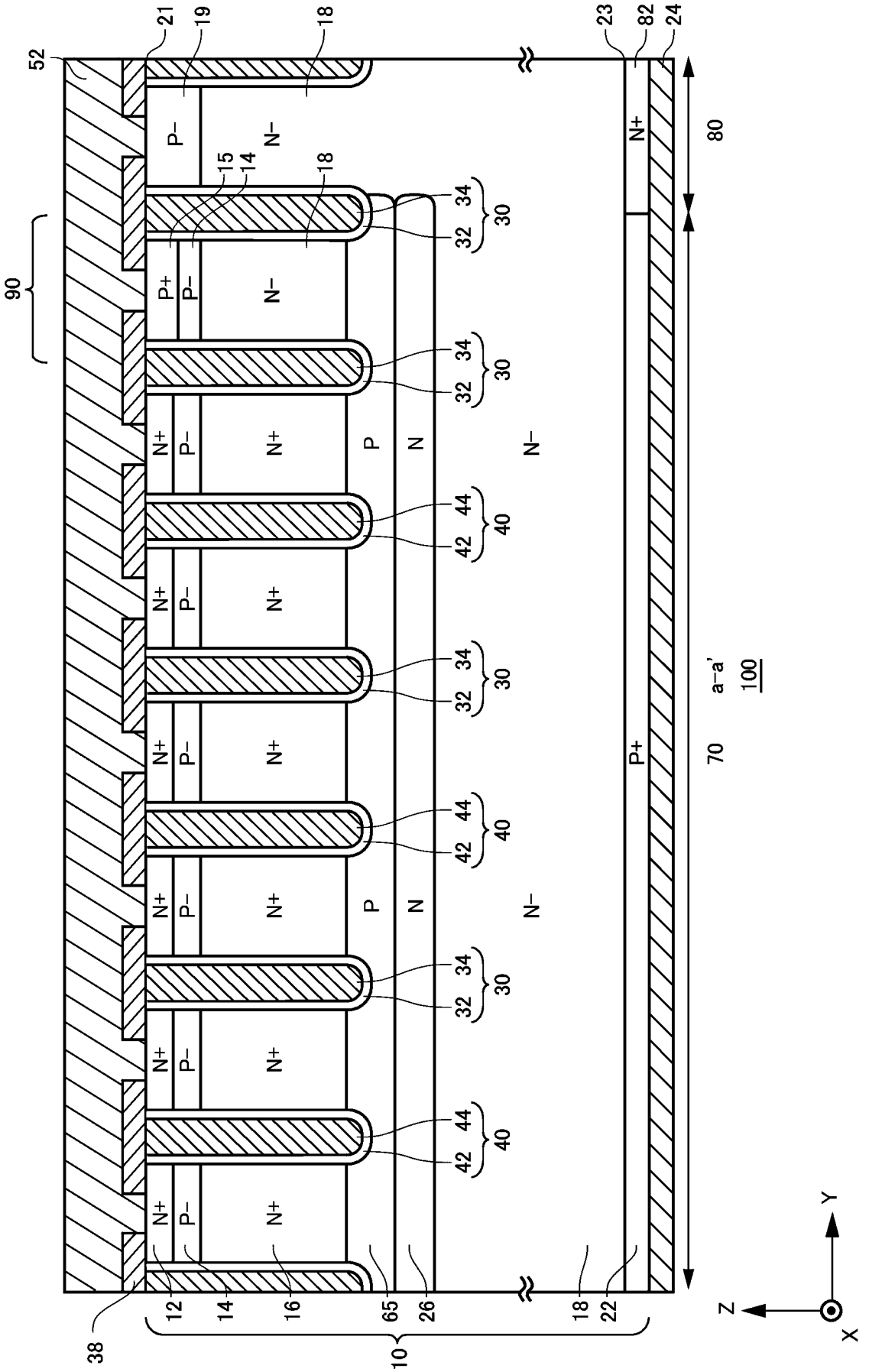
前記ダイオード部において、前記複数のトレンチ部の下端は、第１導電型の領域と接する、

請求項１から１０のいずれか一項に記載の半導体装置。

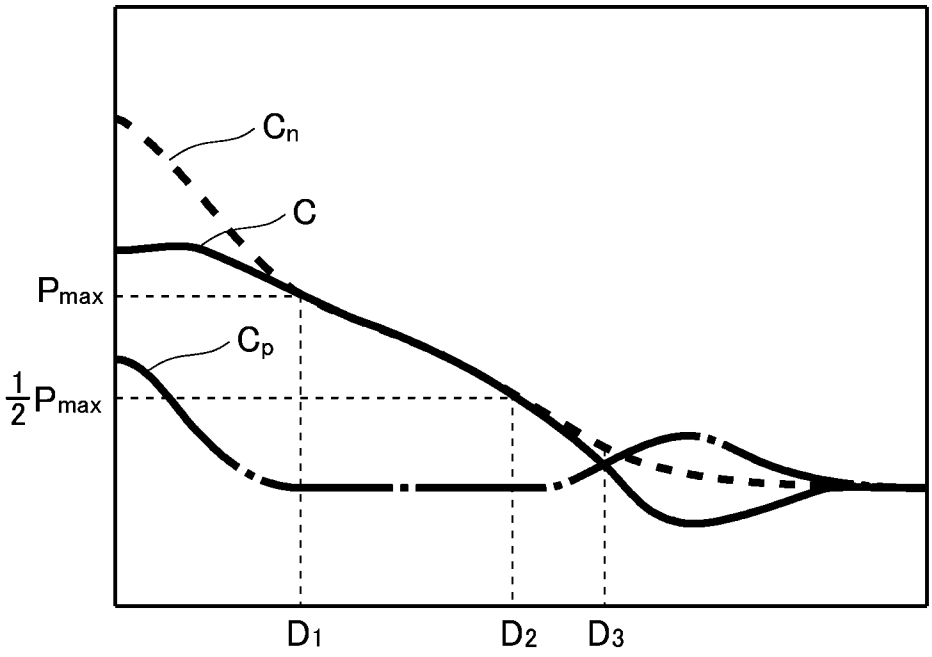
[図 1]


52
50
17
10
82
19
30
31
33
a'
81
54
P−
25
56
80
82
22
15
P+
90
91
30
71
N+
P+
55
40
70
100
12
15
14
41
43
X
Y
Z

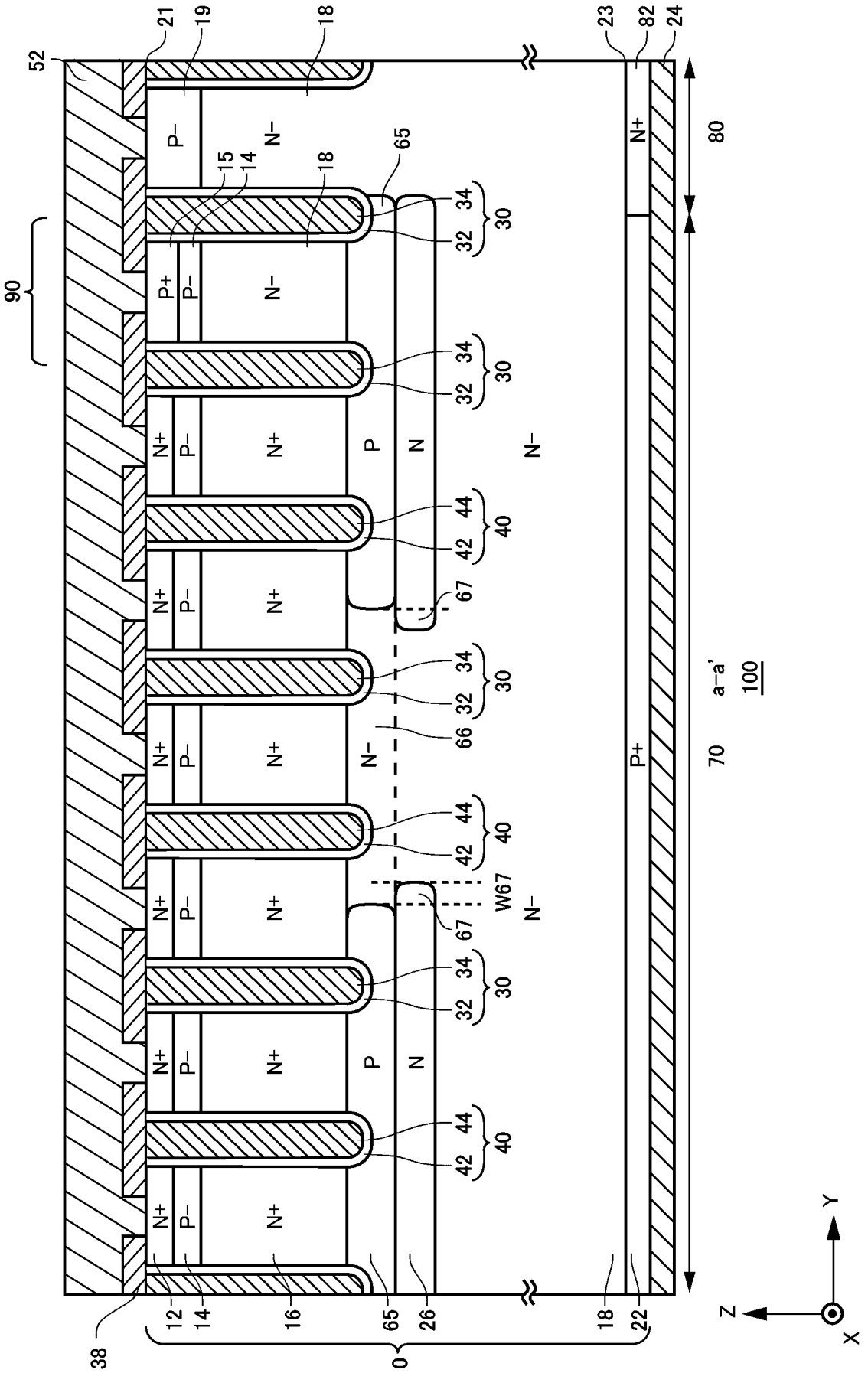
[図 2]


52
21
19
18
23
82
24
P−
N−
15
14
18
N+
80
34
32
30
90
P+
P−
N−
N+
P
N
40
42
44
a-a'
100
70
65
26
22
38
10
12
16
Y
Z
X

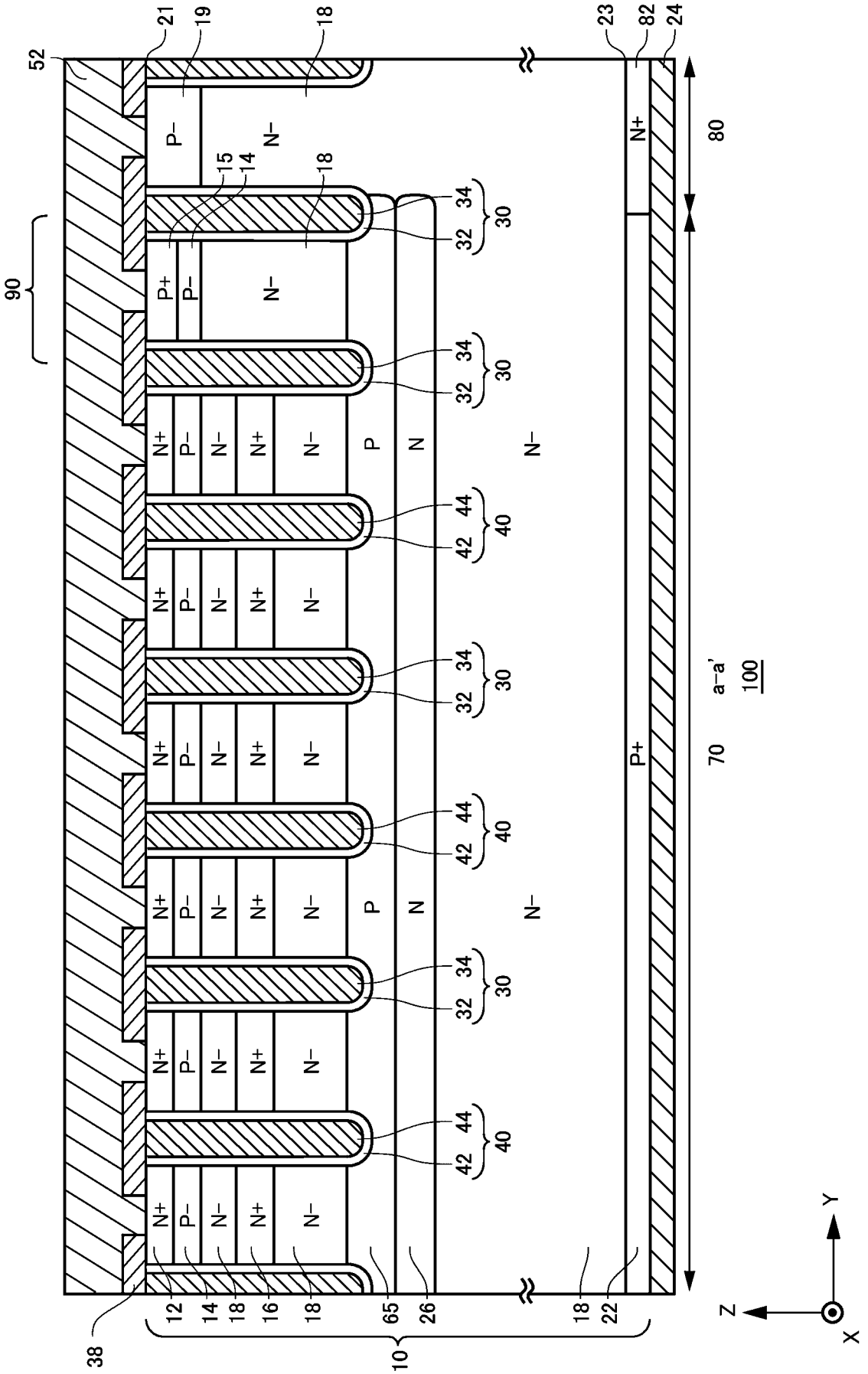
[図 3]



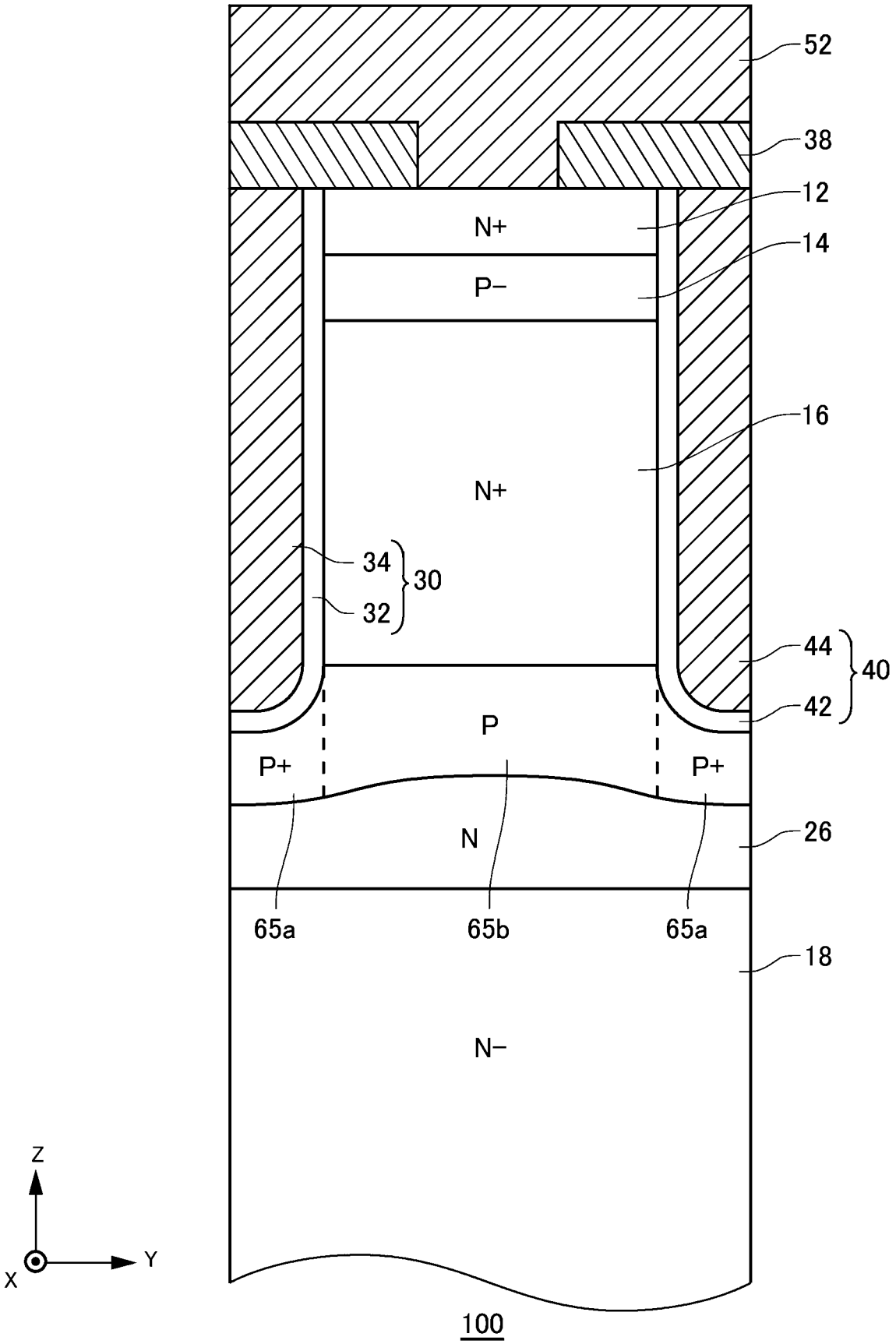
[図 4A]


52
21
19
18
23
82
24
80
90
P−
N−
15
14
65
34
32
30
P+
N+
P
N
44
42
40
67
66
W67
a-a'
100
70
12
16
26
22
38
10
Y
Z
X

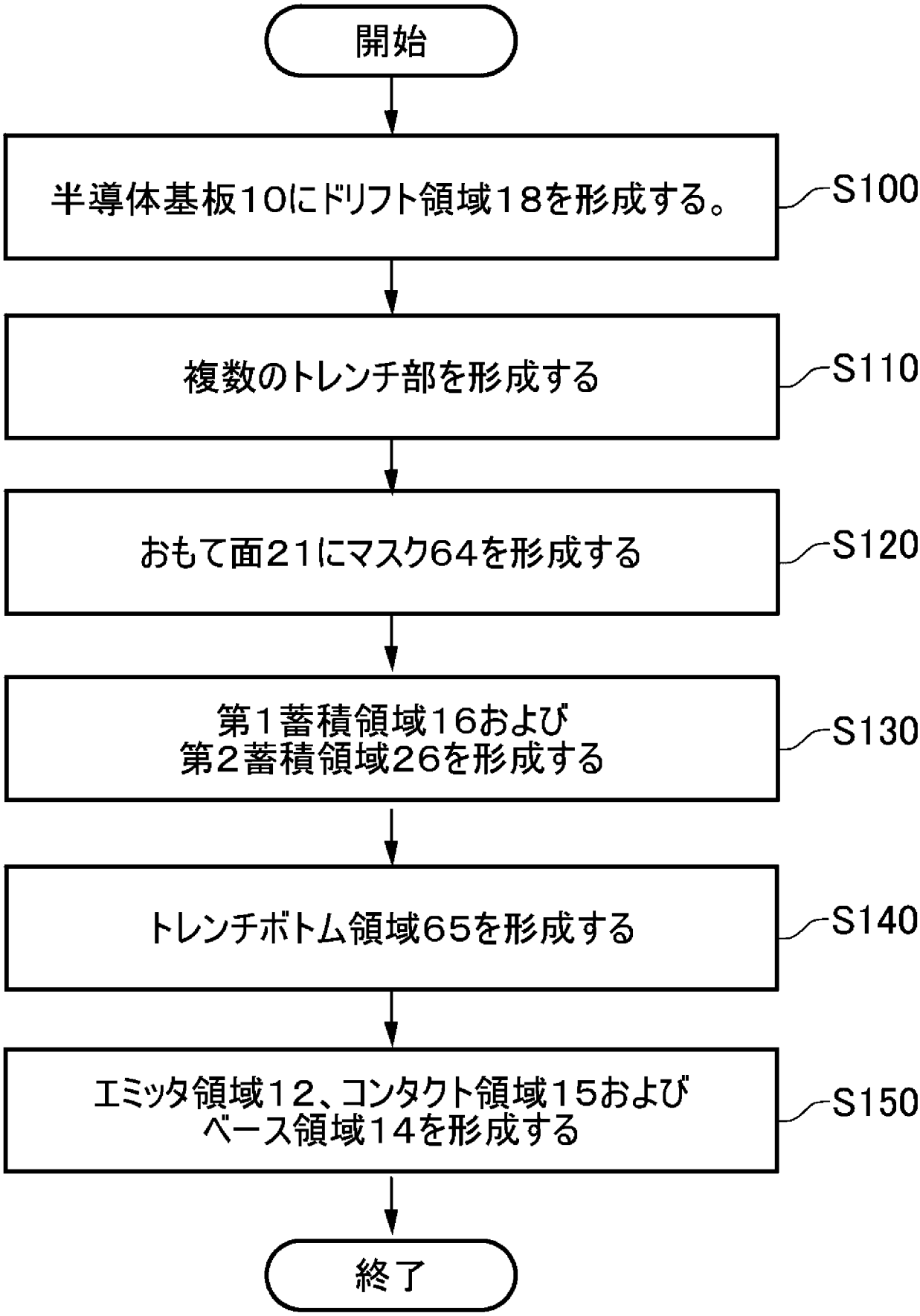
[図 4B]


52
21
19
18
23
82
24
P−
N−
15
14
18
N+
80
34
32
30
90
P+
P−
N−
N+
P−
N−
N+
N−
P
N
N−
44
42
40
70
a-a'
100
12
14
18
16
18
65
26
18
22
38
10
Y
Z
X

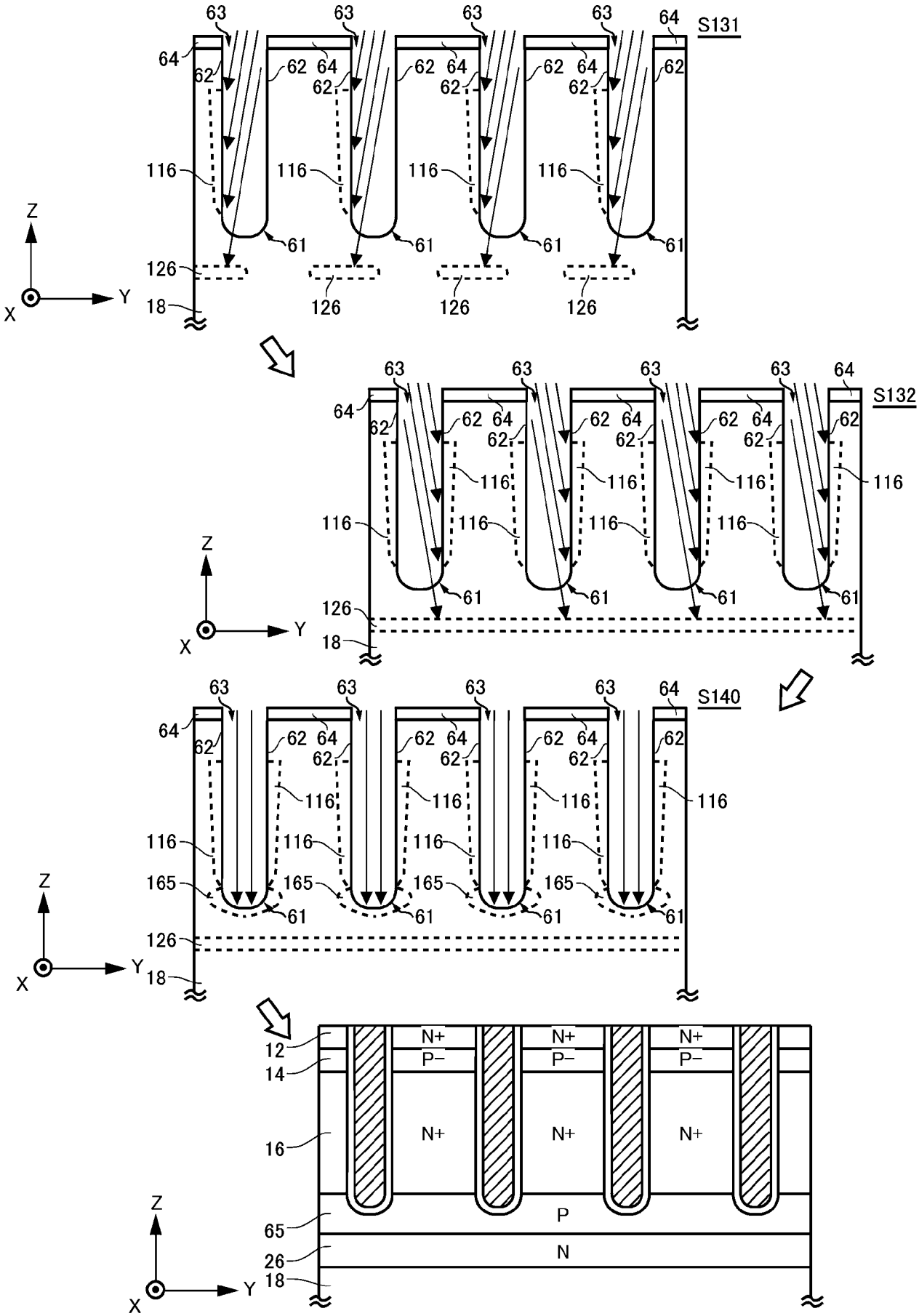
[図 5]



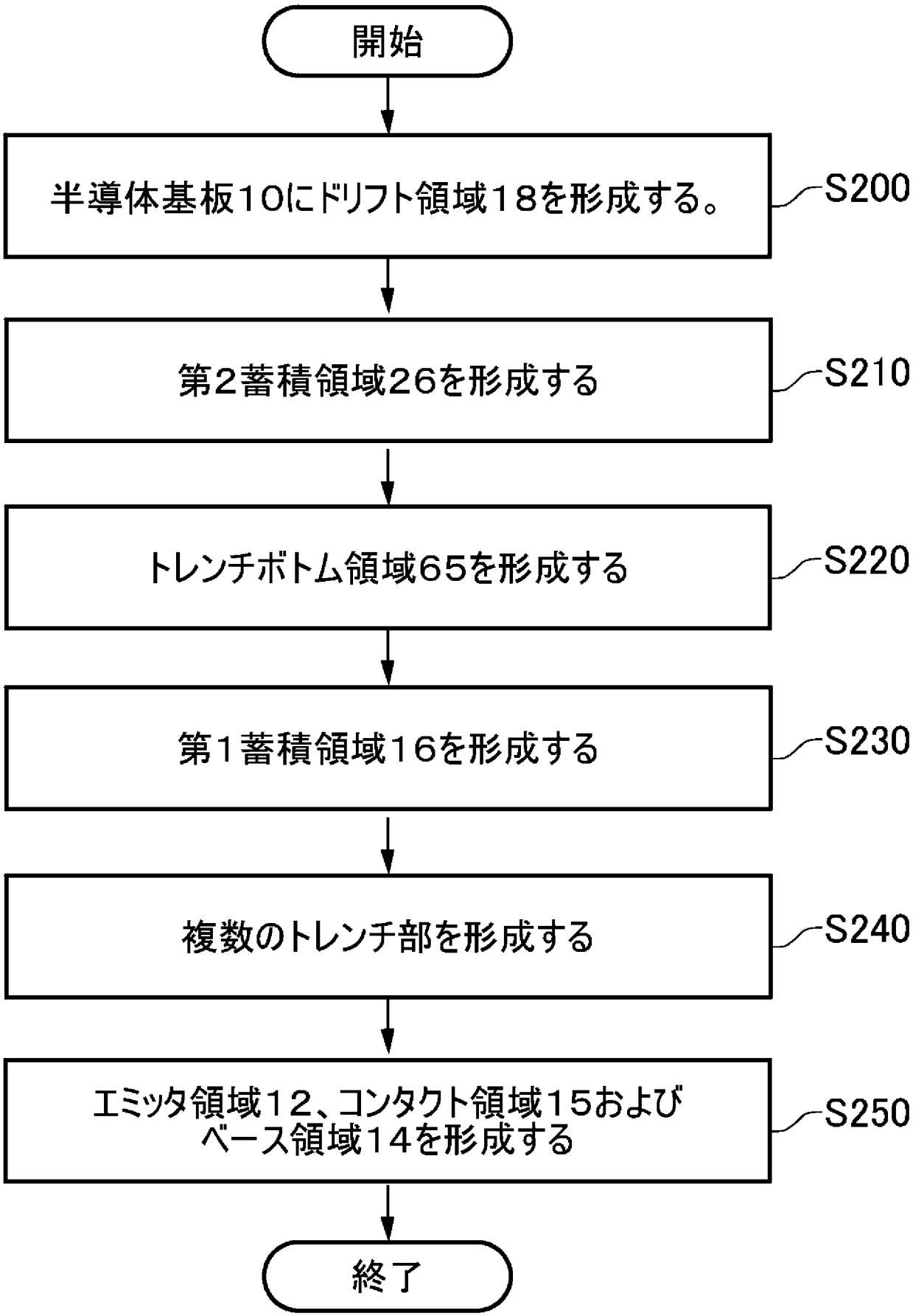
[図 6A]


開始
半導体基板10にドリフト領域18を形成する。
S100
複数のトレンチ部を形成する
S110
おもて面21にマスク64を形成する
S120
第1蓄積領域16および
第2蓄積領域26を形成する
S130
トレンチボトム領域65を形成する
S140
エミッタ領域12、コンタクト領域15および
ベース領域14を形成する
S150
終了

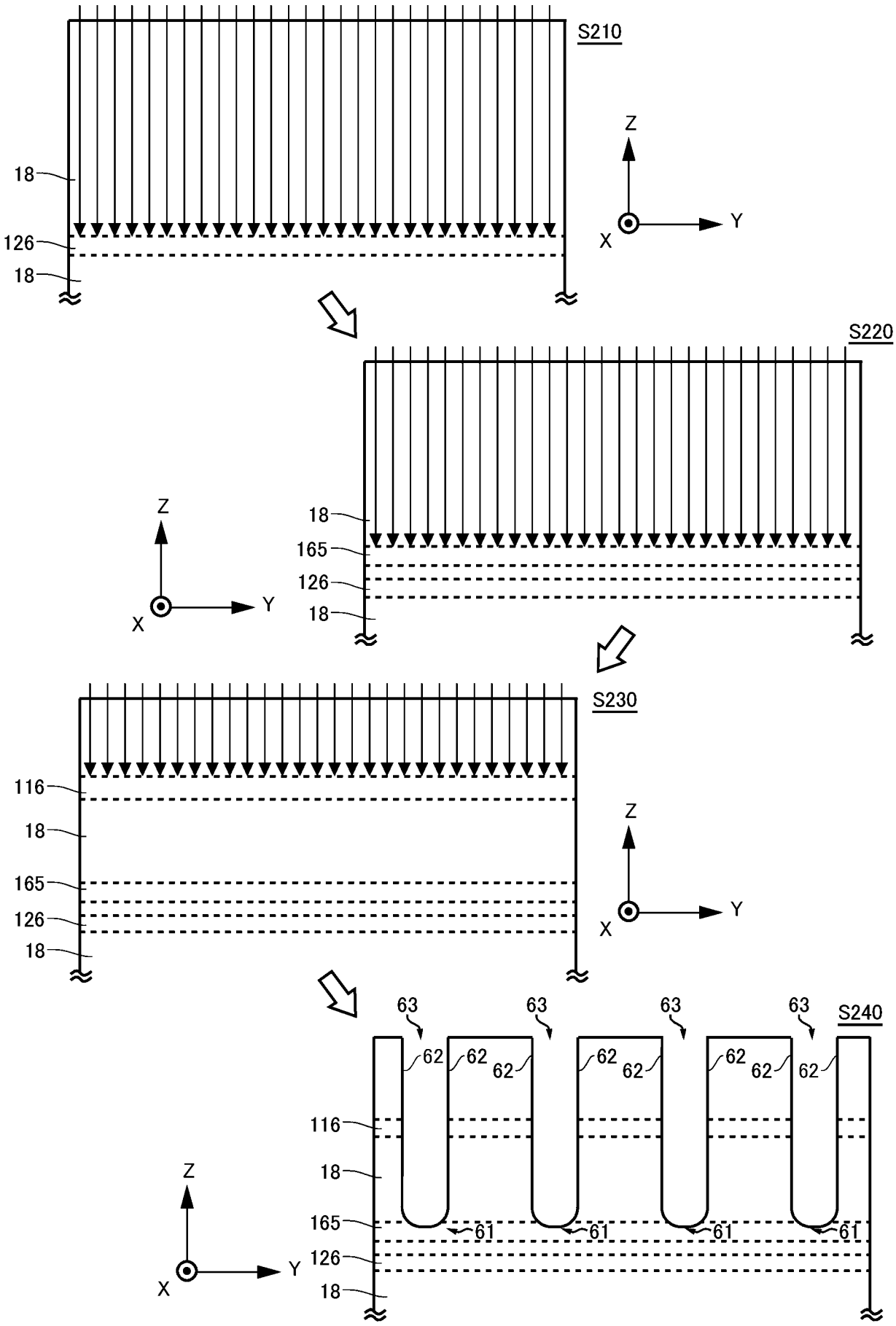
[図 6B]



[図 7A]


開始
半導体基板10にドリフト領域18を形成する。
S200
第2蓄積領域26を形成する
S210
トレンチボトム領域65を形成する
S220
第1蓄積領域16を形成する
S230
複数のトレンチ部を形成する
S240
エミッタ領域12、コンタクト領域15および
ベース領域14を形成する
S250
終了

[図 7B]


S210
18
126
18
Z
Y
X
S220
18
165
126
18
Z
Y
X
S230
116
18
165
126
18
Z
Y
X
S240
63
62
61
116
18
165
126
18
Z
Y
X

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/001519

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/329***(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 29/12***(2006.01)i; ***H01L 29/739***(2006.01)i; ***H01L 29/861***(2006.01)i; ***H01L 29/868***(2006.01)i
FI: H01L29/78 652J; H01L29/78 655G; H01L29/78 653A; H01L29/78 657D; H01L29/78 655D; H01L29/78 658A; H01L29/78 652T; H01L29/91 C; H01L29/91 A; H01L29/91 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/329; H01L21/336; H01L29/12; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-096794 A (AIST, FUJI ELECTRIC CO., LTD.) 20 June 2019 (2019-06-20) paragraphs [0023]-[0028], [0040]-[0048], fig. 1-10	1-3, 9, 14, 19
A		4-8, 10-13, 15-18
A	WO 2022/123923 A1 (FUJI ELECTRIC CO., LTD.) 16 June 2022 (2022-06-16) paragraphs [0131]-[0140], fig. 6	1-19
A	WO 2022/239285 A1 (FUJI ELECTRIC CO., LTD.) 17 November 2022 (2022-11-17) paragraphs [0112]-[0124], fig. 3-5	1-19
A	JP 2015-090917 A (TOYOTA MOTOR CO., LTD., TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 11 May 2015 (2015-05-11) paragraphs [0056]-[0059], fig. 8	1-19
A	JP 2020-115596 A (FUJI ELECTRIC CO., LTD.) 30 July 2020 (2020-07-30) paragraphs [0025], [0047]-[0053], [0061]-[0079]. fig. 1-4	1-19

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 March 2024	**09 April 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/001519

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6472714 B2 (RENESAS ELECTRONICS CORPORATION) 20 February 2019 (2019-02-20) paragraphs [0094]-[0102], fig. 29-31	1-19
A	JP 5707681 B2 (FUJI ELECTRIC CO., LTD.) 30 April 2015 (2015-04-30) paragraphs [0062]-[0069], fig. 5, 21-22	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/001519

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2019-096794 A	20 June 2019	(Family: none)	
WO 2022/123923 A1	16 June 2022	US 2023/0071170 A1 paragraphs [0134]-[0143], fig. 6 DE 112021002169 T5 CN 115699331 A	
WO 2022/239285 A1	17 November 2022	US 2023/0261095 A1 paragraphs [0114]-[0126], fig. 3-5 DE 112021004603 T5 CN 116349006 A	
JP 2015-090917 A	11 May 2015	US 2016/0240641 A1 paragraphs [0066]-[0069], fig. 8 WO 2015/068008 A1 DE 112014005067 B4 CN 105684153 A	
JP 2020-115596 A	30 July 2020	US 2018/0350961 A1 paragraphs [0078], [0100]-[0106], [0114]-[0132], fig. 1-4 WO 2018/030440 A1 DE 112017000297 T5 CN 108604594 A	
JP 6472714 B2	20 February 2019	US 2016/0359026 A1 paragraphs [0140]-[0147], fig. 29-31 US 2018/0069110 A1 CN 106252396 A	
JP 5707681 B2	30 April 2015	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2024/001519

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/329(2006.01)i; H01L 21/336(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i
FI: H01L29/78 652J; H01L29/78 655G; H01L29/78 653A; H01L29/78 657D; H01L29/78 655D; H01L29/78 658A; H01L29/78 652T; H01L29/91 C; H01L29/91 A; H01L29/91 F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/329; H01L21/336; H01L29/12; H01L29/739; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2019-096794 A (国立研究開発法人産業技術総合研究所, 富士電機株式会社) 20.06.2019 (2019-06-20) 段落0023-0028,0040-0048, 図1-10	1-3,9,14,19
A		4-8,10-13,15-18
A	WO 2022/123923 A1 (富士電機株式会社) 16.06.2022 (2022-06-16) 段落0131-0140, 図6	1-19
A	WO 2022/239285 A1 (富士電機株式会社) 17.11.2022 (2022-11-17) 段落0112-0124, 図3-5	1-19
A	JP 2015-090917 A (トヨタ自動車株式会社, 株式会社豊田中央研究所) 11.05.2015 (2015-05-11) 段落0056-0059, 図8	1-19
A	JP 2020-115596 A (富士電機株式会社) 30.07.2020 (2020-07-30) 段落0025,0047-0053,0061-0079, 図1-4	1-19

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
28.03.2024	09.04.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
恩田　和彦 5F 5896
電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 6472714 B2 (ルネサスエレクトロニクス株式会社) 20.02.2019 (2019-02-20) 段落0094-0102, 図29-31	1-19
A	JP 5707681 B2 (富士電機株式会社) 30.04.2015 (2015-04-30) 段落0062-0069,図5,21-22	1-19

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/001519

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-096794 A	20.06.2019	（ファミリーなし）	
WO 2022/123923 A1	16.06.2022	US 2023/0071170 A1 段落0134-0143，図6 DE 112021002169 T5 CN 115699331 A	
WO 2022/239285 A1	17.11.2022	US 2023/0261095 A1 段落0114-0126，図3-5 DE 112021004603 T5 CN 116349006 A	
JP 2015-090917 A	11.05.2015	US 2016/0240641 A1 段落0066-0069，図8 WO 2015/068008 A1 DE 112014005067 B4 CN 105684153 A	
JP 2020-115596 A	30.07.2020	US 2018/0350961 A1 段落 0078,0100-0106,0114-0132, 図1-4 WO 2018/030440 A1 DE 112017000297 T5 CN 108604594 A	
JP 6472714 B2	20.02.2019	US 2016/0359026 A1 段落0140-0147，図29-31 US 2018/0069110 A1 CN 106252396 A	
JP 5707681 B2	30.04.2015	（ファミリーなし）	