



(12) 发明专利

(10) 授权公告号 CN 101369587 B

(45) 授权公告日 2012. 05. 23

(21) 申请号 200810131294. 6

(22) 申请日 2008. 08. 04

(30) 优先权数据

2007-213055 2007. 08. 17 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 荒井康行 铃木幸惠

黑川义元

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 29/786(2006. 01)

H01L 29/12(2006. 01)

G02F 1/1362(2006. 01)

(56) 对比文件

CN 1237590 C, 2006. 01. 18,

TW 200618295 , 2006. 06. 01,

TW 251349 B, 2006. 03. 11,

EP 0678907 B1, 2002. 02. 27,

US 5970325 A, 1999. 10. 19,

US 2007134856 A1, 2007. 06. 14,

TW 200618295 , 2006. 06. 01,

审查员 高莺然

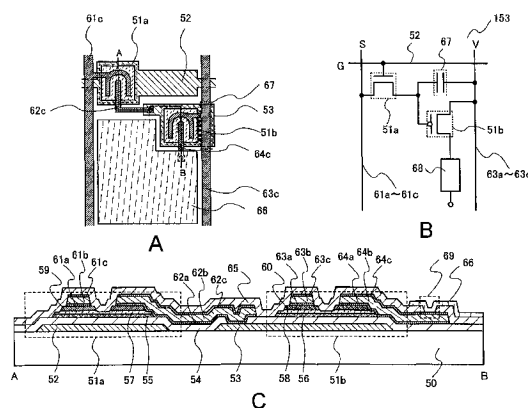
权利要求书 2 页 说明书 27 页 附图 26 页

(54) 发明名称

显示装置

(57) 摘要

本发明的目的在于提供一种显示装置及生产率高地制造其的方法,所述显示装置具有电特性优越且可靠性高的p沟道型薄膜晶体管及n沟道型薄膜晶体管。本发明之一是一种显示装置,包括:反交错型p沟道型薄膜晶体管和n沟道型薄膜晶体管,该p沟道型薄膜晶体管和n沟道型薄膜晶体管在栅电极上顺序层叠有栅极绝缘膜、微晶半导体膜、以及非晶半导体膜,并且还包括形成在非晶半导体膜上的一对n型半导体膜或p型半导体膜、以及形成在一对n型半导体膜或p型半导体膜上的一对布线,其中微晶半导体膜包含 $1 \times 10^{16} \text{atoms/cm}^3$ 以下的氧。此外,n沟道型薄膜晶体管的迁移率为 $10 \text{cm}^2/\text{V} \cdot \text{s}$ 以上且 $45 \text{cm}^2/\text{V} \cdot \text{s}$ 以下,而p沟道型薄膜晶体管的迁移率为 $0.3 \text{cm}^2/\text{V} \cdot \text{s}$ 以下。



1. 一种显示装置,包括:
n 沟道型薄膜晶体管;以及
p 沟道型薄膜晶体管,
所述 n 沟道型薄膜晶体管包括:
第一栅电极;
形成在所述第一栅电极上的第一栅极绝缘膜;
形成在所述第一栅极绝缘膜上的第一微晶半导体膜;
形成在所述第一微晶半导体膜上的第一缓冲层;
形成在所述第一缓冲层上的一对 n 型半导体膜;以及
形成在所述一对 n 型半导体膜上的一对第一布线,
所述 p 沟道型薄膜晶体管包括:
第二栅电极;
形成在所述第二栅电极上的第二栅极绝缘膜;
形成在所述第二栅极绝缘膜上的第二微晶半导体膜;
形成在所述第二微晶半导体膜上的第二缓冲层;
形成在所述第二缓冲层上的一对 p 型半导体膜;以及
形成在所述一对 p 型半导体膜上的一对第二布线,
其特征在于,
所述第一微晶半导体膜及所述第二微晶半导体膜分别包含 $1 \times 10^{16} \text{atoms/cm}^3$ 以下的氧。
2. 根据权利要求 1 所述的显示装置,其特征在于,
所述 n 沟道型薄膜晶体管的迁移率为 $10 \text{cm}^2/\text{V} \cdot \text{s}$ 以上且 $45 \text{cm}^2/\text{V} \cdot \text{s}$ 以下,而所述 p 沟道型薄膜晶体管的迁移率为 $0.3 \text{cm}^2/\text{V} \cdot \text{s}$ 以下。
3. 根据权利要求 1 所述的显示装置,其特征在于,
还包括具有连接到所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管中的一方的像素电极的像素。
4. 根据权利要求 1 所述的显示装置,其特征在于,
所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管形成保护电路,并且
所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管分别二极管连接。
5. 根据权利要求 1 所述的显示装置,其特征在于,
所述显示装置是液晶显示装置。
6. 根据权利要求 1 所述的显示装置,其特征在于,
所述一对第一布线中的一方与所述第二栅电极连接。
7. 根据权利要求 1 所述的显示装置,其特征在于,
所述显示装置是发光显示装置。
8. 根据权利要求 1 所述的显示装置,其特征在于,
所述 n 沟道型薄膜晶体管还包括:夹在所述一对 n 型半导体膜和所述一对第一布线之间的第一导电层,在所述第一导电层上形成有所述一对第一布线。
9. 根据权利要求 8 所述的显示装置,其特征在于,

所述 n 沟道型薄膜晶体管的迁移率为 $10\text{cm}^2/\text{V} \cdot \text{s}$ 以上且 $45\text{cm}^2/\text{V} \cdot \text{s}$ 以下,而所述 p 沟道型薄膜晶体管的迁移率为 $0.3\text{cm}^2/\text{V} \cdot \text{s}$ 以下。

10. 根据权利要求 8 所述的显示装置,其特征在于

还包括具有连接到所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管中的一方的像素电极的像素。

11. 根据权利要求 8 所述的显示装置,其特征在于,

所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管形成保护电路,并且

所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管分别二极管连接。

12. 根据权利要求 8 所述的显示装置,其特征在于,

所述显示装置是液晶显示装置。

13. 根据权利要求 8 所述的显示装置,其特征在于,

所述一对第一布线中的一方与所述第二栅电极连接。

14. 根据权利要求 8 所述的显示装置,其特征在于,

所述显示装置是发光显示装置。

15. 根据权利要求 8 所述的显示装置,其特征在于,

所述一对第一布线具有至少三个导电层层叠的结构。

16. 根据权利要求 1 所述的显示装置,其特征在于,

所述 p 沟道型薄膜晶体管还包括:夹在所述一对 p 型半导体膜和所述一对第二布线之间的第二导电层,在所述第二导电层上形成有所述一对第二布线。

17. 根据权利要求 16 所述的显示装置,其特征在于,

所述 n 沟道型薄膜晶体管的迁移率为 $10\text{cm}^2/\text{V} \cdot \text{s}$ 以上且 $45\text{cm}^2/\text{V} \cdot \text{s}$ 以下,而所述 p 沟道型薄膜晶体管的迁移率为 $0.3\text{cm}^2/\text{V} \cdot \text{s}$ 以下。

18. 根据权利要求 16 所述的显示装置,其特征在于

还包括具有连接到所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管中的一方的像素电极的像素。

19. 根据权利要求 16 所述的显示装置,其特征在于,

所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管形成保护电路,并且

所述 n 沟道型薄膜晶体管和所述 p 沟道型薄膜晶体管分别二极管连接。

20. 根据权利要求 16 所述的显示装置,其特征在于,

所述显示装置是液晶显示装置。

21. 根据权利要求 16 所述的显示装置,其特征在于,

所述一对第一布线中的一方与所述第二栅电极连接。

22. 根据权利要求 16 所述的显示装置,其特征在于,

所述显示装置是发光显示装置。

23. 根据权利要求 16 所述的显示装置,其特征在于,

所述一对第二布线具有至少三个导电层层叠的结构。

显示装置

技术领域

[0001] 本发明涉及一种使用 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管的显示装置。

背景技术

[0002] 近年来,通过使用形成在具有绝缘表面的衬底上的半导体薄膜(厚度大约为几十 nm 至几百 nm)来构成薄膜晶体管的技术正受到关注。薄膜晶体管在如 IC 和电光学装置的电子器件中获得了广泛应用,特别地,正在加快开发作为图像显示装置的开关元件的薄膜晶体管。

[0003] 作为图像显示装置的开关元件使用将非晶硅膜用于沟道形成区域的薄膜晶体管、或者将多晶硅膜用于沟道形成区域的薄膜晶体管等。作为多晶硅膜的形成方法,通过光学系统将脉冲振荡的受激准分子激光束加工为线形,并且对非晶硅膜扫描且照射线形激光束来晶化的技术是众所周知的。

[0004] 另外,作为图像显示装置的开关元件使用将微晶硅膜用于沟道形成区域的薄膜晶体管(参照专利文献 1 及非专利文献 1)。

[0005] [专利文献 1] 日本专利特开平 4-242724 号公报

[0006] [非专利文献 1] Toshiaki Arai 和其他, SID 07 DIGEST, 2007, p. 1370-1373

[0007] 将多晶硅膜用于沟道形成区域的薄膜晶体管,与将非晶硅膜用于沟道形成区域的薄膜晶体管相比,具有如下优点:其迁移率高 2 位数以上;可以在同一个衬底上形成半导体显示装置的像素部和其外围的驱动电路。然而,与将非晶硅膜用于沟道形成区域时相比,存在有:由于必要半导体膜的晶化而其过程复杂化来使得成品率降低且成本升高的问题。此外,在通过对非晶硅膜照射受激准分子激光束来形成的多晶硅膜中,有时晶粒的大小起因于激光束能量的不均匀性而不整齐,并且当使用这种多晶硅膜形成薄膜晶体管时,存在有:其电特性不均匀的问题。

[0008] 另一方面,在将非晶硅膜用于沟道形成区域的薄膜晶体管中,虽然由于通过使用较少的光掩模可以制造所以其过程简便,但是阈值的变动大且迁移率低。再者,当将非晶硅膜用于沟道形成区域时,难以制造 p 沟道型薄膜晶体管。

[0009] 另外,在将微晶硅膜用于沟道形成区域的反交错型薄膜晶体管中,栅极绝缘膜及微晶半导体膜的界面区域的结晶性低且薄膜晶体管的电特性不好。再者,难以制造将微晶硅膜用于沟道形成区域的反交错型的 p 沟道型薄膜晶体管。

发明内容

[0010] 鉴于上述问题,本发明的目的在于提供一种显示装置及生产率高地制造其的方法,所述显示装置具有电特性优越且可靠性高的 p 沟道型薄膜晶体管及 n 沟道型薄膜晶体管。

[0011] 本发明之一是一种显示装置,包括:反交错型 p 沟道型薄膜晶体管和 n 沟道型薄膜晶体管,该 p 沟道型薄膜晶体管和 n 沟道型薄膜晶体管在栅电极上顺序层叠有栅极绝缘

膜、微晶半导体膜、以及非晶半导体膜,并且还包括形成在非晶半导体膜上的一对 n 型半导体膜或 p 型半导体膜、以及形成在一对 n 型半导体膜或 p 型半导体膜上的一对布线,其中微晶半导体膜包含 $1 \times 10^{16} \text{atoms/m}^3$ 以下的氧。此外, n 沟道型薄膜晶体管的迁移率为 $10 \text{cm}^2/\text{V} \cdot \text{s}$ 以上且 $45 \text{cm}^2/\text{V} \cdot \text{s}$ 以下,而 p 沟道型薄膜晶体管的迁移率为 $0.3 \text{cm}^2/\text{V} \cdot \text{s}$ 以下。

[0012] 另外,在制造上述反交错型 p 沟道型薄膜晶体管和 n 沟道型薄膜晶体管的过程中,在真空度通过超高真空排气降低到比 10^{-5}Pa 低的压力的处理室内设置衬底,并且利用将衬底温度设定为 100°C 至 300°C ,优选为 120°C 至 280°C ,更优选为 120°C 至 220°C 的等离子体 CVD 法,可以形成包含 $1 \times 10^{16} \text{atoms/cm}^3$ 以下的氧的微晶半导体膜。

[0013] 氧阻碍微晶半导体膜的形成。然而,由于通过对成膜处理室内进行超高真空排气可以降低处理室内的氧浓度,所以可以促进微晶半导体膜的形成。此外,在微晶半导体膜中,氧在成为缺陷的同时发挥施主的作用。因此,由于特别在 p 沟道型薄膜晶体管中可以降低用作施主的氧的浓度,所以可以提高 p 沟道型薄膜晶体管的迁移率。

[0014] 此外,通过将微晶半导体膜的成膜温度设定为 100°C 至 300°C ,优选为 120°C 至 280°C ,更优选为 120°C 至 220°C ,可以减少栅极绝缘膜及微晶半导体膜的界面的晶格畸变,从而使得栅极绝缘膜及微晶半导体膜的界面特性提高。由此,可以提高具有该微晶半导体膜的薄膜晶体管的电特性。

[0015] 另外,本发明之一是一种显示装置,包括:将反交错型 p 沟道型薄膜晶体管和 n 沟道型薄膜晶体管用作显示元件的开关的像素。作为显示装置有液晶显示装置和发光显示装置等。液晶显示装置包括液晶元件。发光显示装置包括发光元件,该发光元件在其范畴中包括根据电流或电压控制亮度的元件,具体地包括无机 EL (Electro Luminescence: 电致发光) 元件、有机 EL 元件等。

[0016] 另外,本发明之一是一种显示装置,在该显示装置中的像素部的外围具有分别二极管连接的反交错型 p 沟道型薄膜晶体管和 n 沟道型薄膜晶体管的保护电路。通过将保护电路设置在像素部和驱动电路之间、或者与驱动电路夹着像素部相对一侧,可以防止静电等导致的破坏或退化。

[0017] 另外,本发明之一是一种显示装置,在该显示装置中的像素部及驱动电路中使用微晶半导体膜形成的 n 沟道型薄膜晶体管和 p 沟道型薄膜晶体管。通过使用将微晶半导体膜用于沟道形成区域的 n 沟道型薄膜晶体管和 p 沟道型薄膜晶体管,在与像素部相同的衬底上形成驱动电路的一部分或整体来形成系统型面板 (system-on-panel)。

[0018] 此外,显示装置包括显示元件被密封的状态的面板、该面板安装有包括控制器的 IC 等的状态的模块。而且,本发明涉及相当于在制造该显示装置的过程中完成显示元件之前的一个方式的元件衬底,该元件衬底在多个像素中分别具备对显示元件供给电流或电压的单元。具体而言,元件衬底既可是仅形成有显示元件的像素电极的状态,又可是在形成成为像素电极的导电膜之后且通过蚀刻形成像素电极之前的状态,无论是任何状态都可以。

[0019] 此外,本说明书中的显示装置是指图像显示装置、发光装置、或者光源 (包括照明装置)。显示装置还包括安装有连接器诸如 FPC (柔性印刷电路)、TAB (载带自动键合) 带或 TCP (带载封装) 的模块;印刷线路板设置到 TAB 带或 TCP 端部的模块;IC (集成电路) 通过 COG (玻璃上芯片) 方式直接安装在显示元件中的模块。

[0020] 根据本发明,可以生产率高地制造具有电特性优越且可靠性高的 p 沟道型薄膜晶

体管及 n 沟道型薄膜晶体管的显示装置。

附图说明

[0021] 图 1 中, A 至 C 分别是说明本发明的显示装置的结构俯视图、等效电路图、以及剖视图;

[0022] 图 2 是说明本发明的显示装置的结构剖视图;

[0023] 图 3 是说明等离子体 CVD 装置的反应室的结构图;

[0024] 图 4 是说明本发明的显示装置的制造方法的时序图;

[0025] 图 5 是表示具备多个反应室的多室等离子体 CVD 装置的结构图;

[0026] 图 6A 至 6C 是说明本发明的显示装置的结构剖视图;

[0027] 图 7 是说明本发明的显示装置的工作图;

[0028] 图 8 是说明本发明的显示装置的结构俯视图;

[0029] 图 9A 至 9F 是说明可以应用于本发明的显示装置的保护电路结构的等效电路图;

[0030] 图 10A 至 10B 是说明可以应用于本发明的显示装置的保护电路结构的剖视图;

[0031] 图 11A 至 11C 是说明本发明的显示面板的结构立体图;

[0032] 图 12A 至 12D 是说明使用本发明的显示装置的电子设备的立体图;

[0033] 图 13 是说明使用本发明的显示装置的电子设备的图;

[0034] 图 14A 至 14C 是说明本发明的显示装置的制造方法的剖视图;

[0035] 图 15A 至 15C 是说明本发明的显示装置的制造方法的剖视图;

[0036] 图 16A 至 16C 是说明本发明的显示装置的制造方法的剖视图;

[0037] 图 17A 和 17B 是说明本发明的显示装置的制造方法的俯视图;

[0038] 图 18A 至 18C 是说明本发明的显示装置的制造方法的剖视图;

[0039] 图 19A 和 19B 是说明本发明的显示装置的制造方法的剖视图;

[0040] 图 20A 至 20C 是说明本发明的显示装置的制造方法的剖视图;

[0041] 图 21A 至 21C 是说明本发明的显示装置的制造方法的剖视图;

[0042] 图 22A 和 22B 是说明本发明的显示装置的制造方法的俯视图;

[0043] 图 23A 至 23D 是说明可以应用于本发明的多级灰度掩模的图;

[0044] 图 24 是表示具备多个反应室的多室等离子体 CVD 装置的结构图。

[0045] 具体实施方式

[0046] 下面, 参照附图说明本发明的实施方式。但是, 本发明可以通过多种不同的方式来实施, 所属技术领域的普通人员可以很容易地理解一个事实就是其形式及详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的方式。因此, 本发明不应该被解释为仅限定在本实施方式所记载的内容中。此外, 在以下所示的附图中, 在不同附图之间共同使用表示同一部分或具有同样功能的部分的附图标记而省略其反复说明。

[0047] 实施方式 1

[0048] 下面, 描述本实施方式的显示装置所具有的像素的结构。图 1A 表示像素的俯视图的一个方式, 图 1B 表示像素的等效电路图的一个方式, 而图 1C 表示对应于图 1A 的线 A-B 的像素的截面结构的一个方式。

[0049] 在图 1A 至 1C 中,第一薄膜晶体管 51a 及第二薄膜晶体管 51b 相当于用来控制对像素电极输入信号的开关用薄膜晶体管或用来控制对发光元件 68 供给电流或电压的驱动用薄膜晶体管。

[0050] 第一薄膜晶体管 51a 的栅电极连接到扫描线 52,源极及漏极中的一方连接到用作信号线的布线 61a 至 61c,并且源极及漏极中的另一方连接到第二薄膜晶体管 51b 的栅电极 53。第二薄膜晶体管 51b 的源极及漏极中的一方连接到用作电源线的布线 63a 至 63c,并且源极及漏极中的另一方连接到显示装置的像素电极 66。此外,如图 1B 所示,第一薄膜晶体管 51a 的源极及漏极中的另一方及第二薄膜晶体管 51b 的栅电极连接到电容元件 67,并且电容元件 67 连接到用作电源线的布线 63a 至 63c。

[0051] 此外,电容元件 67 相当于在第一薄膜晶体管 51a 截止时保持第二薄膜晶体管 51b 的栅-源间电压或栅-漏间电压(以下称为栅电压)的电容元件,并不一定需要设置。

[0052] 在本实施方式中,使用 n 沟道型薄膜晶体管形成第一薄膜晶体管 51a 而使用 p 沟道型薄膜晶体管形成第二薄膜晶体管 51b。此外,也可以使用 p 沟道型薄膜晶体管形成第一薄膜晶体管 51a 而使用 n 沟道型薄膜晶体管形成第二薄膜晶体管 51b。

[0053] 接下来,参照图 1C 说明第一薄膜晶体管 51a 及第二薄膜晶体管 51b 的结构。

[0054] 第一薄膜晶体管 51a 形成有在衬底 50 上的栅电极 52、在栅电极上的栅极绝缘膜 54、在栅极绝缘膜上的微晶半导体膜 55、在微晶半导体膜 55 上的缓冲层 57、在缓冲层 57 上的一对 n 型半导体膜 59、以及在一对 n 型半导体膜 59 上的布线 61a 至 61c、62a 至 62c。此外,第一薄膜晶体管 51a 的迁移率为 $10\text{cm}^2/\text{V} \cdot \text{s}$ 以上且 $45\text{cm}^2/\text{V} \cdot \text{s}$ 以下。

[0055] 第二薄膜晶体管 51b 形成有在衬底 50 上的栅电极 53、在栅电极 53 上的栅极绝缘膜 54、在栅极绝缘膜 54 上的微晶半导体膜 56、在微晶半导体膜 56 上的缓冲层 58、在缓冲层 58 上的一对 p 型半导体膜 60、以及在一对 p 型半导体膜 60 上的布线 63a 至 63c、64a 至 64c。此外,第一薄膜晶体管 51a 的布线 62a 和第二薄膜晶体管 51b 的栅电极 53 在栅极绝缘膜 54 的接触孔中互相连接。此外,第二薄膜晶体管 51b 的迁移率为 $0.3\text{cm}^2/\text{V} \cdot \text{s}$ 以下。

[0056] 在本实施方式中,微晶半导体膜 55、56 分别用作第一薄膜晶体管 51a、第二薄膜晶体管 51b 的沟道形成区域,并且包含于微晶半导体膜 55、56 中的氧的浓度为 $1 \times 10^{16}\text{atoms}/\text{m}^3$ 以下。在微晶半导体膜中,氧成为缺陷。由此,由于通过降低微晶半导体膜 55、56 的氧浓度可以减少膜中的缺陷,所以可以提高载流子的迁移率。此外,由于使用微晶半导体膜作为沟道形成区域,所以可以抑制阈值的变动。因此,可以提高第一薄膜晶体管 51a、第二薄膜晶体管 51b 的电特性。而且,在 p 沟道型薄膜晶体管中,通过降低用作施主的氧的浓度,可以提高 p 沟道型薄膜晶体管的迁移率。因此,当采用将微晶半导体膜用于沟道形成区域的反交错型薄膜晶体管时,也可以制造 p 沟道型薄膜晶体管。

[0057] 此外,在微晶半导体膜 55 和 n 型半导体膜 59 之间、以及微晶半导体膜 56 和 p 型半导体膜 60 之间分别具有缓冲层 57、58。缓冲层 57、58 在用作微晶半导体膜 55、56 的氧化保护膜的同时,还用作高电阻区域。由此,可以在避免氧化物形成于微晶半导体膜 55、56 而迁移率降低的同时,可以降低薄膜晶体管的截止电流。因此,可以提高显示装置的对比度。

[0058] 此外,在本实施方式中,像素的等效电路不局限于图 1B,只要是具有反交错型 p 沟道型薄膜晶体管、反交错型 n 沟道型薄膜晶体管、以及像素电极,并且构成该像素电极连接到反交错型 p 沟道型薄膜晶体管或反交错型 n 沟道型薄膜晶体管的等效电路的像素,即可。

[0059] 作为衬底 50, 可以使用通过熔化方法或浮发方法 (float method) 制造的无碱玻璃衬底例如钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、铝硅酸盐玻璃等、或者陶瓷衬底, 还可以应用具有可承受本制造过程的处理温度的耐热性的塑料衬底等。此外, 还可以应用在不锈钢合金等金属衬底表面上设置绝缘膜的衬底。在衬底 50 是母体玻璃的情况下, 衬底的尺寸可以采用第一代 (320mm×400mm)、第二代 (400mm×500mm)、第三代 (550mm×650mm)、第四代 (680mm×880mm 或 730mm×920mm)、第五代 (1000mm×1200mm 或 1100mm×1250mm)、第六代 (1500mm×1800mm)、第七代 (1900mm×2200mm)、第八代 (2160mm×2460mm)、第九代 (2400mm×2800mm 或 2450mm×3050mm)、第十代 (2950mm×3400mm) 等。

[0060] 栅电极 52、53、以及电容电极 (未图示) 由金属材料形成。作为金属材料应用铝、铬、钛、钽、钼、以及铜等。栅电极 52、53、以及电容电极的优选例子由铝、或者铝和阻挡金属的叠层结构体形成。作为阻挡金属, 使用高熔点金属例如钛、钼、铬等。为了防止铝的小丘及氧化, 优选设置阻挡金属。由于在栅电极 52、53 上形成半导体膜和布线, 所以优选将栅电极 52、53 的端部加工为锥形形状, 以便防止断开。

[0061] 通过溅射法、CVD 法、蒸镀法、印刷法、液滴喷射法等, 形成栅电极 52、53。此外, 在通过溅射法、CVD 法等形成的情况下, 在衬底 50 的整个表面上形成金属材料膜, 然后使用通过光刻法形成的抗蚀剂掩模部分地蚀刻金属材料膜, 来形成栅电极 52、53、以及电容电极。

[0062] 栅极绝缘膜 54 由厚度为 50nm 至 300nm 的氮化硅、氧化硅、氮氧化硅、氧氮化硅、氮化铝、氮氧化铝等绝缘材料形成。

[0063] 作为栅极绝缘膜 54 的一例, 有如下结构: 在栅电极 52、53、以及电容电极上设置氮化硅膜 (或氮氧化硅膜) 作为第一栅极绝缘膜且在其上设置氧化硅膜 (或氧氮化硅膜) 作为第二栅极绝缘膜的结构。像这样, 通过使用多个层形成栅极绝缘膜 54, 可以对栅极绝缘膜 54 给予多种功能。例如, 通过设置氮化硅膜 (或氮氧化硅膜) 作为第一栅极绝缘膜, 可以防止来自元件衬底的杂质扩散且防止栅电极 52、53 等的氧化。此外, 在使用铝作为栅电极 52、53 的情况下, 可以防止铝的小丘。设置氧化硅膜 (或氧氮化硅膜) 作为第二栅极绝缘膜具有如下效果, 即, 提高与形成在其上的微晶硅膜密合的密合性, 并且缓和第一栅极绝缘膜的应力弯曲的影响。第一栅极绝缘膜优选形成为 10nm 至 100nm 的厚度, 而第二栅极绝缘膜优选形成为 50nm 至 150nm 的厚度。而且, 也可以在氧化硅膜上形成厚度为 5nm 至 10nm 的氮化硅膜。特别是, 在显示装置是发光显示装置的情况下, 由于采用直流驱动, 所以栅极绝缘膜优选具有高耐压性。因此, 优选采用上述三层结构的栅极绝缘膜。此外, 通过使用氧氮化硅或氧化硅作为栅极绝缘膜, 可以抑制阈值的变动。

[0064] 栅极绝缘膜 54 通过溅射法、CVD 法、涂敷法等形成。

[0065] 微晶半导体膜 55、56 是具有非晶结构和结晶 (包括单晶、多晶) 结构的中间结构的半导体的膜。该半导体是具有在自由能方面上很稳定的 (就是说, 在热力学方面上很稳定的) 第三状态的半导体, 并且是具有短程有序且品格畸变的结晶半导体。在该半导体中, 其粒径为 0.5nm 至 50nm, 优选为 1nm 至 20nm 的柱形形状或针形形状的结晶向对衬底表面的法线方向成长。另外, 其中混合存在微晶半导体和非单晶半导体。在微晶半导体的代表例子的微晶硅中, 其拉曼光谱转移到低于表示单晶硅的 520.5cm^{-1} 的波数一侧。就是说, 微晶硅的拉曼光谱的高峰位于表示单晶硅的 520.5cm^{-1} 和表示非晶硅的 480cm^{-1} 之间。此外, 导入至少 1 原子% 或其以上的氢或卤素, 以便终结悬空键。再者, 通过将氢、氘、氦、氖等的稀

有气体元素包含在微晶半导体膜中而进一步促进晶格畸变,可以获得稳定性提高的优质的微晶半导体膜。关于这种微晶半导体膜的记述例如在美国专利文件 4, 409, 134 号中公开。

[0066] 微晶半导体膜 55、56 的厚度为 10nm 至 500nm(优选为 100nm 至 250nm)。通过将微晶半导体膜 55、56 的厚度设定为 10nm 以上且 500nm 以下,后面形成的薄膜晶体管成为完全耗尽型。此外,作为微晶半导体膜 55、56,使用微晶硅膜、添加有锗或碳的微晶硅膜形成。

[0067] 另外,当示意性地不添加以控制价电子为目的的杂质元素时,微晶半导体膜呈现较弱的 n 型导电性,因此,也可以对于用作薄膜晶体管的沟道形成区域的微晶半导体膜,在成膜同时或成膜之后添加给予 p 型的杂质元素来控制阈值。作为给予 p 型的杂质元素以硼为代表,将 B_2H_6 、 BF_3 等杂质气体以 1ppm 至 1000ppm,优选以 1ppm 至 100ppm 的比例混入到氢化硅,即可。并且,将硼的浓度例如设定为 1×10^{14} atoms/cm³ 至 6×10^{16} atoms/cm³,即可。

[0068] 另外,优选将微晶半导体膜的氮及碳的浓度都设定为 3×10^{18} atoms/cm³ 以下。通过降低微晶半导体膜的杂质浓度,可以减少微晶半导体膜的缺陷。

[0069] 在实施方式 2 中详细说明微晶半导体膜 55、56 的成膜方法。

[0070] 缓冲层 57、58 通过使用厚度为 50nm 至 400nm 的非晶半导体膜形成。代表性地使用非晶硅膜形成。或者,通过使用包含选自氮、氟、氯、氦、氩、氙、以及氪中的一种以上的非晶硅膜形成。

[0071] 缓冲层 57、58 可以通过等离子体 CVD 法且使用 SiH_4 、 Si_2H_6 等氢化硅形成。另外,通过使用选自氮、氩、氙、以及氪中的一种或多种的稀有气体元素稀释上述氢化硅来形成非晶半导体膜。也可以使用氢化硅的流量的 1 倍以上且小于 10 倍,优选为 1 倍以上且 5 倍以下的流量的氢来形成包含氢的非晶半导体膜。进而,对上述原料气体添加包含氮、氩、氟、氯、溴或碘的气体 (F_2 、 Cl_2 、 HF 、 HCl 等) 中的一种以上来形成缓冲层 57、58。

[0072] 或者,也可以通过溅射法形成缓冲层 57、58。

[0073] n 型半导体膜 59 及 p 型半导体膜 60 添加有以控制价电子为目的的一导电型杂质。n 型半导体膜 59 添加有磷或砷,而 p 型半导体膜 60 添加有硼。n 型半导体膜 59 的代表例子为添加有磷的非晶硅膜或微晶硅膜,而 p 型半导体膜 60 的代表例子为添加有硼的非晶硅膜或微晶硅膜。

[0074] 布线 61a 至 61c、63a 至 63c 向与连接到栅电极 52 的扫描线交叉的方向延伸,并且受到第一薄膜晶体管 51a 的源极或漏极的电位供给。布线 62a 至 62c 与第二薄膜晶体管 51b 的栅电极 53 连接,并且受到第二薄膜晶体管 51b 的栅电极的电位供给。布线 64a 至 64c 与像素电极连接,并且受到第二薄膜晶体管 51b 的漏极或源极的电位供给。

[0075] 布线 61a 至 61c、62a 至 62c、63a 至 63c、以及 64a 至 64c 优选使用铝、铜、或者添加有耐热性提高元素例如硅、钛、钽、钨等的铝形成。通过溅射法或蒸镀法形成铝膜,并且利用光刻技术形成为预定图案。另外,也可以通过丝网印刷法、喷墨法、纳米压印法使用银、铜等导电纳米膏形成。

[0076] 布线 61a 至 61c、62a 至 62c、63a 至 63c、以及 64a 至 64c 如上所述那样使用铝、铜等形成即可,并且也可以采用组合发挥提高与基底密合的密合性且防止扩散的阻挡层的功能的导电材料而成的叠层结构。例如,使用高熔点金属例如钼、铬、钛、钽、氮化钛等形成用作阻挡层的布线 61a、62a、63a、以及 64a,使用上述铝或添加有耐热性提高元素的铝等形成布线 61b、62b、63b、以及 64b,并且使用与布线 61a、62a、63a、以及 64a 相同的导电材料形成

布线 61c、62c、63c、以及 64c。

[0077] 保护绝缘膜 65 以覆盖缓冲层 57、58、布线 61a 至 61c、62a 至 62c、63a 至 63c、以及 64a 至 64c 等的方式形成。保护绝缘膜 65 优选使用氮化硅、氮氧化硅形成。暴露布线 64c 的接触孔 69 形成在保护绝缘膜 65 中。

[0078] 保护绝缘膜 65 通过溅射法或 CVD 法形成。

[0079] 像素电极 66 在接触孔 69 中与布线 64c 连接。像素电极 66 通过使用具有透光性的导电材料例如氧化铟锡、氧化锌、氧化锡等形成。或者,通过使用具有遮光性的导电材料例如铝、氮化铝、钛、氮化钛、钽、氮化钽或银等形成。或者,也可以使用有机导电材料形成。

[0080] 此外,虽然在图 1C 中薄膜晶体管 51a、51b 是部分形成有凹部的沟道蚀刻型薄膜晶体管,其中当分离布线 61a 至 61c、62a 至 62c、63a 至 63c、以及 64a 至 64c 与 n 型半导体膜 59 及 p 型半导体膜 60 时,缓冲层 57、58 的一部分也被蚀刻,但是薄膜晶体管 51a、51b 不局限于此。

[0081] 如图 2 所示那样,也可以采用沟道保护型薄膜晶体管作为第一薄膜晶体管 70a,其中在栅电极 52 上形成有栅极绝缘膜 54,在栅极绝缘膜 54 上形成有微晶半导体膜 55,在微晶半导体膜 55 上形成有缓冲层 71,在缓冲层 71 上形成有沟道保护膜 73,在沟道保护膜 73 上形成有一对 n 型半导体膜 75,并且在 n 型半导体膜 75 上形成有一对布线 61a 至 61c、62a 至 62c。此外,与此同样,也可以采用沟道保护型薄膜晶体管作为第二薄膜晶体管 70b,其中在栅电极 53 上形成有栅极绝缘膜 54,在栅极绝缘膜 54 上形成有微晶半导体膜 56,在微晶半导体膜 56 上形成有缓冲层 72,在缓冲层 72 上形成有沟道保护膜 74,在沟道保护膜 74 上形成有一对 p 型半导体膜 76,并且在 p 型半导体膜 76 上形成有一对布线 63a 至 63c、64a 至 64c。

[0082] 此外,虽然图 1C 及图 2 示出单栅极结构的薄膜晶体管,但是也可以采用多栅极结构,在该多栅极结构中,多个薄膜晶体管串联连接,并且多个薄膜晶体管共同使用一个微晶半导体膜。通过采用多栅极结构,可以降低薄膜晶体管的截止电流。

[0083] 本实施方式所示的显示装置具有通过如下方法形成的像素,即,作为用来控制对像素电极的信号输入的开关用薄膜晶体管或用来控制对发光元件 68 的电流或电压的供给的驱动用薄膜晶体管,使用 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管。n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管由于使用微晶半导体膜作为沟道形成区域,所以可以抑制阈值的变动。此外,微晶半导体膜的氧浓度为 $1 \times 10^{16} \text{ atoms/m}^3$ 以下。因此,可以减少缺陷。此外,在 p 沟道型薄膜晶体管中,可以降低发挥施主的功能的氧的浓度。根据上述理由,可以提高 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管的迁移率。代表性地,可以将 n 沟道型薄膜晶体管的迁移率设定为 $10 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上且 $45 \text{ cm}^2/\text{V} \cdot \text{s}$ 以下,并且将 p 沟道型薄膜晶体管迁移率设定为 $0.3 \text{ cm}^2/\text{V} \cdot \text{s}$ 以下。

[0084] 实施方式 2

[0085] 在本实施方式中,参照图 3 至图 5、以及图 24 说明用来形成实施方式 1 所示的栅极绝缘膜、微晶半导体膜、缓冲层、n 型半导体膜、p 型半导体膜、以及保护绝缘膜等的等离子体 CVD 装置及这些膜的成膜方法。

[0086] 图 3 示出施加高频电力的等离子体 CVD 装置的一个结构例子。反应室 400 由铝或不锈钢等具有刚性的材料形成,并且以能够进行真空排气的方式构成。反应室 400 具备第

一电极 401 和第二电极 402。

[0087] 第一电极 401 与高频电力供给单元 403 联结,并且第二电极 402 被施加接地电位且构成为能够安装衬底。第一电极 401 由绝缘材料 416 与反应室 400 绝缘分离,由此构成高频电力不泄漏。此外,虽然在图 3 中示出第一电极 401 和第二电极 402 为电容耦合型(平行平板型)结构,但是只要是通过施加高频电力可以在反应室 400 内部产生等离子体的结构,也可以采用其他结构例如电感耦合型等。

[0088] 高频电力供给单元 403 包括高频电源 404、以及对应于此的匹配器(matching box)406。从高频电源 404 输出的高频电力提供给第一电极 401。

[0089] 作为高频电源 404 供给的高频电力,应用波长实质上为 10m 以上且属于 HF 频带的 3MHz 至 30MHz 的高频,典型为 13.56MHz 的频率、或者波长实质上小于 10m 且属于 VHF 频带的高频,典型为 30MHz 至 300MHz 的高频电力。

[0090] 第一电极 401 还与气体供给单元 408 联结。气体供给单元 408 由填充反应气体的汽缸 410、压力调节阀 411、停止阀 412、以及质量流量控制器 413 等构成。在反应室 400 内,第一电极 401 的与衬底相对的表面被加工为簇射板形状,并且设置有多个细孔。提供给第一电极 401 的反应气体从中空结构的第一电极的细孔提供给反应室 400 内。

[0091] 与反应室 400 连接的排气单元 409 具有真空排气功能、以及在流入反应气体时将反应室 400 内控制为保持预定压力的功能。排气单元 409 包括蝶阀 417、导电阀 418、涡轮分子泵 419、干燥泵 420 等。在并联布置蝶阀 417 和导电阀 418 的情况下,通过关断蝶阀 417 而使得导电阀 418 工作,可以控制反应气体的排气速度而将反应室 400 的压力保持在预定范围内。此外,通过开放导电率大的蝶阀 417,可以实现高真空排气。

[0092] 在直到低于 10^{-5} Pa 的压力的真空度进行超高真空排气的情况下,优选并用低温泵 421。另外,在直到作为到达真空度的超高真空进行排气的情况下,也可以对反应室 400 的内壁进行镜面加工,并且设置焙烧用加热器,以便减少从内壁释放的气体。

[0093] 由加热器控制器 415 控制温度的衬底加热器 414 设置在第二电极 402 内。衬底加热器 414 在设置在第二电极 402 内的情况下,采用导热加热方式且由护套加热器(sheath heater)等构成。可以适当地改变第一电极 401 和第二电极 402 之间的间隔。为了调节上述间隔,设置伸缩管(bellows)以便在反应室 400 内调节第二电极 402 的高度。

[0094] 通过使用根据本实施方式的等离子体 CVD 装置的反应室,可以形成以氧化硅膜及氮化硅膜为代表的绝缘膜、以微晶硅膜及非晶硅膜为代表的半导体膜、以及其他用于薄膜晶体管等的各种薄膜。

[0095] 下面,作为形成薄膜的方法的代表例子,参照图 4 以时间系列说明形成微晶硅膜的工序。

[0096] 图 4 是说明形成微晶硅膜的工序的时序图,表示代表性的一例。图 4 的描述从对反应室进行从大气压到真空的真空排气 440 的阶段开始表示,并且以时间系列表示之后进行的预涂敷(precoating)441、衬底搬入 442、基底预处理 443、成膜处理 444、衬底搬出 445、以及洗涤 446 的各处理。

[0097] 首先,直到成为预定真空度,对反应室进行真空排气。在直到低于 10^{-5} Pa 的压力的真空度进行超高真空排气的情况下,通过涡轮分子泵进行排气,而且使用低温泵进行真空排气。另外,优选对反应室进行加热处理来从内壁进行脱气处理。另外,通过还使加热

衬底的加热器工作而使得温度稳定化。衬底的加热温度为 100℃至 300℃,优选为 120℃至 280℃,更优选为 120℃至 220℃。

[0098] 作为预涂敷 441,优选导入氩等的稀有气体进行等离子体处理,以便除去吸附到反应室的内壁的气体(氧及氮等的大气成分、或者用于反应室的洗涤的蚀刻气体)。通过该处理可以降低到达真空度。另外,预涂敷 441 包括使用与应该淀积在衬底上的膜相同种类的膜覆盖反应室的内壁的处理。本实施方式表示形成微晶硅膜的工序。从而,进行形成硅膜作为内壁覆盖膜的处理。预涂敷 441 在导入硅烷气体之后施加高频电力来产生等离子体。由于硅烷气体与氧、水分等起反应,因此通过流入硅烷气体且产生硅烷等离子体,可以除去反应室内的氧、水分。

[0099] 在预涂敷 441 之后,进行衬底搬入 442。由于应该被淀积微晶硅膜的衬底储存在真空排气后的装载室,所以即使搬入衬底,真空度也不会显著地退化。

[0100] 基底预处理 443 是在形成微晶硅膜的情况下特别有效的处理,优选进行。换言之,在通过等离子体 CVD 法在玻璃衬底表面、绝缘膜表面、或者非晶硅表面上形成微晶硅膜的情况下,起因于杂质或晶格不匹配等而在淀积初期阶段上形成非晶层。为了尽可能地减薄该非晶层,并且为了如果能够的话就除去该非晶层,优选进行基底预处理 443。作为基底预处理,优选进行稀有气体等离子体处理、氢等离子体处理、或者双方。在稀有气体等离子体处理中,优选使用质量数大的稀有气体元素例如氩、氦、氙等。这是为了通过溅射的作用除去吸附到表面上的氧、水分、有机物、金属元素等的缘故。氢等离子体处理有效于由氢自由基除去吸附到表面上的上述杂质,并且有效于通过对绝缘膜或非晶硅膜进行的蚀刻作用形成洗涤表面。此外,也可以期待通过并用稀有气体等离子体处理和氢等离子体处理来促进微晶核的产生的作用。

[0101] 在促进微晶核的产生的观点上,如图 4 中的虚线 447 所示那样,在微晶硅膜的成膜初期阶段上继续供给氩等的稀有气体是有效的。

[0102] 形成微晶硅膜的成膜处理 444 是基底预处理 443 之后接着进行的处理。微晶硅膜通过在硅烷气体(在形成杂质半导体的情况下,除了硅烷以外,还添加掺杂气体)和氢及/或稀有气体的混合气体中利用辉光放电等离子体来形成。硅烷由氢及/或稀有气体稀释为 10 倍至 2000 倍。衬底的加热温度为 100℃至 300℃,优选为 120℃至 280℃,更优选为 120℃至 220℃。为了使用氢对微晶硅膜的成长表面进行惰性化来促进微晶硅的成长,而优选在 120℃至 220℃的温度下形成膜。

[0103] 如本实施方式所示那样,通过施加 1MHz 至 20MHz、典型为 13.56MHz 的高频电力、或者大于 20MHz 且 120MHz 以下左右的 VHF 频带的高频电力来产生辉光放电等离子体。

[0104] 在此情况下,通过预先进行预涂敷 441 的处理,可以防止微晶硅膜包含构成反应室的金属作为杂质。换言之,通过使用硅覆盖反应室内,可以防止反应室内被等离子体蚀刻,并且可以降低包含于微晶硅膜中的杂质浓度。

[0105] 在成膜处理 444 中,也可以对反应气体加入氦。氦由于具有所有的气体中最高的电离能,即 24.5eV,并且在稍微低于该电离能的 20eV 左右的能级具有准稳定状态,所以在放电继续中,电离仅需要上述能级的区别,即 4eV 左右。因此,放电开始电压呈现所有的气体中最低的值。根据上述特性,氦可以稳定地保持等离子体。此外,由于可以形成均匀的等离子体,所以即使淀积微晶硅膜的衬底的面积大,也可以发挥等离子体密度的均匀化的效

果。

[0106] 在微晶硅膜的成膜结束之后,停止硅烷、氢等的反应气体及高频电力的供应,进行衬底搬出 445。在接着对另一衬底进行成膜处理的情况下,返回到衬底搬入 442 的阶段进行相同的处理。为了除去吸附到反应室内的被膜或粉末,进行洗涤 446。

[0107] 作为洗涤 446,导入以 NF_3 、 SF_6 为代表的蚀刻气体进行等离子体蚀刻。另外,导入一种不利用等离子体也可以蚀刻的气体例如 ClF_3 进行。在洗涤 446 中,优选在停止衬底加热用的加热器来降低反应室的温度的状态下进行。这是因为抑制在蚀刻时产生反应副产物的缘故。在洗涤 446 结束之后,返回到预涂敷 441,以下进行相同的处理即可。

[0108] 虽然在本实施方式中参照图 4 说明微晶硅膜的成膜方法,但是本实施方式不局限于此,通过代替反应气体可以形成各种薄膜。在作为半导体膜的非晶硅膜、非晶硅锗膜、非晶碳化硅膜、微晶硅锗膜、微晶碳化硅膜等的形成时,可以利用本实施方式。另外,在作为绝缘膜的氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜等的形成时,可以利用本实施方式。

[0109] 此外,氧氮化硅膜是作为其组成氧的含量多于氮,当使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)以及氢前方散射法(HFS:Hydrogen Forward Scattering)测量时,作为浓度范围,其包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的硅、0.1 原子%至 10 原子%的氢。另外,氮氧化硅膜是作为其组成,氮的含量多于氧,当使用 RBS 以及 HFS 测量时,作为浓度范围,其包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的硅、10 原子%至 30 原子%的氢。但是,在以构成氧氮化硅或氮氧化硅的原子的总计设定为 100 原子%的情况下,氮、氧、硅、以及氢的含有比率包括于上述范围内。

[0110] 如上所述那样,根据本实施方式可以形成氧浓度为 $1 \times 10^{16} \text{atoms/cm}^3$ 以下的薄膜,代表性的是微晶硅膜。

[0111] 接下来,作为应用上述反应室的等离子体 CVD 装置的一个例子,表示适合形成构成 TFT 的栅极绝缘膜及半导体膜的结构的一个例子。

[0112] 图 5 示出具备多个反应室的多室等离子体 CVD 装置的一个例子。该装置包括公共室 423、装载/卸载室 422、第一反应室 401a、第二反应室 401b、以及第三反应室 401c。设置在装载/卸载室 422 的盒子(cassette)的衬底由公共室 423 的搬送机构 426 搬入/搬出于各反应室,这是单晶片处理(single wafer processing)。在公共室 423 和每个室之间具备有闸阀 425,以便防止在每个反应室中进行的处理彼此干扰。

[0113] 每个反应室根据要形成的薄膜种类被区分。例如,在第一反应室 401a 中形成绝缘膜如栅极绝缘膜等,在第二反应室 401b 中形成要形成沟道的微晶半导体层,并且在第三反应室 401c 中形成要形成源极及漏极的一导电型的杂质半导体层。不言而喻,反应室的数量不局限于图 5 所示的数量,可以根据需要任意进行增减。此外,既可在一个反应室中形成一个膜,又可在一个反应室中形成多个膜。

[0114] 每个反应室连接有涡轮分子泵 419 和干燥泵 420 作为排气单元 430。排气单元不局限于上述真空泵的组合,只要能够直到 10^{-1}Pa 至 10^{-5}Pa 左右的真空度排气,就可以应用其它真空泵。此外,形成微晶半导体膜的第二反应室 401b 联结有低温泵 421 作为能够直到超高真空进行真空排气的。在排气单元 430 和每个反应室之间设置有蝶阀 417,通过其可以遮断真空排气,并且通过导电阀 418 可以控制排气速度来调节每个反应室的压力。

[0115] 气体供给单元 408 由填充用于过程的气体例如以硅烷为代表的半导体材料气体或稀有气体等的气缸 410、停止阀 412、质量流量控制器 413 等构成。气体供给单元 408g 连接到第一反应室 401a, 并且供给用来形成栅极绝缘膜的气体。气体供给单元 408i 连接到第二反应室 401b, 并且供给微晶半导体膜用的气体。气体供给单元 408n 连接到第三反应室 401c, 并且例如供给 n 型半导体膜用的气体。气体供给单元 408a 和气体供给单元 408f 是分别供给氢和用于反应室内的洗涤的蚀刻气体的系统, 并且这些单元连接到各反应室。

[0116] 每个反应室联结有用来形成等离子体的高频电力供给单元 403。高频电力供给单元 403 包括高频电源 404 和匹配器 406。

[0117] 图 24 示出对图 5 所示的多室等离子体 CVD 装置的结构加上第四反应室 401d 的结构。第四反应室 401d 与气体供给单元 408b 联结。另外, 高频电力供给单元及排气单元的结构与图 5 相同。可以根据要形成的薄膜种类分别使用各反应室。例如, 在第一反应室 401a 中形成绝缘膜如栅极绝缘膜等, 在第二反应室 401b 中形成要形成沟道的微晶半导体层, 在第四反应室 401d 中形成保护沟道形成用的半导体层的缓冲层, 并且在第三反应室 401c 中形成要形成源极及漏极的一导电型的杂质半导体层。由于每个薄膜具有最合适的成膜温度, 因此必须分别控制各反应室的温度。通过分开设置反应室, 容易管理成膜温度。而且, 由于可以反复形成相同种类的膜, 因此可以消除涉及成膜履历的残留杂质导致的影响。

[0118] 如本实施方式所示那样, 通过如图 5 及图 24 所示使用多个反应室且将它们联结在公共室, 可以在不暴露于大气的状态下连续层叠多个不同的层。

[0119] 此外, 虽然图 5 及图 24 不表示, 但是还设置供给 p 型半导体膜用的气体 (典型地是乙硼烷、硅烷、以及氢) 的气体供给单元、以及联结该气体供给单元的反应室。

[0120] 实施方式 3

[0121] 下面, 参照图 1A 至 1C、图 6A 至 6C、以及图 7 说明显示装置的一个方式的发光装置。这里使用利用电致发光的发光元件表示发光装置。利用电致发光的发光元件根据发光材料是有机化合物还是无机化合物被分类, 一般来说, 前者被称为有机 EL 元件而后者被称为无机 EL 元件。

[0122] 在有机 EL 元件中, 通过对发光元件施加电压, 电子及空穴从一对电极分别注入到包含发光性的有机化合物的层, 由此电流流通。并且, 通过这些载流子 (电子及空穴) 复合, 发光性的有机化合物形成激发态, 在从该激发态回到基态时发光。由于这种机理, 上述发光元件被称为电流激发型发光元件。

[0123] 无机 EL 元件根据其元件结构被分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件包括将发光材料颗粒分散在粘合剂中的发光层, 并且其发光机理是利用施主能级和受主能级的施主-受主复合型发光。薄膜型无机 EL 元件具有在电介质层之间夹住发光层且在电极之间夹住其的结构, 并且其发光机理是利用金属离子内壳层电子跃迁的局部存在型发光。

[0124] 这里, 使用有机 EL 元件作为发光元件进行说明。另外, 虽然使用图 1C 所示的沟道蚀刻型薄膜晶体管作为薄膜晶体管, 但是也可以适当地使用图 2 所示的沟道保护型薄膜晶体管。

[0125] 作为发光装置的一个方式, 存在图 1A 和 1C 所示的结构及图 1B 所示的具有等效电路的像素。典型地说, 如图 6A 所示那样, 在衬底 50 上形成用作第二薄膜晶体管 51b 的开关

用薄膜晶体管的第一薄膜晶体管 51a ;用作发光元件的驱动用薄膜晶体管的第二薄膜晶体管 51b ;以及在保护绝缘膜 65 的接触孔中与第二薄膜晶体管 51b 的布线 64c 连接的像素电极 66。

[0126] 如图 6A 所示,在保护绝缘膜 65 及像素电极 66 的端部上形成分隔壁 70。分隔壁 70 具有开口部,在该开口部中像素电极 66 露出。分隔壁 70 由硅氧烷聚合物等有机树脂膜、或者无机绝缘膜形成。特别是,优选使用感光材料,在像素电极上形成开口部,并且将该开口部的侧壁形成为具有连续曲率的倾斜面。

[0127] 接下来,以在分隔壁 70 的开口部中与像素电极 66 接触的方式形成发光层 82,以覆盖发光层 82 的方式形成对置电极 83,并且以覆盖对置电极 83 及分隔壁 70 的方式形成保护绝缘膜 84。

[0128] 发光层 82 既可由单层构成,又可由多个层的叠层构成。此外,在第二薄膜晶体管 51b 是 p 沟道型薄膜晶体管的情况下使用由功函数大的导电材料形成的阳极作为像素电极 66,而在第二薄膜晶体管 51b 是 n 沟道型薄膜晶体管的情况下使用由功函数小的导电材料形成的阴极作为像素电极 66。

[0129] 在分隔壁 70 的开口部中,通过像素电极 66、发光层 82、以及对置电极 83 彼此重叠,以构成发光元件 90。

[0130] 使用氮化硅膜、氮氧化硅膜、以及 DLC 膜等形成保护绝缘膜 84,以免氧、氢、水分、二氧化碳等侵入到发光元件 90 中。

[0131] 进而,实际上,优选由气体阻挡性高且脱气少的保护薄膜(层压薄膜、紫外线硬化树脂薄膜等)或覆盖材料封装(密封)保护绝缘膜 84,以免暴露于外界空气。

[0132] 接下来,参照图 6A 至 6C 说明发光元件的结构。这里,以驱动用薄膜晶体管的第二薄膜晶体管 51b 是 p 型的情况为例,说明发光元件的截面结构。

[0133] 在发光元件中,为了取出发光,其阳极及阴极中的至少一方是透明即可。并且,在衬底上形成薄膜晶体管及发光元件的状态下,发光元件例如有如下结构:从与衬底相反一侧的表面取出发光的顶部发射结构;从衬底一侧的表面取出发光的底部发射结构;以及从衬底一侧及与衬底相反一侧的表面双方取出发光的双面发射结构。本实施方式的像素结构可以应用于具有上述发射结构中的任何一个的发光元件。

[0134] 参照图 6A 说明底部发射结构的发光元件。图 6A 示出在驱动用薄膜晶体管 51b 是 p 型且从发光元件 90 发射的光穿过像素电极 66 而发射的情况下的发光元件的剖视图。在此,像素电极 66 用作阳极。在图 6A 中,形成有与驱动用薄膜晶体管的第二薄膜晶体管 51b 电连接且由具有透光性的导电材料形成的像素电极 66,并且在像素电极 66 上依次层叠有发光层 82 及对置电极 83。在该实例中,对置电极 83 用作阴极。像素电极 66 通过使用功函数大且具有透光性的导电材料形成,例如可以使用具有透光性的导电膜如氧化铟锡、氧化锌、氧化锡等。对置电极 83 只要是功函数小且具有遮光性的导电膜,就可以使用已知材料。例如,优选使用 Ca、Al、MgAg、AlLi 等。发光层 82 既可由单层构成,又可由多层的叠层构成。在发光层 82 由多层构成的情况下,在像素电极 66 上依次层叠空穴注入层、空穴传输层、发光层、电子传输层、以及电子注入层。此外,不需要上述层的所有层。

[0135] 由对置电极 83 和像素电极 66 夹住发光层 82 的区域相当于发光元件 90。在图 6A 所示的像素中,从发光元件 90 发射的光如空心箭头所示那样发射到像素电极 66 一侧。

[0136] 接下来,参照图 6B 说明双面发射结构的发光元件。在图 6B 中,在与驱动用薄膜晶体管的第二薄膜晶体管 51b 电连接且具有透光性的像素电极 66 上依次层叠有发光层 82 及阴极 85。像素电极 66 用作阳极。阴极 85 与图 6A 的情况同样只要是功函数小的导电膜就可以使用已知材料。但是,将其厚度设定为透过光的程度。例如,可以使用具有 20nm 的厚度的 Al 或 MgAg 作为阴极 85。发光层 82 与图 6A 同样既可由单层构成,又可由多层的叠层构成。像素电极 66 可以与图 6A 同样地使用功函数大且具有透光性的导电材料来形成。

[0137] 由像素电极 66、发光层 82、以及阴极 85 重叠的部分相当于发光元件 90。在图 6B 所示的像素中,从发光元件 90 发射的光如空心箭头所示那样发射到像素电极 66 一侧和阴极 85 一侧的双方。

[0138] 参照图 6C 说明顶部发射结构的发光元件。

[0139] 图 6C 示出在驱动用薄膜晶体管 51b 是 p 型且从发光元件 90 发射的光穿过阴极 93 一侧的情况下的像素的剖视图。在图 6C 中,发光元件 90 的阳极 91 和驱动用薄膜晶体管 51b 电连接,并且在阳极 91 上依次层叠有发光层 92 及阴极 93。阳极 91 通过使用遮光的导电材料形成。典型地是,优选采用具有遮光性的导电材料如铝、钛、氮化钛、钽、氮化钽、银等和图 6A 所示的阳极材料的叠层结构。阴极 93 可以使用图 6A 所示的功函数小的导电膜。但是,将其厚度设定为透过光的程度。例如,可以使用具有 5nm 至 20nm 的厚度的 Al 或 AgMg 作为阴极 93。发光层 92 与图 6A 所示的发光层 82 同样既可由单层构成,又可由多层的叠层构成。

[0140] 由阳极 91、发光层 92、以及阴极 93 重叠的部分,相当于发光元件 90。在图 6C 所示的像素中,从发光元件 90 发射的光如空心箭头所示那样发射到阴极 93 一侧。

[0141] 此外,由于顶部发射结构的发光元件也可以在第一薄膜晶体管 51a、第二薄膜晶体管 51b 上发光,所以可以增大发光面积。然而,如果在发光层 92 下存在的膜具有凹凸,就在该凹凸上膜厚度的分布不均匀,阳极 91 和阴极 93 短路而导致发生显示缺陷。因此,在保护绝缘膜 65 上形成平坦化膜 86。在形成于平坦化膜 86 及保护绝缘膜 65 中的接触孔中,形成与布线 64c 连接的阳极 91。平坦化膜 86 优选使用有机树脂如丙烯、聚酰亚胺、聚酰胺等、或者硅氧烷聚合物来形成。此外,阳极 91 由于形成在平坦化膜 86 上,所以可以减少保护绝缘膜 65 的表面的凹凸。此外,在接触孔中阳极 91 具有凹凸,所以设置覆盖该凹凸部分且具有开口部的分隔壁 70。以在分隔壁 70 的开口部中与阳极 91 接触的方式形成发光层 92,以覆盖发光层 92 的方式形成阴极 93,并且以覆盖阴极 93 及分隔壁 70 的方式形成保护绝缘膜 84。

[0142] 此外,虽然在此说明了使用有机 EL 元件作为发光元件的情况,但是也可以设置无机 EL 元件作为发光元件。

[0143] 通过上述工序,可以制造发光装置。本实施方式的发光装置由于使用截止电流少、电特性优越、并且可靠性高的薄膜晶体管,所以是对比度高且可见度高的发光装置。

[0144] 接下来,将本实施方式所示的发光显示装置的像素 153 的等效电路的一个例子表示于图 1B。

[0145] 像素 153 包括第一薄膜晶体管 51a、第二薄膜晶体管 51b、电容元件 67、以及发光元件 68。此外,虽然这里表示使用 n 沟道型薄膜晶体管设置第一薄膜晶体管 51a 而使用 p 沟道型薄膜晶体管设置第二薄膜晶体管 51b 的例子,但是不局限于此。也可以使用 p 沟道型

薄膜晶体管设置第一薄膜晶体管 51a 而使用 n 沟道型薄膜晶体管设置第二薄膜晶体管 51b。

[0146] 在第一薄膜晶体管 51a 中,栅极与扫描线 G1 至 Gy 中的任何一个扫描线(在此设定为“扫描线 G”)电连接,源极及漏极中的一方与信号线 S1 至 Sx 中的任何一个信号线(在此设定为“信号线 S”)电连接,并且源极及漏极中的另一方与电容元件 67 的一个电极及第二薄膜晶体管 51b 的栅极电连接。此外,第一薄膜晶体管 51a 有时被称为开关薄膜晶体管或开关用薄膜晶体管。

[0147] 在第二薄膜晶体管 51b 中,栅极与第一薄膜晶体管 51a 的源极及漏极中的另一方和电容元件 67 的一个电极电连接,源极及漏极中的一方与电源供给线 V1 至 Vx 中的任何一个电源供给线(在此设定为“电源供给线 V”)电连接,并且源极及漏极中的另一方与发光元件 68 的一个电极电连接。发光元件 68 的另一个电极也可以设定为低电源电位。此外,第二薄膜晶体管 51b 有时被称为驱动用薄膜晶体管。

[0148] 此外,低电源电位是指以对电源供给线 V 设定的高电源电位为基准且满足低电源电位<高电源电位的电位,例如可以设定 GND、0V 等作为低电源电位。

[0149] 电容元件 67 的另一个电极与电源供给线 V1 至 Vx 中的任何一个电源供给线(在此设定为“电源供给线 V”)电连接。此外,也可以通过代用第二薄膜晶体管 51b 的栅极电容来省略电容元件 67。第二薄膜晶体管 51b 的栅极电容既可在源区、漏区、或者 LDD 区等与栅电极重叠的区域中形成,又可在沟道形成区域和栅电极之间形成。

[0150] 接下来,说明发光显示装置的工作。此外,在本实施方式中,说明以恒流模拟灰度方式工作的发光显示装置。此外,恒流驱动是在保持图像的期间如一个帧期间中以恒定电流驱动,而不是始终以相同的电流驱动。

[0151] 在扫描线 G 被选择的像素中,信号线 S 的电位经过处于导通状态的第一薄膜晶体管 51a 输入到电容元件 67 的一个电极。并且,相当于视频信号的电压的电荷储存在电容元件 67 中,并且电容元件 67 保持该电压。该电压相当于第二薄膜晶体管 51b 的栅极和源极之间的电压 V_{gs} 。

[0152] 并且,电容元件 67 的电极之间的电压施加到第二薄膜晶体管 51b 的栅极,对应于该外加电压,电流从电源供给线 V 经过第二薄膜晶体管 51b 流入到发光元件 68,而使得发光元件 68 发光。

[0153] 发光元件 68 的发光亮度实质上与流过发光元件 68 的电流成比例。因此,通过改变流入到发光元件 68 的电流,可以显示像素的灰度级。

[0154] 在本实施方式所示的发光显示装置中,流入到发光元件 68 的电流对应于施加到第二薄膜晶体管 51b 的栅极的电压从电源供给线 V 输入。一般来说,薄膜晶体管的漏极和源极之间的电压 V_{ds} 与其漏极电流 I_d 具有如图 7 所示那样的关系。

[0155] 图 7 示出对应于不同的栅极电压 V_{gs} 的多个曲线图。栅极电压 V_{gs} 和第二薄膜晶体管 51b 的阈值电压 V_{th} 之间的差别的绝对值 $|V_{gs}-V_{th}|$ 越大,换言之,栅极电压 V_{gs} 的绝对值 $|V_{gs}|$ 越大,漏极电流 I_d 越大。

[0156] 在栅极电压 V_{gs} 和第二薄膜晶体管 51b 的阈值电压 V_{th} 之间的差别的绝对值 $|V_{gs}-V_{th}|$ 大于漏极和源极之间的电压 V_{ds} 的绝对值 $|V_{ds}|$ 的情况下,薄膜晶体管在线形区域中工作,而在其为漏极和源极之间的电压 V_{ds} 的绝对值 $|V_{ds}|$ 以下的情况下,薄膜晶体管在饱和区域中工作。在饱和区域中工作的情况下,即使漏极和源极之间的电压 V_{ds} 改变,电

流值也几乎都不改变,只根据 V_{gs} 的大小确定电流值。

[0157] 在本实施方式所示的发光显示装置中,当发光元件 68 发光时,使第二薄膜晶体管 51b 在漏极和源极之间的电压 V_{ds} 的绝对值 $|V_{ds}|$ 为栅极电压 V_{gs} 和第二薄膜晶体管 51b 的阈值电压 V_{th} 之间的差别的绝对值 $|V_{gs}-V_{th}|$ 以上的饱和区域中工作。此外,在使发光元件 68 不发光时,截止第二薄膜晶体管 51b 即可。

[0158] 此外,通过改变施加到第二薄膜晶体管 51b 的栅极的电压(改变输入到信号线 S 的电位)而使得流入到发光元件 68 中的电流改变(恒流模拟灰度方式),来显示发光显示装置的像素的灰度级。换言之,在恒流模拟灰度方式中,通过改变输入到信号线 S 的模拟图像信号(改变信号线 S 的电位),来显示灰度级。

[0159] 此外,虽然对于本实施方式所示的发光显示装置,表示使用图 1B 所示的等效电路的像素的驱动方法,但是不局限于该等效电路,可以适当地使用 EL 的像素的各种各样的等效电路及驱动方法。此外,也可以使用利用数字灰度方式的驱动方法而不局限于利用模拟灰度方式的驱动方法,并且也可以构成能够进行数字灰度方式的驱动方法的像素。

[0160] 一般来说,在发光元件 68 发光时使第二薄膜晶体管 51b 在饱和区域中工作的情况下,有如下问题:如果薄膜晶体管的迁移率或阈值在像素之间不均匀,该不均匀就分毫不差地成为漏极电流的不均匀,而导致发光显示装置的显示不均匀。特别是,在使用多晶半导体膜或非晶半导体膜形成薄膜晶体管的情况下,在像素之间的薄膜晶体管的迁移率或阈值的不均匀性大,所以难以使发光显示装置以恒流驱动工作。这是因为如下缘故:在进行半导体层的结晶化(激光结晶化等)中,难以得到在构成像素部的整个区域中具有均匀晶体粒径的多晶半导体膜。

[0161] 另一方面,在本实施方式所示的发光显示装置中,由于使用具有微晶半导体膜的薄膜晶体管形成构成像素的薄膜晶体管等,所以可以减少薄膜晶体管的迁移率或阈值在像素之间不均匀。其结果,由于即使在使第二薄膜晶体管 51b 在饱和区域中工作的情况下,薄膜晶体管的特性变化也小,所以即使在以恒流模拟灰度方式工作的情况下,也可以防止发光显示装置的显示不均匀。

[0162] 此外,本实施方式所示的发光显示装置由于以恒流驱动工作且利用电流控制发光元件 68 的发光,所以与以利用电压控制发光元件 68 的发光的恒压驱动工作的情况相比,即使在温度变化或发光元件的退化而导致发光元件的 $V-I$ 特性变动的情况下,也可以保持恒定亮度。

[0163] 实施方式 4

[0164] 在本实施方式中,参照图 8 至图 10B 说明能够防止静电破坏的显示装置的结构。这里,在像素部和驱动电路之间形成使用具有微晶半导体膜的 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管的保护电路。

[0165] 首先,参照图 8 说明本实施方式的显示装置的结构。图 8 示出形成有显示装置的衬底 330 的俯视图。在衬底 330 上形成有像素部 331。此外,输入端子对形成在衬底 330 上的像素电路供给信号或电源电位。

[0166] 此外,本实施方式不局限于图 8 所示的方式。就是说,也可以在衬底 330 上形成有扫描线驱动电路或信号线驱动电路。

[0167] 形成在衬底 330 上的扫描线一侧的输入端子 332 及信号线一侧的输入端子 333 与

像素部 331 由纵横延伸的布线连接,并且该布线与保护电路 334 至 337 连接。

[0168] 像素部 331 和输入端子 332 由布线 339 连接。保护电路 334 布置在像素部 331 和输入端子 332 之间,并且与布线 339 连接。通过保护电路 334,可以保护像素部 331 所具有的薄膜晶体管等的各种半导体元件,并且防止退化或破坏。此外,虽然在附图中布线 339 指示一个布线,但是与布线 339 平行设置的所有的多个布线具有与布线 339 相同的连接关系。此外,布线 339 用作扫描线。

[0169] 此外,作为扫描线一侧的保护电路,除了设置在输入端子 332 和像素部 331 之间的保护电路 334 以外,还可以在夹着像素部 331 与输入端子 332 相反一侧设置保护电路(参照图 8 的保护电路 335)。

[0170] 此外,像素部 331 和输入端子 333 由布线 338 连接。保护电路 336 布置在像素部 331 和输入端子 333 之间,并且与布线 338 连接。通过保护电路 336,可以保护像素部 331 所具有的薄膜晶体管等的各种半导体元件,并且防止退化或破坏。此外,虽然在附图中布线 338 指示一个布线,但是与布线 338 平行设置的所有的多个布线具有与布线 338 相同的连接关系。此外,布线 338 用作扫描线。

[0171] 此外,作为信号线一侧的保护电路,除了设置在输入端子 333 和像素部 331 之间的保护电路 336 以外,还可以在夹着像素部 331 与输入端子 333 相反一侧设置保护电路(参照图 8 的保护电路 337)。

[0172] 此外,虽然无需都设置保护电路 334 至 337,但是至少需要设置保护电路 334。这是因为如下缘故:由于在布线 339 中发生过大的电流,而像素部 331 所具有的薄膜晶体管的栅极绝缘膜被破坏,会发生许多点缺陷。

[0173] 进而,通过不但设置保护电路 334,而且设置保护电路 336,可以防止在布线 338 中发生过大的电流。因此,与只设置保护电路 334 的情况相比,可靠性及成品率高。通过具有保护电路 336,还可以防止在形成薄膜晶体管之后的研磨工艺中会发生的由静电导致的破坏。

[0174] 而且,通过具有保护电路 335 及保护电路 337,可以进一步提高可靠性及成品率。保护电路 335 及保护电路 337 由于分别设置在与输入端子 332 及输入端子 333 相反一侧,所以有助于防止在显示装置的制造工序中发生的各种半导体元件的退化或破坏。

[0175] 此外,在图 8 中,通过 COG 方式、TAB 方式等已知方式,将与衬底 330 另行形成的信号线驱动电路及扫描线驱动电路安装在衬底 330 上。另外,也可以在衬底 330 上形成扫描线驱动电路和像素部,并且安装另行形成的信号线驱动电路。另外,也可以将扫描线驱动电路的一部分或信号线驱动电路的一部分与像素部 331 一起形成在衬底 330 上,并且安装扫描线驱动电路的其他部分或信号线驱动电路的其他部分。在扫描线驱动电路的一部分设置在像素部 331 和扫描线一侧的输入端子 332 之间的情况下,又可在扫描线一侧的输入端子 332 和衬底 330 上的扫描线驱动电路的一部分之间设置保护电路,又可在扫描线驱动电路的一部分和像素部 331 之间设置保护电路,又可在双方设置保护电路。此外,在信号线驱动电路的一部分设置在像素部 331 和信号线一侧的输入端子 333 之间的情况下,又可在信号线一侧的输入端子 333 和衬底 330 上的信号线驱动电路的一部分之间设置保护电路,又可在信号线驱动电路的一部分和像素部 331 之间设置保护电路,又可在双方设置保护电路。就是说,因为驱动电路有各种各样的方式,所以根据其方式而确定要设置的保护电路的数量及

地方。

[0176] 接下来,参照图 9A 至 9F 说明用于图 8 中的保护电路 334 至 337 的保护电路的具体电路的结构例子。

[0177] 图 9A 所示的保护电路包括使用多个薄膜晶体管的保护二极管 351 及 353。保护二极管 351 包括串联连接的 n 沟道型薄膜晶体管 351a 及 n 沟道型薄膜晶体管 351b。n 沟道型薄膜晶体管 351a 的源极及漏极中的一方连接到 n 沟道型薄膜晶体管 351a 的栅极及 n 沟道型薄膜晶体管 351b 的栅极,并且保持为电位 V_{ss} 。n 沟道型薄膜晶体管 351a 的源极及漏极中的另一方连接到 n 沟道型薄膜晶体管 351b 的源极及漏极中的一方。n 沟道型薄膜晶体管 351b 的源极及漏极中的另一方连接到保护二极管 353。

[0178] 保护二极管 353 包括串联连接的 p 沟道型薄膜晶体管 353a 及 p 沟道型薄膜晶体管 353b。p 沟道型薄膜晶体管 353b 的源极及漏极中的一方连接到 p 沟道型薄膜晶体管 353a 的栅极及 p 沟道型薄膜晶体管 353b 的栅极,并且保持为电位 V_{dd} 。p 沟道型薄膜晶体管 353b 的源极及漏极中的另一方连接到 p 沟道型薄膜晶体管 353a 的源极及漏极中的一方。p 沟道型薄膜晶体管 353a 的源极及漏极中的另一方连接到保护二极管 351。

[0179] 此外,在本实施方式中,每个保护二极管 351 及 353 分别具有的薄膜晶体管的数量及极性不局限于图 9A 所示的结构。

[0180] 另外,保护二极管 351 及 353 依次串联连接,并且保护二极管 351 和保护二极管 353 的中间连接到布线 355。此外,布线 355 连接到半导体元件,该半导体元件在于显示部并且成为保护对象。

[0181] 此外,图 9A 所示的保护电路可以代替图 9B 所示的保护电路。特别是,在本实施方式中使用的保护电路由于耐压性高,所以可以采用如图 9B 那样的结构。具体来说,也可以采用如下结构:使用由二极管连接的 n 沟道型薄膜晶体管构成的保护二极管 356 而代替图 9A 的保护二极管 351,并且使用由二极管连接的 p 沟道型薄膜晶体管构成的保护二极管 357 而代替保护二极管 353。

[0182] 图 9C 所示的保护电路包括保护二极管 360、保护二极管 361、电容元件 362、电容元件 363、以及电阻元件 364。电阻元件 364 是具有两个端子的电阻,对其一端施加提供给布线 365 的电位 V_{in} ,而对其另一端施加电位 V_{ss} 。电阻元件 364 是为了当变为不施加电位 V_{in} 时使布线 365 的电位降低到电位 V_{ss} 而设置的,并且将其电阻值设定为比布线 365 的布线电阻十分大。作为保护二极管 360 使用二极管连接的 p 沟道型薄膜晶体管,而作为保护二极管 361 使用二极管连接的 n 沟道型薄膜晶体管。

[0183] 图 9D 是如下保护电路的等效电路图:使用两个 p 沟道型薄膜晶体管而代替保护二极管 360,并且使用两个 n 沟道型薄膜晶体管而代替保护二极管 361。

[0184] 此外,图 9C 及 9D 所示的保护电路使用二极管连接的 n 沟道型薄膜晶体管及二极管连接的 p 沟道型薄膜晶体管作为保护二极管,但是本实施方式不局限于该结构。

[0185] 此外,图 9E 所示的保护电路包括保护二极管 370、372、374、376、以及电阻元件 378。电阻元件 378 与布线 379 串联连接。保护二极管 370 及 372 都使用二极管连接的 n 沟道型薄膜晶体管,保护二极管 374 及 376 都使用二极管连接的 p 沟道型薄膜晶体管。

[0186] 保护二极管 370 及 372 每一个的源极及漏极中的一方保持为电位 V_{ss} ,源极及漏极中的另一方连接到布线 379。保护二极管 374 及 376 每一个的源极及漏极中的一方保持为

电位 V_{dd} , 源极及漏极中的另一方连接到布线 379。

[0187] 此外, 作为保护二极管 370、372、374、以及 376 分别表示一个薄膜晶体管, 但是也可以串联连接多个极性相同的薄膜晶体管。

[0188] 这里, 关于使用 p 沟道型薄膜晶体管形成的保护二极管 353、357、360、374、以及 376 每一个的源极及漏极, 将与 V_{dd} 连接的一方设定为漏极而将另一方设定为源极。此外, 关于使用 n 沟道型薄膜晶体管形成的保护二极管 351、356、361、370、以及 372 每一个的源极及漏极, 将与 V_{ss} 连接的一方设定为漏极而将另一方设定为源极。此外, 将使用 p 沟道型薄膜晶体管形成的保护二极管 353、357、360、374、以及 376 每一个的阈值电压表示为 $V_{th}(p)$, 并且将使用 n 沟道型薄膜晶体管形成的保护二极管 351、356、361、370、以及 372 每一个的阈值电压表示为 $V_{th}(n)$ 。此外, 满足 $V_{th}(p) > V_{th}(n)$ 。

[0189] 此外, 在使用 p 沟道型薄膜晶体管形成的保护二极管 353、357、360、374、以及 376 中, 当 V_{in} 高于 $V_{dd}-V_{th}(p)$ 时导通, 电流从 V_{in} 流入到 V_{dd} 。此外, 在使用 n 沟道型薄膜晶体管形成的保护二极管 351、356、361、370、以及 372 中, 当 V_{in} 低于 $V_{ss}-V_{th}(n)$ 时导通, 电流从 V_{ss} 流入到 V_{in} 。

[0190] 此外, 使用 n 沟道型薄膜晶体管形成的保护二极管 351、356、361、370、以及 372 当 V_{in} 高于 V_{ss} 时受到反向偏压的电压, 电流不容易流入。此外, 使用 p 沟道型薄膜晶体管形成的保护二极管 353、357、360、374、以及 376 当 V_{in} 低于 V_{dd} 时受到反向偏压的电压, 电流不容易流入。

[0191] 这里, 说明 V_{out} 在 V_{ss} 和 V_{dd} 之间工作的保护电路的工作。

[0192] 这里考虑到电位 V_{in} 高于电位 V_{dd} 的情况。在电位 V_{in} 高于电位 V_{dd} 的情况下, 当保护二极管 353、357、360、374、以及 376 每一个的栅电极和源电极之间的电位差满足 $V_{gs} = V_{dd}-V_{in} < V_{th}(p)$ 时, 该 p 沟道型薄膜晶体管导通。由于这里考虑 V_{in} 非常高的情况, 所以该 p 沟道型薄膜晶体管导通。此时, 保护二极管 351、356、361、370、以及 372 所具有的 n 沟道型薄膜晶体管关断。因此, 通过保护二极管 353、357、360、374、以及 376, 布线 355、358、365、以及 379 的电位成为 V_{dd} 。因此, 即使因为杂波等而电位 V_{in} 变成比电位 V_{dd} 非常高, 布线 355、358、365、以及 379 的电位不会变成比电位 V_{dd} 高。

[0193] 另一方面, 在电位 V_{in} 低于电位 V_{ss} 的情况下, 当保护二极管 351、356、361、370、以及 372 每一个的栅电极和源电极之间的电位差满足 $V_{gs} = V_{ss}-V_{in} > V_{th}(n)$ 时, 该 n 沟道型薄膜晶体管导通。由于这里考虑 V_{in} 非常低的情况, 所以该 n 沟道型薄膜晶体管导通。此时, 保护二极管 353、357、360、374、以及 376 所具有的 p 沟道型薄膜晶体管关断。因此, 通过保护二极管 351、356、361、370、以及 372, 布线 355、358、365、以及 379 的电位成为 V_{ss} 。因此, 即使因为杂波等而电位 V_{in} 变成比电位 V_{ss} 非常低, 布线 355、358、365、以及 379 的电位不会变成比电位 V_{ss} 低。而且, 电容元件 362、363 起到减小输入电位 V_{in} 所具有的脉冲状的杂波来缓和由杂波导致的电位的急剧变化的作用。

[0194] 此外, 在电位 V_{in} 位于 $V_{ss}-V_{th}(n)$ 和 $V_{dd}-V_{th}(p)$ 之间的情况下, 使用 p 沟道型薄膜晶体管形成的保护二极管 353、357、360、374、以及 376、以及使用 n 沟道型薄膜晶体管形成的保护二极管 351、356、361、370、以及 372 都关断, 电位 V_{in} 被施加到 V_{out} 。

[0195] 如上所述那样, 通过布置保护电路, 布线 355、358、365、以及 379 的电位实质上保持在电位 V_{ss} 和电位 V_{dd} 之间。因此, 可以防止布线 355、358、365、以及 379 每一个的电位大

幅度地离开上述范围。就是说,可以防止布线 355、358、365、以及 379 每一个的电位成为非常高或非常低,并且可以避免该保护电路的后段的电路破坏或退化。

[0196] 而且,如图 9C 及 9D 所示那样,通过设置其输入端子具有电阻元件 364 的保护电路,可以当没有输入信号时将被施加信号的所有的布线的电位保持为一定(这里是电位 V_{ss})。换言之,当没有输入信号时,还具有能够使布线之间发生短路的短路环的功能。因此,可以防止起因于在布线之间发生的电位差的静电破坏。此外,由于电阻元件 364 的电阻值充分大,所以可以当输入信号时防止施加到布线 355、358、365、以及 379 的信号降低到电位 V_{ss} 。

[0197] 此外,图 9F 所示的保护电路包括电阻元件 380、电阻元件 381、n 沟道型薄膜晶体管 382、以及 p 沟道型薄膜晶体管 384。在图 9F 中,电阻元件 380、电阻元件 381、n 沟道型薄膜晶体管 382、以及 p 沟道型薄膜晶体管 384 都与布线 383 串联连接,并且电阻元件 380 与布线 383 连接。布线 383 被施加电位 V_{in} , n 沟道型薄膜晶体管 382 及 p 沟道型薄膜晶体管 384 每一个的源极及漏极中的一方被施加电位 V_{out} 。

[0198] 可以通过使用实施方式 1 所示的 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管制造图 9A 至 9F 所示的保护电路的 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管。这里,作为代表性的例子,将图 9A 所示的保护二极管 351 的 n 沟道型薄膜晶体管及保护二极管 353 的 p 沟道型薄膜晶体管示于图 10A 和 10B。

[0199] 如图 10A 所示那样,在衬底 330 上设置有使用 n 沟道型薄膜晶体管形成的保护二极管 351 及使用 p 沟道型薄膜晶体管形成的保护二极管 353。在使用 n 沟道型薄膜晶体管形成的保护二极管 351 中,栅电极 391 与源极及漏极中的一方 392 连接。在使用 p 沟道型薄膜晶体管形成的保护二极管 353 中,栅电极 393 与源极及漏极中的一方 394 连接。此外,保护二极管 351 及保护二极管 353 由布线 395 连接。

[0200] 此外,如图 10B 所示那样,在保护二极管 351 及保护二极管 353 中,保护二极管 351 的源极及漏极中的一方 396 和保护二极管 353 的源极及漏极中的一方 397 也可以在形成在源极及漏极 396、397 上的保护绝缘膜 398 的接触孔中由与像素电极同时形成的布线 399 连接。

[0201] 通过使用实施方式 1 所示的具有微晶半导体膜的 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管制造图 9A 至 9F 所示的保护电路的 n 沟道型薄膜晶体管及 p 沟道型薄膜晶体管,可以防止因为电位的变动而使得反向偏压的电流流入到布线 383。另外,通过电阻元件 380 及电阻元件 381,可以缓和布线 383 的电位的急剧变动,并且可以防止半导体元件的退化或破坏。

[0202] 此外,在只将电阻元件串联连接到布线的情况下,可以缓和布线的电位的急剧变动,并且可以防止半导体元件的退化或破坏。另外,在只将保护二极管串联连接到布线的情况下,可以防止因为电位的变动而使得反向电流流入到布线。

[0203] 此外,用于本实施方式的保护电路不局限于图 9A 至 9F 所示的结构,只要是起到相同作用的电路结构,就可以适当地改变其设计。

[0204] 此外,作为本实施方式的保护电路所具有的保护二极管,使用二极管连接的薄膜晶体管。作为二极管连接的该薄膜晶体管,使用耐压性高的薄膜晶体管。因此,通过具有本实施方式的保护电路,即使在现有的保护电路中施加保护电路本身会被破坏的电压的情况

下,也可以防止布线成为非常高的电位或非常低的电位。

[0205] 实施方式 5

[0206] 接下来,表示本发明的显示装置的一个方式的显示面板的结构。

[0207] 图 11A 示出只另行形成信号线驱动电路 6013 且将此与形成在衬底 6011 上的像素部 6012 连接的显示面板的方式。像素部 6012 及扫描线驱动电路 6014 通过使用将微晶半导体膜用于沟道形成区域的薄膜晶体管形成。通过使用其迁移率高于将微晶半导体膜用于沟道形成区域的薄膜晶体管的迁移度的薄膜晶体管形成信号线驱动电路,可以使信号线驱动电路的工作稳定,该信号线驱动电路被要求比扫描线驱动电路高的驱动频率。此外,信号线驱动电路 6013 可以为将单晶半导体用于沟道形成区域的薄膜晶体管、将多晶半导体用于沟道形成区域的薄膜晶体管、或者将 SOI 用于沟道形成区域的薄膜晶体管。电源的电位、各种信号等通过 FPC6015 提供给像素部 6012、信号线驱动电路 6013、以及扫描线驱动电路 6014 的每一个。

[0208] 此外,在另行形成驱动电路的情况下,并不需要将形成有驱动电路的衬底贴附到形成有像素部的衬底上,例如也可以贴附到 FPC 上。图 11B 示出只另行形成信号线驱动电路 6023,将此与形成在衬底 6021 上的像素部 6022 及扫描线驱动电路 6024 连接的显示面板的方式。像素部 6022 及扫描线驱动电路 6024 通过使用将微晶半导体膜用于沟道形成区域的薄膜晶体管形成。信号线驱动电路 6023 通过 FPC6025 与像素部 6022 连接。电源的电位、各种信号等通过 FPC6025 提供给像素部 6022、信号线驱动电路 6023、以及扫描线驱动电路 6024 的每一个。

[0209] 另外,也可以通过使用将微晶半导体膜用于沟道形成区域的薄膜晶体管在与像素部相同的衬底上形成信号线驱动电路的一部分或扫描线驱动电路的一部分,另行形成其他部分且将该部分与像素部电连接。图 11C 示出将信号线驱动电路所具有的模拟开关 6033a 形成在与像素部 6032、扫描线驱动电路 6034 相同的衬底 6031 上,将信号线驱动电路所具有的移位寄存器 6033b 另行形成在不同的衬底上,并且彼此贴合的显示面板的方式。像素部 6032 及扫描线驱动电路 6034 通过使用将微晶半导体膜用于沟道形成区域的薄膜晶体管形成。信号线驱动电路所具有的移位寄存器 6033b 通过 FPC6035 与像素部 6032 连接。电源的电位、各种信号等通过 FPC6035 提供给像素部 6032、信号线驱动电路、扫描线驱动电路 6034 的每一个。

[0210] 如图 11A 至 11C 所示那样,本实施方式的显示面板可以在与像素部相同的衬底上使用将微晶半导体膜用于沟道形成区域的反交错型薄膜晶体管形成驱动电路的一部分或全部。

[0211] 此外,对另行形成的衬底的连接方法没有特别的限制,可以使用已知的 COG 方法、引线键合方法、或者 TAB 方法等。此外,连接的位置只要是能够电连接,就不限于图 11A 至 11C 所示的位置。另外,也可以另行形成控制器、CPU、存储器等而连接。

[0212] 实施方式 6

[0213] 可以根据本发明而得到的显示装置等用于有源矩阵型显示装置模块。就是说,可以对将上述模块安装到显示部中的所有的电子设备实施本发明。

[0214] 作为这种电子设备,可以举出影像拍摄装置如摄像机和数字照相机等、头戴式显示器(护目镜型显示器)、汽车导航系统、投影机、汽车音响、个人计算机、便携式信息终端

(移动计算机、移动电话或电子书籍等)等。图 12A 至 12D 示出了其一例。

[0215] 图 12A 表示电视装置。如图 12A 所示那样,可以将显示模块组装在框体中来完成电视装置。将安装了 FPC 的显示面板还称为显示模块。由显示模块形成主画面 2003,作为其他附属器件还具有扬声器部 2009、操作开关等。如上所述,可以完成电视装置。

[0216] 如图 12A 所示那样,在框体 2001 中组装利用显示元件的显示用面板 2002,并且可以由接收机 2005 接收普通的电视广播,而且还可以通过介于调制解调器 2004 连接到有线或无线方式的通讯网络,从而进行单向(从发送者到接收者)或双向(在发送者和接收者之间,或者在接收者之间)的信息通讯。电视装置的操作可以由组装在框体中的开关或另行制造的遥控装置 2006 进行,并且该遥控装置 2006 也可以设置有显示输出信息的显示部 2007。

[0217] 另外,电视装置还可以附加有如下结构:除了主画面 2003 以外,使用第二显示用面板形成辅助画面 2008,来显示频道或音量等。在这种结构中,也可以采用视角优越的液晶显示面板形成主画面 2003,并且采用能够以低耗电量进行显示的发光显示面板形成辅助画面。另外,为了优先地减小耗电量,也可以采用如下结构:使用发光显示面板形成主画面 2003,使用发光显示面板形成辅助画面,并且辅助画面能够点亮和熄灭。

[0218] 图 13 示出表示电视装置的主要结构的框图。显示面板 900 形成有像素部 921。信号线驱动电路 922 和扫描线驱动电路 923 也可以通过 COG 方式安装在显示面板 900。

[0219] 作为其他外部电路的结构,在图像信号的输入一侧包括:放大由调谐器 924 接收的信号中的图像信号的图像信号放大电路 925;将从图像信号放大电路 925 输出的信号转换为对应于红、绿、蓝的每一个颜色的颜色信号的图像信号处理电路 926;以及将该图像信号转换为驱动器 IC 的输入规格的控制电路 927 等。控制电路 927 对扫描线一侧和信号线一侧输出信号。在进行数字驱动的情况下,也可以在信号线一侧设置信号分割电路 928 而使得输入数字信号分割成 m 个来供给。

[0220] 由调谐器 924 接收的信号中的音频信号发送到音频信号放大电路 929,其输出经过音频信号处理电路 930 提供给扬声器 933。控制电路 931 从输入部 932 接收接收站(接收频率)或音量的控制信息,并且将信号发送到调谐器 924 和音频信号处理电路 930。

[0221] 当然,本发明不局限于电视装置,还可以应用于各种用途如个人计算机的监视器、火车站或飞机场等中的信息显示屏、街头上的广告显示屏等大面积显示媒体。

[0222] 图 12B 表示便携式电话机 2301 的一例。该便携式电话机 2301 包括显示部 2302、操作部 2302 等。在显示部 2302 中,通过应用上述实施方式所说明的显示装置,可以提高批量生产性。

[0223] 另外,图 12C 所示的便携型计算机包括主体 2401、显示部 2402 等。通过对显示部 2402 应用上述实施方式所示的显示装置,可以提高批量生产性。

[0224] 图 12D 表示台式照明设备,包括照明部 2501、灯罩 2502、可变臂(adjustable arm)2503、支柱 2504、台 2505、以及电源 2506。通过对照明部 2501 应用本发明的发光显示装置来制造。此外,照明设备包括吊顶式照明设备或悬挂式照明设备等。通过应用上述实施方式所说明的显示装置,可以提高批量生产性,并且可以提供廉价的台式照明设备。

[0225] 实施例 1

[0226] 在本实施例中,参照图 14A 至图 17B 说明制造实施方式 1 所示的像素的工序。此

外,图 14A 至图 16C 是表示薄膜晶体管的制造工序的剖视图,而图 17A 和 17B 是一个像素中的薄膜晶体管及像素电极的连接区域的俯视图。

[0227] 如图 14A 所示那样,在衬底 100 上形成栅电极 101、102。作为衬底 100 使用玻璃衬底。

[0228] 通过溅射法依次层叠厚度为 150nm 的铝钨合金膜、以及厚度为 50nm 至 150nm 的钼膜,并且在衬底 100 上形成导电膜。接下来,通过使用利用第一光掩模形成的抗蚀剂掩模,蚀刻形成了的导电膜来形成栅电极 101、102。

[0229] 接下来,在栅电极 101、102 上形成栅极绝缘膜 103。这里,作为栅极绝缘膜 103,通过等离子体 CVD 方法形成厚度为 50nm 至 150nm 的氮化硅膜、厚度为 50nm 至 150nm 的氧氮化硅膜、以及厚度为 1nm 至 5nm 的氮化硅膜。

[0230] 接下来,在栅极绝缘膜 103 上形成厚度为 20nm 至 500nm(优选为 100nm 至 250nm)的微晶硅膜 104。微晶硅膜 104 通过如图 3 所示那样的具有能够进行高真空排气的排气单元 409 的等离子体 CVD 装置来形成,可以形成膜中的氧浓度为 1×10^{16} atoms/m³ 以下的微晶硅膜。这里,通过使用硅烷气体、以及其流量为硅烷气体的流量的 10 倍以上且 2000 倍以下、优选为 12 倍以上且 1000 倍以下、更优选为 50 倍以上且 200 倍以下的氢气体的等离子体 CVD 方法形成微晶硅膜。此外,通过将此时的衬底 100 的加热温度设定为 100℃至 300℃、优选为 120℃至 220℃,可以促进栅极绝缘膜 103 及微晶硅膜 104 的界面的微晶硅的成长。

[0231] 接下来,在微晶硅膜 104 上形成厚度为 50nm 至 200nm 的缓冲层 105。使用非晶硅膜形成缓冲层 105。作为缓冲层 105 的非晶硅膜通过使用其流量为硅烷气体的流量的 1 倍以上且小于 10 倍、优选为 1 倍以上且 5 倍以下的氢气体的等离子体 CVD 方法来形成。此外,通过与微晶硅膜 104 同样地使用具有能够进行高真空排气的排气单元 409 的等离子体 CVD 装置形成作为缓冲层 105 的非晶硅膜,而形成缺陷少的非晶硅膜,因此可以形成高电阻的缓冲层,从而可以降低薄膜晶体管的截止电流。

[0232] 此外,优选在 300℃至 400℃的温度下形成缓冲层 105。通过该成膜处理,氢提供给微晶硅膜 104,而可以得到与使微晶硅膜 104 氢化同等的效应。换言之,通过在微晶硅膜 104 上堆积缓冲层 105,可以使氢扩散在微晶硅膜 104 中来终止悬空键。

[0233] 接下来,对缓冲层 105 上涂敷抗蚀剂,然后通过利用第二光掩模的光刻工艺形成抗蚀剂掩模 106、107。

[0234] 接下来,如图 14B 所示那样,使用抗蚀剂掩模 106、107 选择性地蚀刻微晶硅膜 104 及缓冲层 105,形成微晶硅膜 111、112、以及缓冲层 113、114。这里,通过干蚀刻法选择性地蚀刻微晶硅膜 104 及缓冲层 105。然后,去除抗蚀剂掩模 106、107。

[0235] 接下来,形成厚度为 10nm 至 100nm、优选为 40nm 至 80nm 的 n 型半导体膜 115。通过利用 0.2%至 1%的磷化氢气体、硅烷气体、以及氢的等离子体 CVD 方法形成包含磷的微晶硅膜作为 n 型半导体膜 115。n 型半导体膜 115 也可以通过图 3 所示的等离子体 CVD 装置形成。

[0236] 接下来,在 n 型半导体膜 115 上形成厚度为 10nm 至 60nm 的导电膜 116。导电膜 116 通过使用能够对于之后形成的 p 型半导体膜赋予对于蚀刻的高选择比的导电材料形成。这里,通过溅射法形成厚度为 10nm 至 60nm 的钼膜。

[0237] 接下来,通过利用第三光掩模的光刻工艺在与栅电极 101 重叠的导电膜 116 上形

成抗蚀剂掩模 117。

[0238] 接下来,如图 14C 所示那样,使用抗蚀剂掩模 117 选择性地蚀刻导电膜 116 及 n 型半导体膜 115,来形成导电膜 112 及 n 型半导体膜 122。此时,缓冲层 113 的一部分也被蚀刻,而成为其端部具有台阶的缓冲层 123。在该工序中,蚀刻形成在栅电极 102 上的导电膜 116 及 n 型半导体膜 115。此时,蚀刻工艺的终点的确认通过测定蚀刻装置内的发光强度变化而判断。换言之,根据蚀刻 n 型半导体膜 115 时的活性物质和蚀刻缓冲层 114 时的活性物质,等离子体的发光强度不同。通过测定该发光强度的变化,仅蚀刻缓冲层 114 的一部分,可以检测出蚀刻的终点。从而,只不过是缓冲层 113 的一部分、以及缓冲层 114 的一部分被蚀刻而已。这里,将形成在栅电极 102 上的缓冲层表示为缓冲层 124。然后,去除抗蚀剂掩模 117。

[0239] 接下来,如图 15A 所示那样,形成厚度为 10nm 至 100nm、优选为 40nm 至 80nm 的 p 型半导体膜 125。通过利用 1% 至 10% 的四甲基硼 (tetramethylboron,)、硅烷、氢、以及稀有气体 (典型地是氩或氦) 的等离子体 CVD 方法形成包含硼的微晶硅膜作为 p 型半导体膜 125。p 型半导体膜 125 也可以通过图 3 所示的等离子体 CVD 装置形成。

[0240] 接下来,在 p 型半导体膜 125 上涂敷抗蚀剂,然后通过利用第四光掩模的光刻工艺,在与栅电极 102 重叠的 p 型半导体膜 125 上形成抗蚀剂掩模 126。

[0241] 接下来,如图 15B 所示那样,使用抗蚀剂掩模 126 选择性地蚀刻 p 型半导体膜 125,来形成 p 型半导体膜 133。此时,缓冲层 124 的一部分也被蚀刻,而成为其端部具有台阶的缓冲层 131。此外,在导电膜 121 上,p 型半导体膜被选择性地蚀刻。然而,不被导电膜 121 覆盖的缓冲层 123 的端部进一步被蚀刻,而成为其端部具有台阶的缓冲层 132。

[0242] 接下来,通过利用第五光掩模的光刻工艺,形成用来蚀刻与栅电极 102 重叠的栅极绝缘膜 103 的一部分的抗蚀剂掩模 134、135。

[0243] 接下来,如图 15C 所示那样,蚀刻栅极绝缘膜 103 的一部分来形成接触孔 140。

[0244] 接下来,在导电膜 121、p 型半导体膜 133、栅极绝缘膜 103、以及栅电极 102 的露出部上层叠形成导电膜 141a 至 141c。通过溅射法形成作为导电膜 141a 的厚度为 30nm 至 60nm 的钼膜、作为导电膜 141b 的厚度为 150nm 至 300nm 的铝膜、以及作为导电膜 141c 的厚度为 50nm 至 100nm 的钼膜。

[0245] 接下来,在导电膜 141c 上涂敷抗蚀剂,然后通过利用第六光掩模的光刻工艺,来形成用来从导电膜 141a 至 141c 形成布线的抗蚀剂掩模 142 至 145。

[0246] 接下来,如图 16A 所示那样,使用抗蚀剂掩模 142 至 145 蚀刻导电膜 141a 至 141c、以及导电膜 121。这里,由于通过湿蚀刻法各向同性地蚀刻导电膜 141a 至 141c,所以形成其面积比抗蚀剂掩模 142 至 145 小的布线 151a 至 151d、布线 152a 至 152d、布线 153a 至 153c、以及布线 154a 至 154c。

[0247] 接下来,使用抗蚀剂掩模 142 至 145 蚀刻 n 型半导体膜 122 及 p 型半导体膜 133,来形成一对 n 型半导体膜 155、156、以及一对 p 型半导体膜 157、158。这里,由于使用抗蚀剂掩模 142 至 145 通过干蚀刻法各向异性地蚀刻,所以布线 151a 至 151d、布线 152a 至 152d、布线 153a 至 153c、以及布线 154a 至 154c 的端部位置与一对 n 型半导体膜 155、156、以及一对 p 型半导体膜 157、158 的端部位置不一致,即,一对 n 型半导体膜 155、156、以及一对 p 型半导体膜 157、158 的端部比布线 151a 至 151d、布线 152a 至 152d、布线 153a 至 153c、以

及布线 154a 至 154c 向外侧突出。

[0248] 此外,在该蚀刻工序中,通过缓冲层 132、131 的一部分被过蚀刻,可以形成完全分离的一对 n 型半导体膜 155、156、以及一对 p 型半导体膜 157、158。将一部分被过蚀刻且形成有凹部(其厚度比与 n 型半导体膜或 p 型半导体膜重叠的区域薄的缓冲层的区域)的缓冲层表示为缓冲层 159、160。可以在相同的工序中形成用作源极区域及漏极区域的一对 n 型半导体膜 155、156 及一对 p 型半导体膜 157、158 与缓冲层的凹部。由于通过将缓冲层的凹部的深度设定为缓冲层的厚度最厚的区域的 1/2 至 1/3,可以延长源极区域和漏极区域之间的距离,所以可以减少源极区域和漏极区域之间的漏电流。然后,去除抗蚀剂掩模 142 至 145。

[0249] 此外,图 16A 相当于沿图 17A 中的 A-B 线的剖视图。布线 151c、153c 分别具有围绕布线 152c、154c 的形状(具体地是 U 字形或 C 字形)。因此,由于可以增大载流子移动的区域面积,所以可以增多电流量而缩小薄膜晶体管的面积。另外,由于以比栅电极小的俯视面积形成有微晶硅膜 111、112、以及缓冲层 113、114,并且在栅电极上重叠有微晶半导体膜、以及源电极及漏电极,所以减少微晶硅膜 111、112、以及缓冲层 113、114 受到的栅电极的凹凸的影响来抑制覆盖率的降低及漏电流的发生。

[0250] 通过上述工序,可以形成沟道蚀刻型的第一薄膜晶体管 155a 及第二薄膜晶体管 155b。

[0251] 接下来,如图 16B 所示那样,在布线 151a 至 151d、布线 152a 至 152d、布线 153a 至 153c、布线 154a 至 154c、一对 n 型半导体膜 155 及 156、一对 p 型半导体膜 157 及 158、缓冲层 159 及 160、微晶硅膜 111 及 112、以及栅极绝缘膜 103 上形成保护绝缘膜 161。作为保护绝缘膜 161,通过等离子体 CVD 方法形成厚度为 50nm 至 200nm 的氮化硅膜。

[0252] 接下来,在保护绝缘膜 161 上涂敷抗蚀剂,然后通过利用第七光掩模的光刻工艺,在保护绝缘膜 161 上形成抗蚀剂掩模 162 及 163。

[0253] 接下来,如图 16C 所示那样,使用抗蚀剂掩模 162 及 163 蚀刻保护绝缘膜 161 的一部分来形成接触孔 164。

[0254] 接下来,形成在上述接触孔中与布线 154c 接触的像素电极 165。这里,通过溅射法形成厚度为 50nm 至 100nm 的 IT0。接下来,通过利用第八光掩模的光刻工艺,在 IT0 上形成抗蚀剂掩模,然后选择性地蚀刻 IT0 来形成像素电极 165。

[0255] 此外,图 16C 相当于沿图 17B 中的 A-B 线的剖视图。

[0256] 根据上述工序,可以形成能够用于显示装置的元件衬底。

[0257] 实施例 2

[0258] 在本实施例中,参照图 18A 至图 23D 说明与上述实施例不同的薄膜晶体管的制造方法。这里,示出使用能够比上述实施例进一步减少光掩模数量的过程制造薄膜晶体管的工序。

[0259] 与图 14A 同样,如图 18A 所示那样,在衬底 100 上形成导电膜,在导电膜上涂敷抗蚀剂,使用通过利用第一光掩模的光刻工艺形成的抗蚀剂掩模蚀刻导电膜的一部分,来形成栅电极 101 及 102。接下来,在栅电极 101 及 102 上依次形成栅极绝缘膜 103、微晶硅膜 104、以及缓冲层 105。

[0260] 接下来,在缓冲层 105 上形成 n 型半导体膜 115,并且在 n 型半导体膜 115 上形成

导电膜 116。

[0261] 接下来,在导电膜 116 上涂敷抗蚀剂,通过利用第二光掩模的光刻工艺,在导电膜 116 上形成抗蚀剂掩模 171。

[0262] 接下来,如图 18B 所示那样,选择性地蚀刻导电膜 116 及 n 型半导体膜 115 来形成 n 型半导体膜 172、导电膜 173。此时,不被抗蚀剂掩模 171 覆盖的缓冲层 105 的一部分也被蚀刻。由导电膜 173 覆盖的区域比不由导电膜 173 的区域厚而成为缓冲层 174。此时,蚀刻工艺的终点的检测,如图 15B 所示的蚀刻同样,通过检测蚀刻装置内的发光强度变化来判断。

[0263] 接下来,形成厚度为 10nm 至 100nm、优选为 40nm 至 80nm 的 p 型半导体膜 125。

[0264] 接下来,通过利用第三光掩模的光刻工艺,在与栅电极 102 重叠的 p 型半导体膜 125 上形成抗蚀剂掩模 175。

[0265] 接下来,如图 18C 所示那样,使用抗蚀剂掩模 175 选择性地蚀刻 p 型半导体膜 125 来形成 p 型半导体膜 180。此时,缓冲层 174 的一部分也被蚀刻而成为缓冲层 176、177。此外,微晶硅膜 104 也被蚀刻而成为微晶硅膜 178、179。

[0266] 接下来,涂敷抗蚀剂,通过利用第四光掩模的光刻工艺,如图 19A 所示那样,形成用来蚀刻与栅电极 102 重叠的栅极绝缘膜 103 的一部分的抗蚀剂掩模 181、182。

[0267] 接下来,如图 19B 所示那样,蚀刻栅极绝缘膜 103 的一部分形成接触孔 183。

[0268] 接下来,在导电膜 173、p 型半导体膜 180、栅极绝缘膜 103、以及栅电极 102 的露出部分上,如图 15C 同样,形成导电膜 141a 至 141c。

[0269] 接下来,在导电膜 141c 上涂敷抗蚀剂 184。

[0270] 接下来,使用多级灰度掩模 185 作为第四光掩模,对抗蚀剂 184 照射光来曝光抗蚀剂 184。

[0271] 这里,参照图 23A 至 23D 说明使用多级灰度掩模 185 的曝光。

[0272] 多级灰度掩模是通过设置曝光部分、中间曝光部分、以及未曝光部分可以进行三种曝光标准的曝光的掩模,并且可以通过一次的曝光及显影工序形成具有多种(典型的是两种)厚度的区域的抗蚀剂掩模。因此,通过使用多级灰度掩模,可以减少光掩模的数量。

[0273] 作为多级灰度掩模的典型例子,具有图 23A 所示的灰色色调掩模 185a、图 23C 所示的半色调掩模 185b。

[0274] 如图 23A 所示那样,灰色色调掩模 185a 由具有透光性的衬底 231、形成在其上的遮光部 232、以及衍射光栅 233 构成。在遮光部 232 中,光的透过量为 0%。另一方面,衍射光栅 233 通过将槽缝、点、网孔等光透过部的间隔设定为用于曝光的光的分辨率限制以下的间隔,可以控制光的透过量。此外,作为衍射光栅 233,都可以使用周期性的槽缝、点、网孔、或者非周期性的槽缝、点、网孔。

[0275] 作为具有透光性的衬底 231,可以使用石英等。遮光部 232 及衍射光栅 233,可以使用铬、氧化铬等的吸收光的遮光材料形成。

[0276] 在对灰色色调掩模 185a 照射曝光光线的情况下,如图 23B 所示那样,遮光部 232 中的光透过量 234 为 0%,而不设置有遮光部 232 及衍射光栅 233 的区域的光透过量 234 为 100%。此外,在衍射光栅 233 中,可以在 10%至 70%的范围内调节光透过量 234。通过调节衍射光栅 233 的槽缝、点、或者网孔的间隔及间距,可以调节衍射光栅 233 中的光透过量。

[0277] 如图 23C 所示那样,半色调掩模 185b 由具有透光性的衬底 231、形成在其上的半透过部 235、以及遮光部 236 构成。作为半透过部 235,可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。作为遮光部 236,可以使用铬、氧化铬等的吸收光的遮光材料形成。

[0278] 在对半色调掩模 185b 照射曝光光线的情况下,如图 23D 所示那样,遮光部 236 中的光透过量 237 为 0%,而不设置有遮光部 236 及半透过部 235 的区域的光透过量 237 为 100%。此外,在半透过部 235 中,可以在 10%至 70%的范围内调节光透过量 237。根据半透过部 235 的材料,可以调节半透过部 235 中的光透过量。

[0279] 通过在使用多级灰度掩模曝光之后进行显影,如图 20A 所示那样,可以形成具有厚度不同的区域的抗蚀剂掩模 186、187。

[0280] 接下来,通过抗蚀剂掩模 186 及 187 蚀刻微晶硅膜 178 及 179、缓冲层 176 及 177、n 型半导体膜 172、导电膜 173、p 型半导体膜 180、以及导电膜 141a 至 141c,来分离两个薄膜晶体管。其结果,可以形成如图 20B 所示那样的微晶硅膜 197 及 198、缓冲层 195 及 196、n 型半导体膜 193、p 型半导体膜 194、以及导电膜 191a 至 191d、192a 至 192c。

[0281] 接下来,对抗蚀剂掩模 186 及 187 进行灰化。其结果,抗蚀剂的面积缩小,而厚度减薄。此时,厚度薄的区域的抗蚀剂(与栅电极 101 及 102 的一部分重叠的区域)被去除,如图 20C 所示那样,可以形成被分离的抗蚀剂掩模 201 至 204。

[0282] 接下来,使用抗蚀剂掩模 201 至 204 蚀刻且分离导电膜 191a 至 191d、192a 至 192c。其结果,可以形成如图 21A 所示那样的一对布线 211a 至 211d、212a 至 212d、213a 至 213c、以及 214a 至 214c。当使用抗蚀剂掩模 201 至 204 对导电膜 191a 至 191d、192a 至 192c 进行湿蚀刻时,导电膜 191a 至 191d、192a 至 192c 的端部被各向同性地蚀刻。其结果,可以形成其面积比抗蚀剂掩模 201 至 204 小的布线 211a 至 211d、212a 至 212d、213a 至 213c、以及 214a 至 214c。

[0283] 接下来,使用抗蚀剂掩模 201 至 204 蚀刻 n 型半导体膜 193 及 p 型半导体膜 194 来形成一对 n 型半导体膜 215、216、一对 p 型半导体膜 217、218。这里,由于通过干蚀刻法各向异性地蚀刻 n 型半导体膜 193 及 p 型半导体膜 194,所以布线 211a 至 211d、212a 至 212d、213a 至 213c、以及 214a 至 214c 每一个端部与一对 n 型半导体膜 215、216、以及一对 p 型半导体膜 217、218 每一个的端部的端部的位置不一致,并且一对 n 型半导体膜 215、216、以及一对 p 型半导体膜 217、218 每一个的端部比布线 211a 至 211d、212a 至 212d、213a 至 213c、以及 214a 至 214c 每一个端部更向外部突出。

[0284] 此外,在该蚀刻工序中,通过缓冲层 176、177 的一部分被过蚀刻,可以形成完全分离的一对 n 型半导体膜 215、216、以及一对 p 型半导体膜 217、218。将一部分被过蚀刻且形成有凹部的缓冲层表示为缓冲层 219、220。可以在相同的工序中形成用作源极区域及漏极区域的一对 n 型半导体膜 215、216 及一对 p 型半导体膜 217、218 与缓冲层的凹部。由于通过将缓冲层的凹部的深度设定为缓冲层的厚度最厚的区域的 1/2 至 1/3,可以延长源极区域和漏极区域之间的距离,所以可以减少源极区域和漏极区域之间的漏电流。然后,去除抗蚀剂掩模 201 至 204。此外,图 21B 相当于沿图 22A 的 A-B 线的剖视图。

[0285] 通过上述工序,可以形成沟道蚀刻型的薄膜晶体管 211a 及 221b。

[0286] 接下来,如图 21B 所示那样,在布线 211a 至 211d、212a 至 212d、213a 至 213c、以及 214a 至 214c、一对 n 型半导体膜 215 及 216、一对 p 型半导体膜 217 及 218、缓冲层 219 及

220、微晶硅膜 197 及 198、以及栅极绝缘膜 103 上形成保护绝缘膜 161。

[0287] 接下来,在保护绝缘膜 161 上涂敷抗蚀剂,然后通过利用第五光掩模的光刻工艺,在保护绝缘膜 161 上形成抗蚀剂掩模 222。

[0288] 接下来,如图 21C 所示那样,使用抗蚀剂掩模 222 蚀刻保护绝缘膜 161 的一部分来形成接触孔 223。

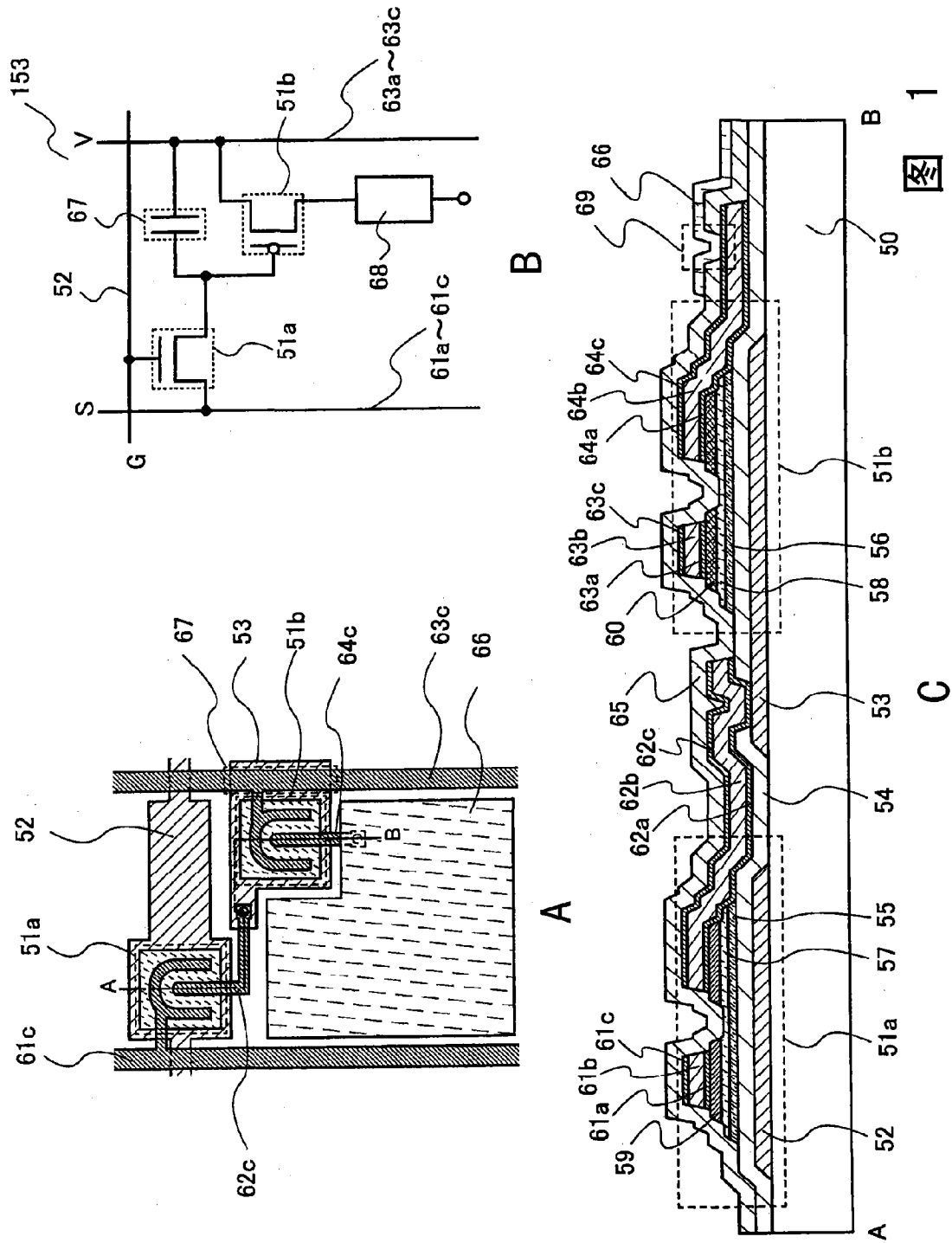
[0289] 接下来,形成在上述接触孔中与布线 214c 接触的像素电极 224。这里,通过溅射法形成厚度为 50nm 至 100nm 的铝膜。

[0290] 接下来,通过利用第六光掩模的光刻工艺,在铝膜上形成抗蚀剂掩模,然后选择性地蚀刻铝膜来形成像素电极 224。

[0291] 此外,图 21C 相当于沿图 22B 中的 A-B 线的剖视图。

[0292] 根据上述工序,可以形成能够用于显示装置的元件衬底。

[0293] 本申请基于 2007 年 8 月 17 日向日本专利局递交的序列号为 NO. 2007-213055 的日本专利申请,该申请的全部内容通过引用被结合在本申请中。



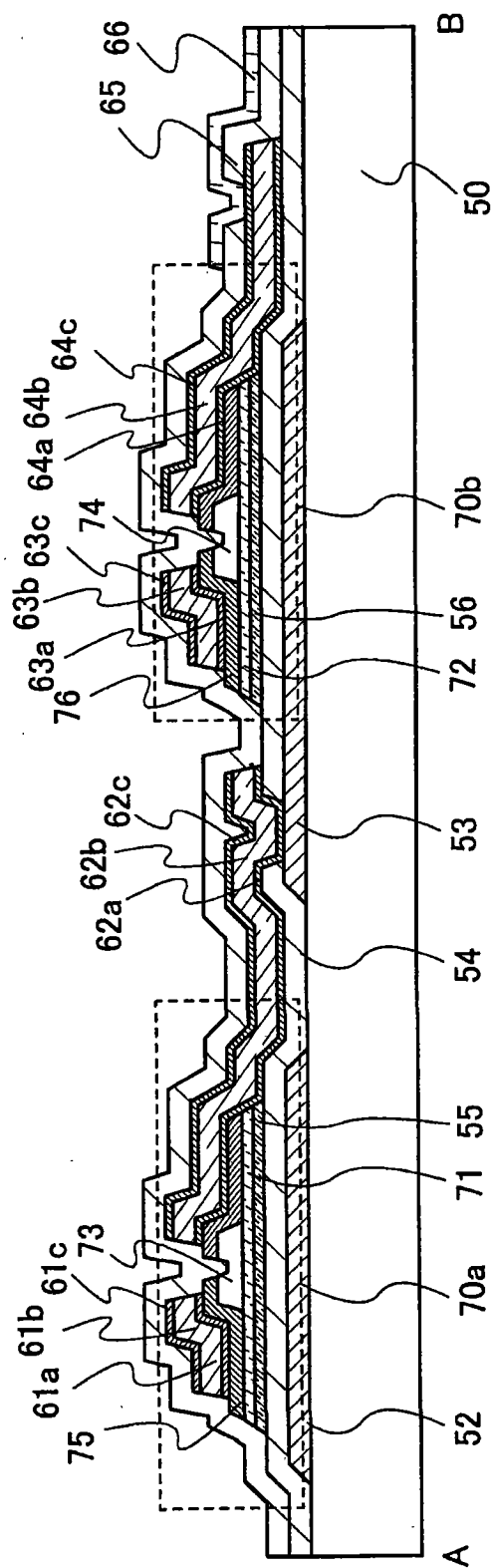


图 2

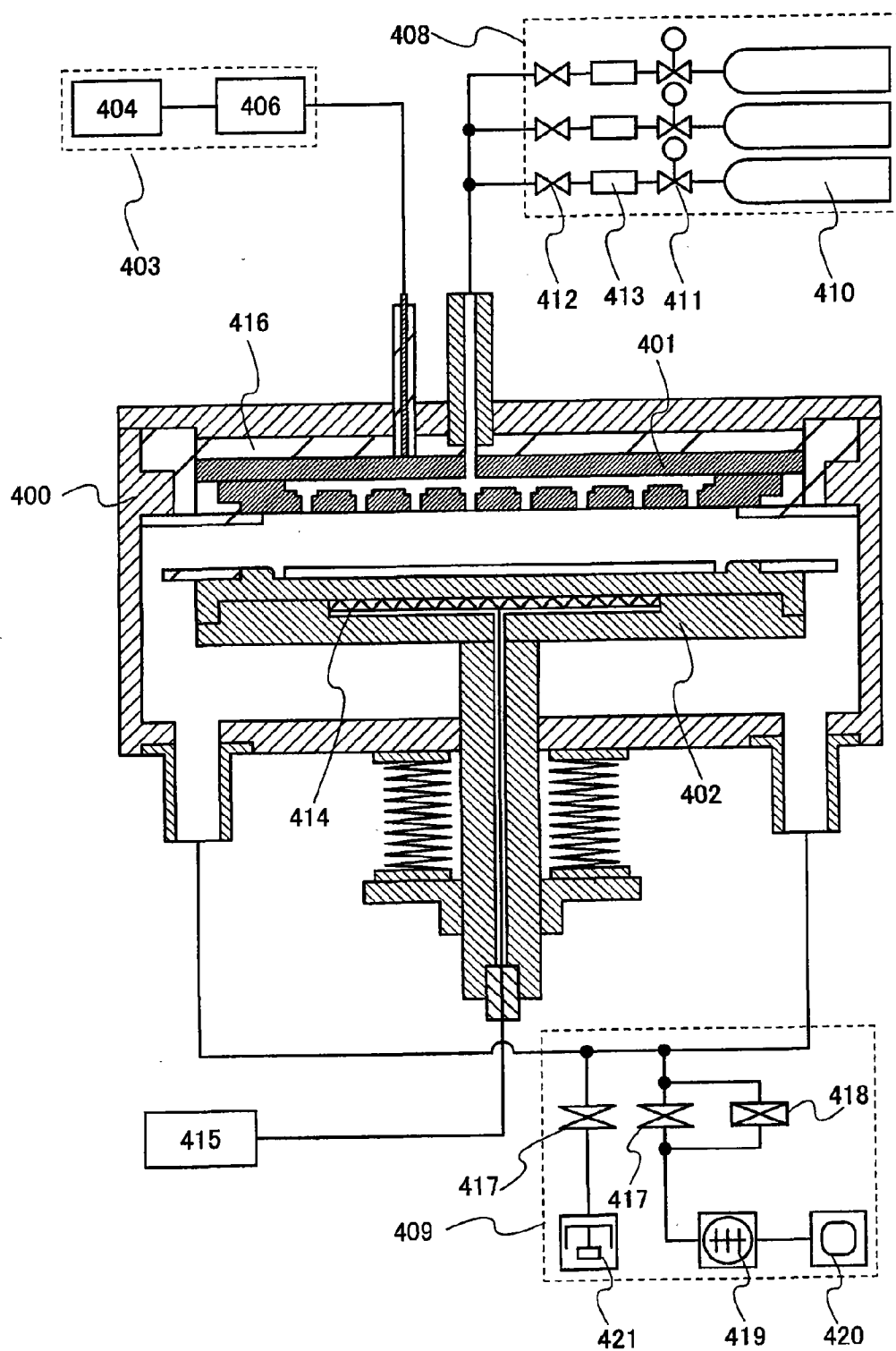
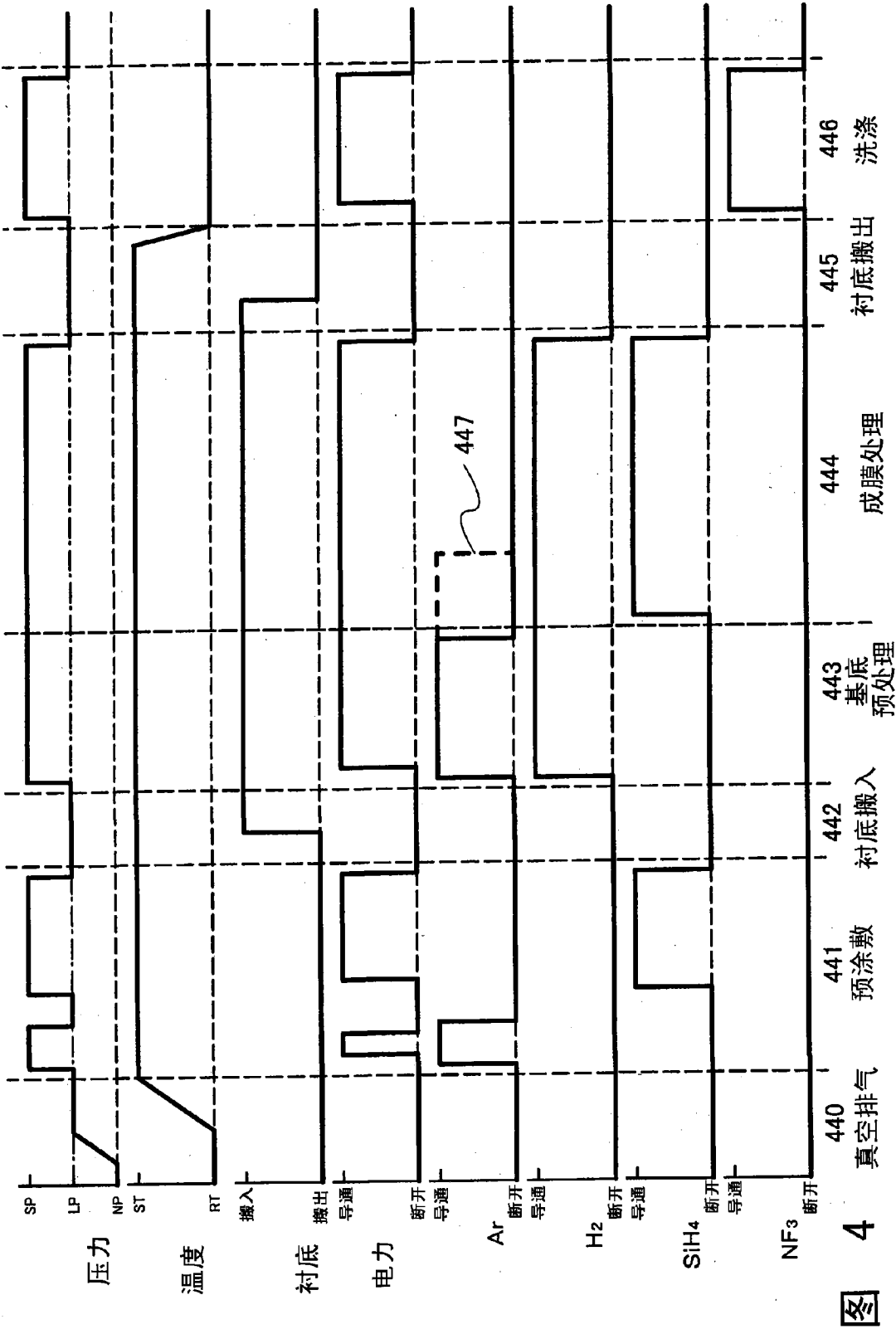


图 3



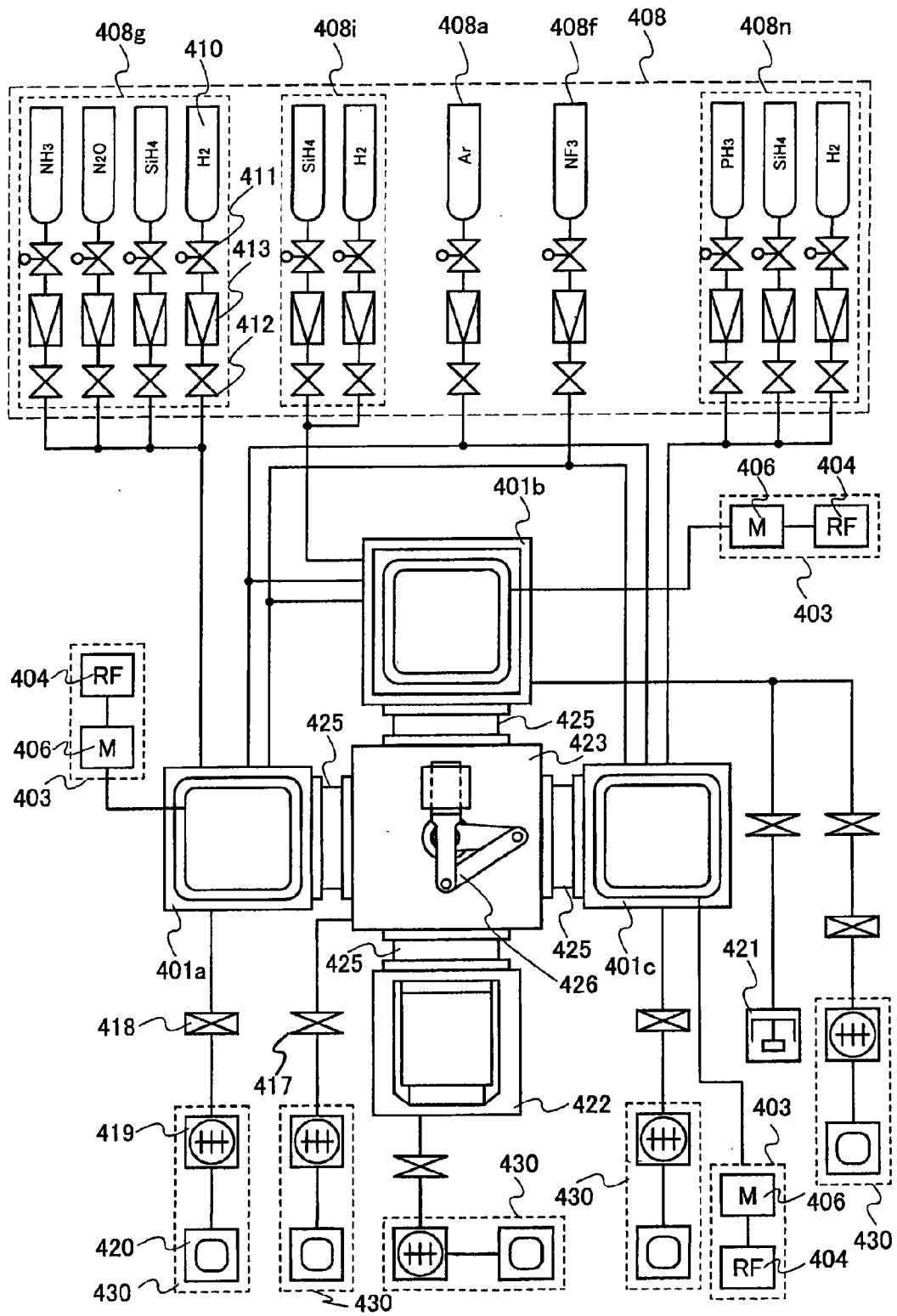
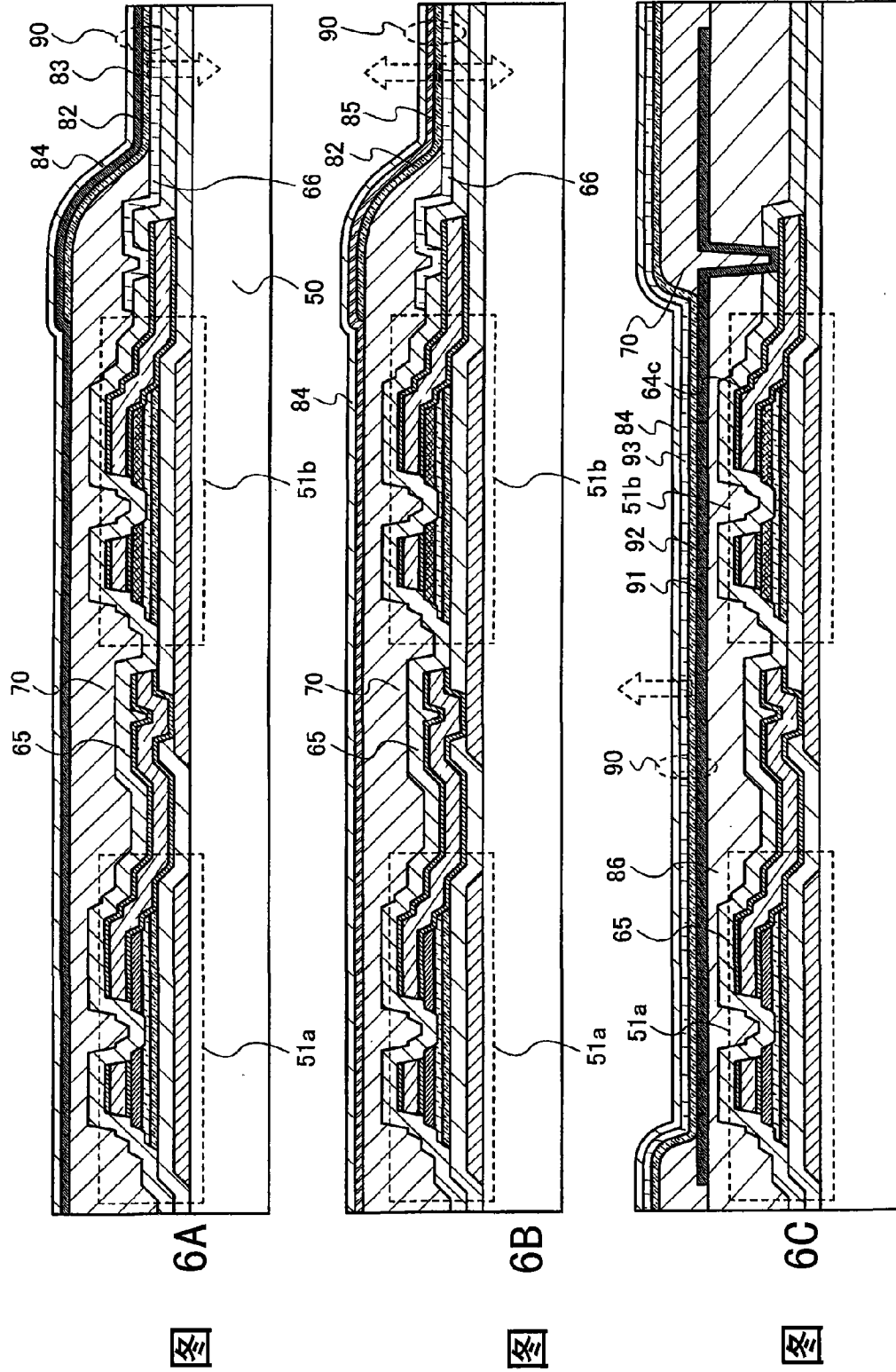


图 5



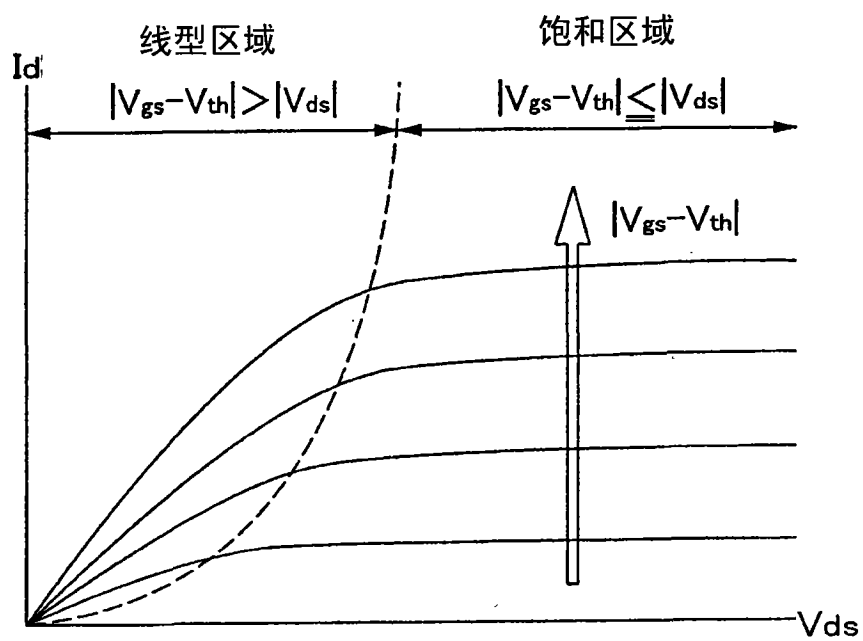


图 7

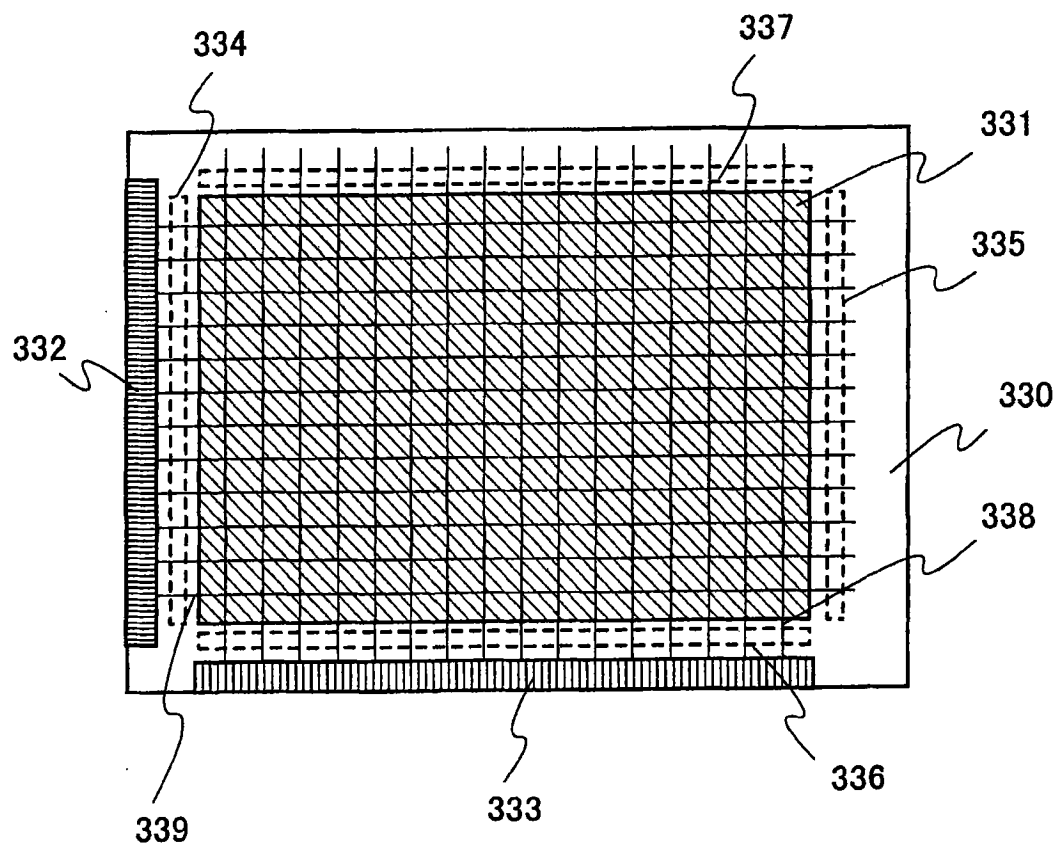


图 8

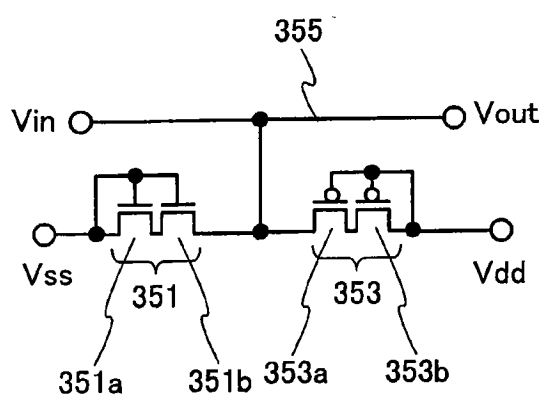


图 9A

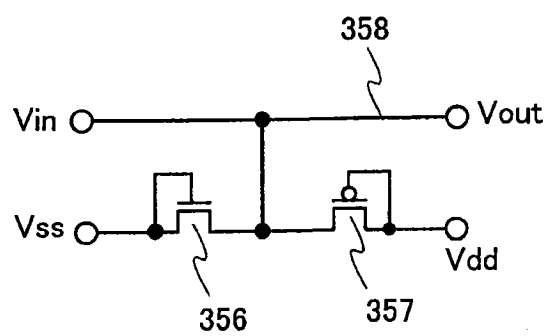


图 9B

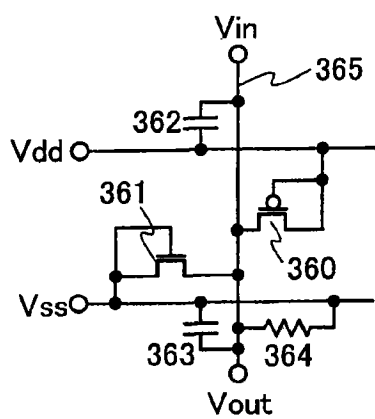


图 9C

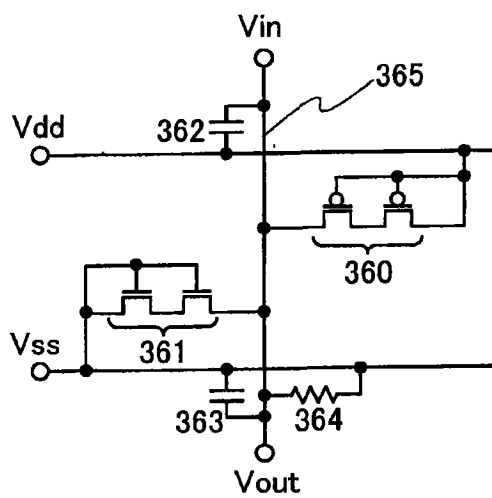


图 9D

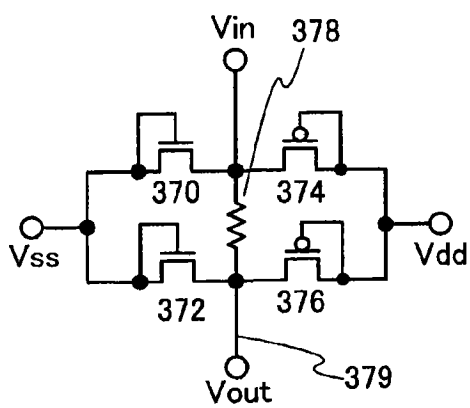


图 9E

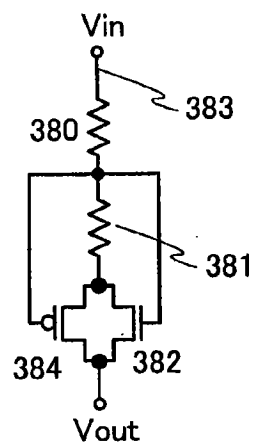


图 9F

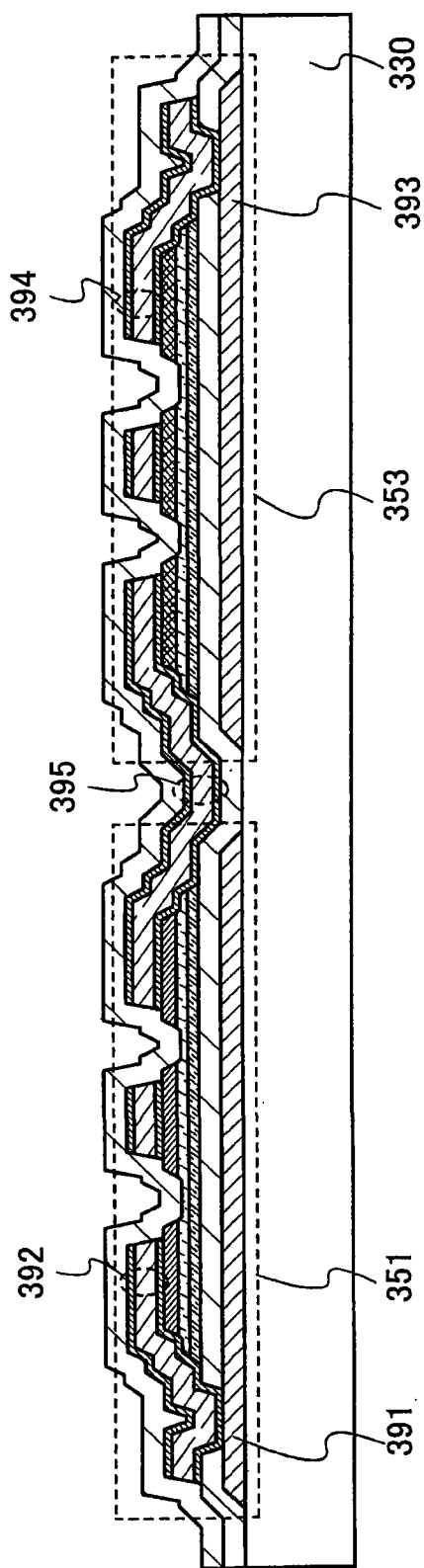


图 10A

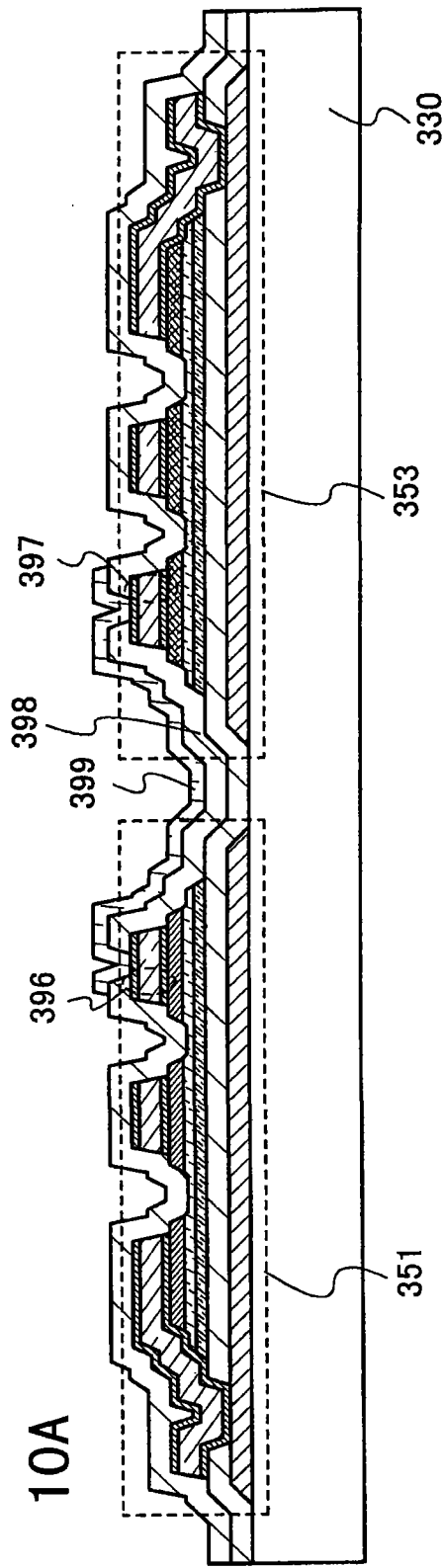


图 10B

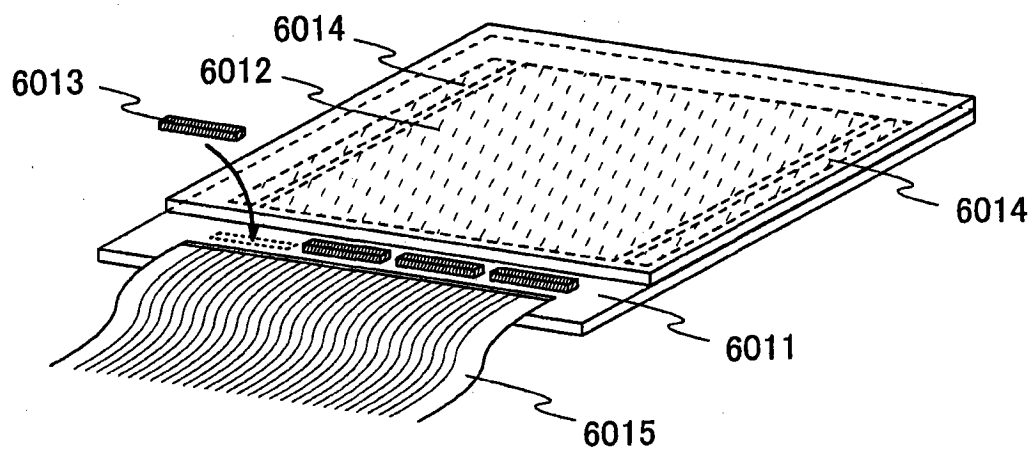


图 11A

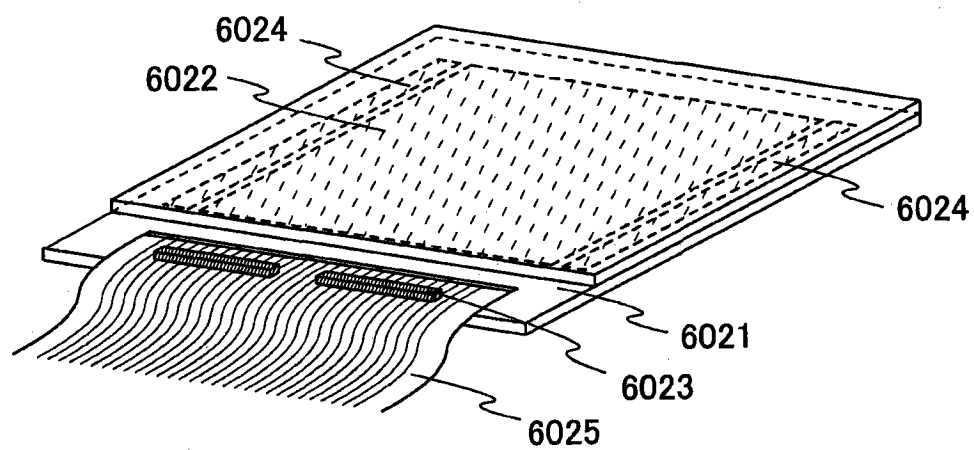


图 11B

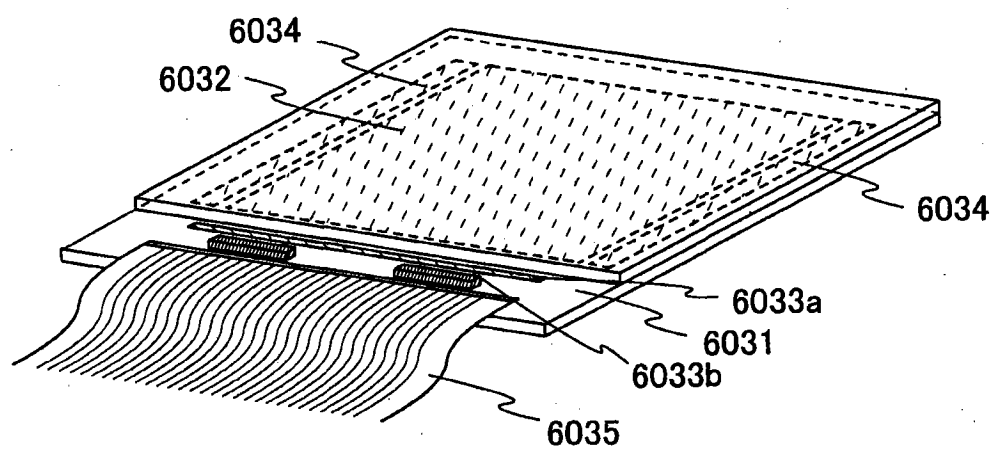


图 11C

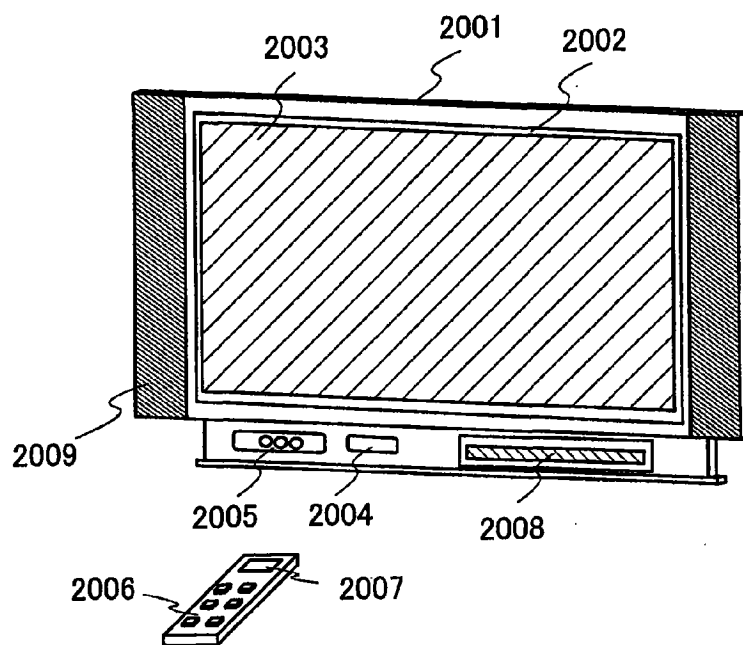


图 12A

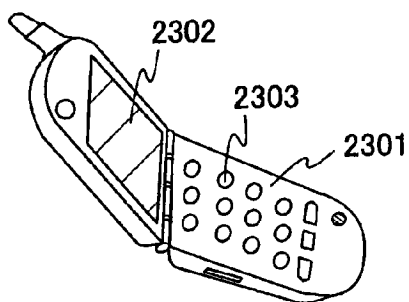


图 12B

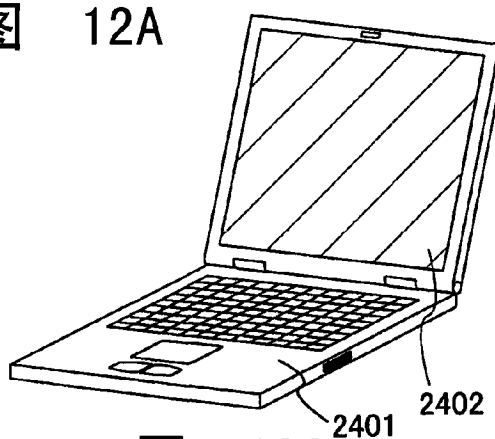


图 12C

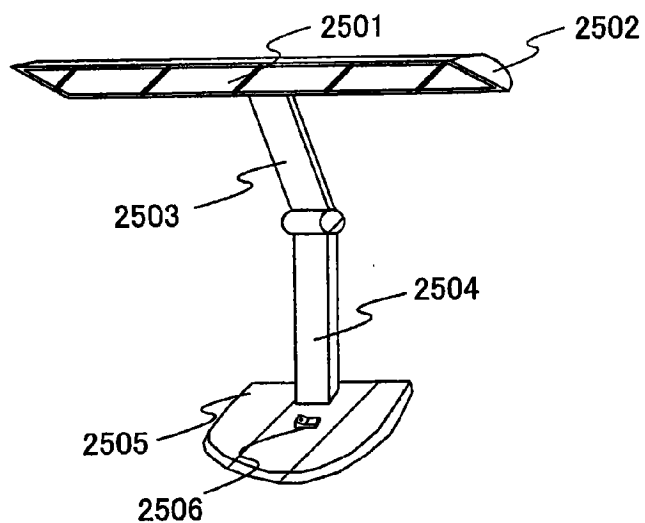


图 12D

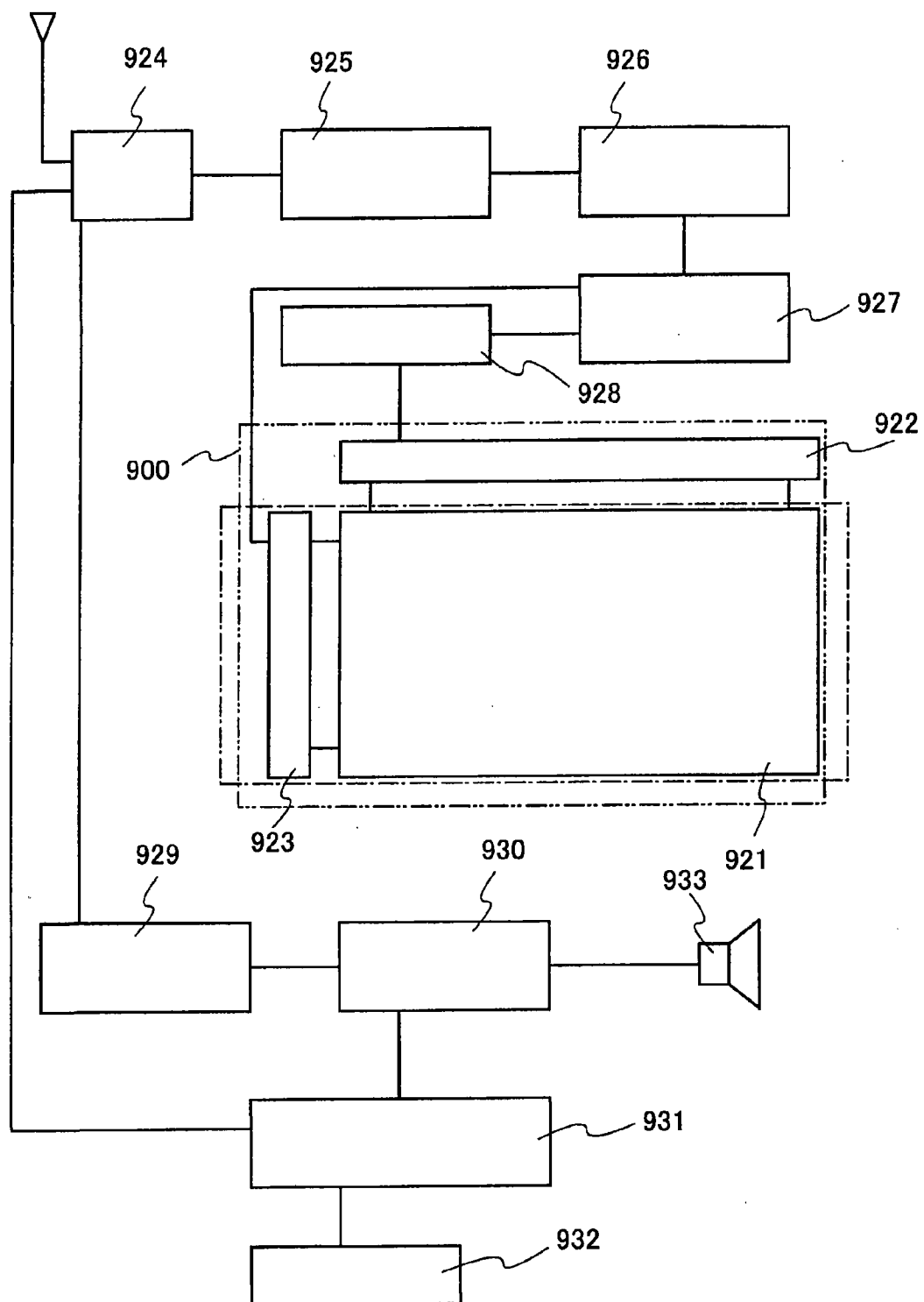


图 13

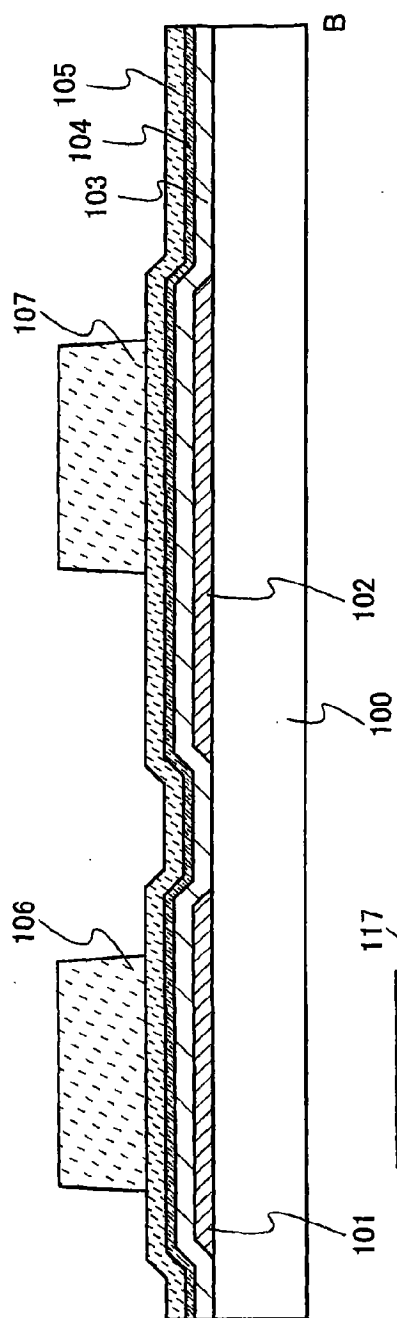


图 14A

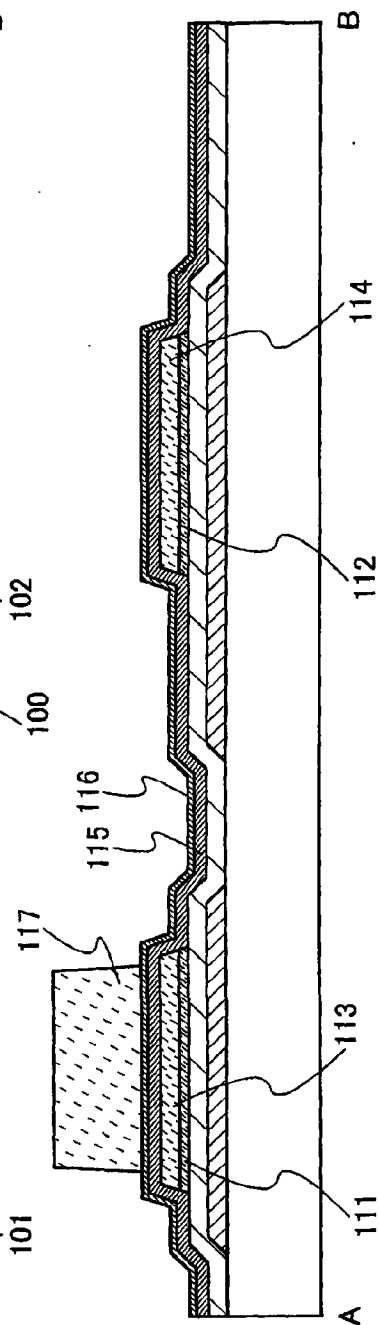


图 14B

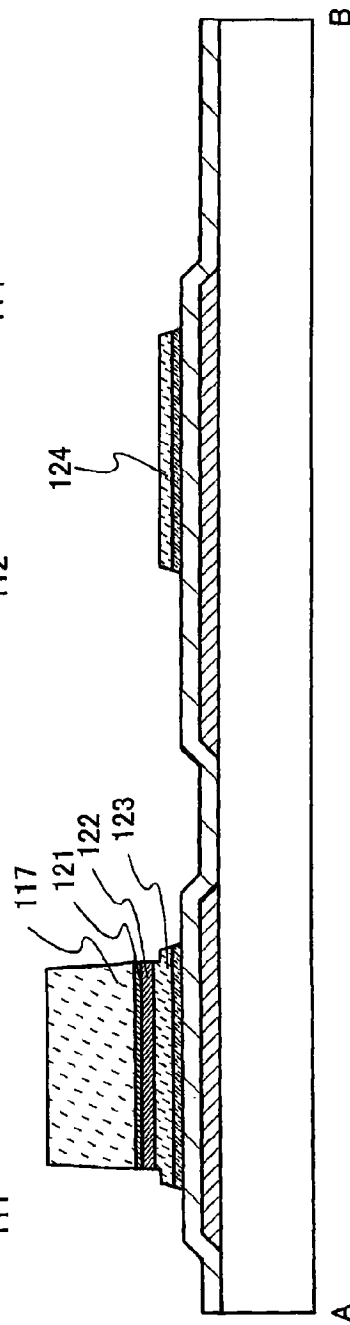
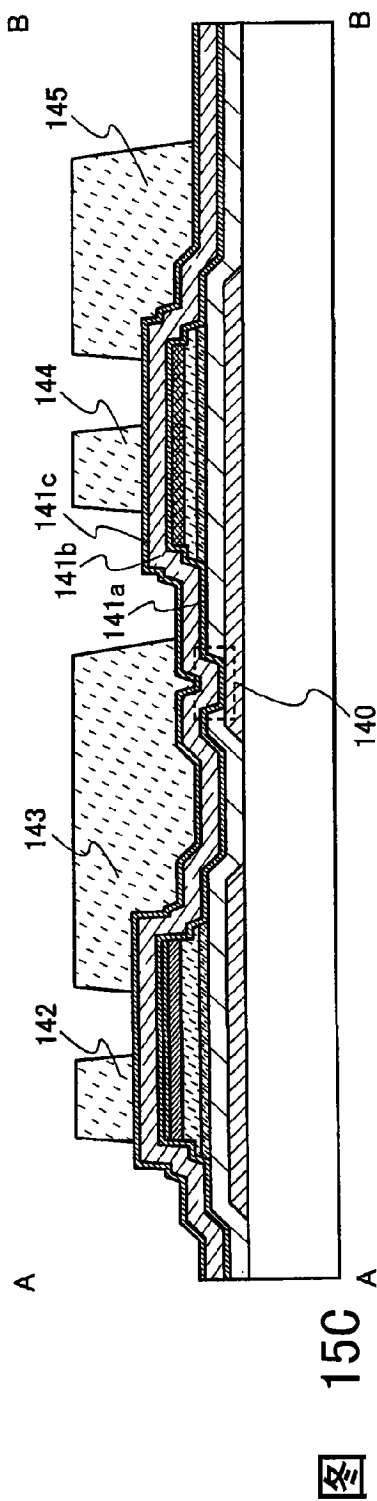
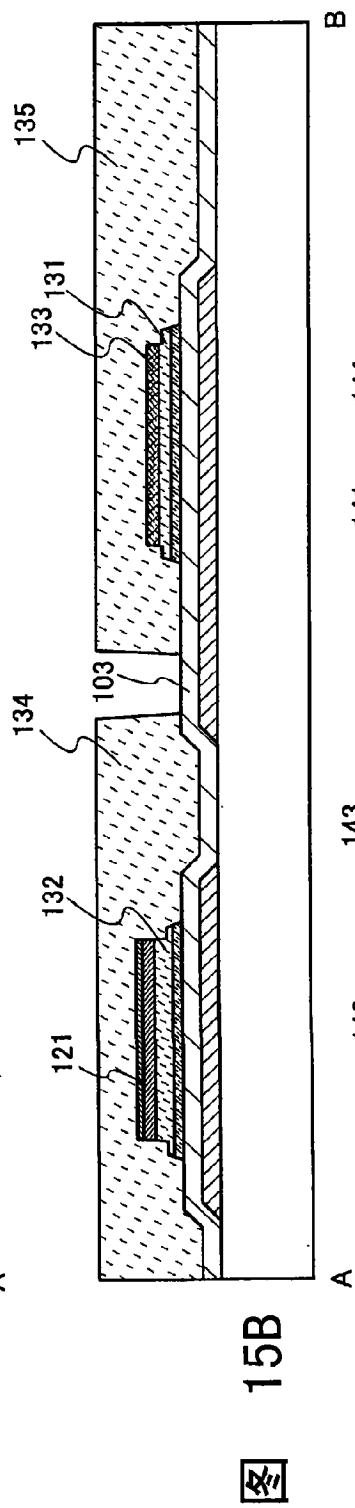
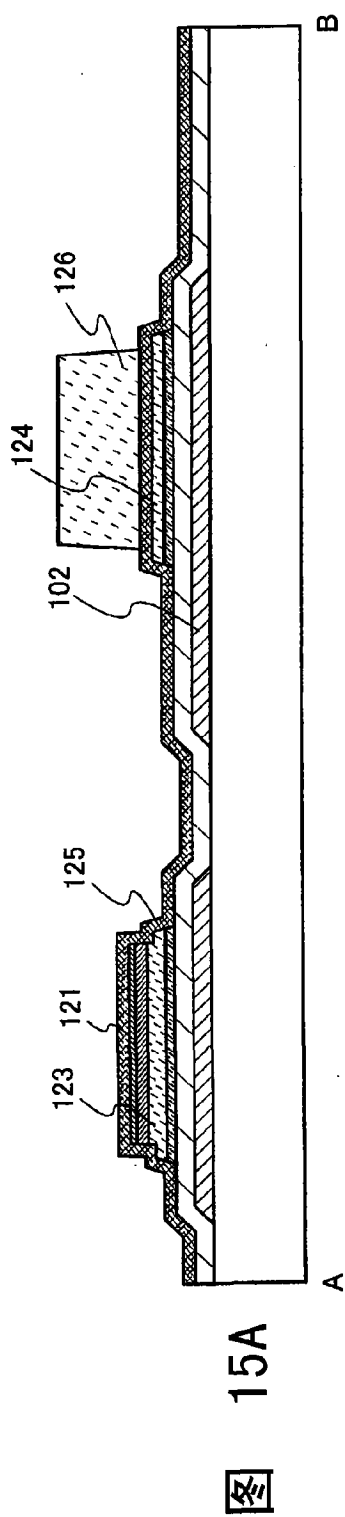
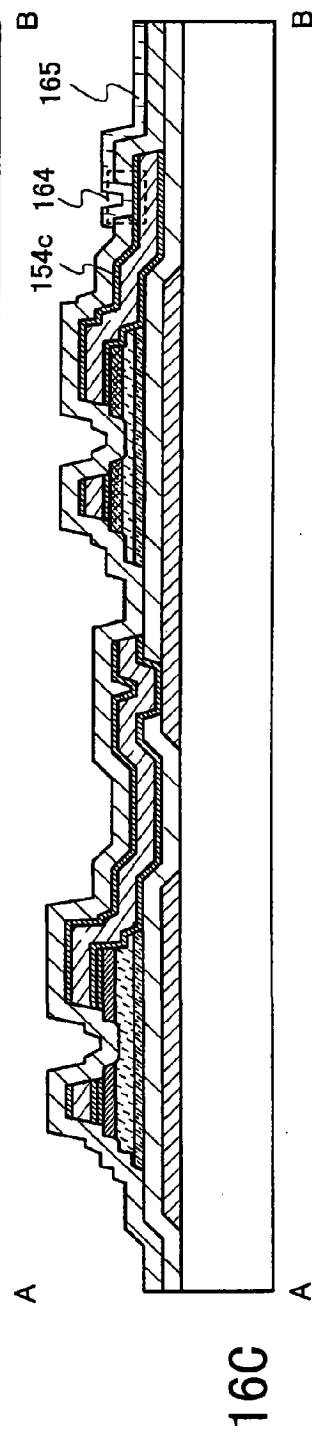
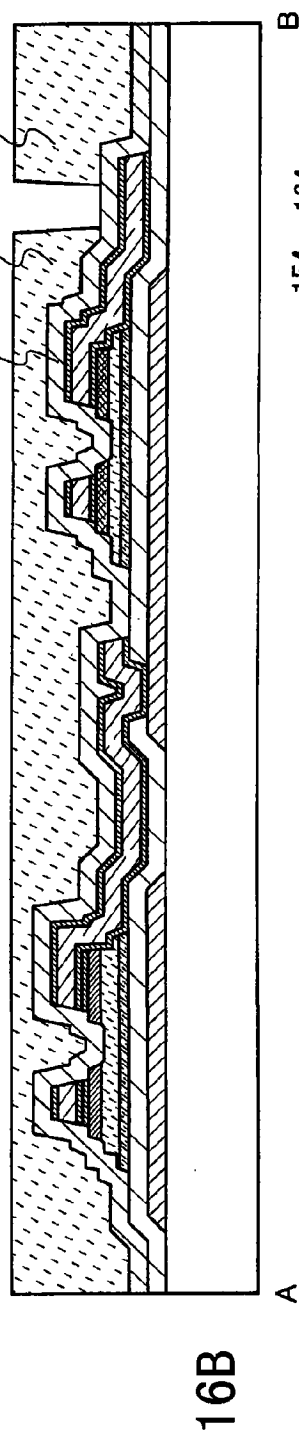
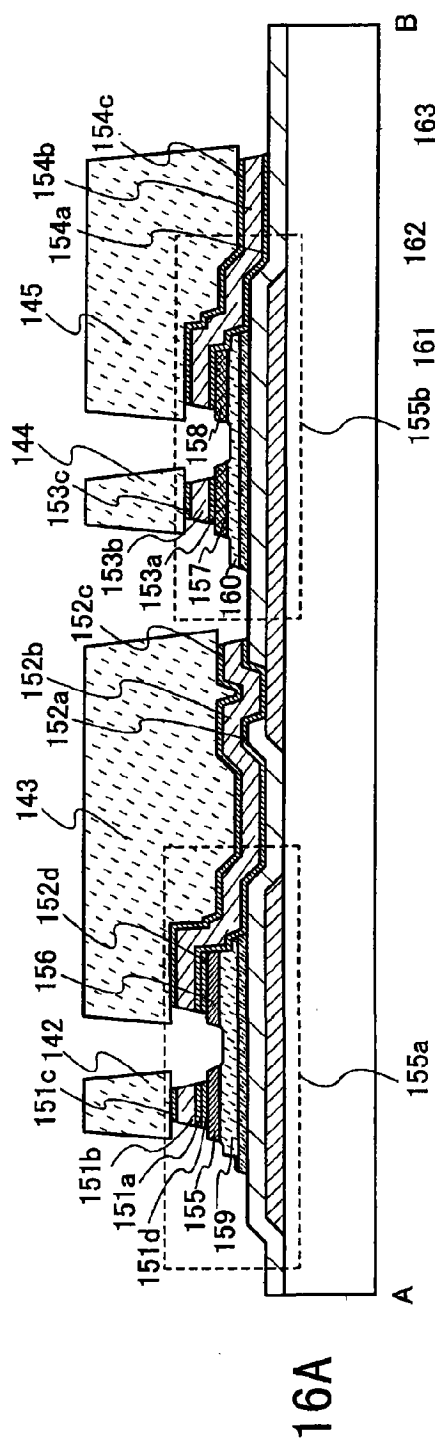


图 14C





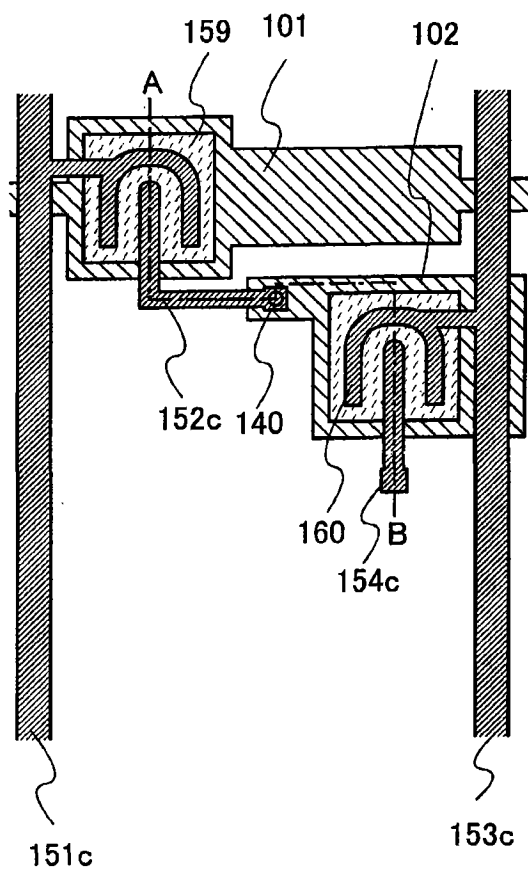


图 17A

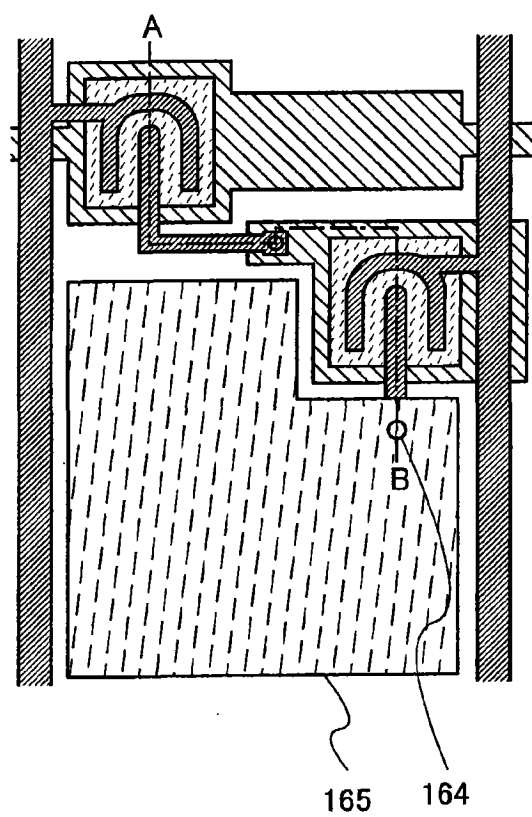
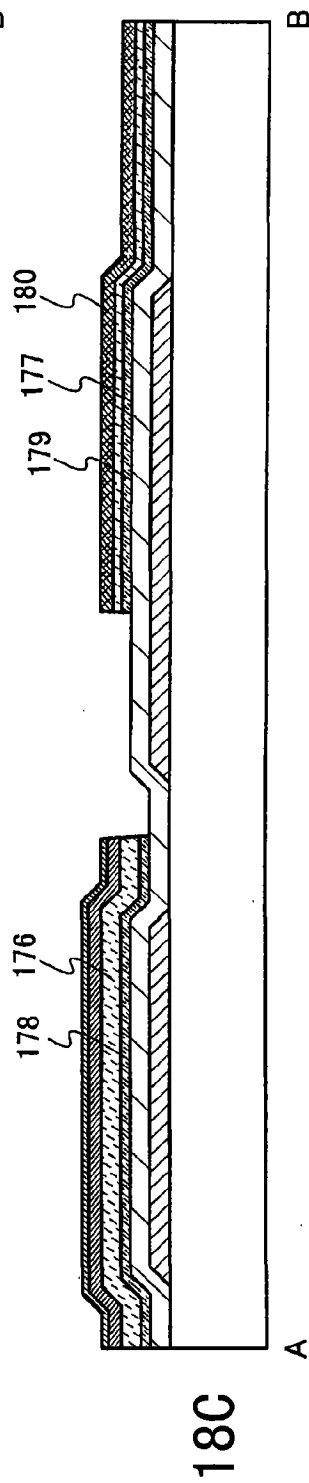
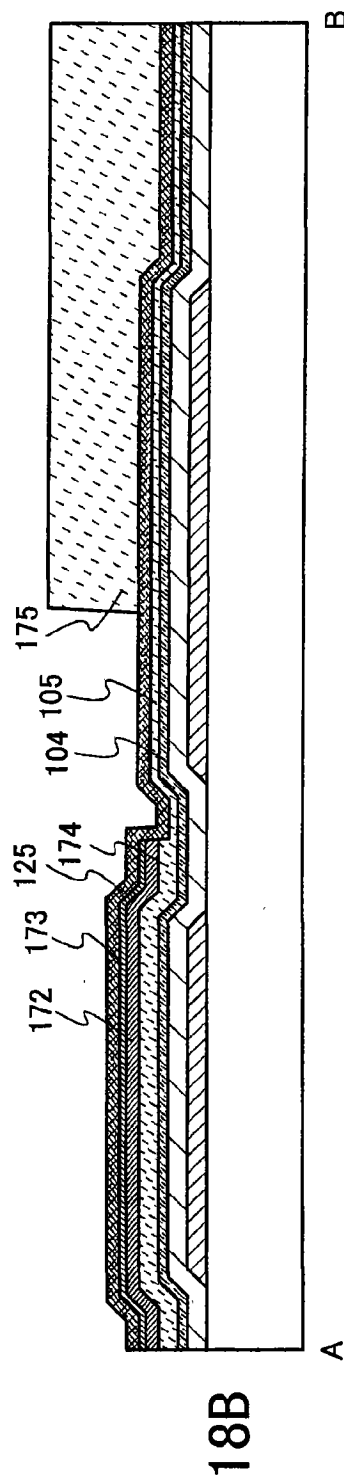
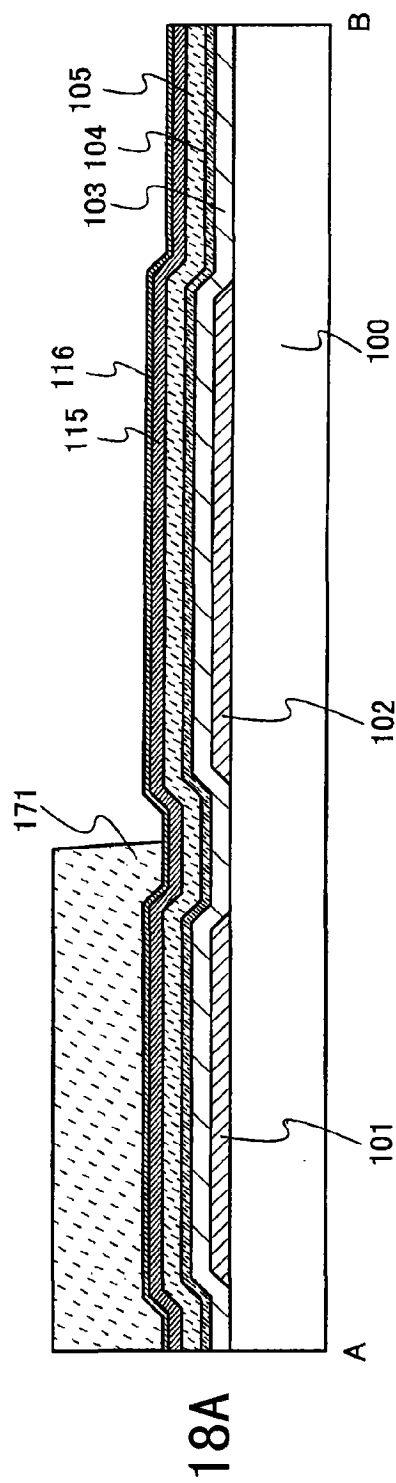


图 17B



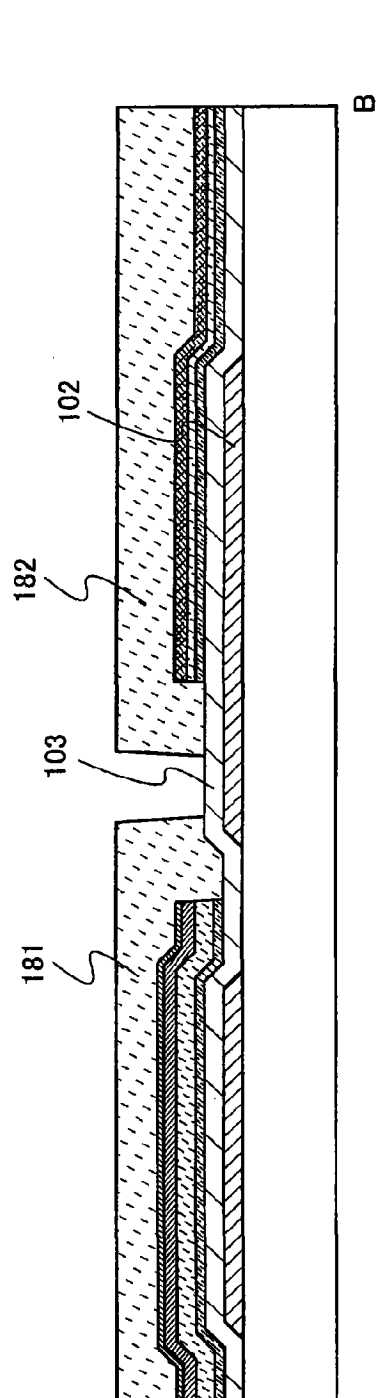


图 19A

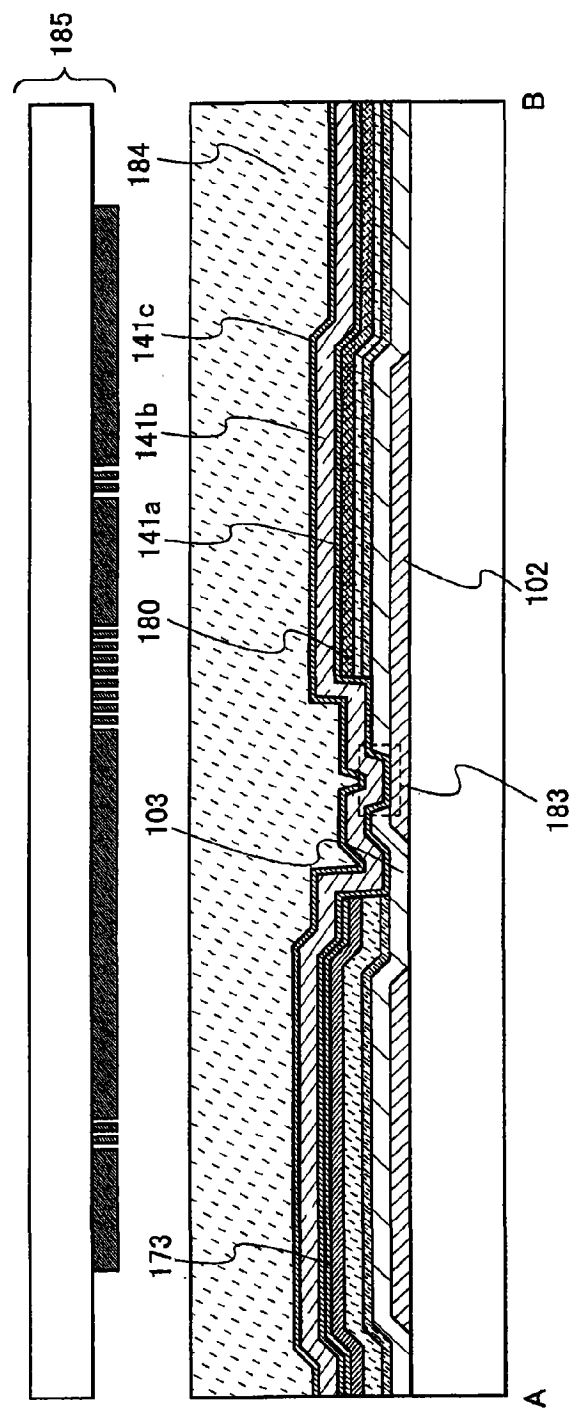


图 19B

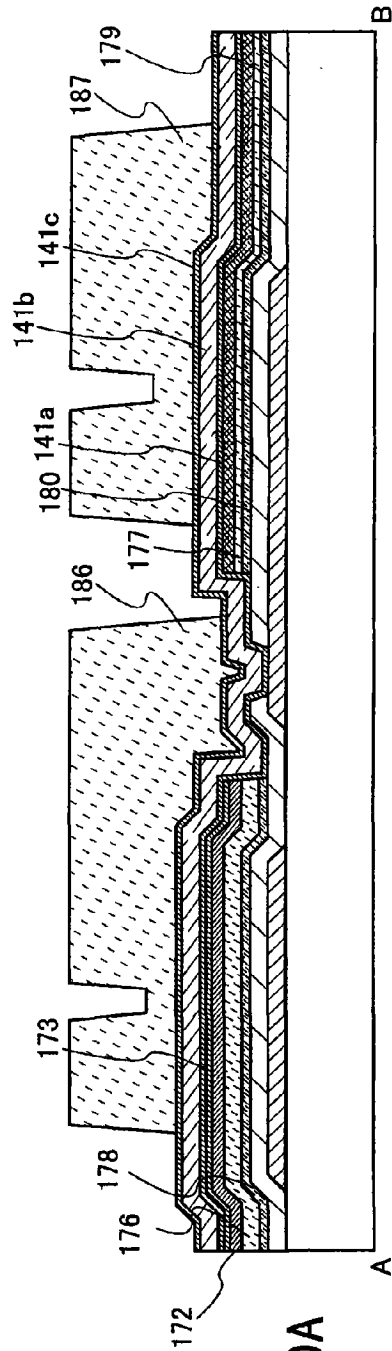


图 20A

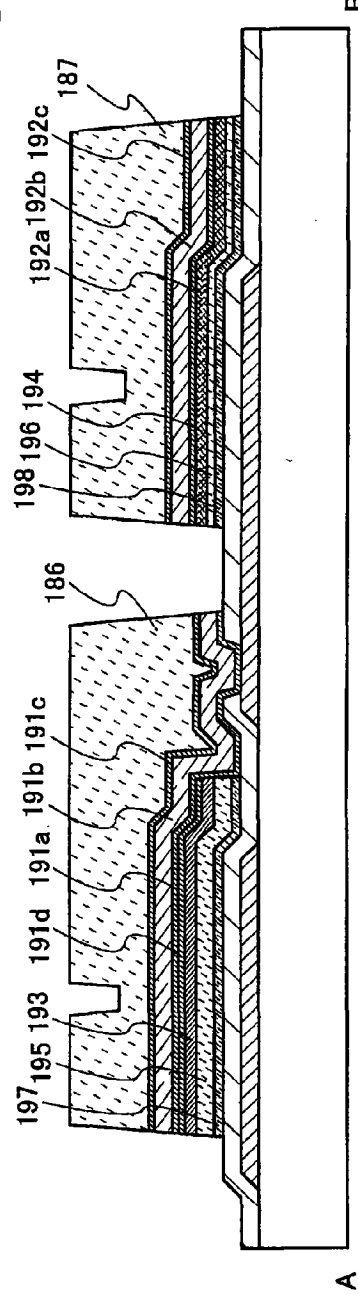


图 20B

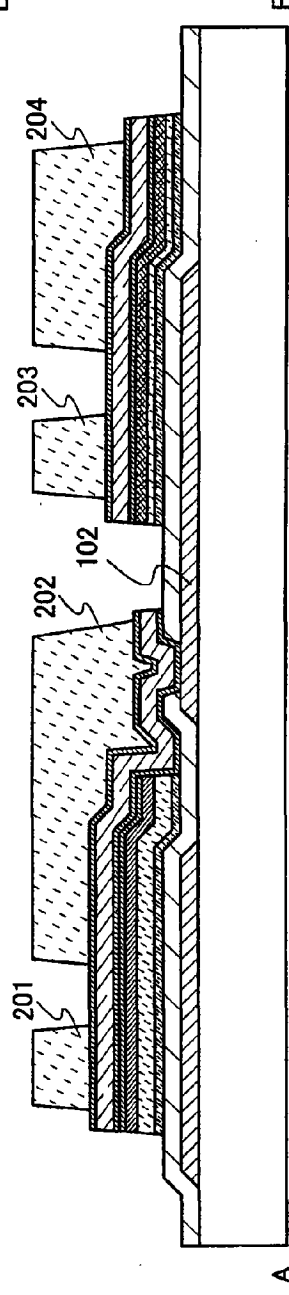
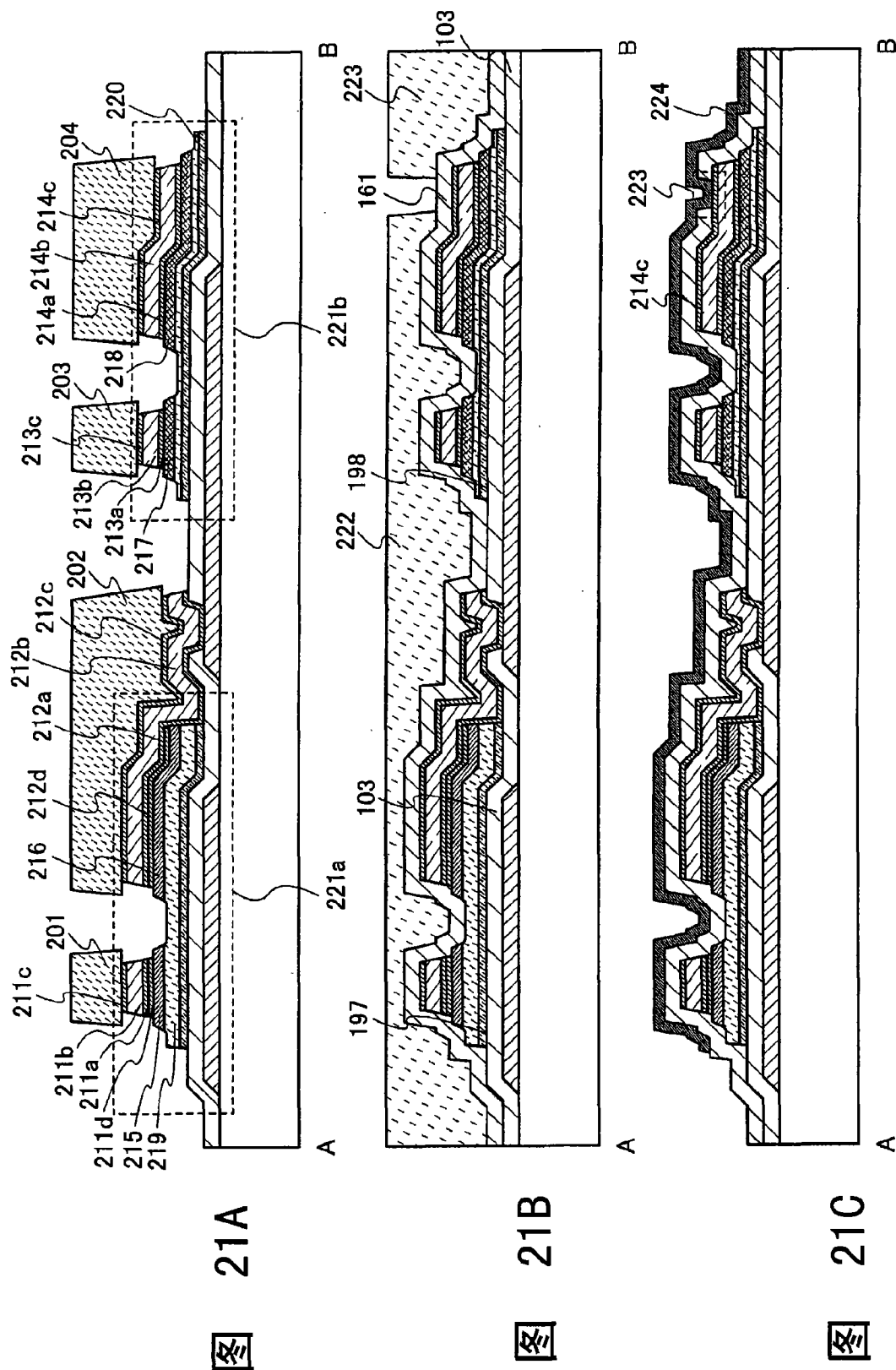


图 20C



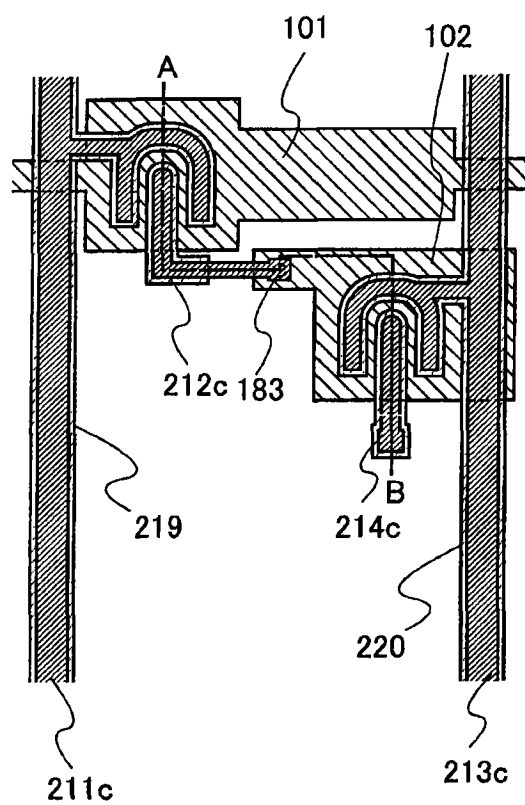


图 22A

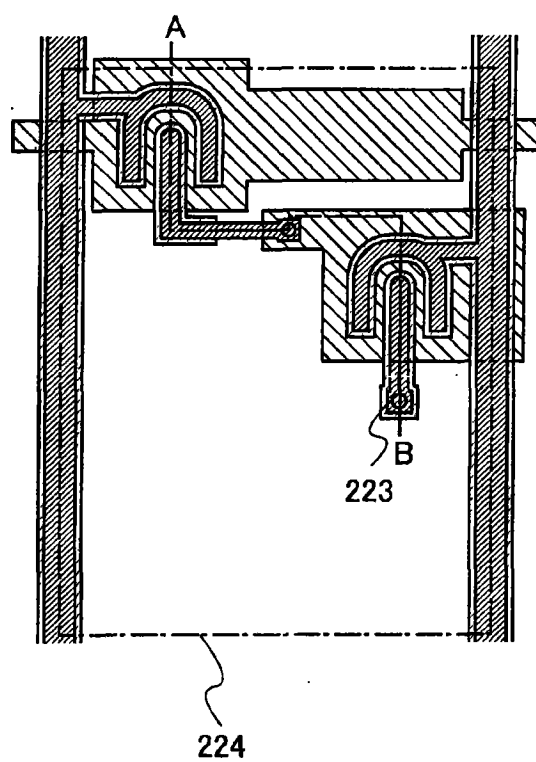


图 22B

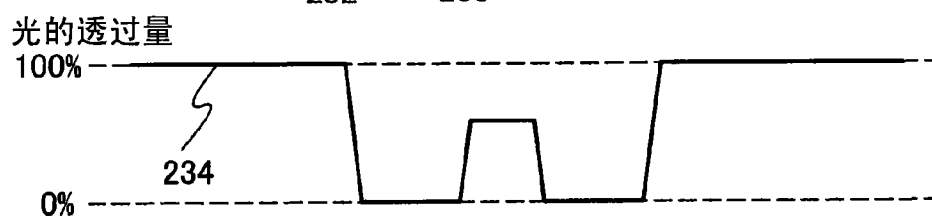
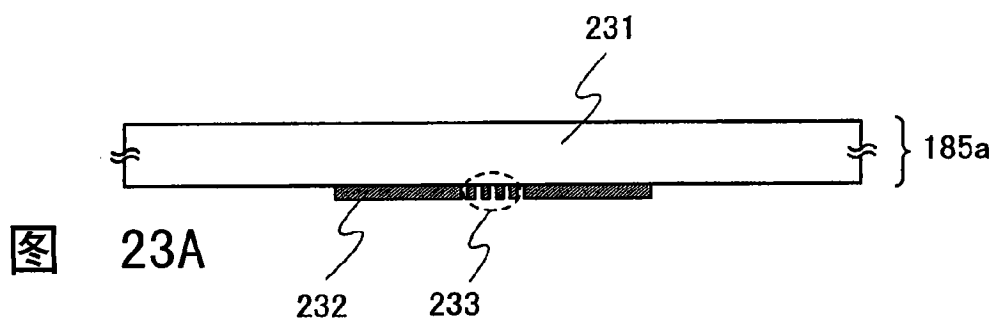


图 23B

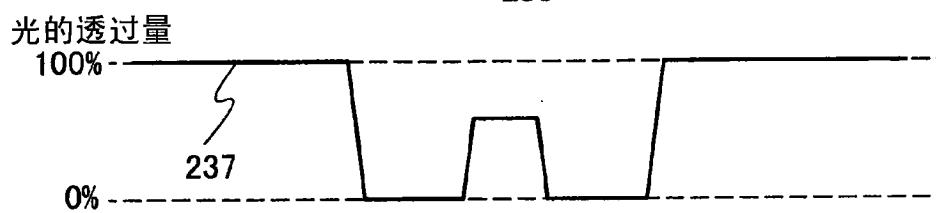
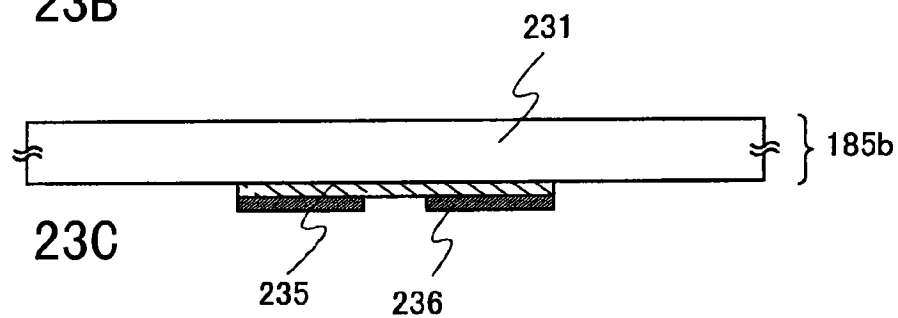


图 23D

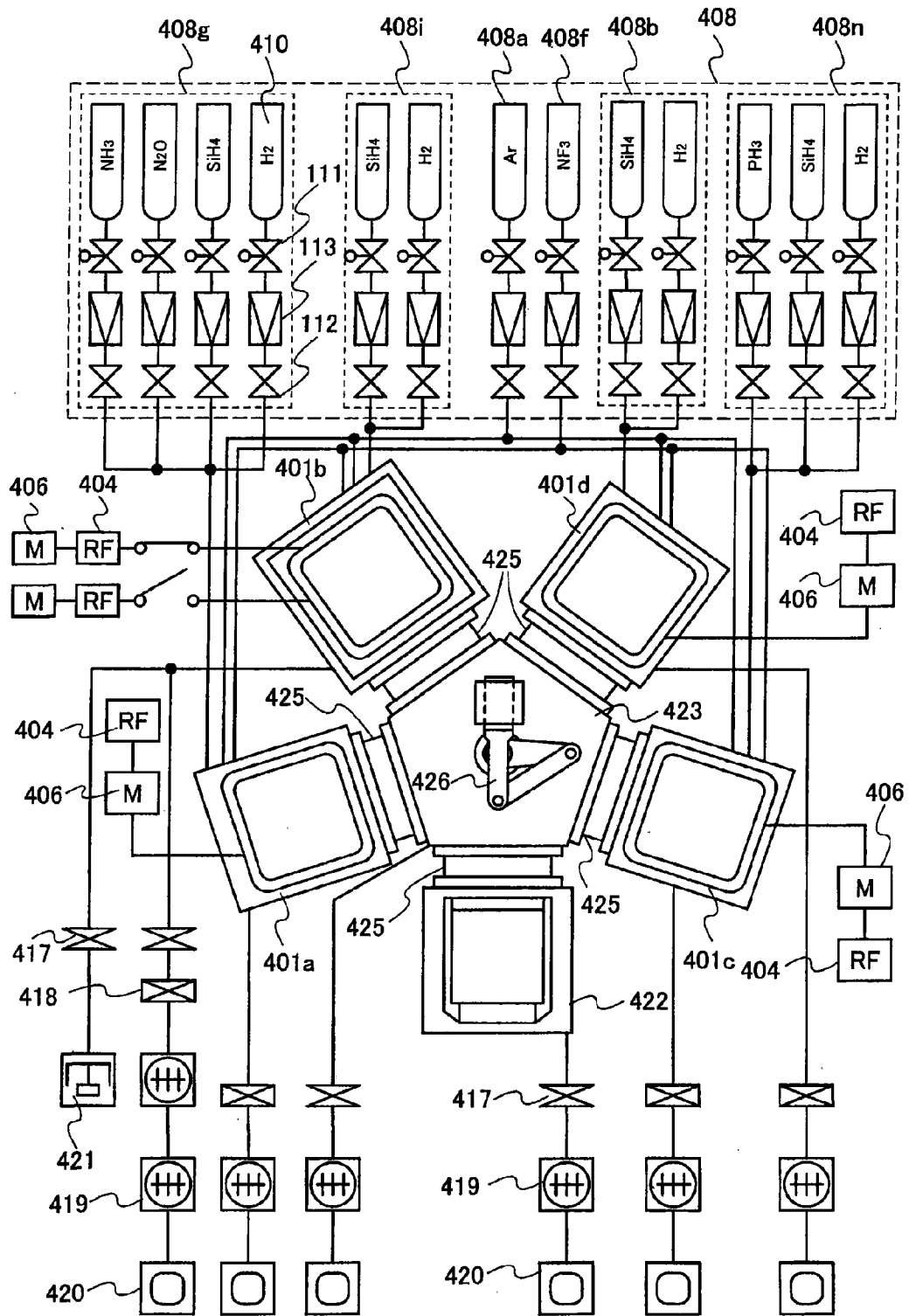


图 24