



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년10월12일
(11) 등록번호 10-2311552
(24) 등록일자 2021년10월05일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01)

(21) 출원번호 10-2014-0172672

(22) 출원일자 2014년12월04일

심사청구일자 2019년11월22일

(65) 공개번호 10-2016-0067371

(43) 공개일자 2016년06월14일

(56) 선행기술조사문헌

US20100317181 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김소연

부산광역시 사하구 낙동대로323번길 43, 201호 (괴정동)

마쓰오카 유리

경기도 성남시 분당구 느티로 22 (정자동)

(74) 대리인

박영우

전체 청구항 수 : 총 20 항

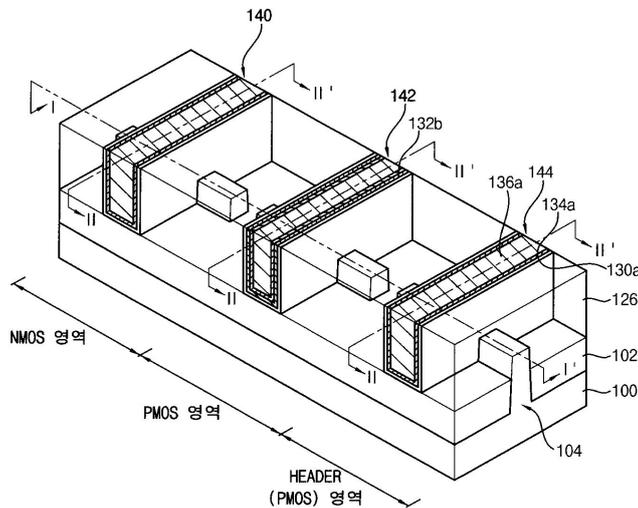
심사관 : 최정민

(54) 발명의 명칭 반도체 소자 및 그 제조 방법

(57) 요약

반도체 소자는, 액티브 핀 및 소자 분리 패턴이 형성된 기판과, 상기 액티브 핀의 표면 상에 제1 게이트 절연막 및 상기 제1 게이트 절연막과 직접 접촉하는 제1 도전형을 갖는 금속 패턴을 포함하는 제1 게이트 구조물과, 상기 제1 게이트 구조물 저면과 대향하는 상기 액티브 핀의 표면 아래에 구비되고 상기 제1 도전형의 불순물을 포함하는 제1 채널 영역 및 상기 제1 게이트 구조물 양측의 상기 액티브 핀 표면 아래에 구비되고, 상기 제1 도전형과 다른 제2 도전형의 불순물을 포함하는 제1 소스/드레인 영역을 포함한다. 상기 트랜지스터는 목표한 문턱 전압을 가지면서 낮은 누설 전류 특성을 가질 수 있다.

대표도



명세서

청구범위

청구항 1

액티브 핀 및 소자 분리 패턴이 형성된 기판;

상기 액티브 핀의 표면 상에 제1 게이트 절연막 및 상기 제1 게이트 절연막과 직접 접촉하는 제1 도전형을 갖는 금속 패턴을 포함하는 제1 게이트 구조물;

상기 제1 게이트 구조물 저면과 대향하는 상기 액티브 핀의 표면 아래에 구비되고 상기 제1 도전형의 불순물을 포함하는 제1 채널 영역; 및

상기 제1 게이트 구조물 양측의 상기 액티브 핀 표면 아래에 구비되고, 상기 제1 도전형과 다른 제2 도전형의 불순물을 포함하는 제1 소스/드레인 영역을 포함하고,

상기 제1 게이트 구조물, 상기 제1 채널 영역 및 제1 소스/드레인은 제1 트랜지스터로 제공되고, 상기 제1 트랜지스터는 로직 회로의 입력단 또는 출력단과 전기적으로 연결되어 상기 로직 회로를 스위칭하는 반도체 소자.

청구항 2

제1항에 있어서, 상기 로직 회로는 상기 기판의 다른 영역에 형성되는 제2 트랜지스터들을 포함하고, 각각의 상기 제2 트랜지스터들은,

상기 기판의 액티브 핀의 표면 상에 상기 제1 게이트 절연막 및 상기 제1 게이트 절연막과 직접 접촉하는 제3 도전형을 갖는 금속 패턴을 포함하는 제2 게이트 구조물;

상기 제2 게이트 구조물 저면과 대향하는 상기 액티브 핀의 표면 아래에 구비되고 상기 제3 도전형과 다른 제4 도전형의 불순물을 포함하는 제2 채널 영역; 및

상기 제2 게이트 구조물 양측의 상기 액티브 핀 표면 아래에 구비되고, 상기 제3 도전형의 불순물을 포함하는 제2 소스/드레인 영역을 포함하는 반도체 소자.

청구항 3

제2항에 있어서, 상기 제1 트랜지스터는 상기 제2 트랜지스터들을 포함하는 로직 회로의 입력단과 연결되어 상기 로직 회로를 스위칭하는 헤더 트랜지스터인 반도체 소자.

청구항 4

제3항에 있어서, 상기 제1 트랜지스터는 N형 금속 패턴을 포함하는 제1 게이트 구조물, 상기 N형의 제1 채널 영역 및 P형의 소스/드레인 영역을 포함하는 P형 트랜지스터인 반도체 소자.

청구항 5

제2항에 있어서, 상기 제1 트랜지스터는 상기 제2 트랜지스터들을 포함하는 로직 회로의 출력단과 연결되어 상기 로직 회로를 스위칭하는 풋터 트랜지스터인 반도체 소자.

청구항 6

제5항에 있어서, 상기 제1 트랜지스터는 P형 금속 패턴을 포함하는 제1 게이트 구조물, 상기 P형의 제1 채널 영역 및 N형의 소스/드레인 영역을 포함하는 N형 트랜지스터인 반도체 소자.

청구항 7

제2항에 있어서, 상기 제2 트랜지스터에서 상기 제2 소스/드레인 영역은 에피택셜 성장에 의해 형성된 반도체 패턴 내에 형성되는 반도체 소자.

청구항 8

제1항에 있어서, 상기 제1 게이트 절연막 및 상기 제1 도전형을 갖는 금속 패턴은 실린더 형상을 갖는 반도체 소자.

청구항 9

제8항에 있어서, 상기 제1 게이트 구조물은 상부 금속 패턴이 더 포함되고, 상기 상부 금속 패턴은 상기 제1 도전형을 갖는 금속 패턴 상에 구비되고 상기 제1 도전형을 갖는 금속 패턴의 내부 공간을 채우는 형상을 갖는 반도체 소자.

청구항 10

제1항에 있어서, 상기 제1 게이트 절연막은 실리콘 산화막 및 금속 산화막이 적층된 구조를 갖는 반도체 소자.

청구항 11

제1항에 있어서, 상기 제1 게이트 구조물의 게이트 길이는 10 내지 50nm인 반도체 소자.

청구항 12

액티브 핀 및 소자 분리 패턴이 형성되고, 제1 및 제2 영역이 구분되는 기판;

상기 제1 영역의 액티브 핀의 표면 상에, 제1 게이트 절연막 및 제1 도전형의 금속을 포함하는 제1 금속 패턴을 포함하는 제1 게이트 구조물과, 상기 제1 도전형의 채널 영역을 포함하는 제1 트랜지스터;

상기 제2 영역의 액티브 핀의 표면 상에, 상기 제1 게이트 절연막 및 N형 금속을 포함하는 제2 금속 패턴을 포함하는 제2 게이트 구조물을 갖는 제2 NMOS 트랜지스터; 및

상기 제2 영역의 액티브 핀의 표면 상에, 상기 제1 게이트 절연막 및 P형 금속을 포함하는 제3 금속 패턴을 포함하는 제3 게이트 구조물을 갖는 제2 PMOS 트랜지스터를 포함하고,

로직 회로는 상기 제2 NMOS 트랜지스터 및 상기 제2 PMOS 트랜지스터를 포함하고, 상기 제1 트랜지스터는 상기 로직 회로의 입력단 또는 출력단과 전기적으로 연결되어 상기 로직 회로를 스위칭하는 반도체 소자.

청구항 13

제12항에 있어서, 상기 제1 트랜지스터는 상기 로직 회로의 입력단과 연결되어 상기 회로들을 스위칭하는 해당 트랜지스터인 반도체 소자.

청구항 14

제13항에 있어서, 상기 제1 트랜지스터는 N형 금속 패턴을 포함하는 제1 게이트 구조물, N형의 채널 영역 및 P형의 소스/드레인 영역을 포함하는 P형 트랜지스터인 반도체 소자.

청구항 15

제12항에 있어서, 상기 제1 트랜지스터는 상기 로직 회로의 출력단과 연결되어 상기 회로들을 스위칭하는 풋터 트랜지스터인 반도체 소자.

청구항 16

제15항에 있어서, 상기 제1 트랜지스터는 P형 금속 패턴을 포함하는 제1 게이트 구조물, 상기 P형의 채널 영역 및 N형의 소스/드레인 영역을 포함하는 N형 트랜지스터인 반도체 소자.

청구항 17

기판에 액티브 핀 및 소자 분리 패턴을 형성하고;

상기 기판 상에 상기 액티브 핀의 일부를 노출하는 게이트 트렌치를 포함하는 몰드 패턴을 형성하고;

상기 게이트 트렌치의 표면 및 몰드 패턴 상에, 제1 게이트 절연막 및 제1 도전형의 금속을 포함하는 제1 금속막을 형성하고;

상기 기판의 제1 영역의 제1 금속막과, 상기 기판의 제2 영역에서 상기 제1 도전형과 다른 제2 도전형의 트랜지

스터 형성 부위의 제1 금속막을 함께 제거하고;

상기 제1 금속막 및 상기 제1 게이트 절연막 상에 제2 도전형의 금속을 포함하는 제2 금속막을 형성하고; 그리고

상기 제1 게이트 절연막 및 제2 금속막을 평탄화하여, 제1 영역의 액티브 핀 표면 상에 상기 제2 도전형의 금속 게이트를 포함하는 제1 도전형의 제1 트랜지스터와, 상기 제2 영역의 액티브 핀 표면 상에 상기 제1 도전형의 금속 게이트를 포함하는 제1 도전형의 제2 트랜지스터와, 상기 제2 영역의 액티브 핀 표면 상에 상기 제2 도전형의 금속 게이트를 포함하는 제2 도전형의 제3 트랜지스터를 각각 형성하고,

로직 회로는 상기 제2 트랜지스터 및 상기 제3 트랜지스터를 포함하고, 상기 제1 트랜지스터는 상기 로직 회로의 입력단 또는 출력단과 전기적으로 연결되어 상기 로직 회로를 스위칭하는 반도체 소자의 제조 방법.

청구항 18

제17항에 있어서,

상기 기관의 제1 영역의 액티브 핀 및 상기 기관의 제2 영역에서 상기 제2 트랜지스터 형성 부위의 액티브 핀에 상기 제2 도전형의 불순물을 주입하여 상기 제1 영역 및 제2 영역의 일부에 각각 제2 도전형의 채널 영역을 형성하고; 그리고

상기 기관의 제2 영역에서 상기 제3 트랜지스터 형성 부위의 액티브 핀에 상기 제1 도전형의 불순물을 주입하여 상기 제1 도전형의 채널 영역을 형성하는 것을 더 포함하는 반도체 소자의 제조 방법.

청구항 19

제17항에 있어서, 상기 제1 금속막을 제거하기 전에, 상기 기관의 제2 영역에서 상기 제2 트랜지스터 형성 부위를 덮는 포토레지스트 패턴을 형성하는 것을 더 포함하는 반도체 소자의 제조 방법.

청구항 20

제17항에 있어서, 상기 게이트 트렌치 양 측의 액티브 핀에 각각 소스/드레인으로 제공되는 불순물 영역들을 형성하는 것을 더 포함하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자의 제조 방법에 관한 것이다. 보다 상세하게, 본 발명은 트랜지스터를 포함하는 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이루는 트랜지스터들은 사용자가 요구하는 동작 특성을 가져야 한다. 상기 반도체 소자 내에 다양한 문턱 전압을 갖는 트랜지스터들이 요구된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 과제는 목표 문턱 전압을 갖는 트랜지스터가 포함된 반도체 소자를 제공하는데 있다.

[0004] 본 발명의 다른 과제는 상기한 반도체 소자의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0005] 상기한 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자는, 액티브 핀 및 소자 분리 패턴이 형성된 기관이 구비된다. 상기 액티브 핀의 표면 상에 제1 게이트 절연막 및 상기 제1 게이트 절연막과 직접 접촉하는 제1 도전형을 갖는 금속 패턴을 포함하는 제1 게이트 구조물이 구비된다. 상기 제1 게이트 구조물 저면과 대향하는 상기 액티브 핀의 표면 아래에는 상기 제1 도전형의 불순물을 포함하는 제1 채널 영역이 구비된다.

또한, 상기 제1 게이트 구조물 양측의 상기 액티브 핀 표면 아래에 구비되고, 상기 제1 도전형과 다른 제2 도전형의 불순물을 포함하는 제1 소스/드레인 영역이 구비된다.

- [0006] 예시적인 실시예에 있어서, 상기 기판의 다른 영역에는 제2 트랜지스터들을 포함하는 로직 회로가 구비되고, 각각의 상기 제2 트랜지스터들은 상기 기판의 액티브 핀의 표면 상에 상기 제1 게이트 절연막 및 상기 제1 게이트 절연막과 직접 접촉하는 제3 도전형을 갖는 금속 패턴을 포함하는 제2 게이트 구조물과, 상기 제2 게이트 구조물 저면과 대향하는 상기 액티브 핀의 표면 아래에 구비되고 상기 제3 도전형과 다른 제4 도전형의 불순물을 포함하는 제2 채널 영역, 및 상기 제2 게이트 구조물 양측의 상기 액티브 핀 표면 아래에 구비되고 상기 제3 도전형의 불순물을 포함하는 제2 소스/드레인 영역을 더 포함할 수 있다.
- [0007] 예시적인 실시예에 있어서, 상기 제1 게이트 구조물, 상기 제1 채널 영역 및 제1 소스/드레인을 포함하는 제1 트랜지스터는 상기 제2 트랜지스터들을 포함하는 로직 회로의 입력단과 연결되어 상기 로직 회로를 스위칭하는 해더 트랜지스터일 수 있다.
- [0008] 예시적인 실시예에 있어서, 상기 제1 트랜지스터는 N형 금속 패턴을 포함하는 제1 게이트 구조물, 상기 N형 제1 채널 영역 및 P형의 소스/드레인 영역을 포함하는 P형 트랜지스터일 수 있다.
- [0009] 예시적인 실시예에 있어서, 상기 제1 게이트 구조물, 상기 제1 채널 영역 및 제1 소스/드레인을 포함하는 제1 트랜지스터는 상기 제2 트랜지스터들을 포함하는 로직 회로의 출력단과 연결되어 상기 로직 회로를 스위칭하는 풋터 트랜지스터일 수 있다.
- [0010] 예시적인 실시예에 있어서, 상기 제1 트랜지스터는 P형 금속 패턴을 포함하는 제1 게이트 구조물, 상기 P형의 제1 채널 영역 및 N형의 소스/드레인 영역을 포함하는 N형 트랜지스터일 수 있다.
- [0011] 예시적인 실시예에 있어서, 상기 제2 트랜지스터에서 상기 제2 소스/드레인 영역은 에피택셜 성장에 의해 형성된 반도체 패턴 내에 형성될 수 있다.
- [0012] 예시적인 실시예에 있어서, 상기 제1 게이트 절연막 및 상기 제1 도전형을 갖는 금속 패턴은 실린더 형상을 가질 수 있다.
- [0013] 예시적인 실시예에 있어서, 상기 제1 게이트 구조물은 상부 금속 패턴이 더 포함되고, 상기 상부 금속 패턴은 상기 제1 도전형을 갖는 금속 패턴 상에 구비되고 상기 제1 도전형을 갖는 금속 패턴의 내부 공간을 채우는 형상을 가질 수 있다.
- [0014] 예시적인 실시예에 있어서, 상기 제1 게이트 절연막은 실리콘 산화막 및 금속 산화막이 적층된 구조를 가질 수 있다.
- [0015] 예시적인 실시예에 있어서, 상기 제1 게이트 구조물의 게이트 길이는 10 내지 50nm일 수 있다.
- [0016] 상기한 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자는, 액티브 핀 및 소자 분리 패턴이 형성되고, 제1 및 제2 영역이 구분되는 기판이 구비된다. 상기 제1 영역의 액티브 핀의 표면 상에, 제1 게이트 절연막 및 제1 도전형의 금속을 포함하는 제1 금속 패턴을 포함하는 제1 게이트 구조물과, 상기 제1 도전형의 채널 영역을 포함하는 제1 트랜지스터가 구비된다. 상기 제2 영역의 액티브 핀의 표면 상에, 상기 제1 게이트 절연막 및 N형 금속을 포함하는 제2 금속 패턴을 포함하는 제2 게이트 구조물을 갖는 제2 NMOS 트랜지스터가 구비된다. 또한, 상기 제1 영역의 액티브 핀의 표면 상에, 상기 제1 게이트 절연막 및 P형 금속을 포함하는 제3 금속 패턴을 포함하는 제3 게이트 구조물을 갖는 제2 PMOS 트랜지스터를 포함한다.
- [0017] 예시적인 실시예에 있어서, 상기 제1 트랜지스터는 상기 제2 NMOS 트랜지스터들 및 제2 PMOS 트랜지스터들을 포함하는 로직 회로의 입력단과 연결되어 상기 회로들을 스위칭하는 해더 트랜지스터일 수 있다.
- [0018] 예시적인 실시예에 있어서, 상기 제1 트랜지스터는 N형 금속 패턴을 포함하는 제1 게이트 구조물, N형의 채널 영역 및 P형의 소스/드레인 영역을 포함하는 P형 트랜지스터일 수 있다.
- [0019] 예시적인 실시예에 있어서, 상기 제1 트랜지스터는 상기 제2 NMOS 트랜지스터 및 제2 PMOS 트랜지스터를 포함하는 로직 회로의 출력단과 연결되어 상기 회로들을 스위칭하는 풋터 트랜지스터일 수 있다.
- [0020] 예시적인 실시예에 있어서, 상기 제1 트랜지스터는 P형 금속 패턴을 포함하는 제1 게이트 구조물, 상기 P형의 채널 영역 및 N형의 소스/드레인 영역을 포함하는 N형 트랜지스터일 수 있다.
- [0021] 상기한 다른 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법으로, 기판에 액티브

핀 및 소자 분리 패턴을 형성한다. 상기 기판 상에 상기 액티브 핀의 일부를 노출하는 게이트 트렌치를 포함하는 몰드 패턴을 형성한다. 상기 게이트 트렌치의 표면 및 몰드 패턴 상에, 제1 게이트 절연막 및 제1 도전형의 금속을 포함하는 제1 금속막을 형성한다. 상기 기판의 제1 영역의 제1 금속막과, 상기 기판의 제2 영역에서 상기 제1 도전형과 다른 제2 도전형의 트랜지스터 형성 부위의 제1 금속막을 함께 제거한다. 상기 제1 금속막 및 상기 제1 게이트 절연막 상에 제2 도전형의 금속을 포함하는 제2 금속막을 형성한다. 그리고, 상기 제1 게이트 절연막 및 제2 금속막을 평탄화하여, 제1 영역의 액티브 핀 표면 상에 상기 제2 도전형의 금속 게이트를 포함하는 제1 도전형의 트랜지스터와, 상기 제2 영역의 액티브 핀 표면 상에 상기 제1 도전형의 금속 게이트를 포함하는 제1 도전형의 트랜지스터와, 상기 제2 영역의 액티브 핀 표면 상에 상기 제2 도전형의 금속 게이트를 포함하는 제2 도전형의 트랜지스터를 각각 형성한다.

[0022] 예시적인 실시예에 있어서, 상기 기판의 제1 영역의 액티브 핀 및 상기 기판의 제2 영역에서 상기 제1 도전형의 트랜지스터 형성 부위의 액티브 핀에 상기 제2 도전형의 불순물을 주입하여 상기 제1 영역 및 제2 영역의 일부에 각각 제2 도전형의 채널 영역을 형성한다. 그리고, 상기 기판의 제2 영역에서 상기 제2 도전형의 트랜지스터 형성 부위의 액티브 핀에 상기 제1 도전형의 불순물을 주입하여 상기 제1 도전형의 채널 영역을 형성한다.

[0023] 예시적인 실시예에 있어서, 상기 제1 금속막을 제거하기 전에, 상기 기판의 제2 영역에서 상기 제1 도전형의 트랜지스터 형성 부위를 덮는 포토레지스트 패턴을 형성하는 것을 더 포함할 수 있다.

[0024] 예시적인 실시예에 있어서, 상기 게이트 트렌치 양 측의 액티브 핀에 각각 소스/드레인으로 제공되는 불순물 영역들을 형성할 수 있다.

발명의 효과

[0025] 본 발명의 실시예들에 따르면, 반도체 소자는 채널 영역의 도전형과 동일한 도전형(즉, 극성)을 갖는 금속 게이트를 포함하는 핀형 트랜지스터를 포함한다. 이에 따라, 상기 핀형 트랜지스터는 상대적으로 높은 문턱 전압을 가질 수 있고, 낮은 누설 전류(leakage current) 및/또는 대기 전류(stand-by current)를 가질 수 있다. 상기 핀형 트랜지스터가 로직 회로의 헤더 트랜지스터(Header transistor) 또는 풋터 트랜지스터(Footer transistor)로 제공됨으로써, 상기 반도체 소자는 고성능을 가질 수 있다.

도면의 간단한 설명

[0026] 도 1 내지 도 3은 본 발명의 일 실시예에 따른 반도체 소자의 사시도 및 단면도들이다.
 도 4는 반도체 소자에서 각 트랜지스터의 배치를 나타낸다.
 도 5 내지 도 22는 도 1 내지 도 3에 도시된 반도체 소자의 제조 방법을 나타내는 사시도 및 단면도들이다.
 도 23 내지 도 25는 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 사시도 및 단면도들이다.
 도 26 내지 도 28은 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 사시도 및 단면도들이다.
 도 29 내지 도 31은 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 사시도 및 단면도들이다.
 도 32는 샘플 1 및 비교 샘플 1의 트랜지스터의 누설 전류를 나타낸 것이다.
 도 33은 샘플 1 및 비교 샘플 1의 트랜지스터의 드레인 전류를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0028] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[0029] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0030] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조

합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0031] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 추가적으로 형성될 수 있다.
- [0032] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.
- [0033] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

실시예 1

- [0034] 도 1 내지 도 3은 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 사시도 및 단면도들이다. 도 4는 반도체 소자에서 각 트랜지스터의 배치를 나타낸다. 도 2 및 도 3은 각각 도 1의 I-I' 및 II-II' 선을 절단한 단면도들이다.
- [0035] 도 4를 참조하면, 반도체 소자의 로직 영역(10) 내에는 로직 회로들을 구성하는 NMOS 및 PMOS 트랜지스터들이 구비된다. 상기 로직 회로의 입력단에는 상기 로직 회로들의 입력부를 스위칭하는 헤더 트랜지스터가 연결될 수 있다. 상기 헤더 트랜지스터는 상기 반도체 소자의 전원 전압(Vdd)과 연결될 수 있다. 한편, 상기 로직 회로의 출력단에는 상기 로직 회로들의 출력부를 스위칭하는 풋터 트랜지스터가 연결될 수 있다. 일반적으로, 상기 반도체 소자에는 헤더 트랜지스터와 풋터 트랜지스터 중 어느 하나만 구비될 수 있다.
- [0036] 상기 헤더 트랜지스터는 PMOS 트랜지스터가 주로 사용되며, 상기 로직 회로들을 구성하는 NMOS 및 PMOS 트랜지스터에 비해 높은 문턱 전압을 가질 수 있다. 또한, 상기 헤더 트랜지스터는 낮은 대기 전류 및 누설 전류를 가져야 한다. 상기 풋터 트랜지스터는 NMOS 트랜지스터가 주로 사용되며, 상기 로직 회로들을 구성하는 NMOS 및 PMOS 트랜지스터에 비해 높은 문턱 전압을 가질 수 있다. 또한, 상기 풋터 트랜지스터는 낮은 대기 전류 및 누설 전류를 가져야 한다.
- [0037] 도 1 내지 도 3에서는 헤더 트랜지스터를 포함하는 반도체 소자에 대해 설명한다.
- [0038] 도 1 내지 도 3을 참조하면, 헤더 영역, NMOS 영역 및 PMOS 영역이 포함되는 기판(100)이 구비된다. 상기 헤더 영역에는 헤더 트랜지스터로 제공되는 제1 트랜지스터가 형성되고, NMOS영역에는 로직 회로들을 구성하는 제2 트랜지스터가 형성되고 상기 PMOS영역에는 로직 회로들을 구성하는 제3 트랜지스터들이 형성될 수 있다. 상기 제1 트랜지스터는 P형 트랜지스터이고, 상기 제2 트랜지스터들은 NMOS 트랜지스터일 수 있고, 상기 제3 트랜지스터들은 PMOS트랜지스터일 수 있다.
- [0039] 상기 기판(100)은 예를 들어, 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘 온 인슐레이터(Silicon-On-Insulator: SOI) 기판, 게르마늄 온 인슐레이터(Germanium-On-Insulator: GOI) 기판 등을 포함할 수 있다.
- [0040] 상기 기판(100)에는 소자 분리막(102) 및 상기 소자 분리막(102)으로부터 돌출되는 액티브 핀들(104)이 구비될 수 있다.
- [0041] 상기 소자 분리막(102)은 실리콘 산화물을 포함할 수 있다. 상기 액티브 핀들(104)은 상기 기판(100)을 식각하여 형성할 수 있으며, 이 경우 상기 액티브 핀들(104)과 기판(100)은 실질적으로 동일한 물질일 수 있다.
- [0042] 상기 제1 트랜지스터는 제1 게이트 구조물(140), 제1 채널 영역(106) 및 제1 소스/드레인 영역(120)을 포함할 수 있다.

- [0043] 상기 제1 게이트 구조물(140)은 상기 헤더 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제1 게이트 구조물(140)은 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 상기 제1 채널 영역(106)은 상기 제1 게이트 구조물(140)의 저면과 대향하는 상기 액티브 핀(104)에 구비될 수 있다. 상기 제1 채널 영역(106)은 N형 불순물이 도핑된 영역일 수 있다. 또한, 상기 제1 소스/드레인 영역(120)은 상기 제1 게이트 구조물(140) 양 측의 액티브 핀(104)에 P형 불순물이 도핑되어 형성될 수 있다. 상기 제1 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴은 상기 제1 채널 영역(106)의 도전형과 동일하게 N형을 가질 수 있다.
- [0044] 상기 산화막 패턴(128)은 열산화 공정을 통해 형성된 실리콘 산화물을 포함할 수 있다. 상기 고유전막 패턴은 실리콘 질화물보다 높은 유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 고유전막 패턴은 예를들어, 하프늄 산화물(HfO₂), 탄탈륨 산화물(Ta₂O₅), 지르코늄 산화물(ZrO₂) 등을 포함할 수 있다.
- [0045] 상기 제1 N형 금속 패턴(134a)은 페르미 레벨이 실리콘의 컨덕션 밴드와 가깝게 위치하는 금속 물질을 포함하고, 즉 일함수가 약 4.5eV 이하인 금속 물질을 포함할 수 있다. 상기 제1 N형 금속 패턴(134a)은 예를들어 티타늄(Ti), 은(Ag), 알루미늄(Al), TiAl, AlAlN, TaC, TaCN, TaSiAlN, Mn, Zr 등을 포함할 수 있다.
- [0046] 상기 게이트 패턴(136a)은 저저항의 금속 물질을 포함할 수 있다. 상기 게이트 패턴(136a)은 예를들어, 알루미늄(Al), 구리(Cu), 탄탈륨(Ta) 등을 포함할 수 있다.
- [0047] 상기 제2 트랜지스터는 상기 제2 게이트 구조물(142), 제2 채널 영역(108) 및 제2 소스/드레인 영역(122)을 포함할 수 있다.
- [0048] 상기 제2 게이트 구조물(142)은 상기 NMOS 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제2 게이트 구조물(142)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 즉, 상기 제1 및 제2 게이트 구조물(140, 142)은 실질적으로 동일한 적층 구조를 가질 수 있다. 상기 제2 채널 영역(108)은 상기 제2 게이트 구조물(142)의 저면과 대향하는 상기 액티브 핀(104)에 구비될 수 있다. 상기 제2 채널 영역(108)은 P형 불순물이 도핑된 영역일 수 있다. 또한, 상기 제2 소스/드레인 영역(122)은 상기 제2 게이트 구조물(142) 양 측의 액티브 핀(104)에 N형 불순물이 도핑되어 형성될 수 있다. 상기 제2 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴은 상기 제2 채널 영역(108)의 도전형과 다른 N형을 가질 수 있다.
- [0049] 예시적인 실시예에 있어서, 상기 제2 게이트 구조물(142) 양 측의 액티브 핀에는 제1 개구부가 구비될 수 있고, 상기 제1 개구부 내부에는 제1 반도체 패턴이 구비될 수 있다. 상기 제1 반도체 패턴은 에피택셜 성장 공정을 통해 형성된 실리콘일 수 있다. 또한, 상기 제2 소스/드레인 영역(122)은 상기 제1 반도체 패턴 내에 형성될 수 있다.
- [0050] 상기 제3 트랜지스터는 상기 제3 게이트 구조물(144), 제3 채널 영역(110) 및 제3 소스/드레인 영역(124)을 포함할 수 있다.
- [0051] 상기 제3 게이트 구조물(144)은 상기 PMOS 영역의 액티브 핀 상에 구비될 수 있다. 상기 제3 게이트 구조물(144)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 상기 제1 P형 금속 패턴(132b), 상기 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 즉, 상기 제1 및 제3 게이트 구조물(140, 144)은 서로 다른 적층 구조를 가질 수 있다. 상기 제3 채널 영역(110)은 상기 제3 게이트 구조물(144)의 저면과 대향하는 상기 액티브 핀(104)에 구비될 수 있다. 상기 제3 채널 영역(110)은 N형 불순물이 도핑된 영역일 수 있다. 또한, 상기 제3 소스/드레인 영역(124)은 상기 제3 게이트 구조물(144) 양 측의 액티브 핀에 P형 불순물이 도핑되어 형성될 수 있다. 상기 제3 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴(132b)은 상기 제3 채널 영역(110)의 도전형과 다른 P형을 가질 수 있다.
- [0052] 상기 제1 P형 금속 패턴(132b)은 페르미 레벨이 실리콘의 밸런스 밴드와 가깝게 위치하는 금속 물질이고, 즉 일함수가 약 4.5eV 이상인 금속 물질을 포함할 수 있다. 상기 제1 P형 금속 패턴(132b)은 예를들어 티타늄 질화물(TiN), 텅스텐 질화물(WN), 탄탈륨 질화물(TaN), 루테튬(Ru) 등을 포함할 수 있다.
- [0053] 예시적인 실시예에 있어서, 상기 제3 게이트 구조물(144) 양 측의 액티브 핀(104)에는 제2 개구부가 구비될 수 있고, 상기 제2 개구부 내부에는 제2 반도체 패턴이 구비될 수 있다. 상기 제2 반도체 패턴은 에피택셜 성장 공정을 통해 형성된 실리콘 게르마늄일 수 있다. 또한, 상기 제3 소스/드레인 영역(124)은 상기 제2 반도체 패턴 내에 형성될 수 있다.

- [0054] 상기 제1 및 제3 트랜지스터는 P형의 도전형을 갖지만, 상기 제1 및 제3 게이트 구조물은 서로 다른 적층 구조를 가질 수 있다. 즉, 헤더 트랜지스터와 로직 회로의 PMOS 트랜지스터는 서로 다른 게이트 구조 적층 구조를 가질 수 있다.
- [0055] 상기 제1 트랜지스터와 같이, 상기 고유전막 패턴(130a)과 직접 접촉되는 금속 패턴의 도전형과 채널 영역의 도전형을 동일하게 함으로써, 트랜지스터의 문턱 전압을 상승시킬 수 있다. 즉, 상기 제1 트랜지스터의 문턱 전압의 절대값은 상기 제3 트랜지스터의 문턱 전압의 절대값보다 더 높을 수 있다.
- [0056] 상기 제1 내지 제3 트랜지스터는 액티브 핀 상에 형성되는 핀형 트랜지스터들일 수 있다. 상기 제1 내지 제3 게이트 구조물(140, 142, 144)의 선폭은 50nm이하일 수 있다. 따라서, 상기 제1 내지 제3 트랜지스터는 게이트 길이가 각각 50nm이하일 수 있다.
- [0057] 상기 제1 트랜지스터가 핀형 트랜지스터가 아니라 플레너형 트랜지스터인 경우에, 상기 고유전막 패턴(130a)과 직접 접촉되는 금속 패턴의 도전형과 채널 영역의 도전형을 동일하게 형성하면 상기 트랜지스터의 문턱 전압이 전원 전압 이상으로 과도하게 높아질 수 있다. 따라서, 상기 플레너형의 트랜지스터는 스위치의 역할을 하기 어려울 수 있다. 또한, 상기 제1 트랜지스터의 게이트 길이가 50nm이상인 경우에는 상기 제1 트랜지스터가 차지하는 수평 면적이 증가되어 집적도를 높이기 어려울 수 있다.
- [0058] 그러나, 본 발명의 일 실시예에서, 상기 제1 및 제3 트랜지스터가 각각 핀형 트랜지스터이고, 게이트 길이가 50nm이하일 수 있다. 그러므로, 상기 제1 및 제3 트랜지스터의 문턱 전압의 차이가 0.4V 이내가 될 수 있다. 따라서, 상기 제1 트랜지스터의 문턱 전압의 절대값은 전원 전압보다 낮을 수 있어서, 상기 제1 트랜지스터는 헤더 트랜지스터로 동작할 수 있다.
- [0059] 예를들어, 상기 제1 트랜지스터의 문턱 전압의 절대값은 상기 제3 트랜지스터의 문턱 전압의 절대값보다 0.2 내지 0.4V 정도 높을 수 있다. 이 때, 상기 제1 트랜지스터의 문턱 전압의 절대값은 1.5V 보다 낮을 수 있다. 따라서, 상기 제1 트랜지스터는 전원전압이 1.5V 이하인 반도체 소자에서 헤더 트랜지스터로 사용될 수 있다.
- [0060] 도 5 내지 도 22는 도 1 내지 도 3에 도시된 반도체 소자의 제조 방법을 나타내는 사시도 및 단면도들이다.
- [0061] 도 5 내지 7을 참조하면, 기판(100) 상부를 부분적으로 식각하여 트렌치들을 형성하고, 트렌치들 하부를 채우는 소자 분리막(102)을 형성한다.
- [0062] 상기 기판(100)은 헤더 트랜지스터가 형성되는 헤더 영역과, 로직 회로들을 구성하는 NMOS 및 PMOS 트랜지스터들이 형성되는 NMOS 영역 및 PMOS 영역을 각각 포함할 수 있다. 상기 기판(100)은 예를 들어, 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘 온 인슐레이터(Silicon-On-Insulator: SOI) 기판, 게르마늄 온 인슐레이터(Germanium-On-Insulator: GOI) 기판 등을 포함할 수 있다.
- [0063] 상기 소자 분리막(102)을 형성하기 위하여, 상기 트렌치들을 충분히 채우는 절연막을 상기 기판(100) 상에 형성하고, 상기 기판(100) 상면이 노출될 때까지 상기 절연막을 평탄화한다. 다음에, 상기 트렌치들의 상부 측벽이 노출되도록 상기 절연막 상부를 제거한다. 상기 절연막은, 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0064] 따라서, 상기 기판(100)에는 소자 분리막(102) 및 상기 소자 분리막(102)으로부터 돌출되는 액티브 핀들(active fin, 104)이 형성될 수 있다.
- [0065] 도 8 및 9를 참조하면, 상기 헤더 영역, NMOS 영역 및 PMOS 영역에 형성된 액티브 핀들(104) 표면에 각각 불순물들을 이온 주입하여 제1 내지 제3 채널 영역들(106, 108, 110)을 각각 형성할 수 있다.
- [0066] 상기 헤더 영역 및 PMOS 영역에는 PMOS 트랜지스터가 형성된다. 그러므로, 상기 헤더 영역 및 PMOS 영역의 액티브 핀들(104)에는 N형 불순물들을 주입하여 제1 및 제3 채널 영역들(106, 110)을 각각 형성할 수 있다. 또한, 상기 NMOS 영역에는 NMOS 트랜지스터가 형성된다. 그러므로, 상기 NMOS 영역의 액티브 핀(104)에는 P형 불순물들을 주입하여 제2 채널 영역(108)을 형성할 수 있다.
- [0067] 도 10 및 11을 참조하면, 상기 헤더 영역, NMOS 영역 및 PMOS 영역의 액티브 핀들(104) 상에 각각 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)을 형성할 수 있다.
- [0068] 구체적으로, 상기 기판(10) 상에 더미 게이트 절연막 및 더미 게이트 전극막을 형성할 수 있다. 상기 더미 게이트 전극막 상에 마스크 패턴들을 형성하고, 상기 마스크 패턴들을 이용하여 상기 더미 게이트 전극막 및 게이트 절연막을 식각하여 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)을 형성할 수 있다. 상기 제1 내지

제3 더미 게이트 구조물(116a, 116b, 116c)은 더미 게이트 절연막 패턴(112) 및 더미 게이트 전극(114)을 포함할 수 있다. 도시하지는 않았지만, 상기 더미 게이트 전극(114) 상에는 상기 마스크 패턴이 남아있을 수도 있다.

- [0069] 상기 더미 게이트 절연막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있고, 상기 더미 게이트 전극막은 예를 들어, 폴리실리콘을 포함하도록 형성될 수 있다. 또한, 상기 마스크 패턴은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다.
- [0070] 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)의 선폭은 각각 50nm이하일 수 있다.
- [0071] 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)의 측벽에 스페이서(118)를 형성할 수 있다. 상기 스페이서(118)는 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c) 및 기판(100) 표면 상에 스페이서막을 형성하고, 상기 스페이서막을 이방성 식각함으로써 형성될 수 있다.
- [0072] 도 12를 참조하면, 상기 NMOS 영역 및 PMOS 영역의 액티브 핀들(104) 부위에 에피택셜 성장 공정을 수행하여 제 1 및 제2 반도체 패턴을 각각 형성한다.
- [0073] 구체적으로, 상기 NMOS 영역에 형성된 상기 제2 더미 게이트 구조물 (116b) 양 측의 액티브 핀을 식각하여 제1 개구부를 형성하고, 상기 제1 개구부에 실리콘을 에피택셜 성장시켜 제1 반도체 패턴을 형성한다.
- [0074] 상기 PMOS 영역에 형성된 상기 제3 더미 게이트 구조물 양 측의 액티브 핀을 식각하여 제2 개구부를 형성하고, 상기 제2 개구부에 실리콘 게르마늄을 에피택셜 성장시켜 제2 반도체 패턴을 형성한다. 상기 제1 및 제2 반도체 패턴이 형성됨에 따라 상기 채널 영역에 스트레스가 가해지게 되고, 이로인해 NMOS 트랜지스터 및 PMOS 트랜지스터의 전하 이동도가 향상될 수 있다.
- [0075] 다음에, 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)의 양 측에 각각 불순물들을 도핑하여, 제1 내지 제3 소스/드레인 영역들(120, 122, 124)을 각각 형성할 수 있다.
- [0076] 구체적으로, 상기 헤더 영역 및 PMOS 영역에는 각각 P형 불순물을 주입한다. 따라서, 상기 제1 더미 게이트 구조물(116a) 양 측의 액티브 핀(104)과 상기 제2 반도체 패턴 내부에 각각 제1 및 제3 소스/드레인 영역들(120, 124)을 형성할 수 있다. 또한, 상기 NMOS 영역에는 N형 불순물을 주입한다. 따라서, 상기 제1 반도체 패턴 내부에 제2 소스/드레인 영역들(122)을 형성할 수 있다.
- [0077] 도 13 및 도 14를 참조하면, 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)을 덮도록 층간 절연막(126)을 충분한 높이로 형성한다. 이 후, 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)의 상부면이 노출되도록 상기 층간 절연막(126)을 평탄화시킨다. 상기 평탄화 공정은 화학 기계적 연마(Chemical Mechanical Polishing: CMP) 공정 및/또는 에치 백(etch back) 공정에 의해 수행될 수 있다.
- [0078] 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)을 제거하여, 상기 층간 절연막(126) 내에 개구부들(127)을 형성한다. 상기 식각 공정에서, 상기 개구부들(127) 저면에 상기 액티브 핀(104)의 표면이 노출되도록 할 수 있다.
- [0079] 상기 개구부(127) 저면에 노출된 상기 액티브 핀(104) 상에 산화막 패턴(128)을 형성한다. 상기 산화막 패턴(128)은 열산화 공정을 통해 형성된 실리콘 산화물을 포함할 수 있다. 상기 산화막 패턴(128)은 예를 들어, 오존 가스를 사용하여 상기 액티브 핀(104) 표면을 산화시킴으로써 형성할 수 있다.
- [0080] 상기 개구부(127) 측벽, 산화막 패턴(128) 및 층간 절연막(126) 상부면 상에 키포멀하게 고유전막(130)을 형성한다. 상기 고유전막(130)은 실리콘 질화물보다 높은 유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 고유전막(130)은, 예를 들어, 하프늄 산화물(HfO₂), 탄탈륨 산화물(Ta₂O₅), 지르코늄 산화물(ZrO₂) 등을 포함할 수 있다.
- [0081] 도 15 및 도 16을 참조하면, 상기 고유전막(130) 상에 키포멀하게 제1 P형 금속막(132)을 형성한다. 상기 제1 P형 금속막(132)은 페르미 레벨이 실리콘의 밸런스 밴드와 가깝게 위치하는 금속 물질이고, 즉 일함수가 약 4.5eV 이상인 금속 물질을 포함할 수 있다. 상기 제1 P형 금속막(132)은 예를 들어 티타늄 질화물(TiN), 텅스텐 질화물(WN), 탄탈륨 질화물(TaN), 루테튬(Ru) 등을 포함할 수 있다.
- [0082] 도 17 및 도 18을 참조하면, 상기 제1 P형 금속막(132)의 일부를 식각하여 상기 PMOS 영역에 형성된 상기 고유전막(130) 상에 예비 제1 P형 금속 패턴(132a)을 형성한다.

- [0083] 구체적으로, 상기 제1 P형 금속막(132) 상에 사진 공정을 수행하여 포토레지스트 패턴(133)을 형성한다. 상기 포토레지스트 패턴(133)은 상기 PMOS영역에 형성된 상기 제1 P형 금속막(132)을 선택적으로 덮는 형상을 가질 수 있다. 상기 포토레지스트 패턴(133)을 이용하여, 상기 NMOS 영역 및 헤더 영역에 형성된 제1 P형 금속막(132)을 제거한다. 따라서, 상기 NMOS 영역 및 헤더 영역에는 상기 고유전막(130)이 노출될 수 있다.
 - [0084] 도 19 및 도 20을 참조하면, 상기 고유전막(130) 및 상기 예비 제1 P형 금속 패턴(132a) 상에 컨포멀하게 제1 N형 금속막(134)을 형성한다. 따라서, 상기 NMOS 영역 및 헤더 영역의 고유전막(130) 상에는 상기 제1 N형 금속막(134)이 직접 접촉되고, 상기 PMOS 영역의 고유전막(130) 상에는 상기 예비 제1 P형 금속 패턴(132a)이 직접 접촉된다.
 - [0085] 상기 제1 N형 금속막(134)은 페르미 레벨이 실리콘의 컨덕션 밴드와 가깝게 위치하는 금속 물질이고, 즉 일함수가 약 4.5eV 이하인 금속 물질을 포함할 수 있다. 상기 제1 N형 금속막(134)은 예를들어 티타늄(Ti), 은(Ag), 알루미늄(Al), TiAl, AlAlN, TaC, TaCN, TaSiAlN, Mn, Zr등을 포함할 수 있다.
 - [0086] 도 21 및 도 22를 참조하면, 상기 제1 N형 금속막(134) 상에 상기 개구부들(127) 내부를 채우도록 게이트 전극막(136)을 형성한다. 상기 게이트 전극막(136)은 저저항의 금속 물질을 포함할 수 있다. 상기 게이트 전극막(136)은 예를들어, 알루미늄(Al), 구리(Cu), 탄탈륨(Ta) 등의 금속을 포함할 수 있다.
 - [0087] 다시, 도 1 내지 도 3을 참조하면, 상기 층간 절연막(126)의 상부면이 노출될 때까지, 상기 게이트 전극막(136), 제1 N형 금속막(134), 예비 제1 P형 금속 패턴(132a) 및 고유전막(130)을 평탄화한다. 상기 공정들을 통해 헤더 영역, NMOS 영역 및 PMOS 영역에는 각각 제1 내지 제3 게이트 구조물(140, 142, 144)이 형성된다.
 - [0088] 상기 제1 내지 제3 게이트 구조물(140, 142, 144)은 상기 제1 내지 제3 더미 게이트 구조물(116a, 116b, 116c)이 제거된 부위에 각각 형성된다. 그러므로, 상기 제1 내지 제3 게이트 구조물(140, 142, 144)의 선폴은 각각 50nm이하일 수 있다. 따라서, 상기 제1 내지 제3 게이트 구조물(140, 142, 144)을 포함하는 제1 내지 제3 트랜지스터는 50nm이하의 게이트 길이를 가질 수 있다.
 - [0089] 상기 제1 게이트 구조물(140)은 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 상기 제2 게이트 구조물(142)은 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 상기 제3 게이트 구조물(144)은 산화막 패턴(128), 고유전막 패턴(130a), 제1 P형 금속 패턴(132b), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다.
 - [0090] 상기 공정에 의해, 상기 헤더 영역 및 상기 PMOS 영역에는 P형의 제1 및 제3 트랜지스터가 각각 형성된다. 또한, 상기 NMOS 영역에는 N형의 제2 트랜지스터가 형성된다.
 - [0091] 본 발명의 일 실시예에 의하면, 상기 제1 트랜지스터는 로직 회로들을 구성하는 트랜지스터들보다 높은 문턱 전압을 갖는 헤더 트랜지스터로 제공된다. 상기 제1 트랜지스터를 형성하는 공정에서 문턱 전압 조절을 위한 할로이온 주입과 같은 공정들이 수행되지 않는다. 또한, 상기 제1 트랜지스터를 형성하기 위한 추가적인 사진 공정이 요구되지 않는다. 그러므로, 별도의 추가 공정들을 수행하지 않으면서 목표 문턱 전압을 갖는 상기 헤더 트랜지스터를 형성할 수 있다.
- 실시예 2**
- [0092] 도 23 내지 도 25는 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 사시도 및 단면도들이다. 도 24 및 도 25는 각각 도 23의 I-I' 및 II-II' 선을 절단한 단면도들이다.
 - [0093] 본 실시예에 따른 반도체 소자는 제1 내지 제3 트랜지스터에 포함되는 제1 내지 제3 게이트 구조물의 적층 구조를 제외하고는 도 1 내지 3을 참조로 설명한 것과 실질적으로 동일하다.
 - [0094] 도 23 내지 도 25를 참조하면, 헤더 영역, NMOS 영역 및 PMOS 영역이 포함되는 기판(100)이 구비된다. 상기 헤더 영역에는 헤더 트랜지스터로 제공되는 제1 트랜지스터가 형성되고, NMOS영역에는 로직 회로들을 구성하는 제2 트랜지스터가 형성되고 상기 PMOS영역에는 로직 회로들을 구성하는 제3 트랜지스터들이 형성될 수 있다. 상기 제1 트랜지스터는 P형 트랜지스터일 수 있고, 상기 제2 트랜지스터들은 NMOS 트랜지스터일 수 있고, 상기 제3 트랜지스터들은 PMOS트랜지스터일 수 있다.
 - [0095] 상기 기판(100)에는 소자 분리막(102) 및 상기 소자 분리막(102)으로부터 돌출되는 액티브 핀들(104)이 구비될 수 있다.

- [0096] 상기 제1 트랜지스터는 상기 제1 게이트 구조물(140), 제1 채널 영역(106) 및 제1 소스/드레인 영역(120)을 포함할 수 있다.
- [0097] 상기 제1 게이트 구조물(140a)은 상기 헤더 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제1 게이트 구조물(140a)은 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(150), 제1 P형 금속 패턴(152) 및 게이트 패턴(154)을 포함한다. 상기 제1 채널 영역에는 N형 불순물이 도핑되고, 상기 제1 소스/드레인 영역에는 P형 불순물이 도핑될 수 있다.
- [0098] 상기 제1 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴(134a)은 상기 제1 채널 영역(106)의 도전형과 동일하게 N형을 가질 수 있다. 한편, 상기 제1 N형 금속 패턴 상에는 제1 P형 금속 패턴이 구비된다. 그러나, 상기 제1 P형 금속 패턴은 상기 고유전막 패턴과 접촉하지 않기 때문에 트랜지스터의 문턱 전압에 영향을 주지 않을 수 있다.
- [0099] 상기 제2 트랜지스터는 상기 제2 게이트 구조물(142a), 제2 채널 영역(108) 및 제2 소스/드레인 영역(122)을 포함할 수 있다.
- [0100] 상기 제2 게이트 구조물(142a)은 상기 NMOS 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제2 게이트 구조물(142a)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(150), 제1 P형 금속 패턴(152) 및 게이트 패턴(154)을 포함한다. 즉, 상기 제1 및 제2 게이트 구조물(140a, 142a)은 동일한 적층 구조를 가질 수 있다. 상기 제2 채널 영역에는 P형 불순물이 도핑되고, 상기 제2 소스/드레인 영역에는 N형 불순물이 도핑될 수 있다. 상기 제2 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴은 상기 제2 채널 영역(108)의 도전형과 다른 N형을 가질 수 있다.
- [0101] 예시적인 실시예에 있어서, 상기 제2 게이트 구조물(142a) 양 측의 액티브 핀에는 제1 개구부가 구비될 수 있고, 상기 제1 개구부 내부에는 제1 반도체 패턴이 구비될 수 있다. 상기 제2 소스/드레인 영역(122)은 상기 제1 반도체 패턴 내에 형성될 수 있다.
- [0102] 상기 제3 트랜지스터는 상기 제3 게이트 구조물(144a), 제3 채널 영역(110) 및 제3 소스/드레인 영역(124)을 포함할 수 있다.
- [0103] 상기 제3 게이트 구조물(144a)은 상기 PMOS 영역의 액티브 핀 상에 구비될 수 있다. 상기 제3 게이트 구조물(144a)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 상기 제1 P형 금속 패턴(152) 및 게이트 패턴(136a)을 포함한다. 즉, 상기 제1 및 제3 게이트 구조물(140a, 144a)은 서로 다른 적층 구조를 가질 수 있다. 상기 제3 채널 영역에는 N형 불순물이 도핑되고, 상기 제3 소스/드레인 영역에는 P형 불순물이 도핑될 수 있다.
- [0104] 본 발명의 일 실시예에 의하면, 상기 제1 트랜지스터는 로직 회로들을 구성하는 트랜지스터들보다 높은 문턱 전압을 갖는 헤더 트랜지스터로 제공될 수 있다.
- [0105] 도 23 내지 도 25에 도시된 반도체 소자는 도 5 내지 도 22에서 설명한 것과 실질적으로 동일하거나 유사한 공정들을 수행하여 형성할 수 있다. 다만, 제1 내지 제3 게이트 구조물을 형성하기 위한 막의 적층 순서가 다를 수 있다.
- [0106] 먼저, 도 5 내지 도 14를 참조로 설명한 것과 실질적으로 동일한 공정을 수행한다. 이 후에, 상기 고유전막(130) 상에 컨포멀하게 제1 N형 금속막을 형성하고, 상기 제1 N형 금속막의 일부를 사진 식각 공정을 통해 제거하여 상기 NMOS 영역 및 헤더 영역에 형성된 상기 고유전막(130) 상에 예비 제1 N형 금속 패턴을 형성한다. 계속하여, 상기 고유전막(130) 및 상기 예비 제1 N형 금속 패턴 상에 컨포멀하게 제1 P형 금속막을 형성하고, 개구부를 채우도록 게이트 전극막을 형성한다.
- [0107] 다음에, 상기 층간 절연막(126)의 상부면이 노출될 때까지, 상기 게이트 전극막, 제1 P형 금속막, 예비 제1 N형 금속 패턴 및 고유전막(130)을 평탄화한다. 상기 공정들을 통해 헤더 영역, NMOS 영역 및 PMOS 영역에는 각각 제1 내지 제3 게이트 구조물(140a, 142a, 144a)이 형성될 수 있다.
- [0108] 본 발명의 일 실시예에 의하면, 상기 제1 트랜지스터를 형성하는 공정에서 문턱 전압 조절을 위한 할로 이온 주입과 같은 공정들이 수행되지 않는다. 또한, 상기 제1 트랜지스터를 형성하기 위한 추가적인 사진 공정이 요구되지 않는다. 그러므로, 별도의 추가 공정들을 수행하지 않으면서 상기 헤더 트랜지스터를 형성할 수 있다.

실시예 3

- [0109] 도 26 내지 도 28은 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 사시도 및 단면도들이다. 도 27 및 도 28은 각각 도 26의 I-I' 및 II-II' 선을 절단한 단면도들이다.
- [0110] 본 실시예에 따른 반도체 소자는 제1 트랜지스터가 풋터 트랜지스터로 제공된다. 본 실시예에 따른 반도체 소자는 상기 제1 트랜지스터를 제외하고는 도 1 내지 3을 참조로 설명한 것과 실질적으로 동일하다.
- [0111] 도 26 내지 도 28을 참조하면, 풋터 영역, NMOS 영역 및 PMOS 영역이 포함되는 기관(100)이 구비된다. 상기 풋터 영역에는 풋터 트랜지스터로 제공되는 제1 트랜지스터가 형성되고, NMOS영역에는 로직 회로들을 구성하는 제2 트랜지스터가 형성되고 상기 PMOS영역에는 로직 회로들을 구성하는 제3 트랜지스터들이 형성될 수 있다. 상기 제1 트랜지스터는 N형 트랜지스터일 수 있고, 상기 제2 트랜지스터들은 NMOS 트랜지스터일 수 있고, 상기 제3 트랜지스터들은 PMOS트랜지스터일 수 있다.
- [0112] 상기 기관(100)에는 소자 분리막(102) 및 상기 소자 분리막(102)으로부터 돌출되는 액티브 핀들(104)이 구비될 수 있다.
- [0113] 상기 제1 트랜지스터는 상기 제1 게이트 구조물(200), 제1 채널 영역(106a) 및 제1 소스/드레인 영역(120a)을 포함할 수 있다.
- [0114] 상기 제1 게이트 구조물(200)은 상기 풋터 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제1 게이트 구조물(200)은 산화막 패턴(128), 고유전막 패턴(130a), 제1 P형 금속 패턴(132b), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 상기 제1 채널 영역(106a)에는 P형 불순물이 도핑되고, 상기 제1 소스/드레인 영역에는 N형 불순물이 도핑될 수 있다.
- [0115] 상기 제1 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴(132b)은 상기 제1 채널 영역(106a)의 도전형과 동일하게 P형을 가질 수 있다. 한편, 상기 제1 P형 금속 패턴(132b) 상에는 제1 N형 금속 패턴(134a)이 구비된다. 그러나, 상기 제1 N형 금속 패턴(134a)은 상기 고유전막 패턴(130a)과 직접 접촉하지 않기 때문에 트랜지스터의 문턱 전압에 영향을 주지 않을 수 있다.
- [0116] 상기 제2 트랜지스터는 상기 제2 게이트 구조물(142), 제2 채널 영역(108) 및 제2 소스/드레인 영역(122)을 포함할 수 있다.
- [0117] 상기 제2 게이트 구조물(142)은 상기 NMOS 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제2 게이트 구조물(142)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 상기 제1 및 제2 트랜지스터는 동일한 도전형을 갖지만, 상기 제1 및 제2 게이트 구조물(200, 142)은 동일한 적층 구조를 갖지 않는다. 상기 제2 채널 영역(108)에는 P형 불순물이 도핑되고, 상기 제2 소스/드레인 영역(122)에는 N형 불순물이 도핑될 수 있다.
- [0118] 상기 제2 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴은 상기 제2 채널 영역(108)의 도전형과 다른 N형을 가질 수 있다.
- [0119] 예시적인 실시예에 있어서, 상기 제2 소스/드레인 영역(122)은 제1 반도체 패턴 내에 형성될 수 있다.
- [0120] 상기 제3 트랜지스터는 상기 제3 게이트 구조물(144), 제3 채널 영역(110) 및 제3 소스/드레인 영역(124)을 포함할 수 있다.
- [0121] 상기 제3 게이트 구조물(144)은 상기 PMOS 영역의 액티브 핀 상에 구비될 수 있다. 상기 제3 게이트 구조물(144)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 상기 제1 P형 금속 패턴(132b), 제1 N형 금속 패턴(134a) 및 게이트 패턴(136a)을 포함한다. 즉, 상기 제1 및 제3 게이트 구조물(200, 144)은 서로 동일한 적층 구조를 가질 수 있다. 상기 제3 채널 영역에는 N형 불순물이 도핑되고, 상기 제3 소스/드레인 영역에는 P형 불순물이 도핑될 수 있다.
- [0122] 예시적인 실시예에 있어서, 상기 제3 소스/드레인 영역(124)은 제2 반도체 패턴 내에 형성될 수 있다.
- [0123] 본 발명의 일 실시예에 의하면, 상기 제1 트랜지스터는 로직 회로들을 구성하는 트랜지스터들보다 높은 문턱 전압을 갖는 풋터 트랜지스터로 제공될 수 있다.
- [0124] 도 26 내지 도 28에 도시된 반도체 소자는 도 5 내지 도 22에서 설명한 것과 실질적으로 동일한 공정들을 수행하여 형성할 수 있다. 다만, 제1 내지 제3 게이트 구조물을 형성하기 위한 공정에서 제거되는 막에서만 차이가 있다.

- [0125] 풋터 트랜지스터가 형성되는 풋터 영역과, 로직 회로들을 구성하는 NMOS 및 PMOS 트랜지스터들이 형성되는 NMOS 영역 및 PMOS 영역을 각각 포함하는 기관에, 도 5 내지 도 16을 참조로 설명한 것과 동일한 공정을 수행한다. 이후에, 상기 제1 P형 금속막(132)의 일부를 사진 식각 공정을 통해 제거하여 상기 PMOS 영역 및 상기 풋터 영역에 형성된 상기 고유전막(130) 상에 예비 제1 P형 금속 패턴을 형성한다. 다음에, 도 19 내지 도 22를 참조로 설명한 공정들을 동일하게 수행하여 풋터 영역, NMOS 영역 및 PMOS 영역에 각각 제1 내지 제3 게이트 구조물(200, 142, 144)을 형성할 수 있다.
- [0126] 본 발명의 일 실시예에 의하면, 상기 제1 트랜지스터를 형성하는 공정에서 문턱 전압 조절을 위한 할로 이온 주입과 같은 공정들이 수행되지 않는다. 또한, 상기 제1 트랜지스터를 형성하기 위한 추가적인 사진 공정이 요구되지 않는다. 그러므로, 별도의 추가 공정들을 수행하지 않으면서 상기 풋터 트랜지스터를 형성할 수 있다.
- 실시예 4
- [0127] 도 29 내지 도 31은 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 사시도 및 단면도들이다. 도 30 및 도 31은 각각 도 29의 I-I' 및 II-II' 선을 절단한 단면도들이다.
- [0128] 본 실시예에 따른 반도체 소자는 제1 트랜지스터가 풋터 트랜지스터로 제공된다. 본 실시예에 따른 반도체 소자는 상기 제1 트랜지스터를 제외하고는 도 23 내지 25를 참조로 설명한 것과 실질적으로 동일하다.
- [0129] 도 29 내지 도 31을 참조하면, 풋터 영역, NMOS 영역 및 PMOS 영역이 포함되는 기관(100)이 구비된다. 상기 풋터 영역에는 풋터 트랜지스터로 제공되는 제1 트랜지스터가 형성되고, NMOS영역에는 로직 회로들을 구성하는 제2 트랜지스터가 형성되고 상기 PMOS영역에는 로직 회로들을 구성하는 제3 트랜지스터들이 형성될 수 있다. 상기 제1 트랜지스터는 N형 트랜지스터일 수 있고, 상기 제2 트랜지스터들은 NMOS 트랜지스터일 수 있고, 상기 제3 트랜지스터들은 PMOS트랜지스터일 수 있다.
- [0130] 상기 기관(100)에는 소자 분리막(102) 및 상기 소자 분리막(102)으로부터 돌출되는 액티브 핀들(104)이 구비될 수 있다.
- [0131] 상기 제1 트랜지스터는 상기 제1 게이트 구조물(200a), 제1 채널 영역(106a) 및 제1 소스/드레인 영역(120a)을 포함할 수 있다.
- [0132] 상기 제1 게이트 구조물(200a)은 상기 풋터 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제1 게이트 구조물(200a)은 산화막 패턴(128), 고유전막 패턴(130a), 제1 P형 금속 패턴(152) 및 게이트 패턴(154)을 포함한다. 상기 제1 채널 영역(106a)에는 P형 불순물이 도핑되고, 상기 제1 소스/드레인 영역에는 N형 불순물이 도핑될 수 있다.
- [0133] 상기 제1 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴은 상기 제1 채널 영역(106a)의 도전형과 동일하게 P형을 가질 수 있다.
- [0134] 상기 제2 트랜지스터는 상기 제2 게이트 구조물(142a), 제2 채널 영역(108) 및 제2 소스/드레인 영역(122)을 포함할 수 있다.
- [0135] 상기 제2 게이트 구조물(142a)은 상기 NMOS 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제2 게이트 구조물(142a)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 제1 N형 금속 패턴(150), 제1 P형 금속 패턴(152) 및 게이트 패턴(154)을 포함한다. 상기 제1 및 제2 트랜지스터는 동일한 도전형을 갖지만, 상기 제1 및 제2 게이트 구조물(200a, 142a)은 동일한 적층 구조를 갖지 않는다. 상기 제2 채널 영역(108)에는 P형 불순물이 도핑되고, 상기 제2 소스/드레인 영역(122)에는 N형 불순물이 도핑될 수 있다.
- [0136] 상기 제2 트랜지스터에서 상기 고유전막 패턴(130a)과 접촉하는 금속 패턴은 상기 제2 채널 영역(108)의 도전형과 다른 N형을 가질 수 있다.
- [0137] 예시적인 실시예에 있어서, 상기 제2 소스/드레인 영역(122)은 제1 반도체 패턴 내에 형성될 수 있다.
- [0138] 상기 제3 트랜지스터는 상기 제3 게이트 구조물(144a), 제3 채널 영역(110) 및 제3 소스/드레인 영역(124)을 포함할 수 있다.
- [0139] 상기 제3 게이트 구조물(144a)은 상기 PMOS 영역의 액티브 핀(104) 상에 구비될 수 있다. 상기 제3 게이트 구조물(144a)은 상기 산화막 패턴(128), 고유전막 패턴(130a), 상기 제1 P형 금속 패턴(152) 및 게이트 패턴(154)을 포함한다. 즉, 상기 제1 및 제3 게이트 구조물(200a, 144a)은 서로 동일한 적층 구조를 가질 수 있다. 상기 제3

채널 영역에는 N형 불순물이 도핑되고, 상기 제3 소스/드레인 영역(124)에는 P형 불순물이 도핑될 수 있다.

- [0140] 예시적인 실시예에 있어서, 상기 제3 소스/드레인 영역(124)은 제2 반도체 패턴 내에 형성될 수 있다.
- [0141] 본 발명의 일 실시예에 의하면, 상기 제1 트랜지스터는 로직 회로들을 구성하는 트랜지스터들보다 높은 문턱 전압을 갖는 쏘터 트랜지스터로 제공될 수 있다.
- [0142] 도 26 내지 도 28에 도시된 반도체 소자는 도 5 내지 도 22에서 설명한 것과 실질적으로 동일한 공정들을 수행하여 형성할 수 있다. 다만, 제1 내지 제3 게이트 구조물을 형성하기 위한 막의 적층 순서가 다를 수 있다.
- [0143] 쏘터 트랜지스터가 형성되는 쏘터 영역과, 로직 회로들을 구성하는 NMOS 및 PMOS 트랜지스터들이 형성되는 NMOS 영역 및 PMOS 영역을 각각 포함하는 기관에, 도 5 내지 도 14를 참조로 설명한 것과 동일한 공정을 수행한다.
- [0144] 이 후에, 상기 고유전막(130) 상에 컨포멀하게 제1 N형 금속막을 형성하고, 상기 제1 N형 금속막의 일부를 사진식각 공정을 통해 제거하여 상기 NMOS 영역에 형성된 상기 고유전막(130) 상에 예비 제1 N형 금속 패턴을 형성한다. 계속하여, 상기 고유전막(130) 및 상기 예비 제1 N형 금속 패턴 상에 컨포멀하게 제1 P형 금속막을 형성하고, 개구부를 채우도록 게이트 전극막을 형성한다.
- [0145] 다음에, 상기 층간 절연막(126)의 상부면이 노출될 때까지, 상기 게이트 전극막, 제1 P형 금속막, 예비 제1 N형 금속 패턴 및 고유전막(130)을 평탄화한다. 상기 공정들을 통해 쏘터 영역, NMOS 영역 및 PMOS 영역에는 각각 제1 내지 제3 게이트 구조물(200a, 142a, 144a)이 형성될 수 있다.
- [0146] 본 발명의 일 실시예에 의하면, 상기 제1 트랜지스터를 형성하는 공정에서 문턱 전압 조절을 위한 할로 이온 주입과 같은 공정들이 수행되지 않는다. 또한, 상기 제1 트랜지스터를 형성하기 위한 추가적인 사진 공정이 요구되지 않는다. 그러므로, 별도의 추가 공정들을 수행하지 않으면서 상기 쏘터 트랜지스터를 형성할 수 있다.

[0147] 비교 실험

[0148] 샘플 1

[0149] 기관의 액티브 핀 상에 헤더 트랜지스터를 형성하였다. 상기 헤더 트랜지스터는 도 1을 참조로 설명한 제1 트랜지스터와 실질적으로 동일한 구조를 가질 수 있다. 즉, 상기 헤더 트랜지스터는 산화막 패턴, 고유전막 패턴, 제1 N형 금속 패턴 및 게이트 패턴을 포함하는 제1 게이트 구조물과, N형 불순물이 도핑된 제1 채널 영역과 P형 불순물이 도핑된 제1 소스/드레인 영역을 포함한다. 상기 헤더 트랜지스터를 형성할 때 문턱 전압 조절을 위한 할로 이온 주입을 수행하지 않았다.

[0150] 비교 샘플 1

[0151] 기관의 액티브 핀 상에 PMOS 트랜지스터를 형성하였다. 상기 PMOS 트랜지스터는 도 1을 참조로 설명한 제3 트랜지스터와 실질적으로 동일한 구조를 가질 수 있다. 즉, 상기 PMOS 트랜지스터는 산화막 패턴, 고유전막 패턴, 제1 P형 금속 패턴, 제1 N형 금속 패턴 및 게이트 패턴을 포함하는 제3 게이트 구조물과, N형 불순물이 도핑된 제3 채널 영역과 P형 불순물이 도핑된 제3 소스/드레인 영역을 포함한다. 다만, 상기 PMOS 트랜지스터는 할로 이온 주입을 수행하여 할로 이온 주입 영역이 구비된다.

[0152] 도 32는 샘플 1 및 비교 샘플 1의 트랜지스터의 누설 전류를 나타낸 것이다.

[0153] 도 32를 참조하면, 샘플 1의 트랜지스터는 벌크 누설 전류(I_{boff})가 거의 발생하지 않았다. 이는, 상기 샘플 1의 트랜지스터를 형성할 때 할로 이온 주입을 수행하지 않았기 때문이다. 따라서, 샘플 1의 트랜지스터는 전체 누설 전류가 감소될 수 있다.

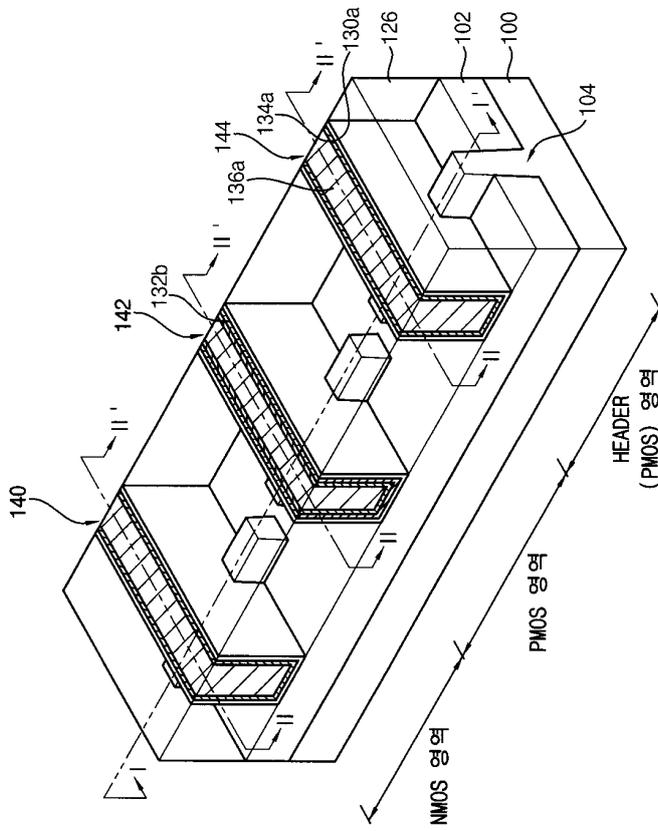
[0154] 반면에, 할로 이온 주입을 수행한 비교 샘플 1의 트랜지스터는 벌크 누설 전류가 발생된다. 특히, 할로 이온 주입에 의해 드레인 누설 전류(I_{doff})가 감소될수록 상기 벌크 누설 전류는 증가하게 된다. 때문에, 비교 샘플 1의 전체 누설 전류는 샘플 1의 트랜지스터의 전체 누설 전류보다 높다.

[0155] 도 33은 샘플 1 및 비교 샘플 1의 트랜지스터의 드레인 전류를 나타낸 것이다.

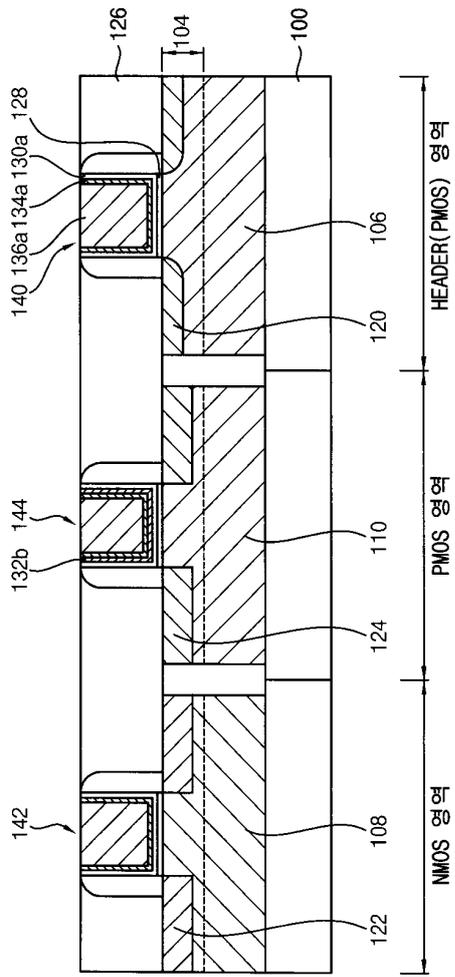
[0156] 도 33을 참조하면, 비교 샘플 1의 트랜지스터는 문턱 전압이 증가될수록 드레인 전류가 감소된다. 따라서, 높은 문턱 전압을 가질 수 있도록 할로 이온 주입 공정을 수행하면, 드레인 전류가 감소되어 트랜지스터의 성능이 나빠지게 된다. 반면에, 샘플 1의 트랜지스터는 상기 비교 샘플 1의 트랜지스터보다 높은 문턱 전압 및 높은 드레

도면

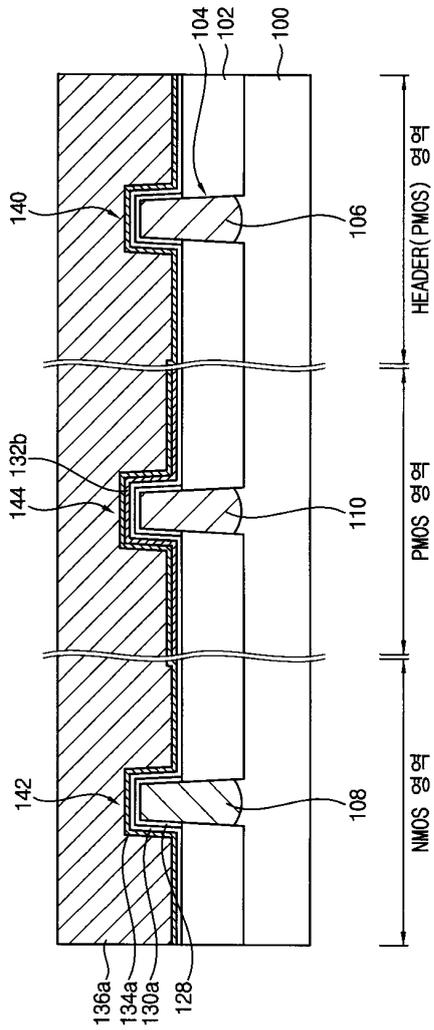
도면1



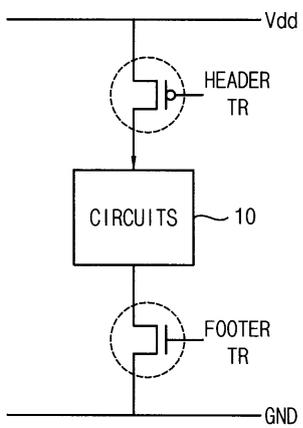
도면2



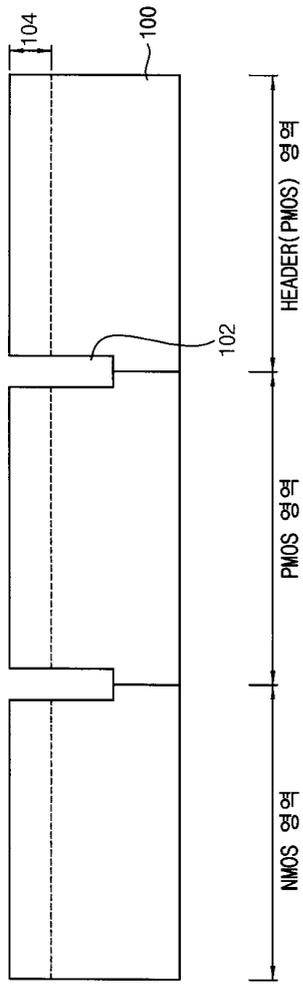
도면3



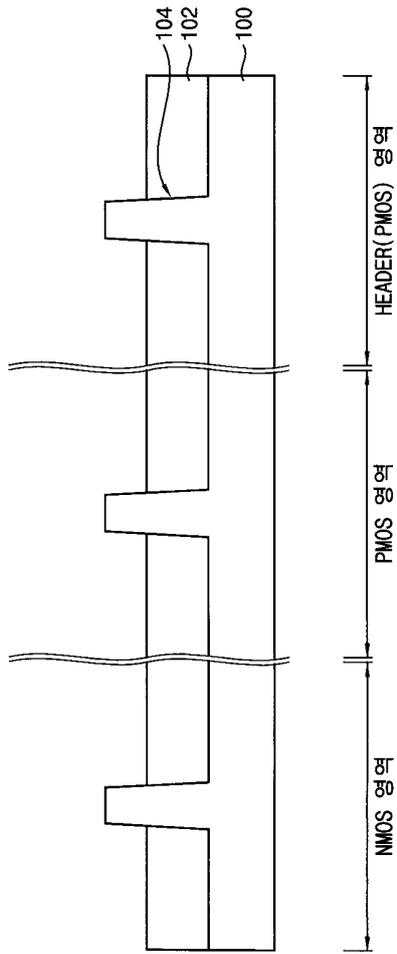
도면4



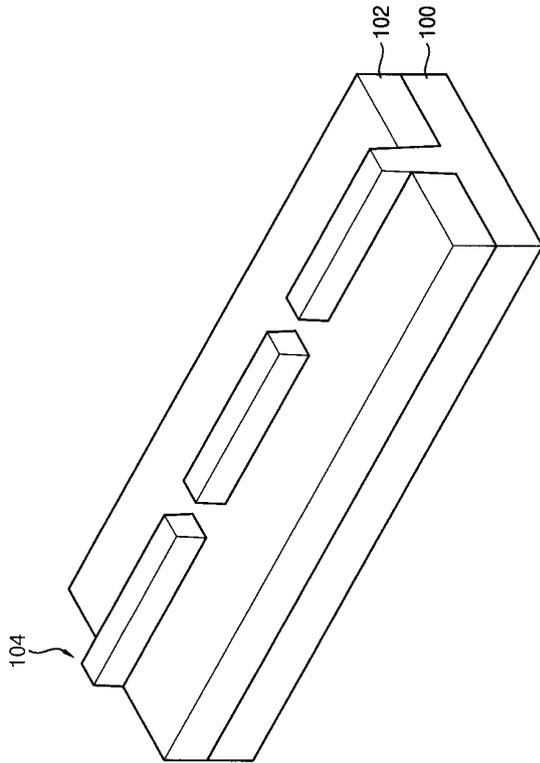
도면5



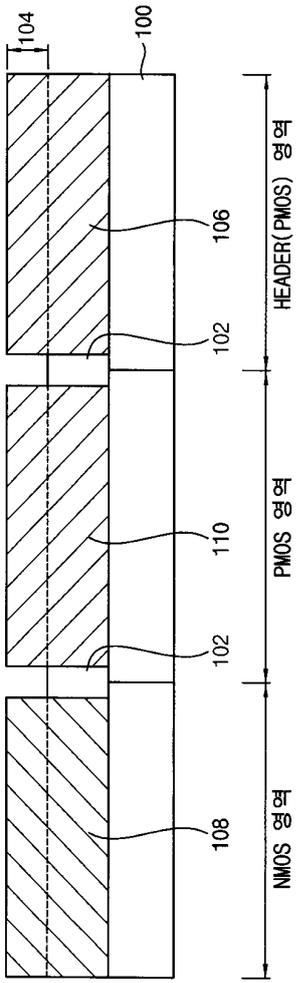
도면6



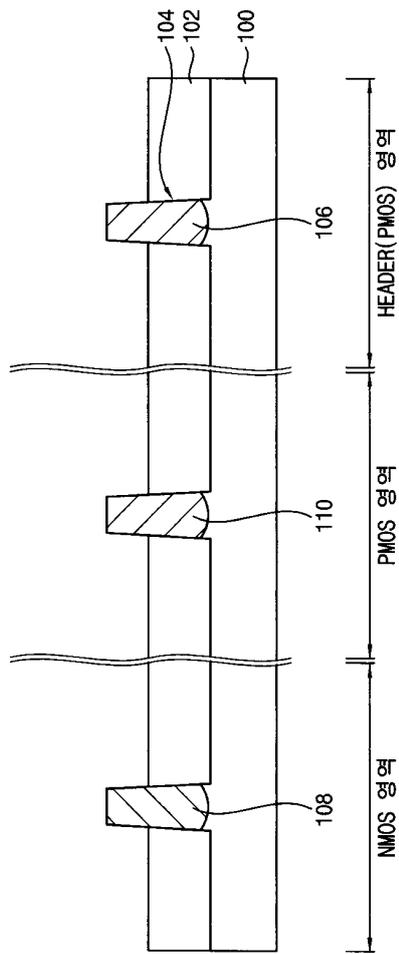
도면7



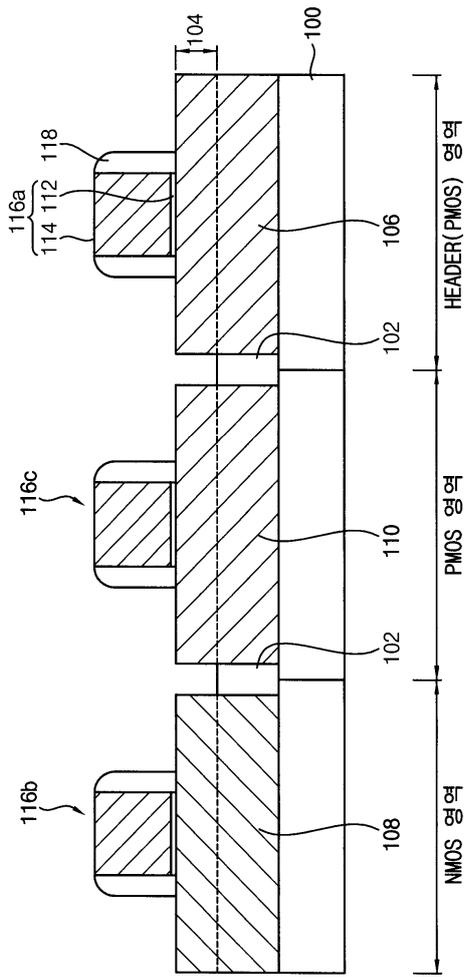
도면8



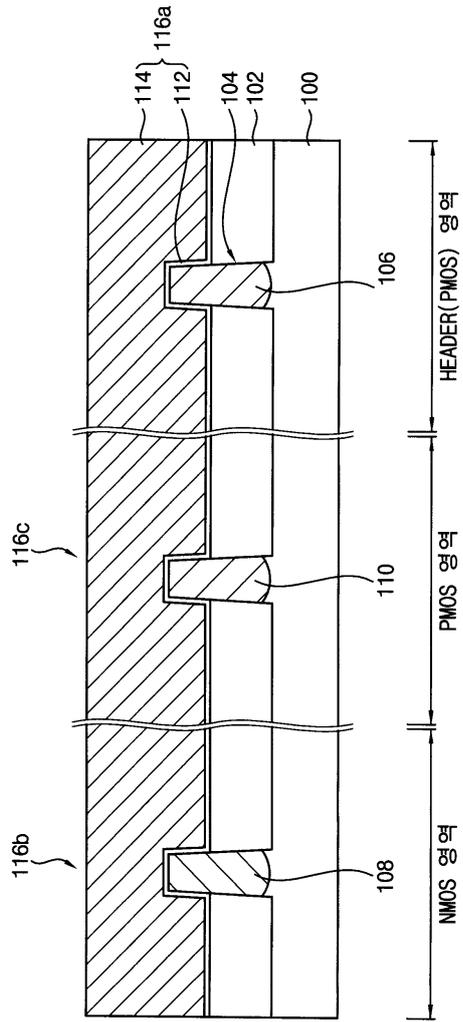
도면9



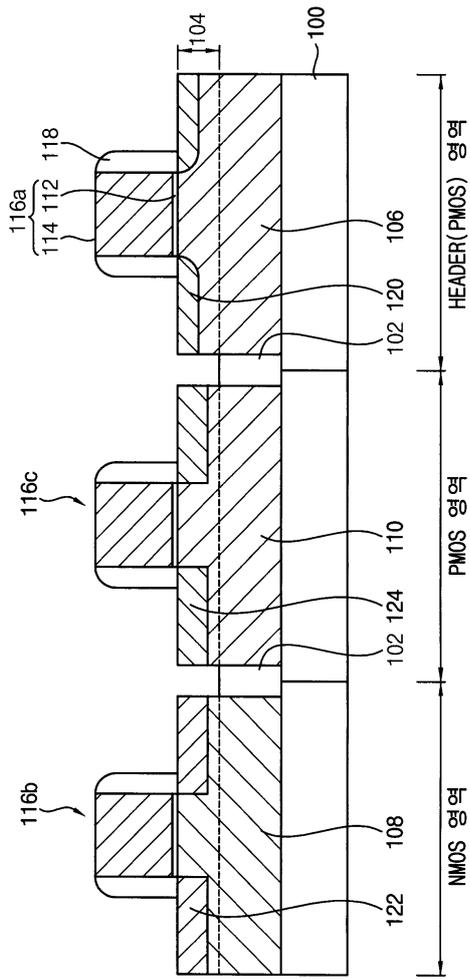
도면10



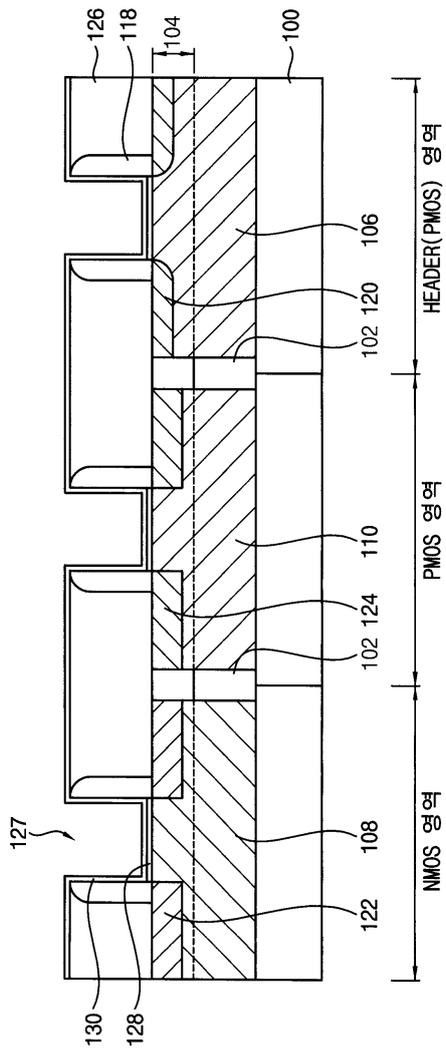
도면11



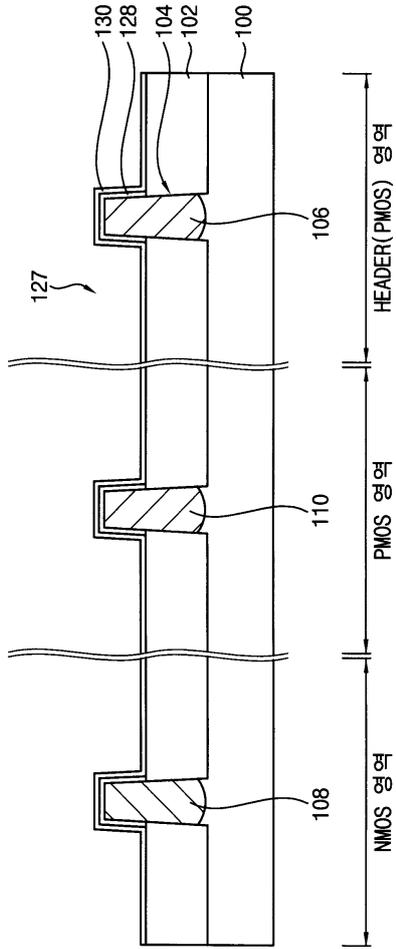
도면12



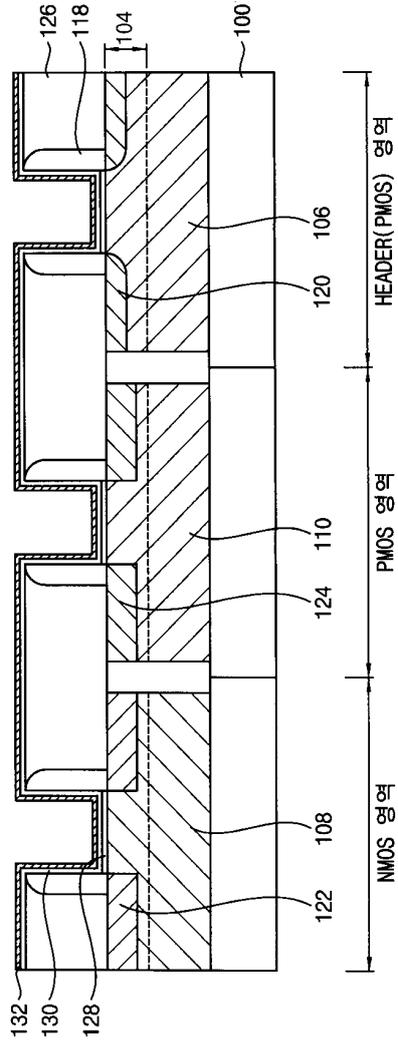
도면13



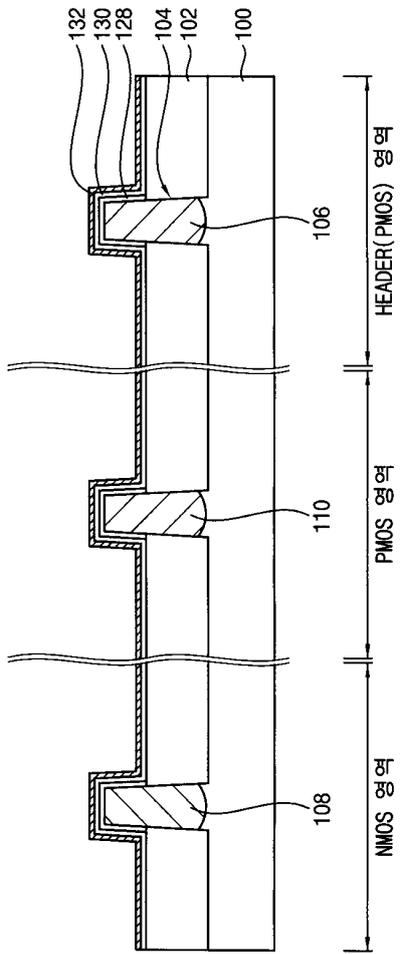
도면14



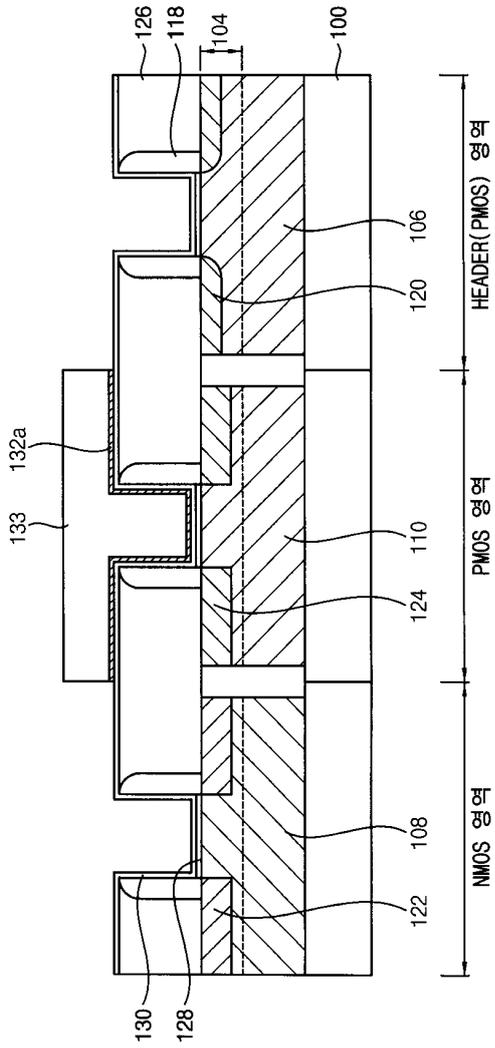
도면15



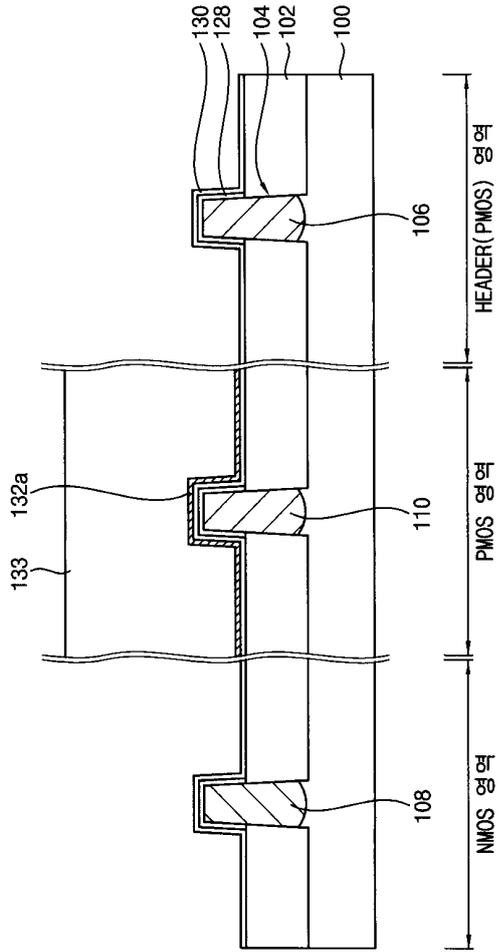
도면16



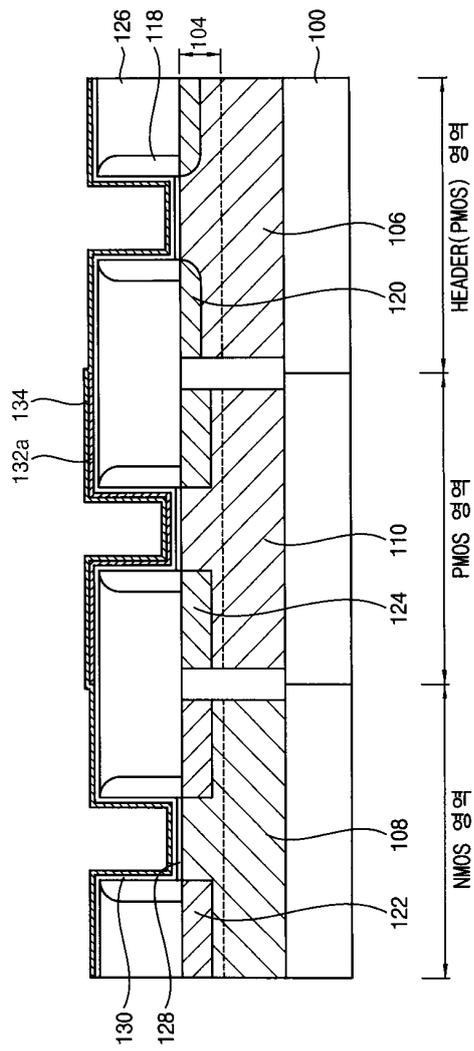
도면17



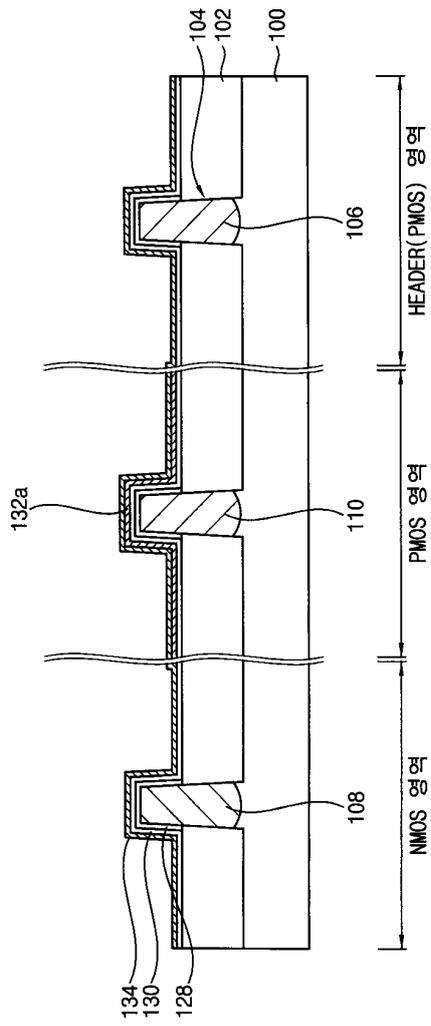
도면18



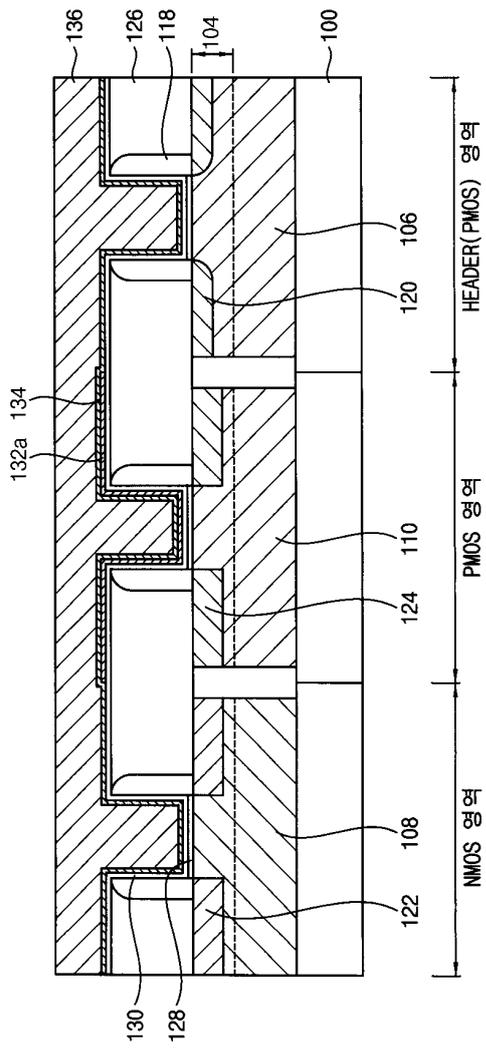
도면19



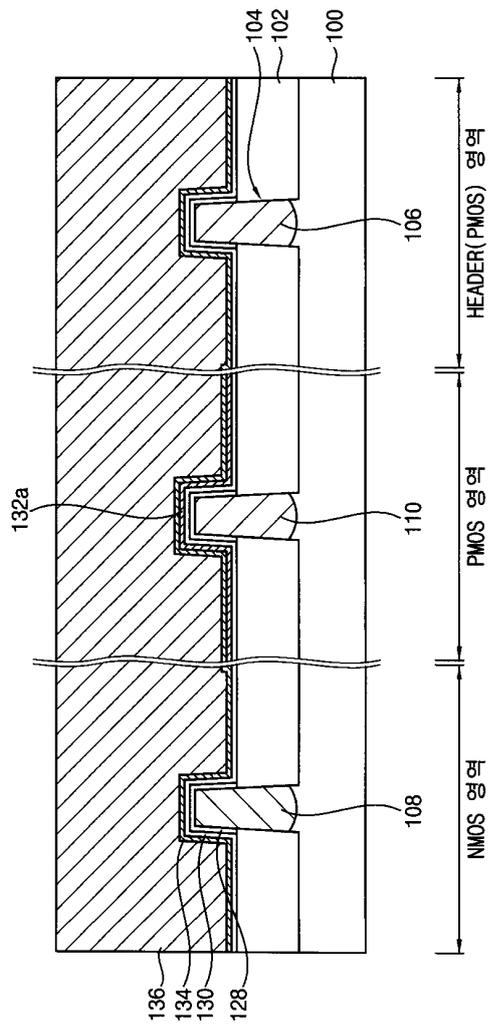
도면20



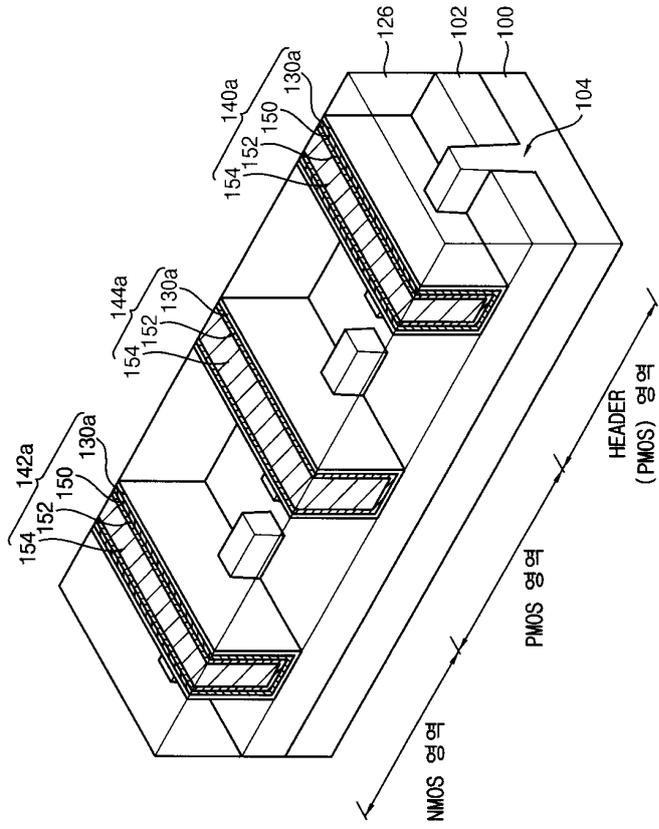
도면21



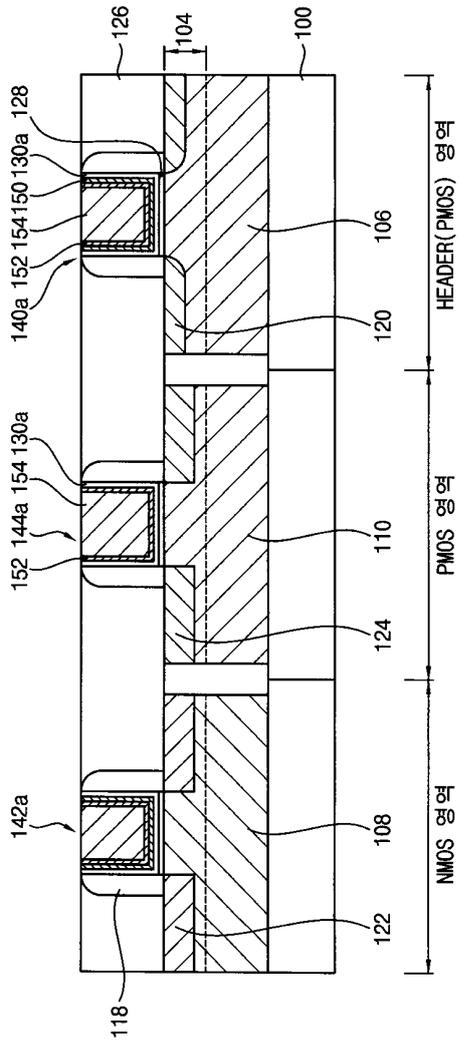
도면22



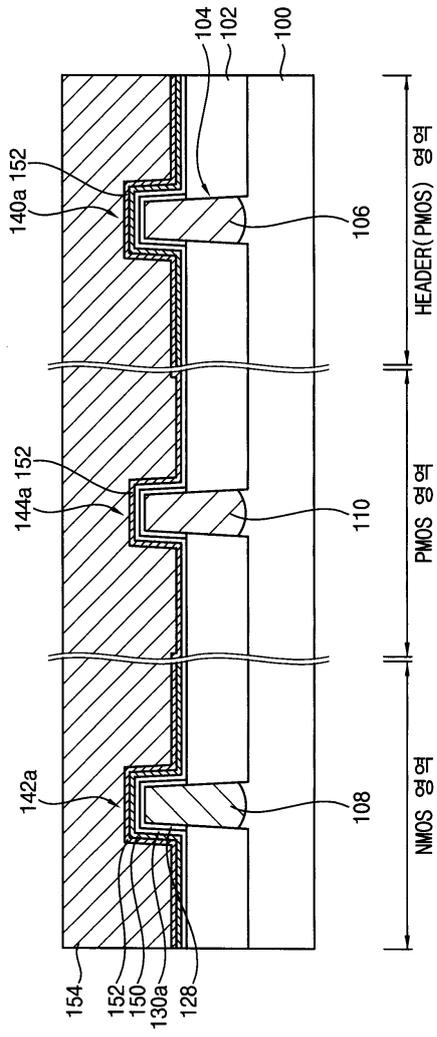
도면23



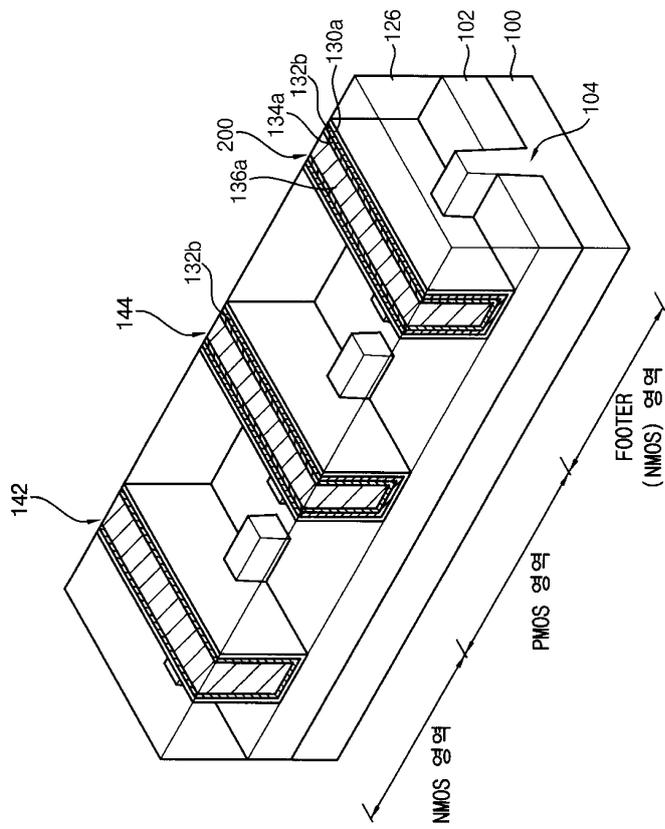
도면24



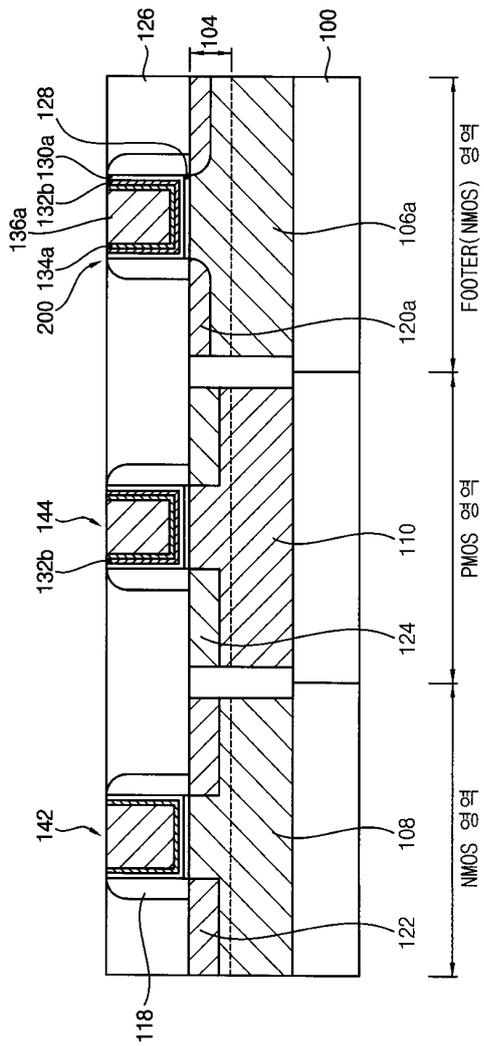
도면25



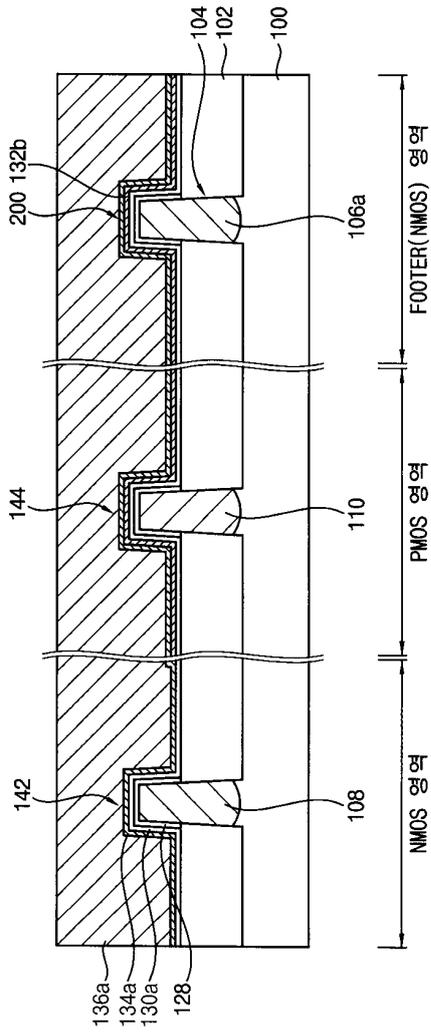
도면26



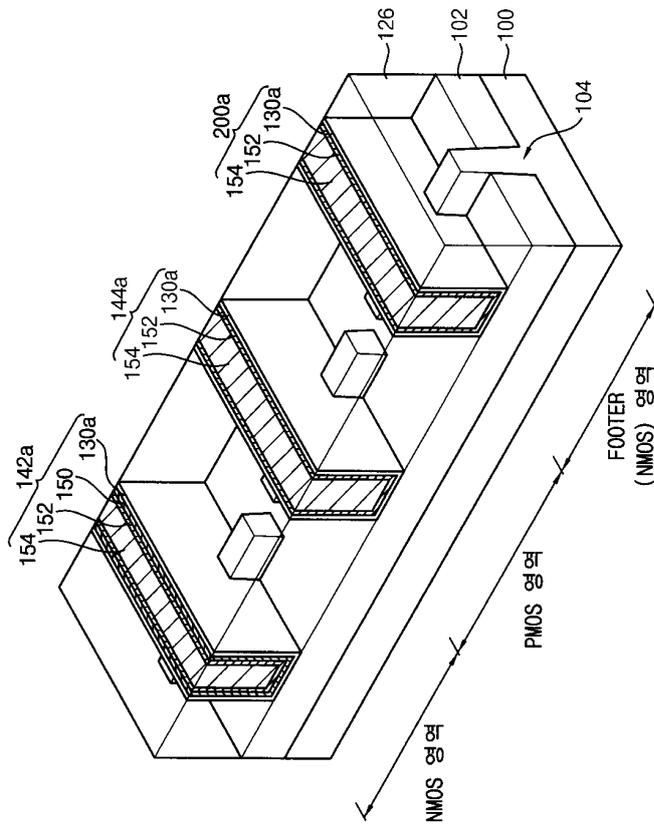
도면27



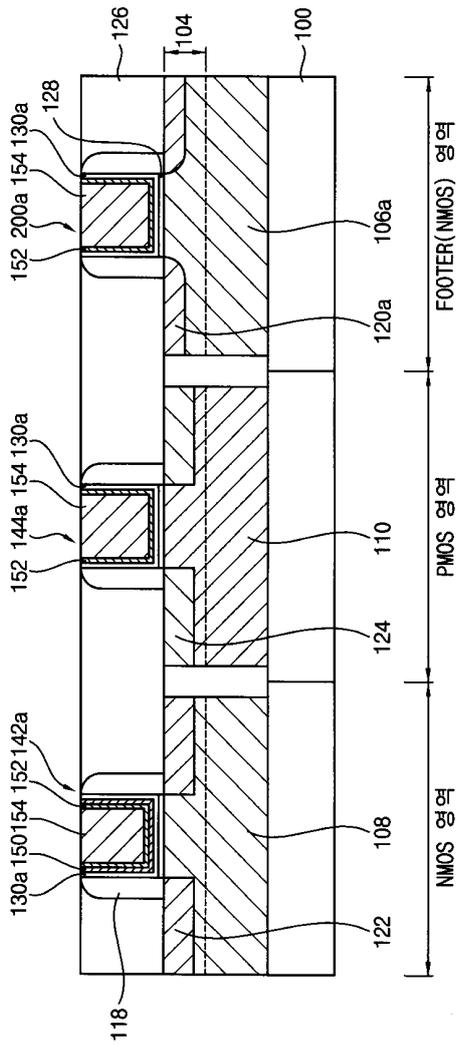
도면28



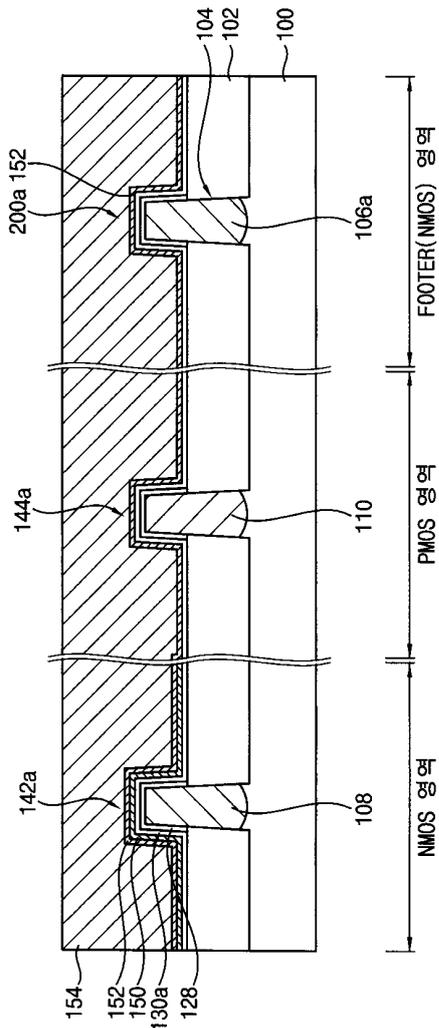
도면29



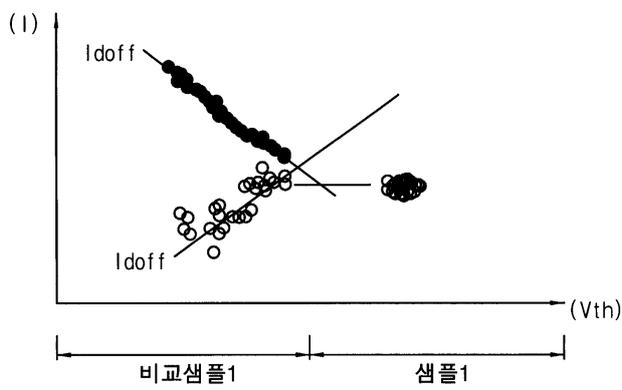
도면30



도면31



도면32



도면33

